

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200910003481.0

H01L 27/146 (2006.01)

H01L 21/82 (2006.01)

H04N 5/335 (2006.01)

H04N 3/15 (2006.01)

[43] 公开日 2009年6月17日

[11] 公开号 CN 101459189A

[22] 申请日 2004.9.2

[21] 申请号 200910003481.0

分案原申请号 200480032488.0

[30] 优先权

[32] 2003.9.5 [33] US [31] 10/654938

[71] 申请人 微米技术有限公司

地址 美国爱达荷州

[72] 发明人 洪性权

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 王庆海 王小衡

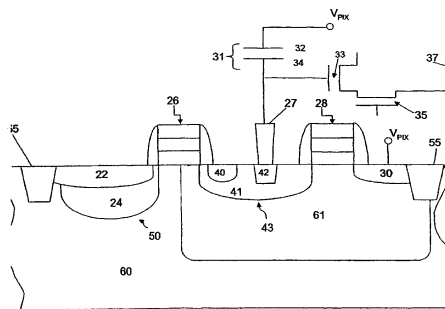
权利要求书3页 说明书9页 附图17页

[54] 发明名称

具有钉扎浮置扩散二极管的图像传感器

[57] 摘要

本发明提供了一种除了钉扎光电二极管外还具有钉扎浮置扩散区的图像传感器。该钉扎浮置扩散区增加了传感器用于存储电荷的容量，增加了传感器的动态范围，并且加宽了内景色的强度变化。



1. 一种像素传感器单元，包括：

光电转换器件；

电荷收集区，其具有接收来自该光电转换器件的电荷的二极管，且响应地提供表示在该光电转换器件上的入射光的输出信号，所述电荷收集区具有相对所接收电荷特性的至少两个输出信号，所述两个特性具有各自的输出信号斜率；以及

该第二斜率以比第一斜率低的速率上升。

2. 根据权利要求1的像素传感器单元，其中所述输出信号是电压信号。

3. 根据权利要求1的像素传感器单元，进一步包括转移晶体管，用于将来自所述光电转换器件的电荷转移到所述电荷收集区。

4. 根据权利要求1的像素传感器单元，其中所述电荷收集区是浮置扩散区。

5. 根据权利要求1的像素传感器单元，其中所述光电转换器件是光电二极管。

6. 根据权利要求5的像素传感器单元，其中所述光电二极管是钉扎光电二极管。

7. 根据权利要求1的像素传感器单元，其中所述二极管包括第一导电类型的区域和形成在所述第一导电类型的区域内的第二导电类型的区域。

8. 根据权利要求1的像素传感器单元，其中所述二极管包括n-型区域，p+型区域形成于所述n-型区域内。

9. 根据权利要求8的像素传感器单元，进一步包括在所述n-型区域内的n+型区域。

10. 根据权利要求9的像素传感器单元，其中所述n+型区域和所述p+区域通过所述n-型区域的一部分彼此隔离开。

11. 根据权利要求9的像素传感器单元，其中所述p+型区域围绕所述n+区域，所述n+型区域延伸到所述n-型区域中。

12. 根据权利要求9的像素传感器单元，其中所述n+型区域与触点相关联。

13. 根据权利要求8的像素传感器单元，其中所述p+型区域位于邻

近转移晶体管的栅极。

14. 根据权利要求 8 的像素传感器单元，其中所述 p+型区域没有接触复位晶体管栅极沟道区。

15. 根据权利要求 1 的像素传感器单元，进一步包括外部电容器。

16. 一种成像器集成电路，包括：

形成于衬底中的掺杂层；

形成于所述掺杂层中的像素传感器单元阵列，其中每个像素传感器单元都具有电荷收集区和光电转换器件；

所述电荷收集区包括二极管；以及

信号处理电路，其形成在所述衬底中且电连接至该阵列，用于接收和处理代表由该阵列所获得图像的像素信号，和用于提供代表所述图像的输出数据。

17. 根据权利要求 16 的成像器，其中所述电荷收集区是浮置扩散区。

18. 根据权利要求 16 的成像器，进一步包括存储电容器。

19. 根据权利要求 16 的成像器，其中所述成像器是 CMOS 成像器。

20. 一种成像器，包括：

电荷收集区，其具有接收来自至少一个光电转换器件的电荷的二极管，且响应地提供代表在所述至少一个光电转换器件上的入射光的输出信号，所述电荷收集区具有相对所接收电荷特性的至少两个输出信号，所述两个特性具有各自的输出信号斜率；以及

该第二斜率以比第一斜率低的速率上升。

21. 根据权利要求 20 的成像器，其中所述电荷收集区是浮置扩散区。

22. 根据权利要求 20 的成像器，其中所述成像器是电荷耦合器件 (CCD) 成像器。

23. 一种形成像素传感器单元的方法，包括：

形成具有光电转换器件的像素传感器单元；

形成电荷收集区，用于接收来自所述光电转换器件的电荷，所述电荷收集区包括二极管。

24. 根据权利要求 23 的方法，进一步包括转移晶体管，用于将来自所述光电转换器件的电荷转移到所述电荷收集区。

25. 根据权利要求 23 的方法，其中所述电荷收集区是浮置扩散区。

26. 根据权利要求 23 的方法，其中所述光电转换器件是光电二极管。

27. 根据权利要求 26 的方法, 其中所述光电二极管是钉扎光电二极管。

28. 根据权利要求 23 的方法, 其中所述二极管包括第一导电类型的区域和在所述第一导电类型的区域内的第二导电类型的区域。

29. 根据权利要求 23 的方法, 其中所述二极管包括 n-型区域, p+型区域形成于所述 n-型区域内。

30. 根据权利要求 29 的方法, 进一步包括在所述 n-型区域内的 n+型区域。

31. 根据权利要求 30 的方法, 其中所述 n+型区域与触点相关联。

32. 根据权利要求 30 的方法, 其中所述 n+型区域和所述 p+区域通过所述 n-型区域的一部分彼此隔离开。

33. 根据权利要求 30 的方法, 其中所述 p+型区域围绕所述 n+区域, 所述 n+型区域延伸到所述 n-型区域中。

34. 根据权利要求 29 的方法, 其中所述 p+型区域位于邻近转移晶体管栅极。

35. 根据权利要求 29 的方法, 其中所述 p+型区域没有接触复位晶体管栅极沟道区。

36. 根据权利要求 23 的方法, 进一步包括外部电容器。

## 具有钉扎浮置扩散二极管的图像传感器

## 技术领域

本发明一般涉及关于成像器像素阵列的方法和设备。特别地，本发明涉及具有改进的浮置扩散区的像素的成像器。

## 背景技术

一般，数字成像器阵列包括焦平面阵列的像素单元，所述单元的每一个都包括光电转换器件，例如光栅、光电导体或光电二极管。在一个公知为CMOS成像器的这种成像器中，读出电路连接至每个像素单元，其一般包括源跟随器输出晶体管。光电转换器件将光子转换成电子，所述电子一般转移到电荷存储区，其可以是浮置扩散区，连接至源跟随器输出晶体管的栅极。可以包括电荷转移器件（例如晶体管），用于将来自光电转换器件的电荷转移到浮置扩散区。另外，这种成像器单元一般具有用于在电荷转移之前将浮置扩散区复位到预定电荷水平的晶体管。由行选择晶体管选通源跟随器晶体管的输出作为输出信号。

例如，在Rhodes的美国专利No. 6, 140, 630、Rhodes的美国专利No. 6, 376, 868、Rhodes等人的美国专利No. 6, 310, 366、Rhodes的美国专利No. 6, 326, 652、Rhodes的美国专利No. 6, 204, 524和Rhodes的美国专利No. 6, 333, 205中描述了示范性的CMOS成像电路、其处理步骤和成像电路的各种CMOS元件功能的详细说明。在此将前述每一个的公开通过参考全部并入这里。

图1示例了具有像素阵列200的示范性成像器器件308的方块图，该像素阵列200的每个像素单元都如上所述被构造。像素阵列200包括以预定数量的列和行设置的多个像素。通过行选择线在阵列200中每行的像素同时导通，且每列的像素都通过各自的列选择线被选择性地输出。提供多条行线和列线用于整个阵列200。所述的行线由行驱动器210响应行地址译码器220选择性地激活。列选择线由列驱动器260响应列地址译码器270选择性地激活。因此，为每个像素提供行和列地址。CMOS成像器由定时和控制电路250操作，该定时和控制电路250控制地址译码器220、270以选择适当的行和列线用于像素读出。控制电路250还控制行和列驱动器电路210、260，以便将驱动电压施加到所选行和列线的驱动晶体管上。像

素列信号由与列器件260相关联的采样和保持电路261读取，所述的像素列信号一般包括用于所选像素的像素复位信号 ( $V_{rst}$ ) 和像素图像信号 ( $V_{sig}$ )。差分信号 ( $V_{rst} - V_{sig}$ ) 由用于每个像素的差分放大器262产生，通过模数转换器275 (ADC) 将该差分信号数字化。模数转换器275将所述数字化的像素信号提供给形成数字图像的图像处理器280。

常规的图像传感器如CMOS成像器的像素采用如图2所示的光电转换器件。该光电转换器件一般包括在p衬底中具有p-区域21和n-区域23的光电二极管59。该像素还包括具有相关栅极25的转移晶体管、浮置扩散区16和具有相关栅极29的复位晶体管。撞击光电二极管59的表面的光子产生聚集在区域23中的电子。当转移栅极接通时，由于在光电二极管59和浮置扩散区16之间存在电位差，所以区域23中光子产生的电子被转移到浮置扩散区16。所述电荷被源跟随器晶体管（未示出）转换成电压信号。在电荷转移之前，通过导通具有栅极29的复位晶体管将浮置扩散区16设置成预定的低电荷状态，所述具有栅极29的复位晶体管会导致区域16中的电子流入到连接至源/漏17的电压源中。区域55是用于使所述像素相互隔离的STI绝缘区。

图3是用于图2中所示图像传感器的电位图。光电二极管59的全部阱电荷容量位于标题“PD”下面的阴影区中，并且是钉扎电位 (pinned potential) ( $V_{PIN}$ ) 和光电二极管电容 ( $C_{PD}$ ) 的函数。当产生的电子数达到电荷容量时，光电二极管饱和且不能响应任何其它的光子。产生的聚集在区域23中的电子从光电二极管59转移到浮置扩散区16。浮置扩散区的电荷存储容量也具有饱和电压，如标题“FD”下面的阴影区所示。底部电位  $V_{RST}$  代表浮置扩散区16的复位电压。当转移栅极25接通时，降低了分离光电二极管59和浮置扩散区16的势垒电位，如由图3中的虚线所示。结果，电子从光电二极管59移向浮置扩散区16。

如图4的图表所示，基于转移到区域16的电荷的输出电压响应是光强度的线性函数，直到输出电压响应达到区域16的饱和点 ( $V_{SAT}$ ) 的那一点。区域16的饱和点限制了该像素的动态范围和图像传感器俘获在一定光条件下内景色 (intra-scene) 的强度变化的能力。

#### 发明内容

本发明的实施例提供了具有钉扎 (pinned) 浮置扩散区的图像传感器的像素。光电二极管和钉扎浮置扩散区具有不同的钉扎电位，由此随

着光强度产生接近浮置扩散区的饱和程度的电子，使输出电压上升得更慢。随着光强度上升，电荷到达浮置扩散区的钉扎电位且该输出电压/光强度斜率改变。输出电压的斜率改变增加了动态范围。

自以下示例本发明示范性实施例的详细描述和附图，本发明另外的特征将是显而易见的。

#### 附图说明

- 图1是具有像素阵列的常规成像器器件的方块图；
- 图2是常规图像传感器的像素的一部分的截面图；
- 图3是图2中所描述的像素的电位图；
- 图4是示出输出电压作为图2的像素的输入光信号的函数的图；
- 图5是根据本发明实施例的图像传感器的像素的一部分的截面图；
- 图6是用于图5像素的电位图；
- 图7是示出输出电压作为图5的像素的输入光信号的函数的图；
- 图8示出了在根据制备本发明图5实施例的方法进行处理的初始阶段期间，图5的光电二极管一部分的截面图；
- 图9示出了图8所示之后的处理阶段；
- 图10示出了图9所示之后的处理阶段；
- 图11示出了图10所示之后的处理阶段；
- 图12示出了图11所示之后的处理阶段；
- 图13示出了图12所示之后的处理阶段；
- 图14示出了根据本发明另一实施例的图像传感器的像素的一部分的截面图；
- 图15是图14的图像传感器的电位图；
- 图16是根据本发明另一实施例的电位图；
- 图17是采用根据本发明各种实施例中任何一个构造的成像器的处理系统的示意图。

#### 具体实施方式

在下面的详细说明中，进行参考附图，该附图形成该说明的一部分且借助其中可实施本发明的示例性具体实施例示出。足够详细地描述了这些实施例，以使本领域技术人员能够实施本发明，且要理解的是可利用其它实施例，以及在不脱离本发明的精神和范围的前提下可进行结构的、逻辑的和电性的改变。所描述的处理步骤的进展是本发明的示范性

实施例；然而，所述步骤的顺序不限于在此提出的并且可如同本领域中公知的那样改变，除了必须以某顺序出现的步骤外。

如在此使用的术语“晶片”和“衬底”，要理解为包括硅、绝缘体上硅（SOI）或蓝宝石上硅（SOS）技术、掺杂和未掺杂半导体、由基半导体基底支撑的硅外延层、和其它半导体结构。此外，当在以下的描述中引用“晶片”或“衬底”时，可利用在前的处理步骤在基半导体结构或基底中或上方形成区域、结或材料层。另外，该半导体不必是硅基的，而是可以基于硅-锗、锗、砷化镓或其它的半导体。

如在此使用的术语“像素”指的是包含用于将光子转换成电信号的光电转换器件的光电-元件单元。为了说明，在这里的附图和说明中示例了单个代表性的像素和它的形成方式；然而，多个类似像素的典型制备同时进行。在以下的描述中，为了方便起见，关于CMOS成像器描述了本发明；然而，本发明可广泛地应用到其它类型的成像器器件的电路，例如本发明还可应用到CCD成像器的输出级。因此，以下的详细描述不是起限制意义，本发明的范围仅由所附属的权利要求限定。

本发明的第一示范性实施例提供了钉扎二极管浮置扩散区，其改善了如何接收电荷和将电荷存储在浮置扩散区以加宽图像传感器的动态范围。钉扎二极管浮置扩散区的掺杂结构与钉扎光电二极管（pinned photodiode）的类似。然而，钉扎二极管浮置扩散区具有与该光电二极管的钉扎电位（ $V_{PIN1}$ ）不同的钉扎电位（ $V_{PIN2}$ ）。由于 $V_{PIN2}$ 是与 $V_{PIN1}$ 不同的电位，所以输出电压（ $V_{OUT}$ ）在例如达到饱和点之前响应光电二极管电荷、对于如图7所示每个 $V_{PIX}$ 在不同斜率的两个线性区中上升。

图5示例了根据第一实施例构造的像素传感器单元。光电转换器件50示例性地形成于p型衬底60中，p型衬底60还具有更重的掺杂p-型阱61。光电转换器件50示例性地是光电二极管且可以是p-n结光电二极管、肖特基光电二极管或任何其它合适的光电二极管，但为了示范性目的论述了具有钉扎电位 $V_{PIN1}$ 的钉扎p-n-p光电二极管。

如图5所示，示范性钉扎光电二极管50包括与p衬底60关联的p+区域22和n-型区域24。图5中所示的余下结构包括具有相关栅极26的转移晶体管和具有相关栅极28的复位晶体管。还示出了用于隔离像素的浅沟槽隔离（STI）区55、和源/漏区30和41。具有相关栅极的源跟随器晶体管33和行选择晶体管35也包括在像素传感器单元中，但是示意性地示出而不



是以截面图示出，行选择晶体管35的输出与列读出线37连接。尽管图5中所示是具有转移晶体管的4-晶体管（4T）结构，但本发明还可以用在3-晶体管（3T）结构中、以及具有其它更高晶体管数结构的像素中，而3-晶体管（3T）结构没有区域24直接耦接至浮置扩散区43的转移晶体管。

如图5所示，浮置扩散区43构造为钉扎二极管浮置扩散区。钉扎二极管浮置扩散区43具有在n-型区域41内的p+区域40。浮置扩散区43的p+型区域40优选位于邻接转移栅极26的侧壁且在其下面，以使与位于转移栅极26的相对侧上的光电二极管50的p+区域22对称。尽管不是必需的，但n+接触区42还可以形成在n-型区域41中，以提供与导电插塞形式的触点27有良好的欧姆接触。

如上所述，光电二极管50和浮置扩散区43中的二极管（区域40、41）应当具有不同的钉扎电位，以获得图7中所描述的双斜率输出电压函数。在该实施例中，通过调节注入条件如角度和剂量，可以使浮置扩散区43的 $V_{PIN2}$ 高于光电二极管50的 $V_{PIN1}$ 。

触点27通过n+型区42电连接至浮置扩散区43。通过后接触蚀刻注入步骤形成n+区域42，其降低了电位势垒。任选的存储电容器31可借助触点27连接至钉扎浮置扩散区43。存储电容器31具有第一电极34和第二电极32，电介质层位于电极32、34之间。在该实施例中，触点27连接至存储电容器31，以增加浮置扩散区43的电荷存储容量，然而没有存储电容器31也可形成图像传感器。

参考图6，描绘了根据具有电容器31的本发明图5实施例构造的像素单元的电位图。图7示例了用于该实施例的输出电压转移函数。

图6示出了施加到浮置扩散区上的复位电压 $V_{RST}$ 等于电容器31的电极32上的像素电源电压 $V_{PIX}$ 的情况。结果，复位之后和当转移栅极26接通并且转移栅极势垒电位降低至接近 $V_{PIN1}$ 时，如由虚线所示，电子首先流到电极34和浮置扩散区43的寄生电容。然后当到达 $V_{PIN2}$ 时，电子还流到由浮置扩散区43的钉扎二极管所建立的额外存储区域。因为由钉扎二极管产生附加电容，所以输出电压作为转移的电荷的函数上升得更慢。

如图7所示，与用于常规图像传感器的图4的图表相对比，其产生了两个斜率的电荷转移特性。在一个线性斜率步骤（图4）之后常规的图像传感器到达饱和点更快，而图5的像素具有不同输出电压斜率的第一和第二工作范围。如果在电荷载流子转移到浮置扩散区之后浮置扩散区电位

小于 $V_{PIX} - V_{PIN2}$ ，如可以是低光状态的情况，则图5的像素更象图2的像素那样工作，具有以增加光强度的线性斜率上升的输出电压函数，如图4所示。然而，如果浮置扩散区电位到达大于 $V_{PIX} - V_{PIN2}$ 的值，如可以是具有较高光强度的情况，则降低了输出电压函数的斜率，使在浮置扩散区在 $V_{SAT}$ 处饱和之前接收较高光强度的改变。

图7还示出了在施加在电容器31的电极32以产生不同像素饱和级的三个不同像素电源电压条件下的工作情形。 $V_{PIXA}$ 、 $V_{PIXB}$ 和 $V_{PIXC}$ 代表 $V_{PIX}$ 的不同（渐减）电压。当 $V_{PIX}$ 降低时，像素的饱和电压也降低。在 $V_{PIXA}$ 、 $V_{PIXB}$ 和 $V_{PIXC}$ 的所有情况下，钉扎二极管浮置扩散区43允许在到达饱和之前在扩散区43收到更多的电荷，且去掉浮置扩散区43的该像素的输出电压具有用于积累的电荷的两个相关斜率。

图8-13示出了在形成的各个阶段形成具有钉扎二极管浮置扩散区43的像素传感器单元的一个示范性方法。为了方便起见，在图8-13中使用了图5的相同截面图用于接下来的描述，因此没有示出源跟随器和行选择晶体管。将钉扎浮置扩散区43描述为形成在p-型衬底60的p-阱61中；然而，它还可形成在n-型衬底的n-阱中，且还可使用其它的结构。首先形成衬底60，如图8所示。在该示范性结构中，衬底60是其上形成了栅极叠层15和19的p-型硅衬底。p-阱61形成在衬底60内。还形成了隔离区55。可以在形成隔离区55和栅极叠层15和19之前或之后形成p-型阱61。可以进行p-型阱61的注入，以便像素阵列阱61和p-型外围逻辑阱（未示出）具有不同的掺杂分布，该像素阵列阱61和p-型外围逻辑阱包含用于控制该像素阵列的逻辑电路。如本领域中公知的，可以使用多个高能量注入来制作p-型阱61的分布。

使用隔离区55来电隔离将形成像素单元的衬底的区域。隔离区55可以通过任何公知的技术来形成，如在LOCOS工艺中下面硅的热氧化或在STI（浅沟槽隔离）工艺中通过蚀刻沟槽并用氧化物填充它们。如果还没有形成p-型阱61，则接下来形成隔离区55，此时其可通过掩膜的注入形成以产生p-型阱61。

图8示出了具有分别用于转移晶体管和复位晶体管的栅极叠层15、19的示范性实施例。转移栅极叠层15和复位栅极叠层19可以通过公知的方法来形成，例如栅极氧化物、掺杂多晶硅的覆盖沉积、硅化物的金属沉积、退火以形成硅化物、然后构图和蚀刻。本发明不限于形成晶体管的

栅极叠层15、19的特定方法。示例性地示出转移栅极叠层15横越p-阱61的边界，但也可以完全地位于p-阱61的上方。

钉扎浮置扩散区43的n-型区域41同样通过n-型掺杂剂的离子注入形成，如图9所示。相似地，同样在图9中示出了形成的n-型源/漏区30。为了示范性目的，区域30是n+掺杂的且可通过将掩模应用到衬底和通过离子注入掺杂区域30来形成。

图10示出了p+区域40的形成，其位于接近转移栅极叠层15和在n-型区域41内，由此形成了p/n二极管。在该实施例中区域40是p+掺杂的且没有延伸到复位栅极叠层19的沟道区。在该实施例中，区域40和随后形成的n+接触区42（图5）应当被隔离且彼此无关联。经由以下论述的蚀刻注入步骤在用于形成触点27的下面绝缘层中形成开口之后，随后形成区域42。

图11示例了具有p-型区域22和n-型区域24的钉扎光电二极管50的注入。在制备工艺中任何常规点处通过本领域中公知的任何方法注入光电二极管50的区域22和24，且可以在几个步骤中注入，所述的几个步骤一些在图9中所描述的制备状态之前以及一些在其之后。在形成区域40、22和24之后，利用常规的技术分别在栅极叠层15、19的两侧上形成栅极叠层侧壁绝缘体70、71，以形成具有相关栅极26、28的晶体管。同样在其它余下的栅极叠层上形成了栅极叠层侧壁绝缘体，未示于图11中。

可使用常规的处理方法来形成绝缘层、屏蔽层和金属化层，以连接栅极线并且进行与像素单元的其它连接。例如，整个表面都可以覆盖有钝化层88，例如二氧化硅、BSG、PSG或BPSG，其被CMP平整化且被蚀刻以提供接触孔，然后将上述接触孔金属化以提供触点。图12示出了BPSG的钝化层88和其中至浮置扩散区43的接触开口的形成。

在形成接触开口之后，通过如图13所示的蚀刻注入步骤在n-型区域41内形成区域42。为了示范性目的，区域42是n+型掺杂的，且以比n-型区域41高的浓度掺杂以提供良好的欧姆接触。在注入区域42之后，在接触开口中形成触点27。区域42连接至触点27并且位于区域41内，但与p+区域40隔开且不相关联，且不会干扰p+区域40。存储电容器31（图9）可通过本领域中公知的方法任选地形成在钝化层88上方或衬底60的另一表面部分处。导体和绝缘体的常规层还可以用于互连所述结构、将该像素连接至外围电路和保护该电路不受环境的影响。

图14示出了本发明的另一像素单元实施例。在该实施例中，钉扎二极管浮置扩散区45的p+区域40<sup>·</sup>围绕n+区域42，但没有延伸到在复位晶体管栅极28下面的区域41部分中。与以上的图5所示的实施例不同，p+区域40<sup>·</sup>和n+区域42没有彼此隔离开。设置该实施例的区域42以延伸超过p+区域40<sup>·</sup>的底部边界，以使得n+区域42延伸到钉扎二极管浮置扩散区45的n-型区域中。

除了下述以外，用于形成图14中所示实施例的工艺与图8-13中所示的工艺相似。注入p+区域40<sup>·</sup>以便它延伸到浮置扩散区45的较大部分上方，且n+区域42被注入到n-型区域41中。与图5相比，图14中所示的实施例具有改善的电位图，如图15所示。当p+区域40<sup>·</sup>围绕n+区域42时增加了另外的存储电容( $\Delta C$ )，且n+区域42与n+区域45、p+区域47和触点27接触。图14的实施例还可包括或省略电容器31，如图5所示。

图15示出了用于图14实施例的电位图。由于p+区域47围绕n+区域42，所以提高了钉扎二极管的电容，如由 $\Delta C$ 所示。结果，即使没有外部电容器，也会更慢地到达 $V_{SAT}$ 。

图15的电荷图略去了与外部电容器如电容器31(图5)和图6中的电荷存储区CAP相关联的任何电荷电容。图16示出了图5实施例的电位图，但略去了外部电容器31。通过比较图15和16可以容易地看到与图5实施例中的p+区域40相比的图14实施例中更大的p+区域40<sup>·</sup>产生的附加的存储电容 $\Delta C$ 。

图17示出了处理器系统300，其包括具有图1中所描述的整个结构的成像器器件308，但阵列200的像素根据本发明各种实施例的任一个构造。系统300包括具有与总线304上方的各种器件通信的中央处理单元(CPU)的处理器302。连接至总线304的一些器件提供了系统300的内和外的通信；输入/输出(I/O)器件306和成像器器件308是这种通信器件的实例。连接至总线304的其它器件提供了示例性地包括随机存取存储器(RAM)310的存储器、硬盘驱动器312和一个或多个外围存储器件，如软盘驱动器314和光盘(CD)驱动器316。成像器器件308可如图1所示构造，但像素阵列200具有本发明实施例的特性，如与图5-16有关的以上所描述的那些。成像器器件308可以接收来自系统300的CPU 302或其它元件的控制或其它数据。成像器器件308可以依次将限定图像的信号提供给用于图像处理的处理的处理器302或者其它图像处理操作。

在具有钉扎二极管的浮置扩散区方面已描述了本发明，但是提供输出电压的斜率随着光强度上升而改变的其它结构将落入本发明的范围内。而且，关于电子转移已描述了本发明，但是本发明还可应用于空穴到耗尽型光电二极管的转移。

以上描述的工艺和器件示例了说明许多可使用和制造的优选方法和典型的器件。以上的描述和附图示例了实施例，其实现了本发明的目的、特征和优点。然而，不意图使本发明严格地限制于上述的和所示例的实施例。落入以下权利要求的精神和范围内的本发明的任意修改，尽管目前无法预料，但都应当认为是本发明的一部分。

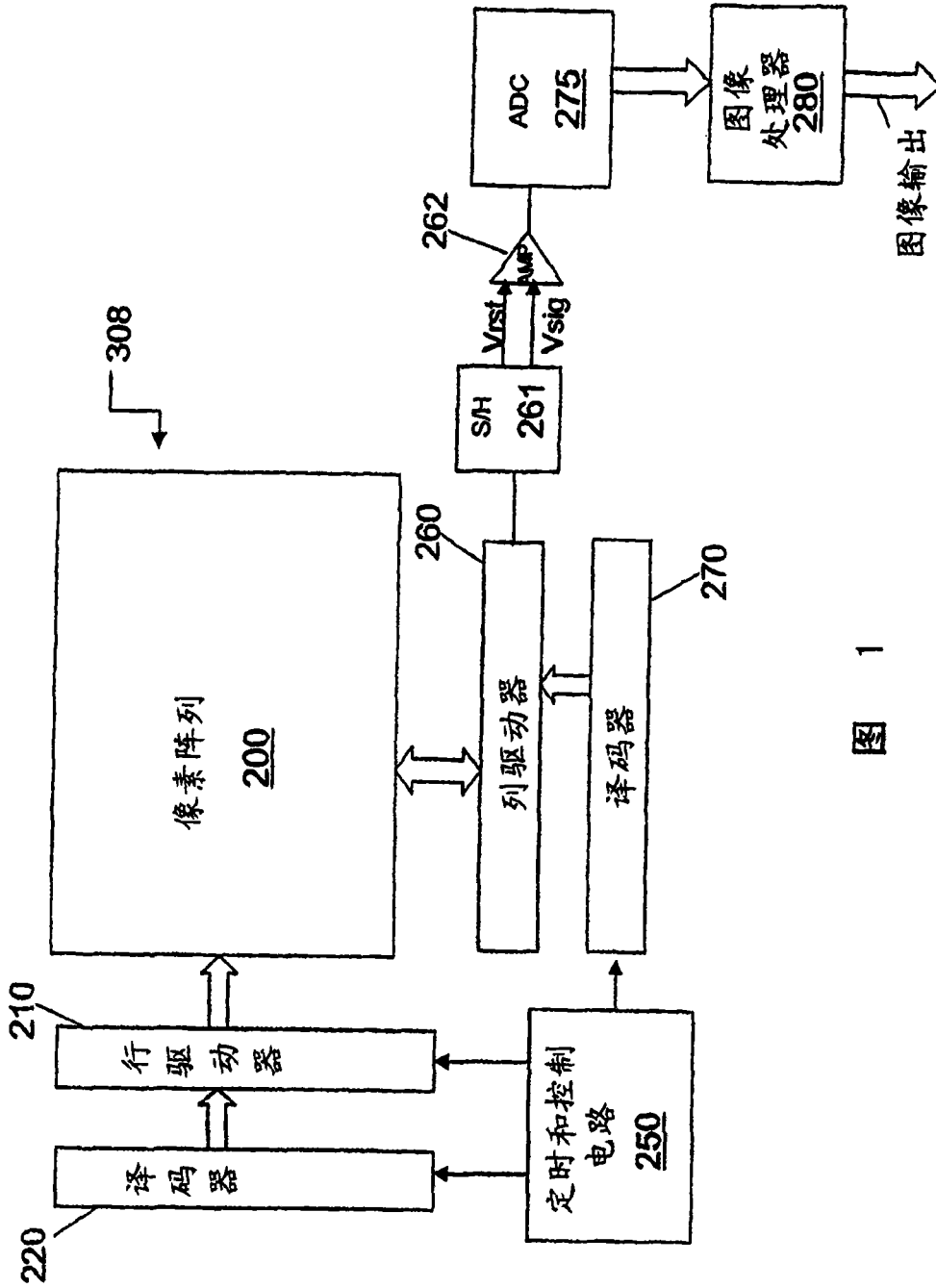


图 1

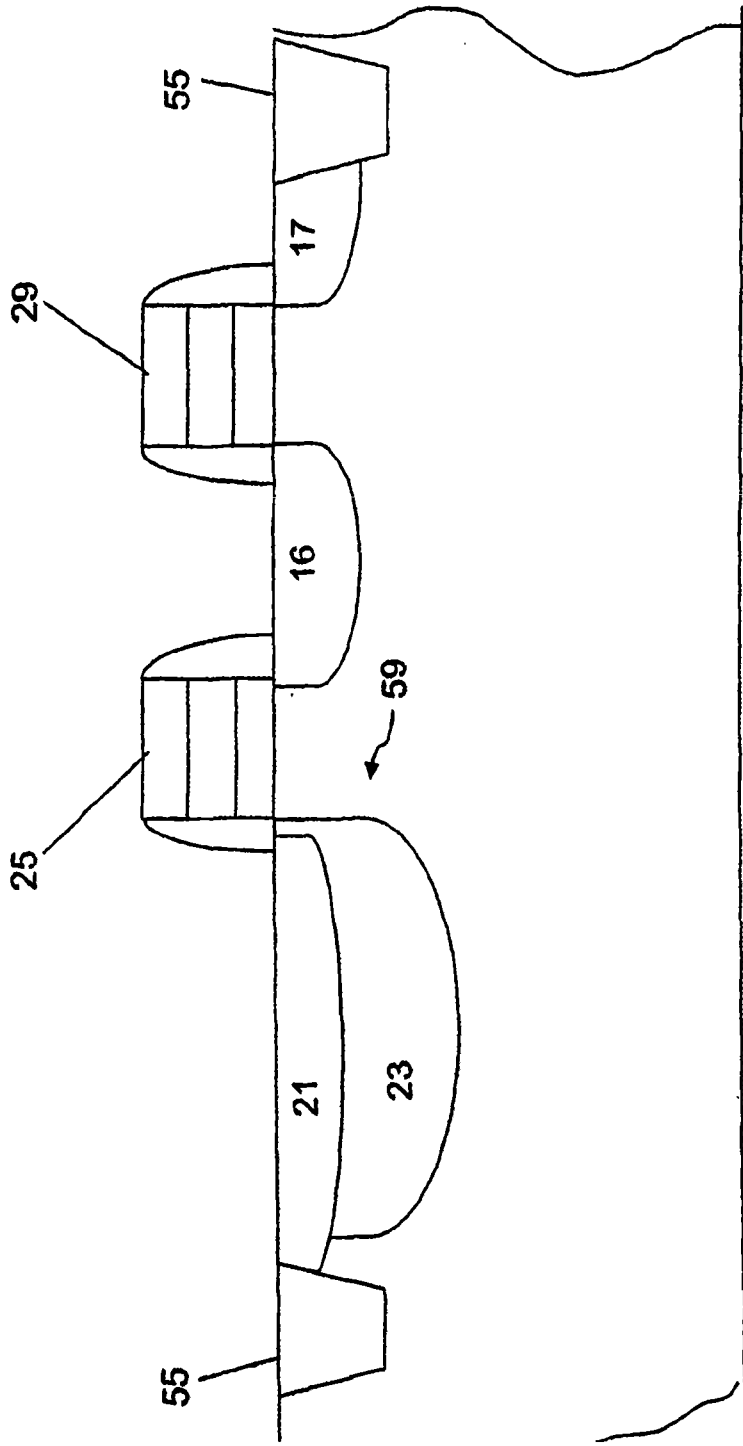


图 2

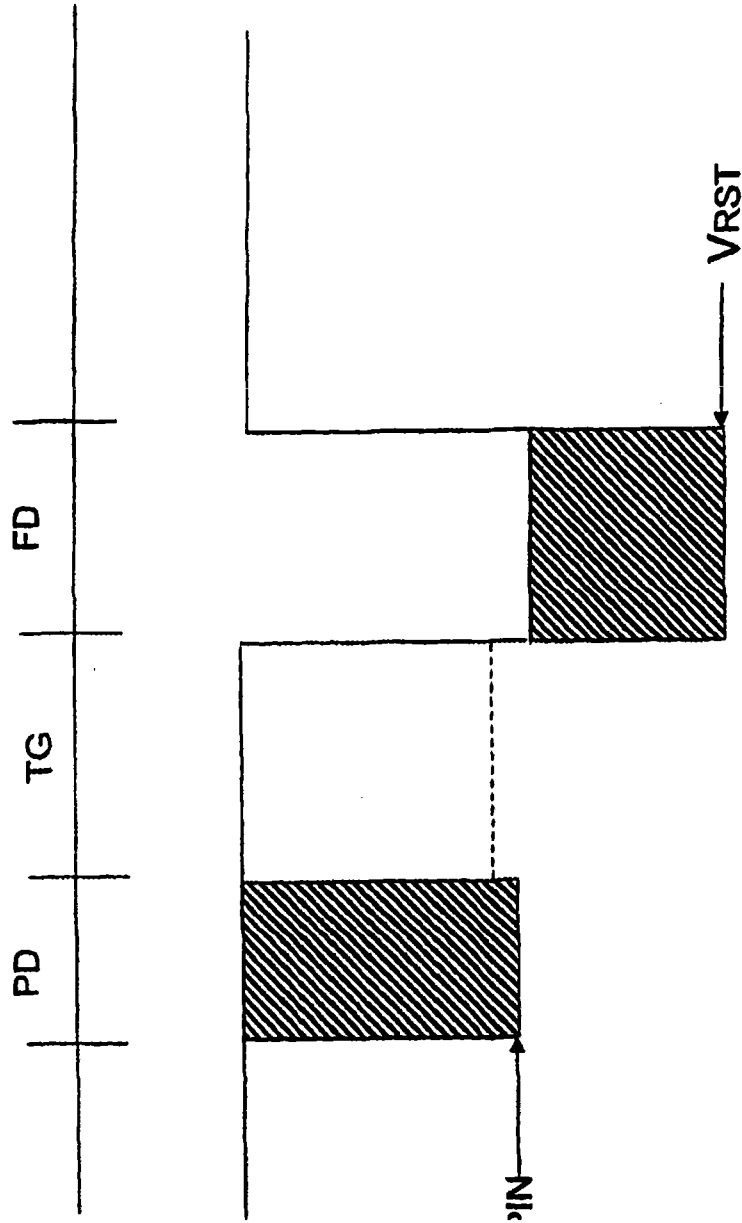


图 3



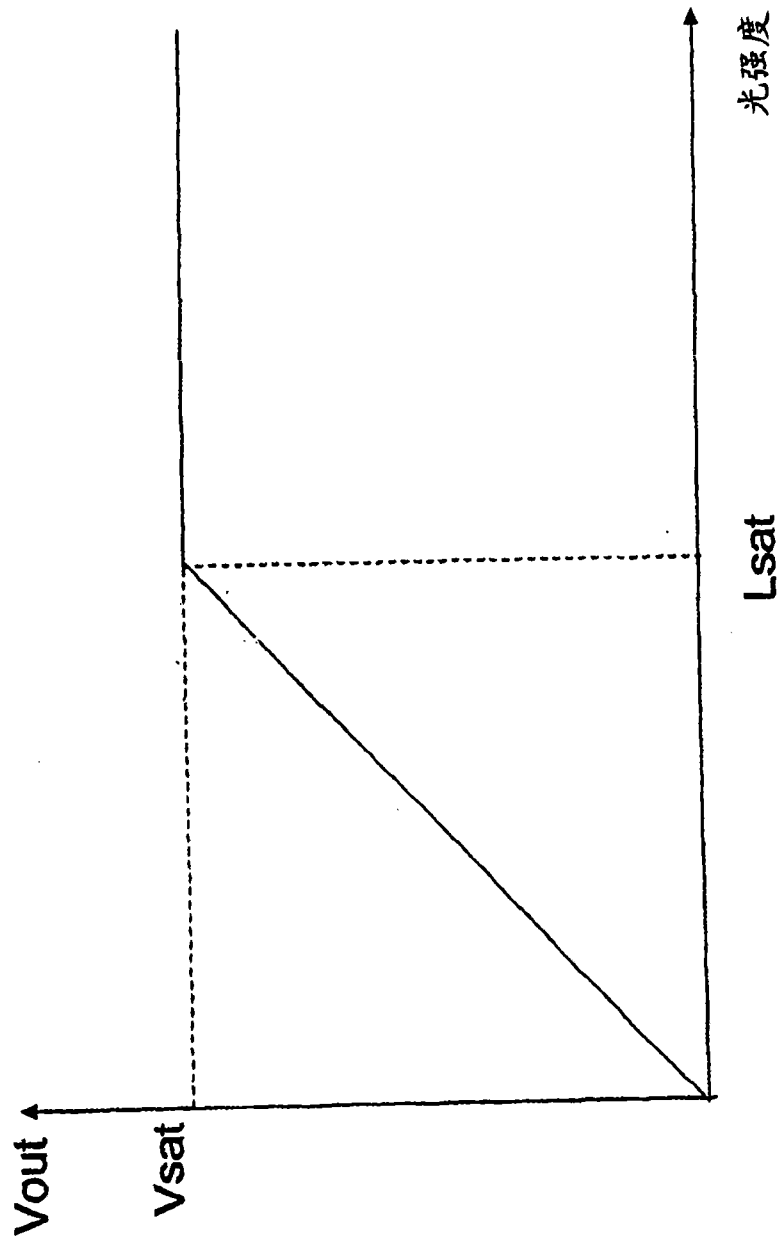


图 4

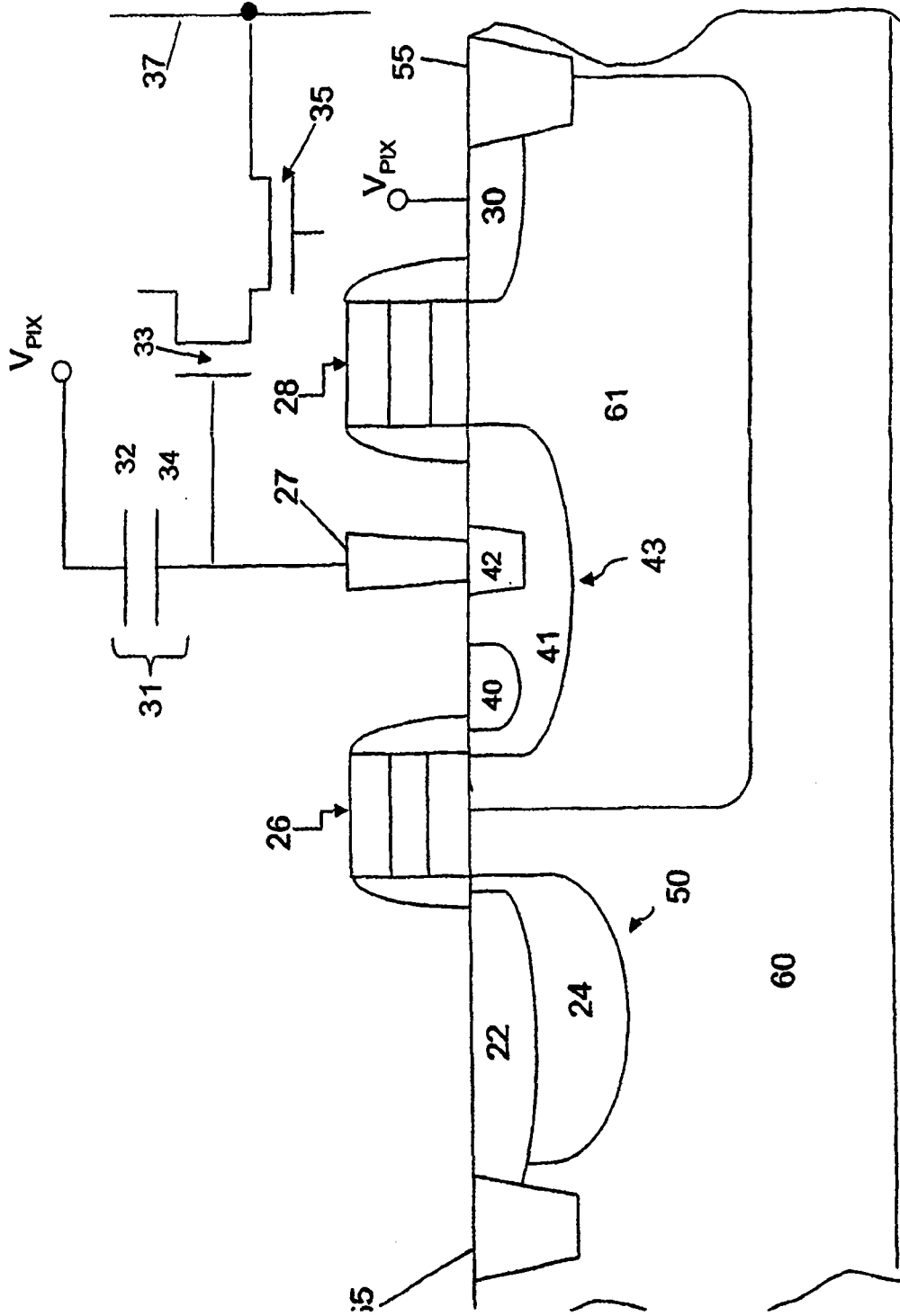


图 5

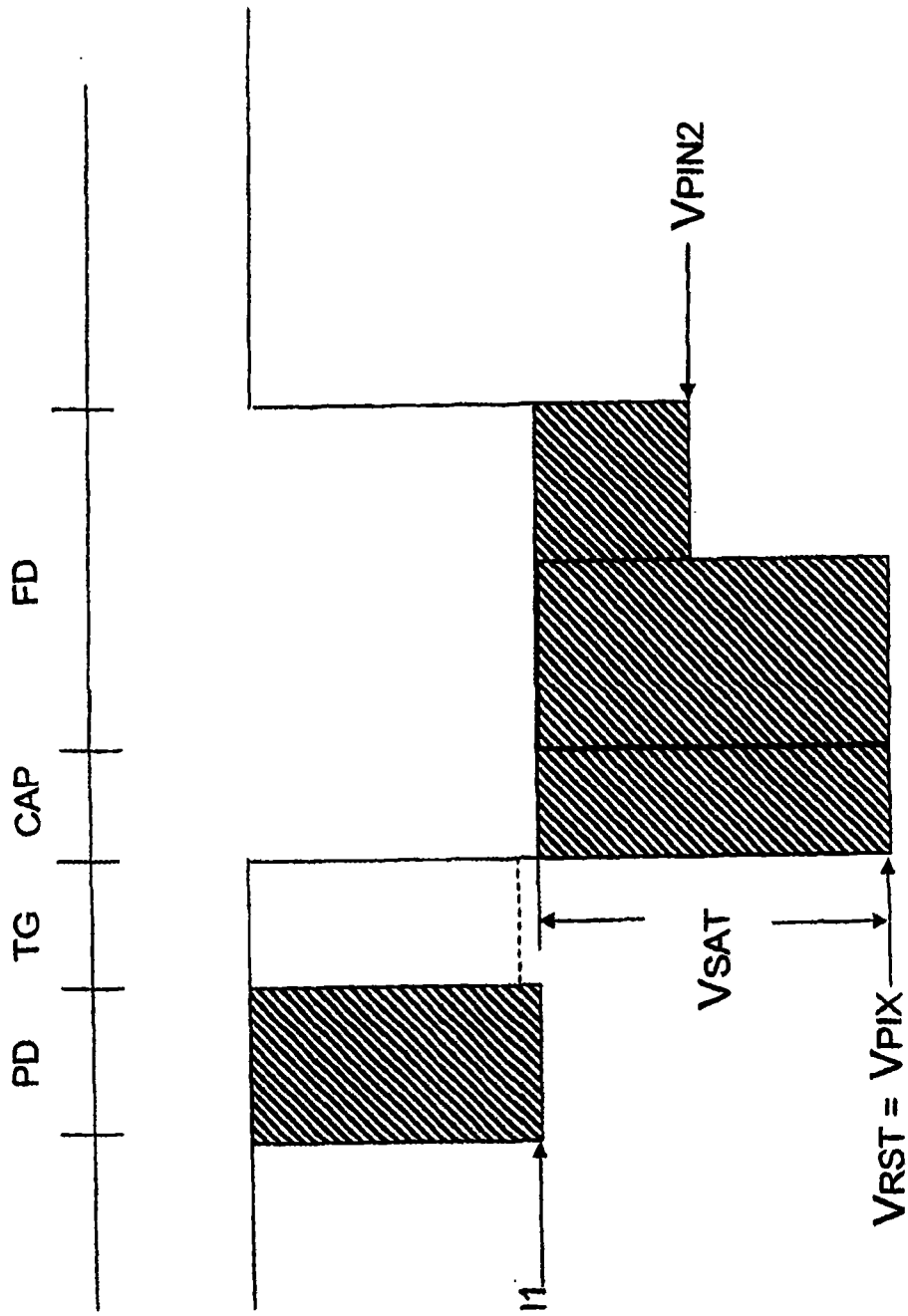


图 6

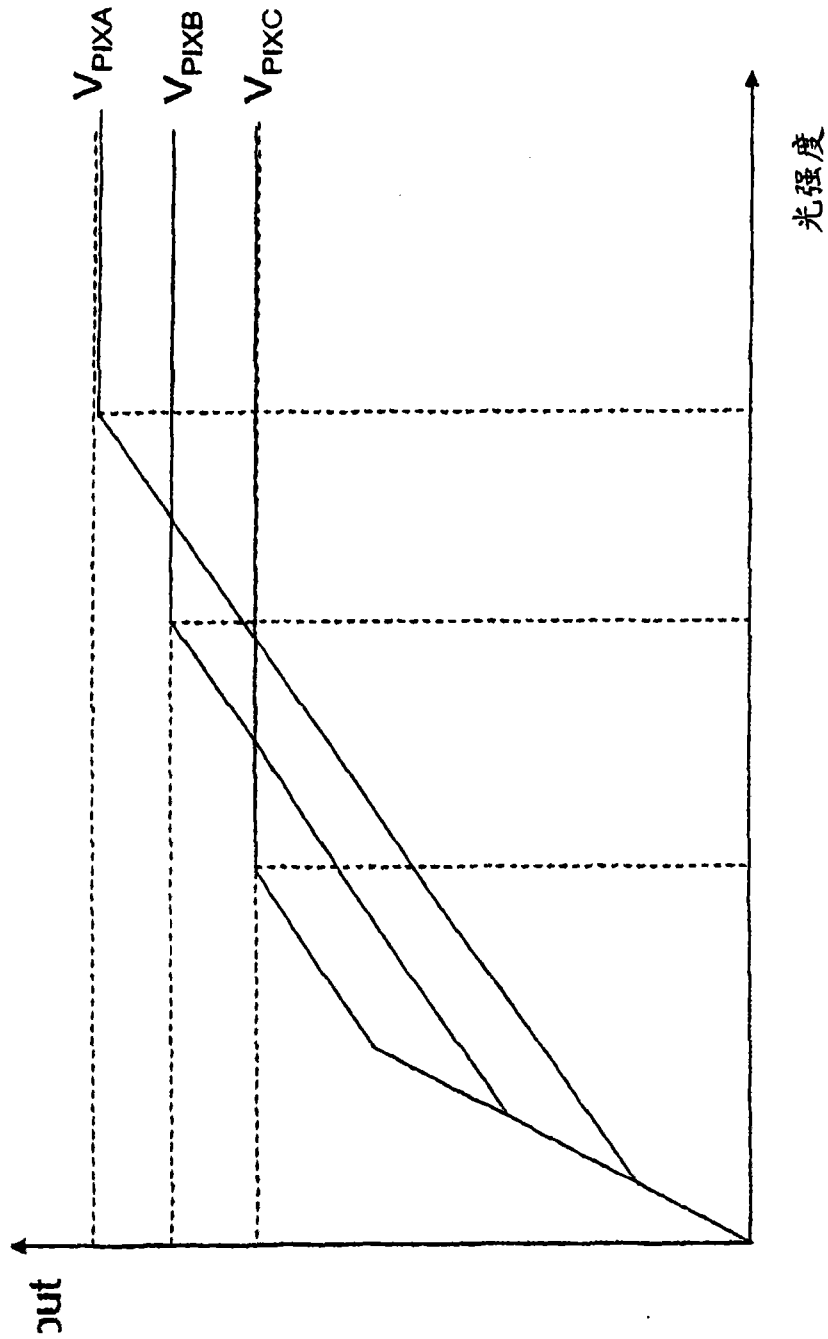


图 7

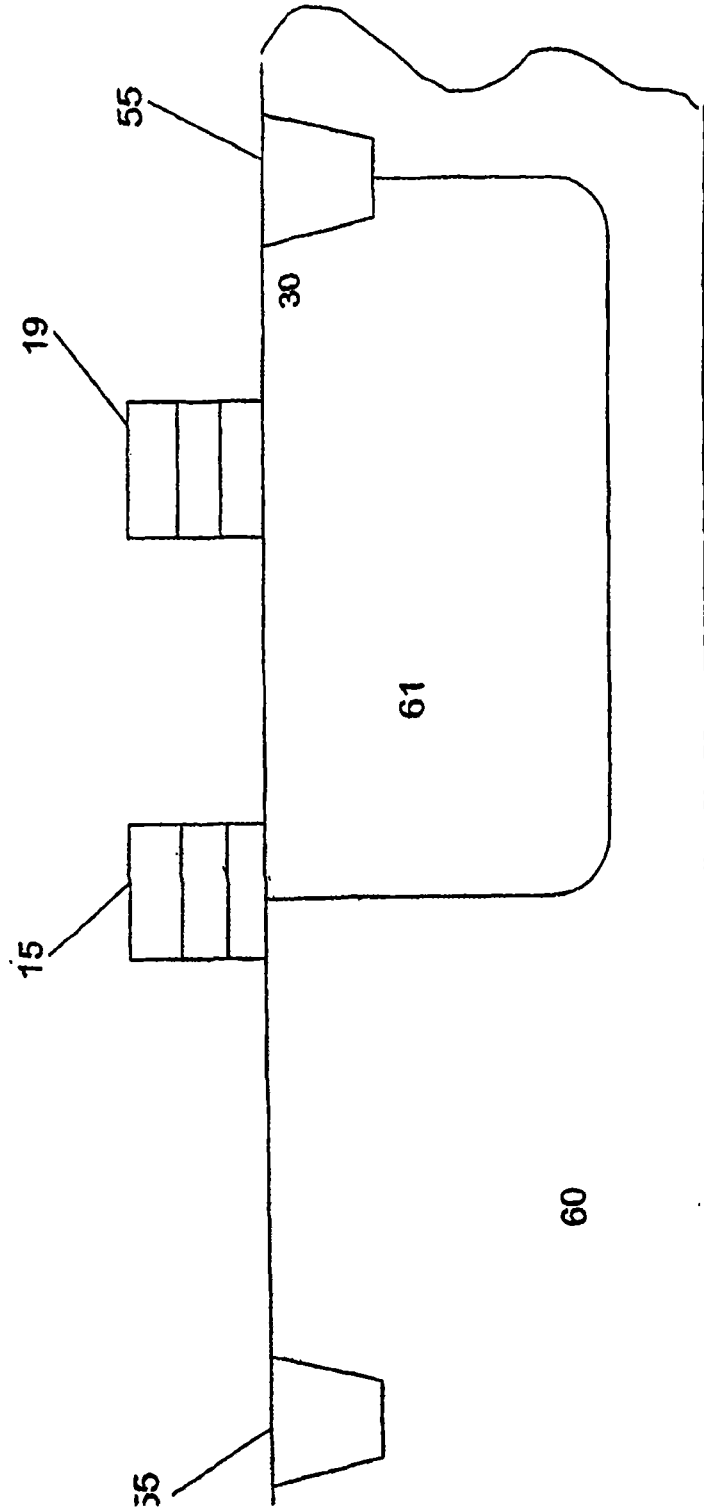


图 8

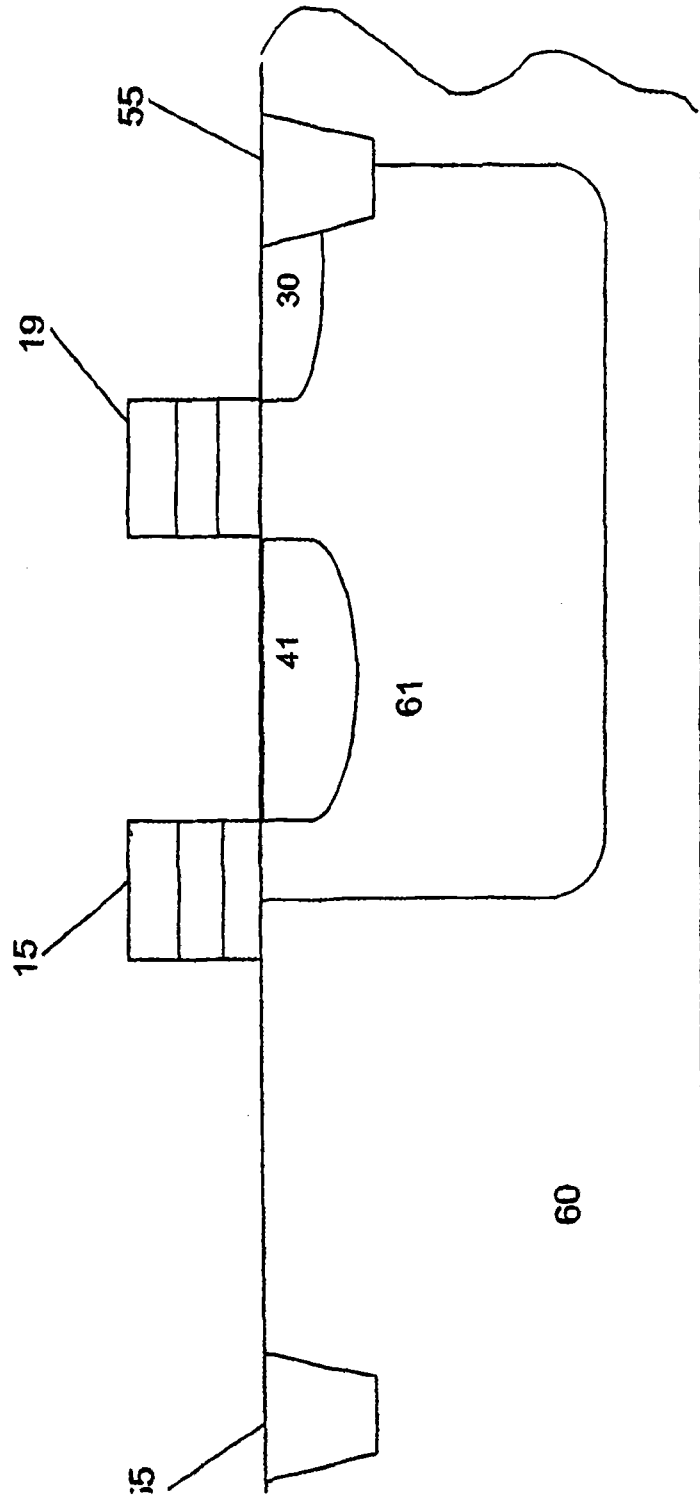


图 9

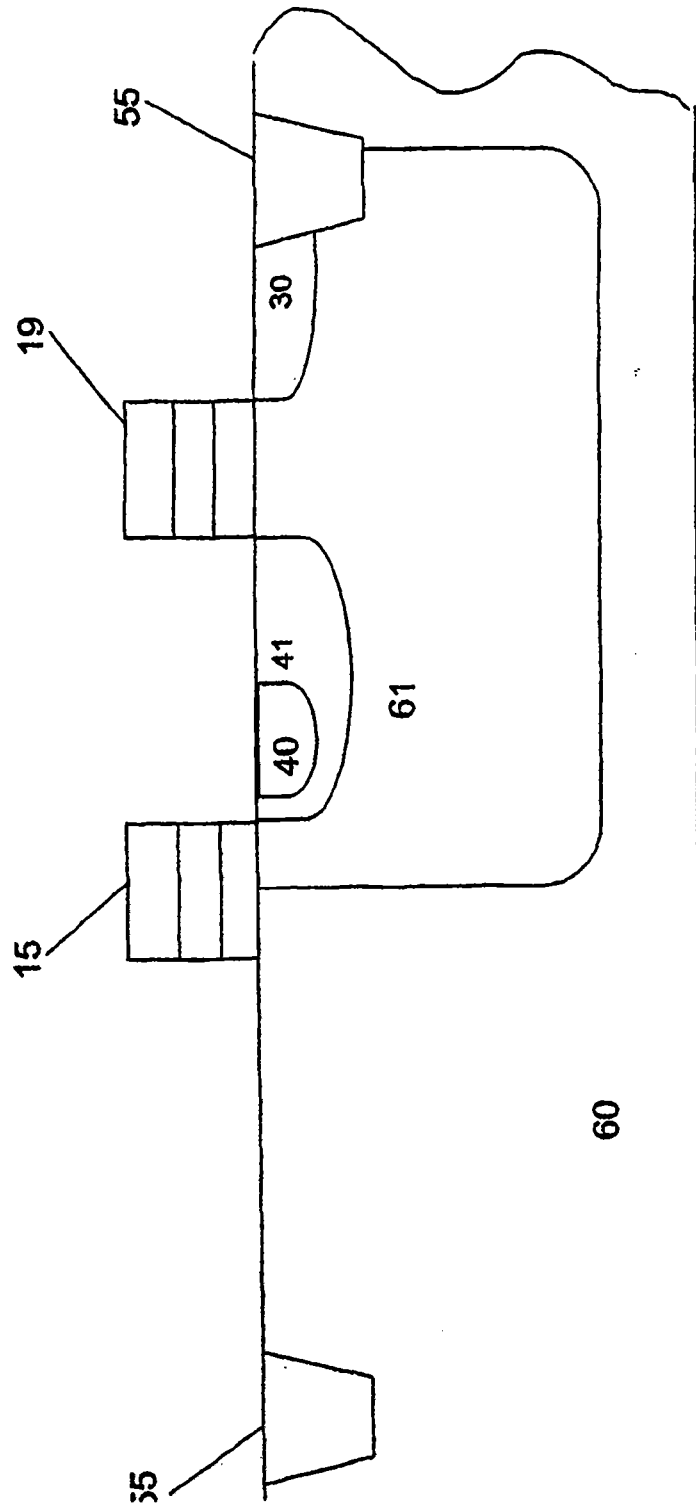


图 10

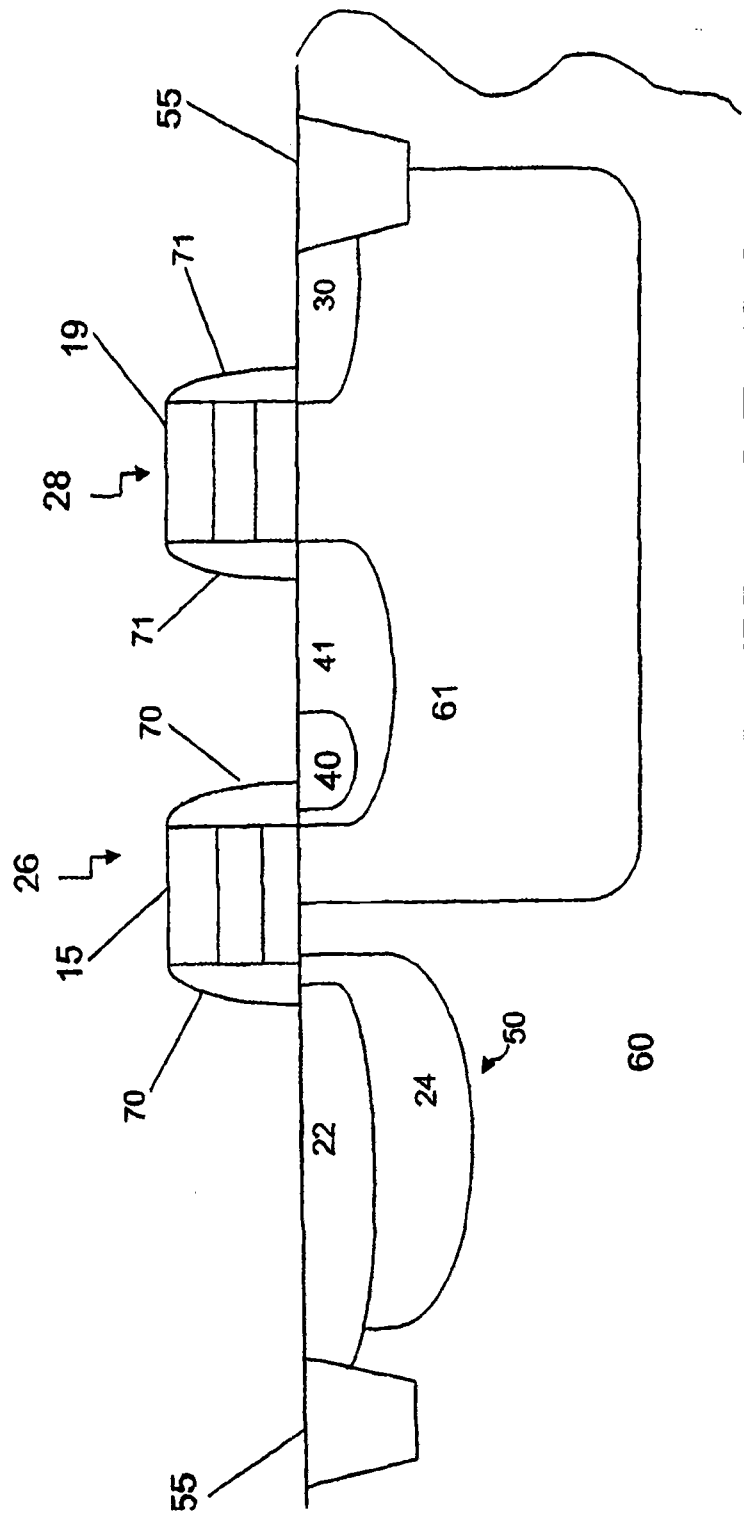


图 11



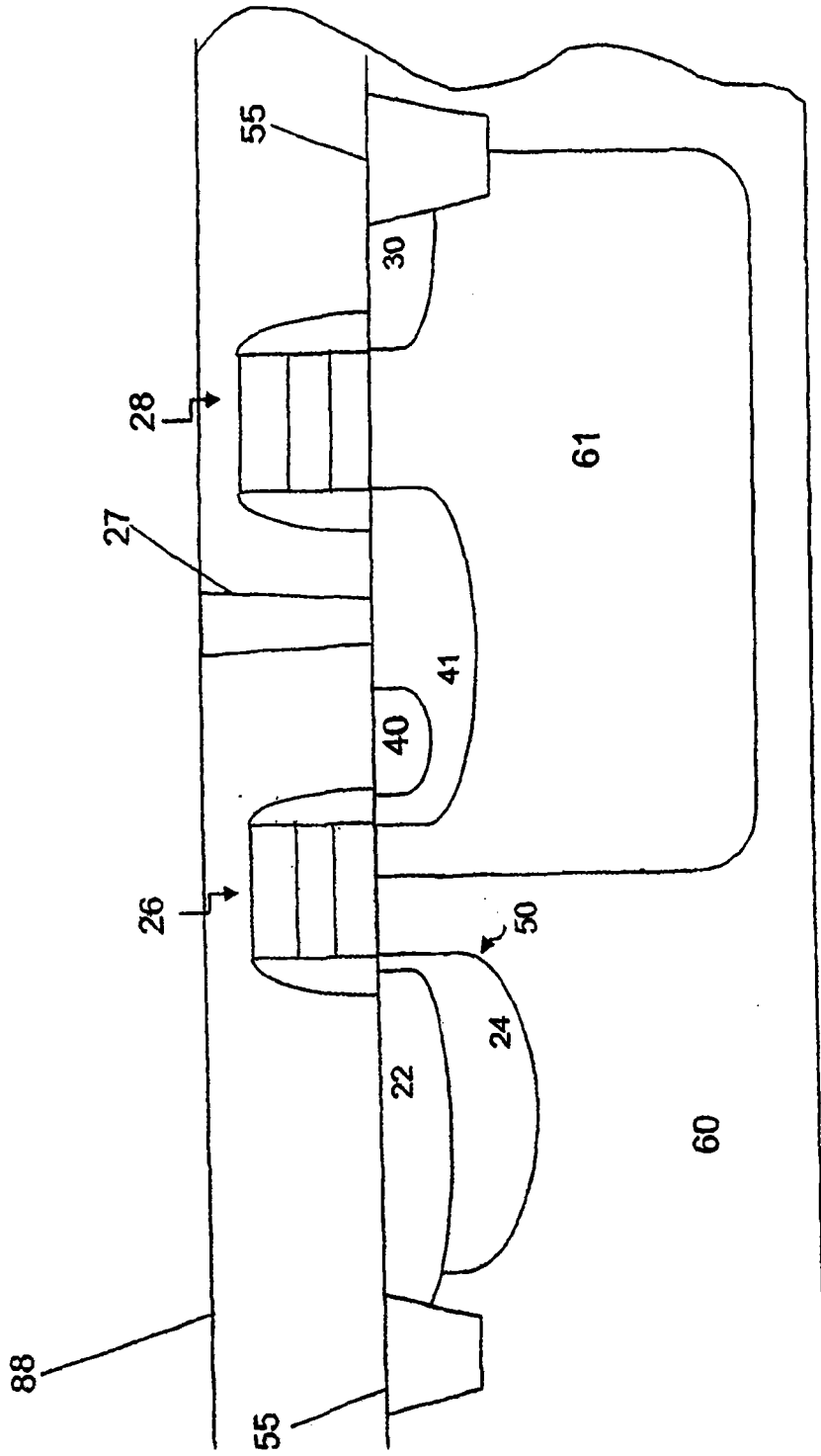


图 12

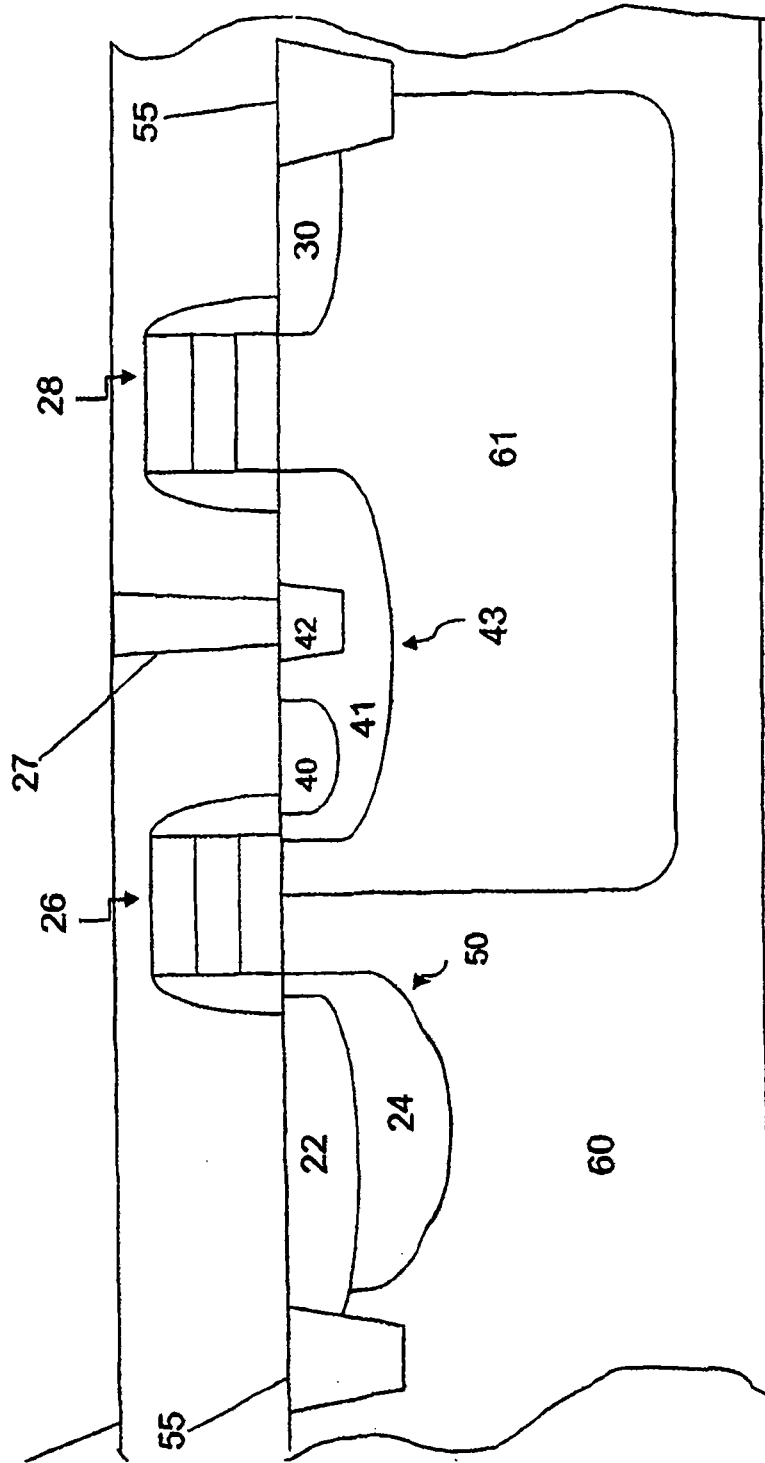


图 13

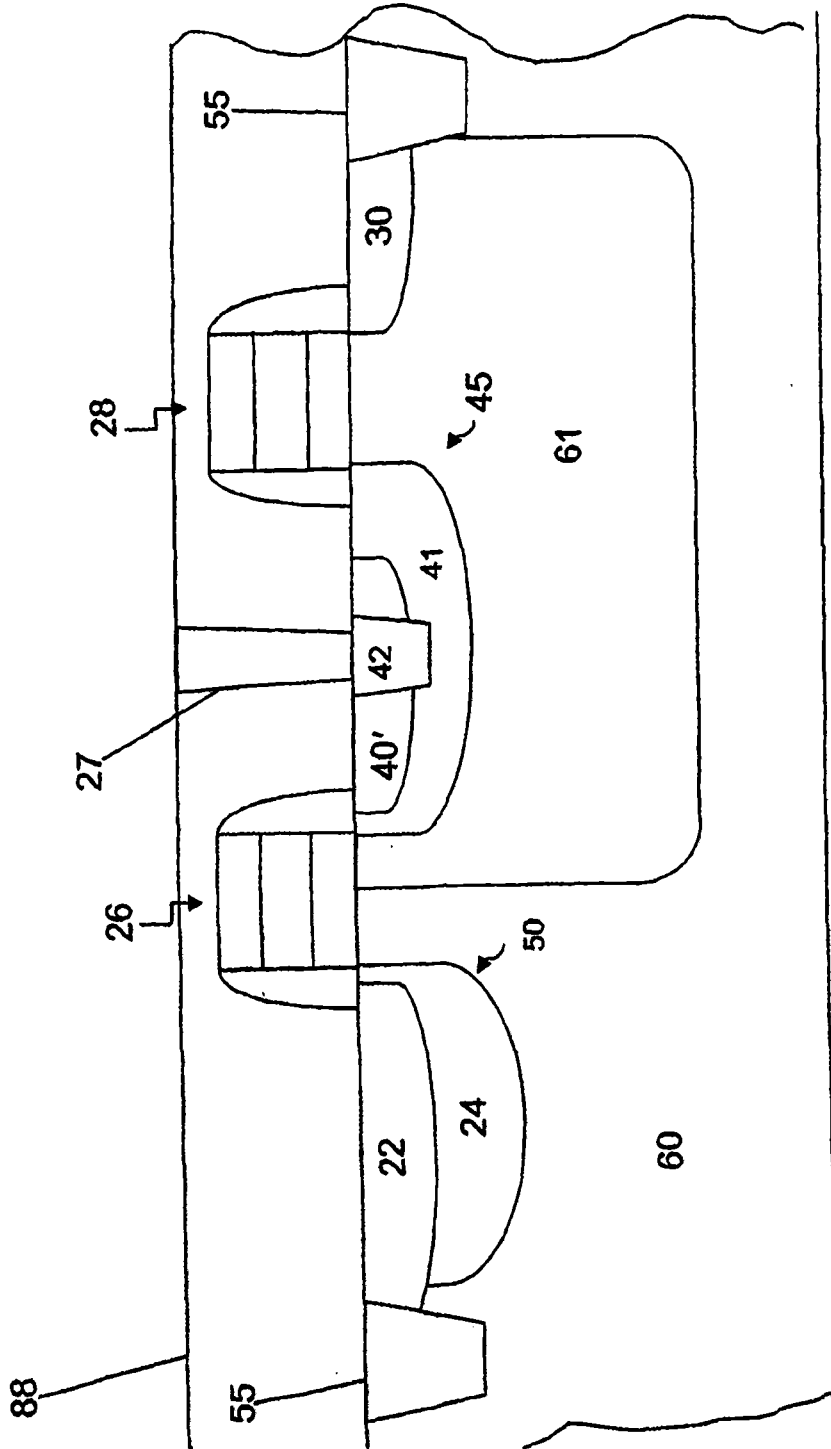


图 14

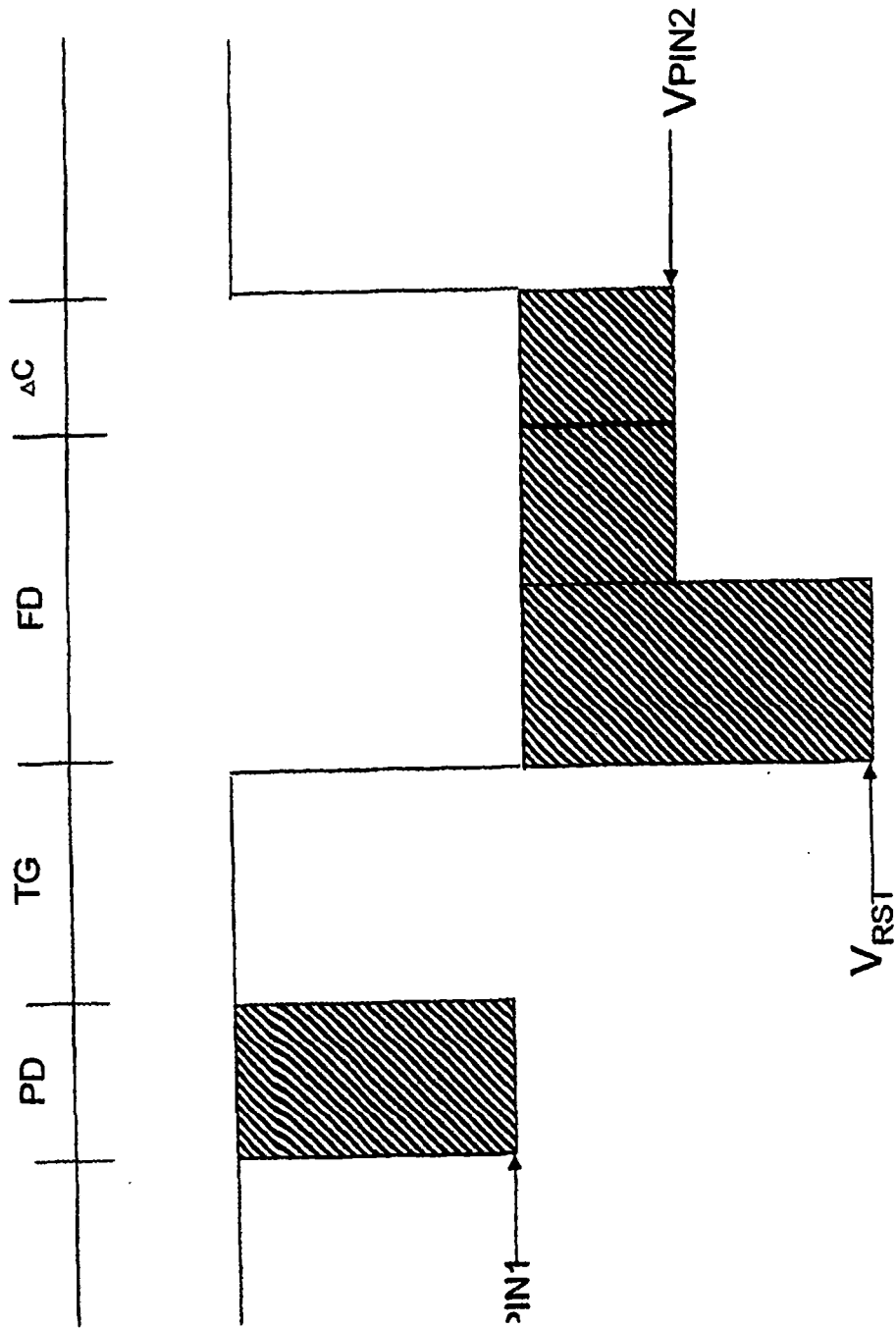


图 15

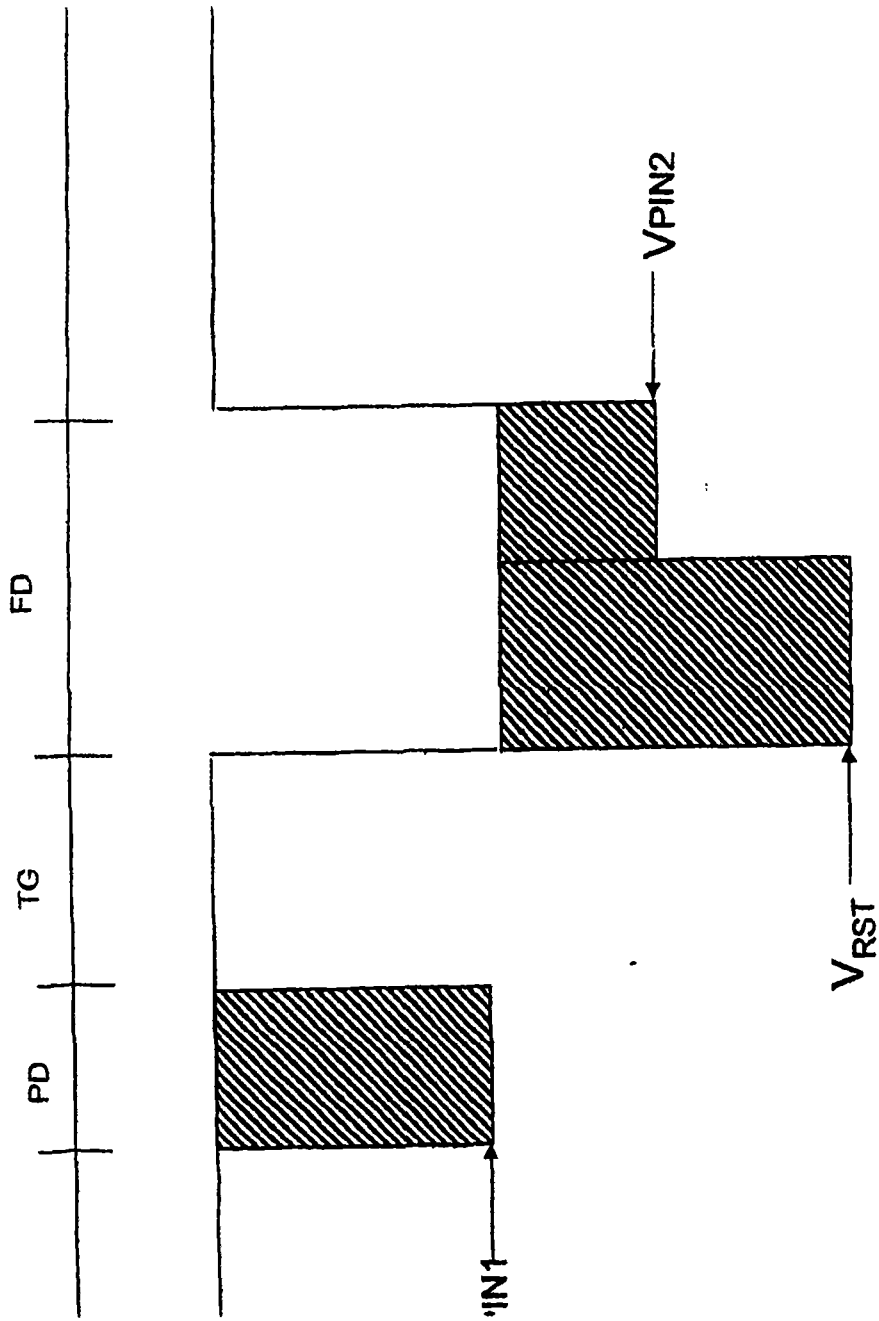


图 16

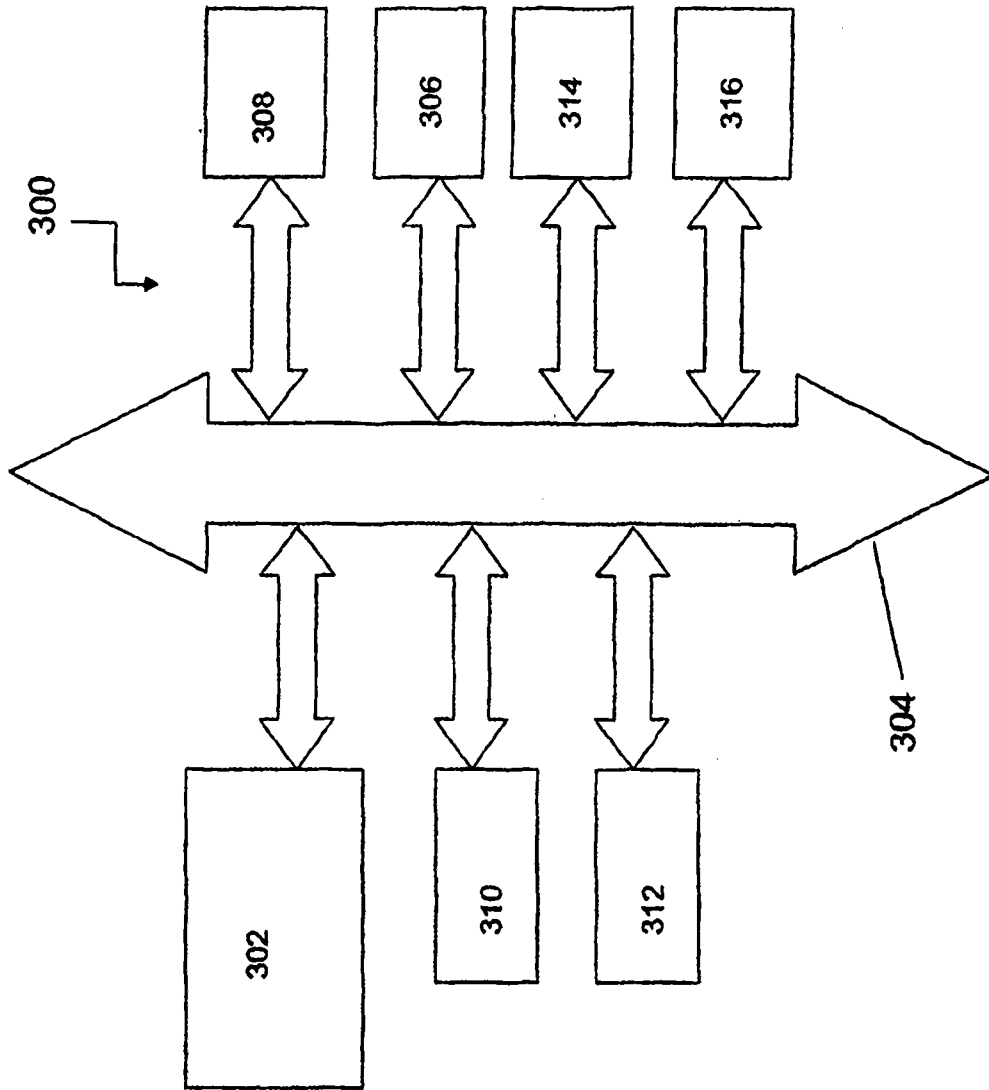


图 17