



(12) 发明专利

(10) 授权公告号 CN 116190436 B

(45) 授权公告日 2024.05.10

(21) 申请号 202310174922.3

H01L 29/06 (2006.01)

(22) 申请日 2023.02.28

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 108598258 A, 2018.09.28

申请公布号 CN 116190436 A

CN 111463289 A, 2020.07.28

CN 112259609 A, 2021.01.22

(43) 申请公布日 2023.05.30

CN 113104808 A, 2021.07.13

(73) 专利权人 北京科技大学

CN 113193115 A, 2021.07.30

地址 100083 北京市海淀区学院路30号

WO 2014169242 A1, 2014.10.16

(72) 发明人 张跃 卫孝福 张铮 张先坤

于慧慧 高丽 洪孟羽 都娴

Xiaosi Zhang等. In situ monitoring of electrical and optoelectronic properties of suspended graphene ribbons during laser-induced morphological changes. *Nanoscale Advances*. 2020, 第9卷全文.

(74) 专利代理机构 北京盛询知识产权代理有限公司

11901

专利代理师 郭成文

审查员 丁宁

(51) Int. Cl.

H01L 29/76 (2006.01)

H01L 21/33 (2006.01)

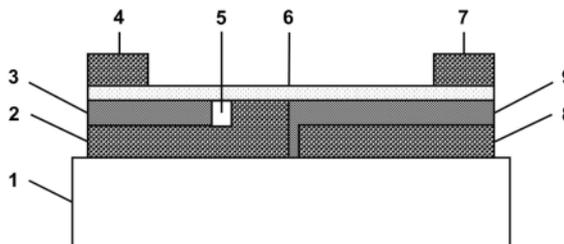
权利要求书2页 说明书7页 附图3页

(54) 发明名称

一种二维同质结型逻辑反相器及其制备方法

(57) 摘要

本发明公开了一种二维同质结型逻辑反相器及其制备方法,包括:绝缘衬底、第一电极组、介电层、二维半导体层和第二电极组;基于二维半导体层、介电层、第一电极组形成所述悬空沟道区域,其中,悬空沟道区域用于抑制静态电流;第一电极组包括:输出电极和输入电极,介电层包括:第一介电层和第二介电层,第二电极组包括:驱动电极和接地电极。本发明制备的同质结型逻辑反相器制备方法简便可行,具有普适性,能够有效抑制了逻辑反相器运行时静态电流的上升,从而降低功耗,并且能够提高逻辑反相器的工作寿命和服役稳定性。



1. 一种二维同质结型逻辑反相器,其特征在于,包括:绝缘衬底,从所述绝缘衬底依次往上的是第一电极组、介电层、二维半导体层和第二电极组;

所述介电层包括:第一介电层和第二介电层;

所述第一电极组包括:输出电极和输入电极,所述输出电极和所述输入电极之间不相连;所述输出电极为L形,所述输出电极的短边上方与所述二维半导体层连接,所述输出电极左侧的L形长边上方与所述第一介电层连接,所述输出电极、所述第一介电层和所述二维半导体层形成悬空区域;悬空沟道区域与非悬空沟道区域之间在静电场作用下形成一个可调节的同质结势垒;

所述第一介电层的长度比所述输出电极短,所述第二介电层的长度比所述输入电极略长,所述第二介电层设置于所述输入电极上方,并设置在所述输入电极和所述输出电极之间;

所述第二电极组包括:驱动电极和接地电极;其中,所述驱动电极的左侧与所述二维半导体层的左侧对齐,所述驱动电极的长度比所述第一介电层短;

所述接地电极的右侧与所述二维半导体层的右侧对齐,所述接地电极的长度比所述输入电极短。

2. 根据权利要求1所述的一种二维同质结型逻辑反相器,其特征在于,所述绝缘衬底采用带有氧化层的硅片,柔性绝缘PET或蓝宝石基底。

3. 根据权利要求1所述的一种二维同质结型逻辑反相器,其特征在于,所述第一电极组和所述第二电极组均为金属电极或二维半金属,所述第一电极组和所述第二电极组的厚度均为30-50nm;

所述介电层采用氧化硅、氧化铝或氧化铪,所述介电层的厚度为20-50nm。

4. 根据权利要求1所述的一种二维同质结型逻辑反相器,其特征在于,所述二维半导体层为二维过渡金属硫族化合物纳米片,其中,所述二维过渡金属硫族化合物纳米片包括:二硫化钼、二硒化钼、二硫化钨等具有半导体特性的二维材料,所述二维半导体层的厚度为0.7-10nm。

5. 如权利要求1-4任一项所述的一种二维同质结型逻辑反相器的制备方法,其特征在于,包括以下步骤:

S1、制备绝缘衬底以及二维半导体层;

S2、在所述绝缘衬底上沉积第一电极组,其中,所述第一电极组包括输出电极和输入电极,所述输出电极与所述输入电极不相连;

S3、在所述第一电极组上方沉积介电层,所述介电层包括第一介电层和第二介电层,所述第一介电层的长度比所述输出电极短,所述第二介电层的长度比所述输入电极的长度略长;

S4、将所述二维半导体层采用湿法转移工艺组装到所述介电层上方,并与所述输出电极的一侧接触且留有悬空区域;

S5、在所述二维半导体层上方沉积第二电极组,完成二维同质结型逻辑反相器的制备,其中,所述第二电极组包括驱动电极和接地电极。

6. 根据权利要求5所述的一种二维同质结型逻辑反相器的制备方法,其特征在于,所述湿法转移工艺包括:

在带有所述二维半导体层材料的基片上旋涂PMMA胶,控制烘干温度120℃,烘干时间1-2min获取PMMA薄膜;

将所述基片浸入预设比例的去离子水和氢氟酸溶液中,刻蚀掉硅片表面的二氧化硅氧化层,获取带有所述二维半导体层材料的PMMA薄膜;

将所述PMMA薄膜浸入去离子水溶液中清洗所述PMMA薄膜残留的氢氟酸溶液,再将清洗后的所述PMMA薄膜捞出,并利用精准转移平台将清洗后的所述PMMA薄膜精准堆垛于所述介电层上表面并与所述输出电极接触,最后将带有所述二维半导体层材料的PMMA薄膜浸入丙酮溶液中去除PMMA胶,完成转移。

一种二维同质结型逻辑反相器及其制备方法

技术领域

[0001] 本发明涉及二维半导体材料应用领域,特别涉及一种同质结型逻辑反相器及其制备方法。

背景技术

[0002] 逻辑反相器是数字集成电路设计的核心元件,其关键特性是将输入信号相位反转 180° 输出,即实现二进制‘0’到‘1’互相转换,其中互补反相器凭借极低的静态功耗和较大的噪声容限广泛应用于数字集成电路中,但是互补反相器需要同时制备两种极性不同的半导体材料来实现由p型沟道和n型沟道晶体管组成的互补结构,增加了电路制造的复杂性。在传统的硅基半导体设计中,互补反相器通常是利用重掺杂技术控制半导体载流子浓度和类型,从而使得半导体呈现出两种极性形成互补结构,然而随着晶体管尺寸不断微缩,由短沟道效应引起的漏电流增大和性能衰减限制了数字集成电路进一步发展。相比于硅基材料的三维体相结构,以过渡金属硫族化合物为代表的二维材料因具有纳米尺度的二维层状结构凭借其独特的物理特性成为下一代低功耗集成电路发展的候选材料,被用于制造规格更小、能效更高的电子芯片,近年来的理论研究已展示了它作为下一代纳米电子器件的光明前景。然而,当沟道尺寸非常小时,掺杂原子数量在纳米尺度上将大大减少,这时实现稳定可控掺杂是一个严峻的挑战。因此,传统的硅基掺杂技术已经不能有效地实现纳米级超薄二维材料的极性控制,无法充分发挥二维材料在低功耗集成电路层面的应用潜能。

[0003] 目前基于二维材料,一些新兴的逻辑反相器构筑方案已经相继提出,按照材料类型可分为单极性和双极性。其中,基于单极性沟道的反相器结构简单,但由于不是互补架构,无法有效抑制反相器运行时的静态电流,从而增加静态功耗。而基于双极性沟道的反相器需要两种极性相反的半导体材料,这种结构需要考虑两种材料之间的匹配性,现存的主要构筑方案可以分为两类:一、通过温和的掺杂方式改变材料极性,其原理为利用半导体材料和掺杂剂之间的相互作用,改变半导体材料中参与导电的多数载流子类型,但是超薄的二维半导体限制了掺杂的有效性,稳定且精确的掺杂方法依然缺乏。二、缺陷调控,其原理为控制材料本身不可避免的缺陷,通过修复或者制造缺陷调控半导体的特性,改变载流子浓度和类型实现半导体极性调控。然而该方法很难实现大面积的缺陷精确调控,可控性差很有可能引入其他不可控缺陷,容易与周围的活性物质产生不可避免的作用,且极性控制力度不够,不能彻底改变半导体的极性,无法有效抑制反相器运行时的静态电流。

发明内容

[0004] 为解决上述问题,从结构层面上看,急需一种适用于二维半导体材料的低功耗反相器构筑方案。本发明提供了一种同质结型逻辑反相器及其制备方法。同质结型逻辑反相器具有功耗低、服役稳定性好、普适性好等优异性能,同时,加工工艺简单。本发明提供的制备方法旨在避免化学掺杂,物理掺杂,缺陷调控等手段带来的材料极性不稳定的问题,提出一种简便可行,无损可逆的低功耗反相器构筑新途径。

[0005] 一方面为实现上述目的,本发明提供一种二维同质结型逻辑反相器,其特征在于,包括:绝缘衬底,从所述绝缘衬底依次往上的第一电极组、介电层、二维半导体层和第二电极组;

[0006] 基于所述二维半导体层、所述介电层、所述第一电极组形成悬空区域;

[0007] 可选的,所述第一电极组包括:输出电极和输入电极,所述输出电极和输入电极之间不相连;所述输出电极为L形,所述输出电极的一侧与所述二维半导体层连接,所述输出电极的另一侧上方与所述介电层连接,所述输出电极、介电层和二维半导体层形成所述悬空区域。

[0008] 可选的,所述介电层包括:第一介电层和第二介电层,其中,所述第一介电层的长度比所述输出电极短,所述第二介电层的长度比所述输入电极的长度略长。

[0009] 可选的,所述第二电极组包括:驱动电极和接地电极;其中,所述驱动电极的左侧与所述二维半导体层的左侧对齐,所述驱动电极的长度比所述第一介电层短,所述接地电极的右侧与所述二维半导体层的右侧对齐,所述接地电极的长度比所述输入电极短。

[0010] 可选的,所述绝缘衬底采用带有氧化层的硅片,柔性绝缘PET或蓝宝石基底。

[0011] 可选的,所述第一电极组和所述第二电极组均为金属电极或二维半金属,所述第一电极组和所述第二电极组的厚度均为30-50nm;

[0012] 所述介电层采用氧化硅、氧化铝或氧化铪,所述介电层的厚度为20-50nm。

[0013] 可选的,所述二维半导体层为二维过渡金属硫族化合物纳米片,其中,所述二维过渡金属硫族化合物纳米片包括:二硫化钼、二硒化钼、二硫化钨等具有半导体特性的二维材料,所述二维半导体层的厚度为0.7-10nm。

[0014] 另一方面为实现上述目的,本发明提供了一种二维同质结型逻辑反相器的制备方法,包括以下步骤:

[0015] S1、制备二维半导体层;

[0016] S2、在所述绝缘衬底上沉积第一电极组,其中,所述第一电极组包括输出电极和输入电极,所述输出电极与所述输入电极不相连;

[0017] S3、在第一电极组上方沉积介电层,所述介电层包括第一介电层和第二介电层,所述第一介电层的长度比所述输出电极短,所述第二介电层的长度比所述输入电极的长度略长;

[0018] S4、将所述二维半导体层组装到所述介电层上方,并与所述输出电极的一侧接触且留有悬空区域;

[0019] S5、在所述二维半导体层上方沉积第二电极组,完成二维同质结型逻辑反相器的制备,其中,所述第二电极组包括驱动电极和接地电极。

[0020] 可选的,所述湿法转移工艺包括:

[0021] 在带有所述二维半导体层材料的基片上旋涂PMMA胶,控制烘干温度120℃,烘干时间1-2min获取PMMA薄膜;

[0022] 将所述基片浸入预设比例的去离子水和氢氟酸溶液中,刻蚀掉硅片表面的二氧化硅氧化层,获取带有所述二维半导体层材料的PMMA薄膜;

[0023] 将所述PMMA薄膜浸入去离子水溶液中清洗所述PMMA薄膜残留的氢氟酸溶液,再将清洗后的所述PMMA薄膜捞出,并利用精准转移平台将清洗后的所述PMMA薄膜精准堆垛于所

述介电层上表面并与所述输出电极接触,最后将带有所述二维半导体层材料的PMMA薄膜浸入丙酮溶液中去掉PMMA胶,完成转移。

[0024] 本发明的有益技术效果如下:

[0025] 本发明的悬空沟道区域与非悬空沟道区域之间在静电场作用下形成一个可调节的同质结势垒,有效抑制了逻辑反相器运行时静态电流的上升,从而降低功耗;

[0026] 本发明通过结构设计,巧妙地规避了掺杂、缺陷调控等复杂工艺对沟道材料极性的改变,避免破坏材料的晶体结构,提高了逻辑反相器的工作寿命和服役稳定性,是一种无损可逆的制备方法;

[0027] 本发明的逻辑反相器表现出优异的电压转换特性和超低的静态电流(小于10pA),可作为低功耗电路元件用于集成电路领域;

[0028] 本发明提供的制备方法简便可行,具有普适性。

附图说明

[0029] 构成本申请的一部分的附图用来提供对本申请的进一步理解,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0030] 图1为本发明同质结型逻辑反相器的结构示意图;

[0031] 图2为实施例1中单层二硫化钨同质结型逻辑反相器的电压传递特性曲线;

[0032] 图3为实施例1中单层二硫化钨同质结型逻辑反相器的电流输出特性曲线;

[0033] 图4为实施例2中少层二硫化钨同质结型逻辑反相器的电流输出特性曲线;

[0034] 图5为对比例传统反相器的结构示意图;

[0035] 图6为对比例中少层二硫化钨传统反相器的电流输出特性曲线;

[0036] 其中,1、绝缘衬底;2、输出电极;3、第一介电层;4、驱动电极;5、悬空区域;6、二维半导体层;7、接地电极;8、输入电极;9、第二介电层;10、互连电极。

具体实施方式

[0037] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0038] 需要说明的是,在附图的流程图示出的步骤可以在诸如一组计算机可执行指令的计算机系统中执行,并且,虽然在流程图中示出了逻辑顺序,但是在某些情况下,可以以不同于此处的顺序执行所示出或描述的步骤。

[0039] 如图1所示,本发明提供了一种二维同质结型逻辑反相器包括:绝缘衬底1、第一电极组、介电层、二维半导体层6和第二电极组;

[0040] 基于二维半导体层6、介电层、第一电极组形成悬空区域5;

[0041] 进一步地,第一电极组包括:输出电极2和输入电极8,输出电极2和输入电极8之间不相连;输出电极2为L形,输出电极2的一侧与二维半导体层6连接,输出电极2的另一侧上方与介电层连接,2输出电极、介电层和二维半导体层6形成所述悬空区域。

[0042] 进一步地,介电层包括:第一介电层3和第二介电层9,第一介电层3的长度比输出电极2短,第二介电层9的长度比输入电极8的长度略长。

[0043] 进一步地,二维半导体层6位于介电层3上方并与输出电极2接触且留有部分悬空

区域5。

[0044] 进一步地,第二电极组包括:驱动电极4和接地电极7;其中,驱动电极4和接地电极7;其中,驱动电极4的左侧与二维半导体层6的左侧对齐,驱动电极4的长度比第一介电层3短,接地电极7的右侧与二维半导体层6的右侧对齐,接地电极7的长度比输入电极8短。

[0045] 进一步地,绝缘衬底1的采用带有氧化层的硅片,柔性绝缘PET或蓝宝石基底。

[0046] 进一步地,第一电极组和第二电极组均为金属电极或二维半金属,第一电极组和第二电极组的厚度均为30-50nm;

[0047] 介电层采用氧化硅、氧化铝或氧化钪,介电层的厚度为20-50nm。

[0048] 进一步地,二维半导体层6的材料为二维过渡金属硫族化合物纳米片,其中,二维过渡金属硫族化合物纳米片包括:二硫化钼、二硒化钼、二硫化钨等具有半导体特性的二维材料,二维半导体层的厚度为0.7-10nm。

[0049] 本发明同质结型逻辑反相器的结构包括:依次堆叠的绝缘衬底1、输入电极8、输出电极2、介电层、二维半导体层6、驱动电极4和接地电极7,其中,二维半导体层6需要与输出电极2、驱动电极4、接地电极7接触。

[0050] 本发明悬空区域5是同质结型反相器运行时抑制静态电流的关键。

[0051] 本发明同质结型反相器运行时,驱动电极4一直保持高电势,接地电极7一直接地,即保持低电势,而输出电极2的电势则随着输入电极8电势的变化而变化,即输入低电势(定义为二进制逻辑‘0’态),输出高电势(定义为二进制逻辑‘1’态);输入高电势(定义为二进制逻辑‘1’态),输出低电势(定义为二进制逻辑‘0’态)。

[0052] 本发明悬空沟道部分与位于延长的输出电极2上方非悬空沟道部分之间,在输出电极2所施加的静电场作用下会形成一个可调节的同质结势垒,且该势垒的大小随着输出电极2的电势变化而变化,即输出电极2为高电势时,与驱动电极4同电势,没有静电场作用于沟道,此时悬空沟道部分与非悬空沟道部分之间几乎没有势垒;当输出电极2为低电势时,与驱动电极4之间产生电势差,从而会产生静电场作用于沟道,此时悬空沟道部分与非悬空沟道部分之间会形成同质结势垒,该势垒可以抑制反相器运行时的静态电流,从而降低功耗。

[0053] 本发明还提供了一种二维同质结型逻辑反相器的制备方法,包括以下步骤:

[0054] S1、制备二维半导体层6;

[0055] S2、在绝缘衬底1上沉积第一电极组,其中,第一电极组包括输出电极2和输入电极8,输出电极2与输入电极8不相连;

[0056] S3、在第一电极组上方沉积介电层,介电层包括第一介电层3和第二介电层9,第一介电层3的长度比输出电极2短,第二介电层9的长度比输入电极8的长度略长;

[0057] S4、将二维半导体层6组装到介电层上方,并与输出电极2的一侧接触且留有悬空区域5;

[0058] S5、在二维半导体层6上方沉积第二电极组,完成二维同质结型逻辑反相器的制备,其中,第二电极组包括驱动电极4和接地电极7。

[0059] 进一步地,湿法转移工艺包括:

[0060] 在带有二维半导体层材料的基片上旋涂PMMA胶,控制烘干温度120℃,烘干时间1-2min获取PMMA薄膜;

[0061] 将基片浸入预设比例的去离子水和氢氟酸溶液中,刻蚀掉硅片表面的二氧化硅氧化层,获取带有二维半导体层材料的PMMA薄膜;

[0062] 将PMMA薄膜浸入去离子水溶液中清洗PMMA薄膜残留的氢氟酸溶液,再将清洗后的PMMA薄膜捞出,并利用精准转移平台将清洗后的PMMA薄膜精准堆垛于介电层上表面并与输出电极2接触,最后将带有二维半导体层材料的PMMA薄膜浸入丙酮溶液中去掉PMMA胶,完成转移。

[0063] 实施例1

[0064] 单层二硫化钼同质结型逻辑反相器的制备:

[0065] (1) 利用化学气相沉积法制备二维半导体层6(单层二硫化钼纳米片):以三氧化钼粉末(10mg)和硫粉(1g,过量,硫粉放置在上游,可多次使用)为前驱体,在生长温度为850°C和氧气辅助条件下,反应生成厚度为0.7nm的单层二硫化钼。硫粉放置在通气口上游,在175°C下变成硫蒸气随着载气(Ar)通向温度为850°C的中游(此处放置三氧化钼粉末),发生反应生成单层二硫化钼。

[0066] (2) 输出电极2和输入电极8的预沉积:在绝缘衬底1上旋涂一层PMMA胶体并180°C烘干1min,利用电子束曝光技术进行图案化处理,并通过热蒸镀工艺沉积金属电极,电极材料为纯金,完成输出电极2和输入电极8的预沉积,厚度为30nm。

[0067] (3) 介电层3的沉积:在带有输出电极2和输入电极8衬底上旋涂PMMA胶体并180°C烘干1min,利用电子束套刻技术进行图案化处理,并通过原子层沉积工艺生长介电层3,介电层材料为氧化铪,完成局部覆盖输出电极2和全部覆盖输入电极8的加工,介电层3的厚度为30nm。

[0068] (4) 二维半导体层6的组装:在生长有单层二硫化钼纳米片的硅片上旋涂一层PMMA胶作为载物层,120°C烘干1min成膜,然后浸入去离子水和氢氟酸比例为5:1的溶液中,刻蚀掉硅片表面的二氧化硅氧化层,得到漂浮于溶液表面的带有二硫化钼纳米片的PMMA薄膜;用去离子水溶液中清洗薄膜表面残留的氢氟酸溶液,随后将薄膜捞至带有PDMS的定制载物板上;最后,利用精确转移平台将PMMA薄膜上的二硫化钼纳米片精准堆垛于介电层3上表面并与输出电极2接触且留有悬空区域5,随后放入丙酮溶液中去掉PMMA残胶,完成二维半导体层6的组装,作为导电沟道材料。

[0069] (5) 沉积驱动电极4和接地电极7:利用电子束曝光技术和热蒸镀工艺在单层二硫化钼上沉积金属电极作为接触电极,电极材料为纯金,厚度为30nm,最终完成单层二硫化钼同质结型逻辑反相器。

[0070] 实施例1制备的单层二硫化钼同质结型逻辑反相器电压传递特性曲线见图2。由图2曲线可知,输入电压从低电势变化到高电势时,输出电压实现从高电势到低电势的转换,展现出优异的逻辑非门功能,证明该方法成功构筑了一个逻辑反相器。其中反相器运行时,驱动电极4始终施加高电势,接地电极7始终接地处于低电势。

[0071] 实施例1制备的单层二硫化钼同质结型逻辑反相器电流输出特性曲线见图3。由图3曲线可知,反相器运行时的最大静态工作电流小于10pA(1nA=1000pA),远低于现有反相器运行时的静态电流(大于1nA),展现出巨大的低功耗优势。

[0072] 实施例2

[0073] 少层二硫化钨同质结型逻辑反相器的制备:

[0074] (1) 利用机械剥离法制备二维半导体层6(少层二硫化钨纳米片):将3M蓝膜胶带粘在二硫化钨块材上,缓慢撕下,这时胶带上残留多层的二硫化钨材料,然后将带有二硫化钨薄片的胶带按压在硅片上,缓慢揭开,使少层二硫化钨纳米片留在硅片上,多次重复上一步操作,获得不同厚度的二硫化钨纳米片,本实施例选用厚度为2nm的二硫化钨纳米片作为二维半导体层6。

[0075] (2) 输出电极2和输入电极8的预沉积:在绝缘衬底1上旋涂一层PMMA胶体并180℃烘干1min,利用电子束曝光技术进行图案化处理,并通过热蒸镀工艺沉积金属电极,电极材料为纯金,完成输出电极和输入电极的预沉积,厚度为30nm。

[0076] (3) 介电层3的沉积:在带有输出电极2和输入电极8衬底上旋涂PMMA胶体并180℃烘干1min,利用电子束套刻技术进行图案化处理,并通过原子层沉积工艺生长介电层3,介电层材料为氧化钪,完成局部覆盖输出电极2和全部覆盖输入电极8的加工,介电层3的厚度为30nm。

[0077] (4) 二维半导体层6的组装:在带有少层二硫化钨纳米片的硅片上旋涂PPC胶体,100℃烘干1min形成厚度为500nm的PPC膜,借助3M胶带将带有氮化硼的PPC薄膜从硅片上慢慢揭下来,利用精确转移平台将PPC膜上的二硫化钨纳米片精确堆垛于介电层3上表面且与输出电极2接触并留有悬空区域5,随后放入丙酮溶液中去除PPC残胶,完成二维半导体层6的组装,作为导电沟道材料。

[0078] (5) 沉积驱动电极4和接地电极7:利用电子束曝光技术和热蒸镀工艺在少层二硫化钨上沉积金属电极作为接触电极,电极材料为纯金,厚度为30nm,最终完成少层二硫化钨同质结型逻辑反相器。

[0079] 实施例2所制备的少层二硫化钨同质结型逻辑反相器的电流输出特性曲线见图4。由图4曲线可知,反相器运行时的最大静态电流小于10pA,同样远低于现有反相器运行时的静态电流(大于1nA),证明该方法同样适用于少层二硫化钨纳米片。

[0080] 对比例1

[0081] 为了证明同质结型逻辑反相器超低静态电流的实现得益于独特的悬空区域5,本发明设计了传统无悬空沟道区域逻辑反相器的对比实验。

[0082] 本对比实验中器件的结构示意图见图5,其中,1为绝缘衬底,2为输出电极,3为第一介电层,4为驱动电极,6为二维半导体层,7为接地电极,8为输入电极,9为第二介电层,10为互连电极。

[0083] 对比例逻辑反相器的制备:

[0084] (1) 本对比例选用与实施例2完全一样的少层二硫化钨纳米片作为二维半导体层6,厚度为2nm;

[0085] (2) 采用同样的工艺进行输出电极2和输入电极8的预沉积:在绝缘衬底1上旋涂一层PMMA胶体并180℃烘干1min,利用电子束曝光技术进行图案化处理,并通过热蒸镀工艺沉积金属电极,电极材料为纯金,完成输出电极2和输入电极8的预沉积,厚度为30nm;

[0086] (3) 采用同样的原子层沉积工艺完成第一介电层3和第二介电层9的沉积:介电层材料为氧化钪,厚度为30nm。特别注意,此时第一介电层3和第二介电层9完全覆盖输出电极2和输入电极8;

[0087] (4) 采用同样的转移工艺完成二维半导体层6的组装:少层二硫化钨纳米片精确堆

垛于第一介电层3和第二介电层9上表面,作为导电沟道材料。特别注意,此时二硫化钨纳米片与输出电极2和输入电极8均不接触且没有悬空区域的形成;

[0088] (5) 采用同样的工艺完成驱动电极4、接地电极7和互连电极10的沉积:电极材料为纯金且均与二维半导体层6接触,厚度为30nm。其中,互连电极10需要短接输出电极2共同作为输出信号端,最终完成对比例逻辑反相器的制备。

[0089] 对比例中制备的传统逻辑反相器的电流输出特性曲线见图6。由图6曲线可知,反相器运行时的最大静态电流大于5nA,远高于本发明实施例同质结型逻辑反相器运行时的静态电流(小于10pA),证明了本发明同质结型逻辑反相器可以有效抑制运行时的静态电流。

[0090] 以上,仅为本申请较佳的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应该以权利要求的保护范围为准。

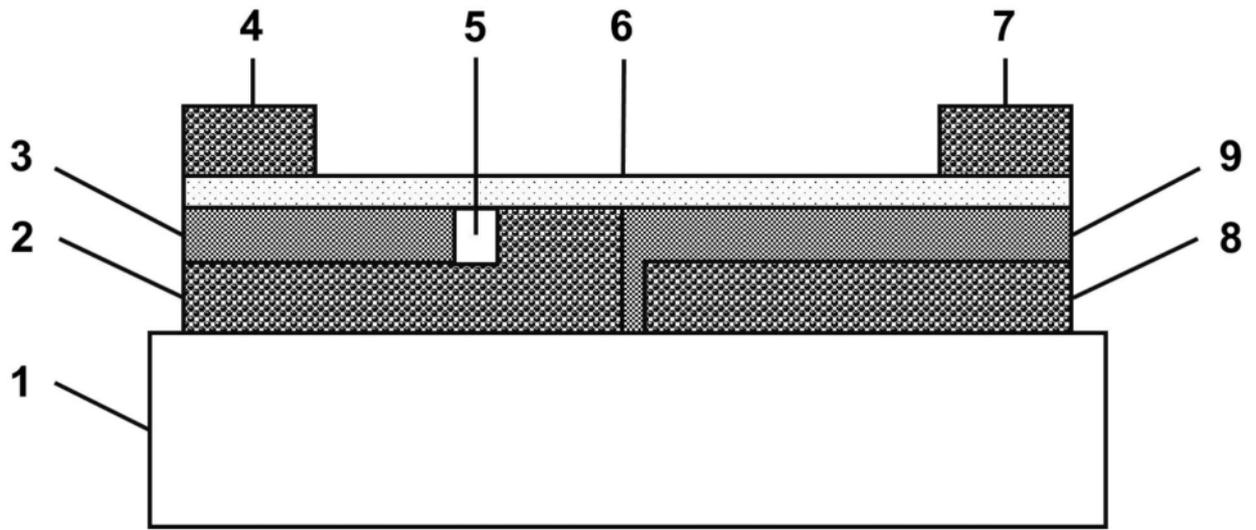


图1

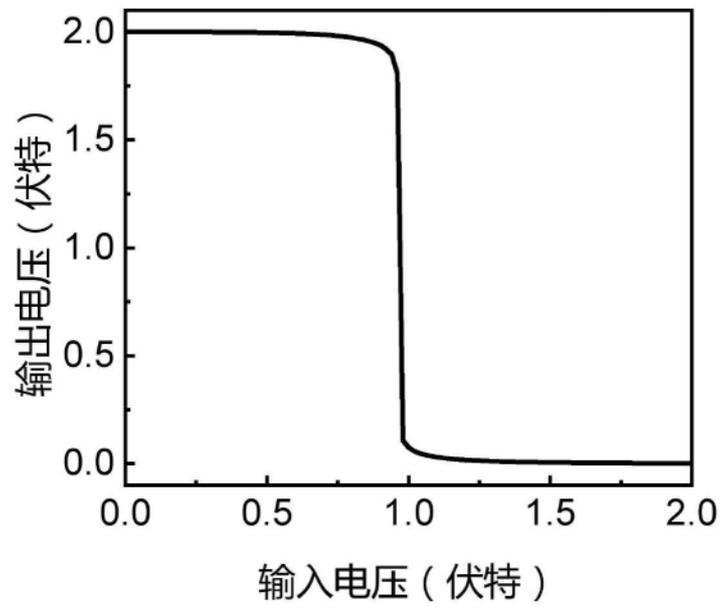


图2

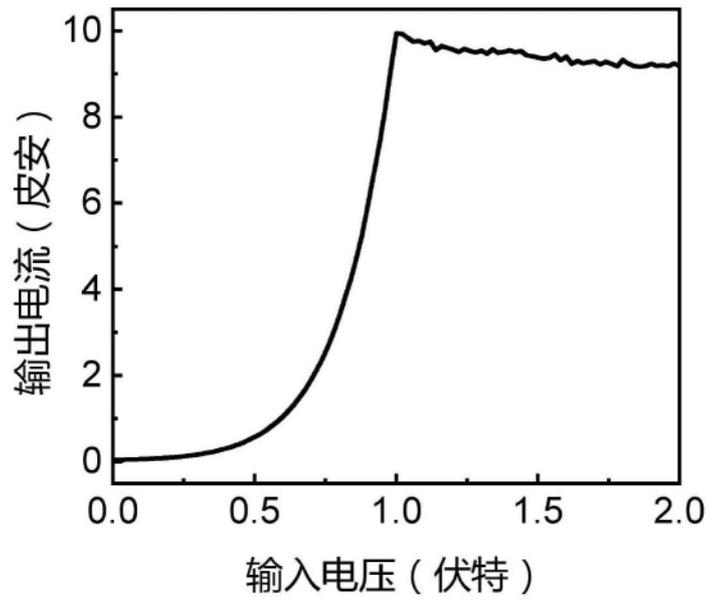


图3

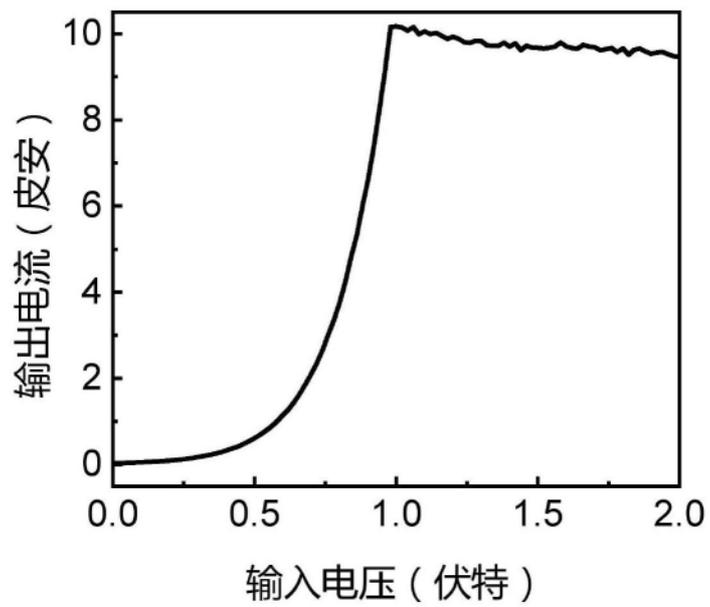


图4

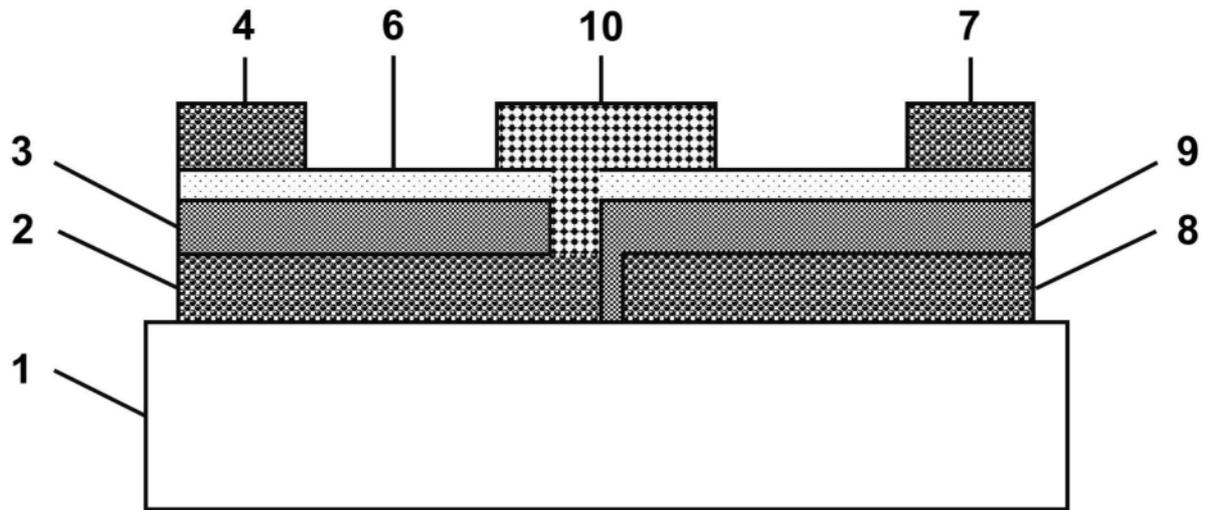


图5

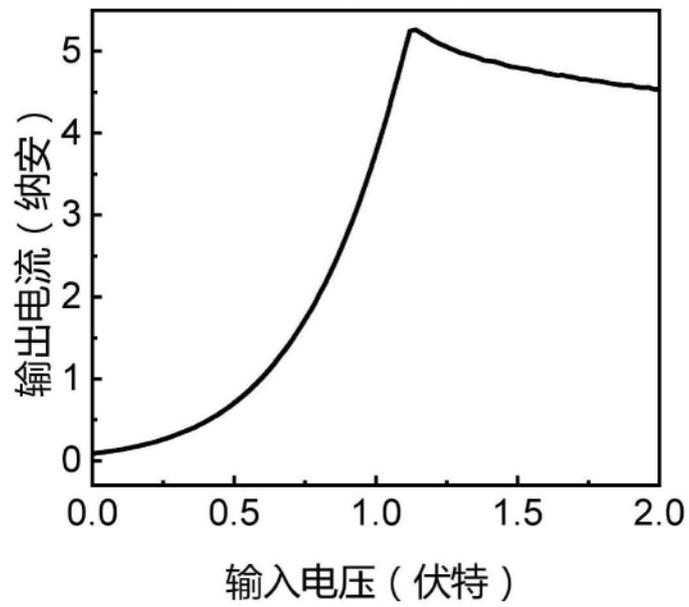


图6