



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I807043 B

(45)公告日：中華民國 112 (2023) 年 07 月 01 日

(21)申請案號：108119358 (22)申請日：中華民國 108 (2019) 年 06 月 04 日

(51)Int. Cl. : H03M1/10 (2006.01) H03L7/07 (2006.01)

(30)優先權：2018/06/07 南韓 10-2018-0065463

(71)申請人：韓商愛思開海力士有限公司(南韓) SK HYNIX INC. (KR)
南韓

(72)發明人：徐榮錫 SEO, YOUNG-SUK (KR)；林多網 IM, DA-IN (KR)

(74)代理人：賴安國；王立成

(56)參考文獻：

TW	415154B	TW	496039B
CN	101472370A	CN	103856187A
US	2011/0156757A1	US	2014/0203854A1
US	2016/0182063A1	US	2017/0111036A1

審查人員：林明立

申請專利範圍項數：20 項 圖式數：6 共 33 頁

(54)名稱

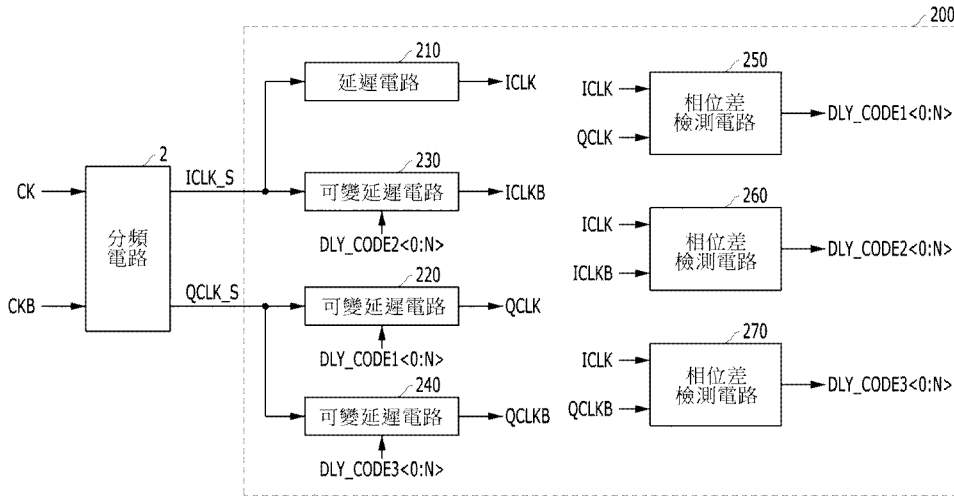
非對稱脈衝寬度比較器電路及包括其的時鐘相位校正電路

(57)摘要

本發明提供一種非對稱脈衝寬度比較器電路及包括其的時鐘相位校正電路。一種時鐘相位校正電路包括：一第一可變延遲電路，其適用於延遲一第二源時鐘以產生一第三時鐘；一第一脈衝發生電路，其適用於產生從一第一時鐘的邊沿至該第三時鐘的邊沿被啟動的一第一脈衝信號，以及產生從該第三時鐘的邊沿至該第一時鐘的邊沿被啟動的一第二脈衝信號；以及一第一延遲值調整電路，其適用於檢測該第一脈衝信號的脈衝寬度與該第二脈衝信號的脈衝寬度的比率是大於 1:3 還是小於 1:3 以產生一檢測結果，以及基於該檢測結果來調整該第一可變延遲電路的延遲值。

A clock phase correction circuit includes: a first variable delay circuit suitable for delaying a second source clock to generate a third clock; a first pulse generation circuit suitable for generating a first pulse signal that is activated from an edge of a first clock to an edge of the third clock and generating a second pulse signal that is activated from the edge of the third clock to the edge of the first clock; and a first delay value adjustment circuit suitable for detecting whether a ratio of a pulse width of the first pulse signal to a pulse width of the second pulse signal is greater or less than 1:3 to produce a detection result and adjusting a delay value of the first variable delay circuit based on the detection result.

指定代表圖：



【圖2】

符號簡單說明：

2:分頻電路

200:時鐘相位校正電路

210:延遲電路

220:可變延遲電路

230:可變延遲電路

240:可變延遲電路

250:相位差檢測電路

260:相位差檢測電路

270:相位差檢測電路



I807043

【發明摘要】

【中文發明名稱】 非對稱脈衝寬度比較器電路及包括其的時鐘相位校正電路

【英文發明名稱】 ASYMMETRIC PULSE WIDTH COMPARATOR CIRCUIT AND CLOCK PHASE CORRECTION CIRCUIT INCLUDING THE SAME

【中文】

本發明提供一種非對稱脈衝寬度比較器電路及包括其的時鐘相位校正電路。一種時鐘相位校正電路包括：一第一可變延遲電路，其適用於延遲一第二源時鐘以產生一第三時鐘；一第一脈衝發生電路，其適用於產生從一第一時鐘的邊沿至該第三時鐘的邊沿被啟動的一第一脈衝信號，以及產生從該第三時鐘的邊沿至該第一時鐘的邊沿被啟動的一第二脈衝信號；以及一第一延遲值調整電路，其適用於檢測該第一脈衝信號的脈衝寬度與該第二脈衝信號的脈衝寬度的比率是大於1:3還是小於1:3以產生一檢測結果，以及基於該檢測結果來調整該第一可變延遲電路的延遲值。

【英文】

A clock phase correction circuit includes: a first variable delay circuit suitable for delaying a second source clock to generate a third clock; a first pulse generation circuit suitable for generating a first pulse signal that is activated from an edge of a first clock to an edge of the third clock and generating a second pulse signal that is activated from the edge of the third clock to the edge of the first clock; and a first delay value adjustment circuit suitable for detecting whether a ratio of a pulse width of the first

pulse signal to a pulse width of the second pulse signal is greater or less than 1:3 to produce a detection result and adjusting a delay value of the first variable delay circuit based on the detection result.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

2 分頻電路	200 時鐘相位校正電路
210 延遲電路	220 可變延遲電路
230 可變延遲電路	240 可變延遲電路
250 相位差檢測電路	260 相位差檢測電路
270 相位差檢測電路	

【發明說明書】

【中文發明名稱】 非對稱脈衝寬度比較器電路及包括其的時鐘相位校正電路

【英文發明名稱】 ASYMMETRIC PULSE WIDTH COMPARATOR CIRCUIT AND CLOCK PHASE CORRECTION CIRCUIT INCLUDING THE SAME

【技術領域】

【0001】 本發明的各種實施例關於一種非對稱脈衝寬度比較器電路，以及一種包括該非對稱脈衝寬度比較器電路的時鐘相位校正電路。

【先前技術】

【0002】 隨著諸如存儲電路的各種積體電路的資料傳輸速率增加，針對積體電路之間的資料傳輸而使用高頻時鐘變得越來越繁瑣。因此，在積體電路晶片中，經常使用下面這樣的多相位時鐘，其具有比針對積體電路之間的資料傳輸的時鐘頻率更小的頻率。

【0003】 圖1是示出多相位時鐘的示例的圖。

【0004】 參見圖1，四個時鐘ICLK、QCLK、ICLKB和QCLKB具有相對於彼此90°的相位差。時鐘ICLK的上升沿與時鐘QCLK的上升沿具有90°的相位差。時鐘QCLK的上升沿與時鐘ICLKB的上升沿具有90°的相位差。時鐘ICLKB的上升沿與時鐘QCLKB的上升沿具有90°的相位差。圖1示出了多相位時鐘ICLK、QCLK、ICLKB和QCLKB具有最理想相位差的情況。然而，在積體電路中由於各種雜訊的緣故而不能經常保持這樣的相位差。

【發明內容】

【0005】 本發明的實施例針對提供一種用於準確地校正多相位時鐘的相位差的技術。

【0006】 根據本發明的一個實施例，一種時鐘相位校正電路包括：一第一可變延遲電路，其適用於延遲一第二源時鐘以產生一第三時鐘；一第一脈衝發生電路，其適用於產生從一第一時鐘的邊沿至該第三時鐘的邊沿被啟動的一第一脈衝信號，以及產生從該第三時鐘的邊沿至該第一時鐘的邊沿被啟動的一第二脈衝信號；以及一第一延遲值調整電路，其適用於檢測該第一脈衝信號的脈衝寬度與該第二脈衝信號的脈衝寬度的比率是大於1:3還是小於1:3以產生一檢測結果，以及基於該檢測結果來調整該第一可變延遲電路的延遲值。

【0007】 根據本發明的另一個實施例，一種非對稱脈衝寬度比較電路包括：一第一電容器組，其在被充電至邏輯高電平之後、在一第一脈衝信號的啟動時段期間被放電，並且其具有一第一電容值；一第二電容器組，其在被充電至邏輯高電平之後、在一第二脈衝信號的啟動時段期間被放電，並且其具有一第二電容值，該第二電容值是該第一電容值的N倍，其中N是大於1的實數；以及一比較器，其適用於比較該第一電容器組的電壓電平與該第二電容器組的電壓電平。

【0008】 根據本發明的又一個實施例，一種非對稱脈衝寬度比較電路包括：一第一電容器組，其在被放電至邏輯低電平之後、在一第一脈衝信號的啟動時段期間被充電，並且其具有一第一電容值；一第二電容器組，其在被放電至邏輯低電平之後、在一第二脈衝信號的啟動時段期間被充電，並且其具有一第二電容值，該第二電容值是該第一電容值的N倍那麼大，其中N是大於1的實數；以及一比較器，其適用於將該第一電容器組的兩端處的電壓電平與該第二電容器組的兩端處的電壓電平相互進行比較。

【圖式簡單說明】**【0009】**

圖1 係多相位時鐘的示意圖。

圖2 係本發明的實施例的時鐘相位校正電路的示意圖。

圖3 係不同的時鐘和脈衝信號的相位的時序圖。

圖4 係本發明實施例的第一相位差檢測電路，且如圖2所示的第一相位差檢測電路的示意圖。

圖5 係本發明實施例的第二相位差檢測電路，且如圖2所示的第一相位差檢測電路的示意圖。

圖6 係本發明實施例的第三相位差檢測電路，且如圖2所示的第一相位差檢測電路的示意圖。

【實施方式】

【0010】 以下將參考附圖更詳細地描述本發明的各種實施例。然而，本發明可以實現為各種形式，而不應當將本發明解釋為局限于本文所闡述的實施例。確切地說，提供這些實施例使得本公開是充分且完整的，並且將本發明的範圍完全傳達給本領域技術人員。遍及本公開，相同的附圖標記指代遍及本發明的各個附圖和實施例的相同的部分。而且，遍及本公開，對“一個實施例”、“另一個實施例”等等的參考不一定是僅對一個實施例的參考，並且對任何此類短語的不同參考不一定是對（一個或多個）相同實施例的參考。

【0011】 圖2是示出根據本發明的實施例的積體電路的一時鐘相位校正電路200的框圖。參見圖2，該時鐘相位校正電路200可以從一分頻電路2接收二源時鐘ICLK_S和QCLK_S。

【0012】 該分頻電路2可以將從一外部源輸入的一時鐘CK和一取反時鐘CKB分頻，從而產生該等源時鐘ICLK_S和QCLK_S。該外部源可以是包括該時鐘相位校正電路200的積體電路中的單獨元件，或者可以與積體電路完全分開。該分頻電路2可以產生一第一源時鐘ICLK_S以及產生一第二源時鐘QCLK_S。該第一源時鐘ICLK_S可以是通過對該時鐘CK執行1/2分頻而產生的。該第二源時鐘QCLK_S可以是通過對該取反時鐘CKB執行1/2分頻而產生的。

【0013】 參見圖3，該第一源時鐘ICLK_S可以在該時鐘CK的每個上升沿轉變，並且該第一源時鐘ICLK_S可以具有該時鐘CK的頻率的一半（1/2）的頻率。該第二源時鐘QCLK_S可以在該取反時鐘CKB的每個上升沿轉變，並且該第二源時鐘QCLK_S可以具有該取反時鐘CKB的頻率的一半（1/2）的頻率。該時鐘CK和該取反時鐘CKB可以是相對於彼此反相的。諸如一延遲鎖定環（DLL）的電路可以被進一步包括在該分頻電路2的前級處、或者該分頻電路2與該時鐘相位校正電路200之間。

【0014】 再次參見圖2，該時鐘相位校正電路200可以基於該等源時鐘ICLK_S和QCLK_S來產生多相位時鐘ICLK、ICLKB、QCLK和QCLKB。該時鐘相位校正電路200可以校正該等多相位時鐘ICLK、ICLKB、QCLK和QCLKB的相位，使得該等多相位時鐘ICLK、ICLKB、QCLK和QCLKB之間的相位差可以保持在90°。該時鐘相位校正電路200可以包括一延遲電路210、一第一可變延遲電路220至一第三可變延遲電路240、以及一第一相位差檢測電路250至一第三相位差檢測電路270。

【0015】 該延遲電路210可以通過延遲該第一源時鐘ICLK_S來產生一第一時鐘ICLK。在所示的實施例中，使用該第一時鐘ICLK作為用於調整其他時鐘ICLKB、QCLK和QCLKB的相位的參考時鐘；因此，該延遲電路210可以具

有固定的一延遲值。可替選地，該延遲電路210可以被省略，並且可以將該第一源時鐘ICLK_S直接用作該第一時鐘ICLK。

【0016】 該第一可變延遲電路220可以通過延遲該第二源時鐘QCLK_S來產生一第三時鐘QCLK。該第一可變延遲電路220的一延遲值可以基於一第一延遲碼DLY_CODE1<0:N>來調整。

【0017】 該第二可變延遲電路230可以通過延遲該第一源時鐘ICLK_S來產生一第二時鐘ICLKB。由於該第二時鐘ICLKB具有與該第一時鐘ICLK相反的相位，因此該第二可變延遲電路230可以將該第一源時鐘ICLK_S反相並延遲。該第二可變延遲電路230的一延遲值可以基於一第二延遲碼DLY_CODE2<0:N>來調整。

【0018】 該第三可變延遲電路240可以通過延遲該第二源時鐘QCLK_S來產生一第四時鐘QCLKB。由於該第四時鐘QCLKB具有與該第三時鐘QCLK相反的相位，因此該第三可變延遲電路240可以將該第二源時鐘QCLK_S反相並延遲。該第三可變延遲電路240的一延遲值可以基於一第三延遲碼DLY_CODE3<0:N>來調整。

【0019】 該第一相位差檢測電路250可以檢測該第一時鐘ICLK與該第三時鐘QCLK之間的相位差以產生該第一延遲碼DLY_CODE1<0:N>。當該第一時鐘ICLK與該第三時鐘QCLK之間的相位差大於90°時，該第一相位差檢測電路250可以通過減小該第一延遲碼DLY_CODE1<0:N>的值來減小該第一可變延遲電路220的延遲值。當該第一時鐘ICLK與該第三時鐘QCLK之間的相位差小於90°時，該第一相位差檢測電路250可以通過增大該第一延遲碼DLY_CODE1<0:N>的值來增大該第一可變延遲電路220的延遲值。換言之，該第一相位差檢測電路250可以調整該第一可變延遲電路220的延遲值，以使得該第一時鐘ICLK與該第三時鐘QCLK之間的相位差變成90°。

【0020】 一第二相位差檢測電路260可以檢測該第一時鐘ICLK與該第二時鐘ICLKB之間的相位差以產生該第二延遲碼DLY_CODE2<0:N>。當該第一時鐘ICLK與該第二時鐘ICLKB之間的相位差大於180°時，該第二相位差檢測電路260可以通過減小該第二延遲碼DLY_CODE2<0:N>的值來減小該第二可變延遲電路230的延遲值。當該第一時鐘ICLK與該第二時鐘ICLKB之間的相位差小於180°時，該第二相位差檢測電路260可以通過增大該第二延遲碼DLY_CODE2<0:N>的值來增大該第二可變延遲電路230的延遲值。換言之，該第二相位差檢測電路260可以調整該第二可變延遲電路230的延遲值，以使得該第一時鐘ICLK與該第二時鐘ICLKB之間的相位差變成180°。

【0021】 該第三相位差檢測電路270可以檢測該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差以產生該第三延遲碼DLY_CODE3<0:N>。當該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差大於270°時，該第三相位差檢測電路270可以通過減小該第三延遲碼DLY_CODE3<0:N>的值來減小該第三可變延遲電路240的延遲值。當該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差小於270°時，該第三相位差檢測電路270可以通過增大該第三延遲碼DLY_CODE3<0:N>的值來增大該第三可變延遲電路240的延遲值。換言之，該第三相位差檢測電路270可以調整該第三可變延遲電路240的延遲值，以使得該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差變成270°。

【0022】 該第一可變延遲電路220至該第三可變延遲電路240和該第一相位差檢測電路250至該第三相位差檢測電路270可以平行作業以校正該等多相位時鐘ICLK、ICLKB、QCLK和QCLKB之間的相位差。因此，可以快速地校正在該等多相位時鐘ICLK、ICLKB、QCLK和QCLKB之間出現的相位偏斜（phase skew）。

【0023】 圖2示出了該第一源時鐘ICLK_S被輸入到該第二可變延遲電路230以及該第二源時鐘QCLK_S被輸入到該第一可變延遲電路220和該第三可變延遲電路240的情況。該第一可變延遲電路220至該第三可變延遲電路240也可以接收相同的源時鐘。無論什麼樣的源時鐘被輸入到該第一可變延遲電路220至該第三可變延遲電路240，該第一相位差檢測電路250都可以調整該第一可變延遲電路220的延遲值，以使得該第一時鐘ICLK與該第三時鐘QCLK之間的相位差變成 90° ，該第二相位差檢測電路260可以調整該第二可變延遲電路230的延遲值，以使得該第一時鐘ICLK與該第二時鐘ICLKB之前的相位差變成 180° ，並且該第三相位差檢測電路270可以調整該第三可變延遲電路240的延遲值，以使得該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差為 270° 。

【0024】 圖4是示出根據本發明的實施例的該第一相位差檢測電路、例如圖2中所示的第一相位差檢測電路250的框圖。

【0025】 參見圖4，該第一相位差檢測電路250可以包括一第一脈衝發生電路410和一第一延遲值調整電路420。

【0026】 該第一脈衝發生電路410可以產生從該第一時鐘ICLK的邊沿至該第三時鐘QCLK的邊沿被啟動的一第一脈衝信號CK_1，該第一脈衝發生電路410可以產生從該第三時鐘QCLK的邊沿至該第一時鐘ICLK的邊沿被啟動的一第二脈衝信號CK_1B。定義了CK_1和CK_1B的啟動時段的上述邊沿之中的任何邊沿可以是上升沿或下降沿。例如，這樣的邊沿是上升沿。如圖3所示，可以看出該第一脈衝信號CK_1從該第一時鐘ICLK的上升沿至該第三時鐘QCLK的上升沿被啟動，並且該第二脈衝信號CK_1B從該第三時鐘QCLK的上升沿至該第一時鐘ICLK的上升沿被啟動。

【0027】 該第一延遲值調整電路420可以檢測該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率是大於比率1:3還是小於比率

1:3，並且基於一檢測結果來調整圖2的第一可變延遲電路220的延遲值。當一第一時鐘信號ICLK與一第三時鐘信號 QCLK之間的相位差為 90° 時，該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率為1:3。因此，該第一延遲值調整電路420可以檢測該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率是大於1:3還是小於1:3，並且基於該檢測結果來調整該第一可變延遲電路220的延遲值，以使得該第一時鐘ICLK與該第三時鐘QCLK之間的相位差可以變成 90° 。該第一延遲值調整電路420可以包括一第一脈衝寬度比較電路430和一第一碼發生器450。

【0028】 該第一脈衝寬度比較電路430可以檢測該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率是大於1:3還是小於1:3。該第一脈衝寬度比較電路430可以包括一第一電容器組431、一第二電容器組432、一預充電器433、一放電器434和一比較器436。

【0029】 當一預充電信號PCGB被啟動至邏輯低電平時，該預充電器433可以將該第一電容器組431和該第二電容器組432預充電至邏輯高電平。該預充電器433可以包括一PMOS電晶體P41和一PMOS電晶體P42。該PMOS電晶體P41可以響應於該預充電信號PCGB而將該第一電容器組431預充電至邏輯高電平。該PMOS電晶體P42可以響應於該預充電信號PCGB而將該第二電容器組432預充電至邏輯高電平。

【0030】 當一放電信號DIS被啟動至邏輯高電平時，該放電器434可以被啟動。在該放電器434被啟動的情況下，該第一電容器組431可以在該第一脈衝信號CK_1的啟動時段期間被放電，並且該第二電容器組432可以在該第二脈衝信號CK_1B的啟動時段期間被放電。該放電器434可以包括一第一電流源435、以及NMOS電晶體N41、N42和 N43。該NMOS電晶體N43可以回應於該放電信號DIS而將一第一公共源極節點CS1電連接至該第一電流源435。該NMOS電晶

體N41可以在該第一脈衝信號CK_1被啟動時將電流從該第一電容器組431放電至該第一公共源極節點CS1。該NMOS電晶體N42可以在該第二脈衝信號CK_2被啟動時將電流從該第二電容器組432放電至該第一公共源極節點CS1。

【0031】 該第一電容器組431的電容與該第二電容器組432的電容的比率可以是1:3。該第一電容器組431和該第二電容器組432中的每一個可以包括並聯耦接的一個或多個電容器。該第一電容器組431的電容與該第二電容器組432的電容的比率可以基於要進行比較的脈衝信號CK_1和CK_1B的脈衝寬度比率來決定。圖4通過示例示出了該第一脈衝寬度比較電路430執行比較以確定該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率是大於1:3還是小於1:3，以及該第一電容器組431的電容與該第二電容器組432的電容的比率是否為1:3。然而，在該第一脈衝寬度比較電路430判定該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率是大於1:M還是小於1:M（M是自然數）時，該第一電容器組431的電容與該第二電容器組432的電容的比率可以是1:M。通過關於該第一電容器組431和該第二電容器組432來改變比率，該第一脈衝寬度比較電路430可以將具有不同脈衝寬度（即非對稱脈衝寬度）的脈衝信號的脈衝寬度相互進行比較。

【0032】 該第一電容器組431的電容和該第二電容器組432的電容的絕對值可以基於該等脈衝信號CK_1和CK_1B的頻率來調整。例如，隨著該等脈衝信號CK_1和CK_1B的頻率變得更高，該第一電容器組431的電容和該第二電容器組432的電容可以在保持1:3的比率的情況下減小。又例如，隨著該等脈衝信號CK_1和CK_1B的頻率變得更低，該第一電容器組431的電容和該第二電容器組432的電容可以在保持1:3的比率的情況下增大。

【0033】 當一比較信號COMP_EN被啟動至邏輯高電平時，該比較器436可以將該第一電容器組431的兩端處的電壓VC1的電平與該第二電容器組432的

兩端處的電壓VC2的電平進行比較。該比較器436的一比較結果COMP1為邏輯高電平可以代表該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率小於1:3。該比較器436的比較結果COMP1為邏輯低電平可以代表該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率大於1:3。

【0034】 下面描述該第一脈衝寬度比較電路430的整體操作。首先，在該預充電信號PCGB被啟動至邏輯低電平的預充電時段中，該第一電容器組431和該第二電容器組432二者可以都通過該預充電器433而被預充電至邏輯高電平。在預充電時段之後的放電時段中，該放電信號DIS可以被啟動至邏輯高電平。在放電時段中，該第一電容器組431可以在該第一脈衝信號CK_1處於邏輯高電平的時段期間被放電，以及該第二電容器組432可以在該第二脈衝信號CK_1B處於邏輯高電平的時段期間被放電。在放電時段之後的比較時段中，該比較信號COMP_EN可以被啟動至邏輯高電平並且比較器436可以被啟動，以使得該第一電容器組431的兩端處的電壓VC1的電平與該第二電容器組432的兩端處的電壓VC2的電平可以相互進行比較，從而輸出該比較結果COMP1。因此，該比較結果COMP1可以代表該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度的比率是大於1:3還是小於1:3。預充電時段、放電時段、比較時段可以週期性地重複。

【0035】 該第一碼發生器450可以回應於該比較器436的比較結果COMP1來調整該第一延遲碼DLY_CODE1<0:N>的值。當該比較結果COMP1處於邏輯高電平時，該第一碼發生器450可以通過增大該第一延遲碼DLY_CODE1<0:N>的值來增大該第一可變延遲電路220的延遲值。當該比較結果COMP1處於邏輯低電平時，該第一碼發生器450可以通過減小該第一延遲碼DLY_CODE1<0:N>的值來減小該第一可變延遲電路220的延遲值。

【0036】 在該第一電容器組431和該第二電容器組432被預充電至邏輯高電平之後，該第一電容器組431可以響應於該第一脈衝信號CK_1而被放電，並且該第二電容器組432可以回應於該第二脈衝信號CK_1B而被放電。通過將該第一電容器組431的兩端處的電壓VC1的電平與該第二電容器組432的兩端處的電壓VC2的電平相互進行比較，該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度可以相互進行比較。相反地，在該第一電容器組431和該第二電容器組432被放電至邏輯低電平之後，該第一電容器組431可以響應於該第一脈衝信號CK_1而被充電，並且該第二電容器組432可以回應於該第二脈衝信號CK_1B而被充電。通過將該第一電容器組431的兩端處的電壓VC1的電平與該第二電容器組432的兩端處的電壓VC2的電平相互進行比較，該第一脈衝信號CK_1的脈衝寬度與該第二脈衝信號CK_1B的脈衝寬度可以相互進行比較。

【0037】 圖5是示出根據本發明的實施例的第二相位差檢測電路、例如圖2中所示的第二相位差檢測電路260的框圖。

【0038】 參見圖5，該第二相位差檢測電路260可以包括一第二脈衝發生電路510和一第二延遲值調整電路520。

【0039】 該第二脈衝發生電路510可以產生從該第一時鐘ICLK的邊沿至該第二時鐘ICLKB的邊沿被啟動的一第三脈衝信號CK_2。此外，該第二脈衝發生電路510可以產生從該第二時鐘ICLKB的邊沿至該第一時鐘ICLK的邊沿被啟動的一第四脈衝信號CK_2B。在所示的實施例中，上述邊沿中的每個可以是上升沿。如圖3所示，可以看出該第三脈衝信號CK_2從該第一時鐘ICLK的上升沿至該第二時鐘ICLKB的上升沿被啟動，並且該第四脈衝信號CK_2B從該第二時鐘ICLKB的上升沿至該第一時鐘ICLK的上升沿被啟動。

【0040】 該第二延遲值調整電路520可以檢測該第三脈衝信號CK_2的脈衝寬度與該第四脈衝信號CK_2B的脈衝寬度的比率是大於比率1:1還是小於比率1:1，並且基於一檢測結果來調整該第二可變延遲電路230的延遲值。當該第一時鐘ICLK與該第二時鐘ICLKB之間的相位差是 180° 時，該第三脈衝信號CK_2的脈衝寬度與該第四脈衝信號CK_2B的脈衝寬度的比率可以是1:1。因此，通過檢測該第三脈衝信號CK_2的脈衝寬度與該第四脈衝信號CK_2B的脈衝寬度的比率是大於1:1還是小於1:1、並且基於該檢測結果來調整該第二可變延遲電路230的延遲值，能夠將該第一時鐘ICLK與該第二時鐘ICLKB之間的相位差調整為 180° 。該第二延遲值調整電路520可以包括一第二脈衝寬度比較電路530和一第二碼發生器550。

【0041】 該第二脈衝寬度比較電路530可以檢測該第三脈衝信號CK_2的脈衝寬度與該第四脈衝信號CK_2B的脈衝寬度的比率是大於1:1還是小於1:1。該第二脈衝寬度比較電路530可以包括一第三電容器組531、一第四電容器組532、一預充電器533、一放電器534和一比較器536。由於該第二脈衝寬度比較電路530可以被形成為與該第一脈衝寬度比較電路430相同且與其相同地操作，除了該第三電容器組531的電壓、充電或放電電位與該第四電容器組532的電壓、充電或放電電位的比率為1:1之外，因此這裡將不再贅述該第二脈衝寬度比較電路530。

【0042】 該第二碼發生器550可以回應於該比較器536的一比較結果COMP2來調整該第二延遲碼DLY_CODE2<0:N>的值。當該比較結果COMP2處於邏輯高電平時，該第二碼發生器550可以通過增大該第二延遲碼DLY_CODE2<0:N>的值來增大該第二可變延遲電路230的延遲值。當該比較結果COMP2處於邏輯低電平時，該第二碼發生器550可以通過減小該第二延遲碼DLY_CODE2<0:N>的值來減小該第二可變延遲電路230的延遲值。

【0043】 在該第三電容器組531和該第四電容器組532被預充電至邏輯高電平之後，該第三電容器組531可以響應於該第三脈衝信號CK_2而被放電，並且該第四電容器組532可以回應於該第四脈衝信號CK_2B而被放電。通過將該第三電容器組531的兩端處的電壓VC3的電平與該第四電容器組532的兩端處的電壓VC4的電平進行比較，該第三脈衝信號CK_2的脈衝寬度與該第四脈衝信號CK_2B的脈衝寬度可以相互進行比較。相反地，在該第三電容器組531和該第四電容器組532被放電至邏輯低電平之後，該第三電容器組531可以響應於該第三脈衝信號CK_2而被充電，並且該第四電容器組532可以回應於該第四脈衝信號CK_2B而被充電。通過將該第三電容器組531的兩端處的電壓VC3的電平與該第四電容器組532的兩端處的電壓VC4的電平進行比較，該第三脈衝信號CK_2的脈衝寬度與該第四脈衝信號CK_2B的脈衝寬度可以相互進行比較。

【0044】 圖6是示出根據本發明的實施例的第三相位差檢測電路、例如圖2中所示的第三相位差檢測電路270的框圖。

【0045】 參見圖6，該第三相位差檢測電路270可以包括一第三脈衝發生電路610和一第三延遲值調整電路620。

【0046】 該第三脈衝發生電路610可以產生從該第一時鐘ICLK的邊沿至該第四時鐘QCLKB的邊沿被啟動的一第五脈衝信號CK_3。此外，該第三脈衝發生電路610可以產生從該第四時鐘QCLKB的邊沿至該第一時鐘ICLK的邊沿被啟動的一第六脈衝信號CK_3B。上述邊沿之中的任何邊沿可以是上升沿或下降沿。在本實施例中，每個這樣的邊沿是上升沿。如圖3所示，可以看出該第五脈衝信號CK_3從該第一時鐘ICLK的上升沿至該第四時鐘QCLKB的上升沿被啟動，並且該第六脈衝信號CK_3B從該第四時鐘QCLKB的上升沿至該第一時鐘ICLK的上升沿被啟動。

【0047】 該第三延遲值調整電路620可以檢測該第五脈衝信號CK_3的脈衝寬度與該第六脈衝信號CK_3B的脈衝寬度的比率是大於比率3:1還是小於比率3:1，並且基於一檢測結果來調整該第三可變延遲電路240的延遲值。當該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差是270°時，該第五脈衝信號CK_3的脈衝寬度與該第六脈衝信號CK_3B的脈衝寬度的比率可以是3:1。因此，通過檢測該第五脈衝信號CK_3的脈衝寬度與該第六脈衝信號CK_3B的脈衝寬度的比率是大於3:1還是小於3:1、並且基於該檢測結果來調整該第三可變延遲電路240的延遲值，該第一時鐘ICLK與該第四時鐘QCLKB之間的相位差可以變成270°。該第三延遲值調整電路620可以包括一第三脈衝寬度比較電路630和一第三碼發生器650。

【0048】 該第三脈衝寬度比較電路630可以檢測該第五脈衝信號CK_3的脈衝寬度與該第六脈衝信號CK_3B的脈衝寬度的比率是大於3:1還是小於3:1。該第三脈衝寬度比較電路630可以包括一第五電容器組631、一第六電容器組632、一預充電器633、一放電器634和一比較器636。該第三脈衝寬度比較電路630可以被形成為與該第一脈衝寬度比較電路430相同且與其相同地操作，除了該第五電容器組631的電量與該第六電容器組632的電量的比率為3:1之外。因此，這裡將不再贅述該第三脈衝寬度比較電路630。

【0049】 該第三碼發生器650可以回應於該比較器636的一比較結果COMP3來調整該第三延遲碼DLY_CODE3<0:N>的值。當該比較結果COMP3處於邏輯高電平時，該第三碼發生器650可以通過增大該第三延遲碼DLY_CODE3<0:N>的值來增大該第三可變延遲電路240的延遲值。當該比較結果COMP3處於邏輯低電平時，該第三碼發生器650可以通過減小該第三延遲碼DLY_CODE3<0:N>的值來減小該第三可變延遲電路240的延遲值。

【0050】 在該第五電容器組631和該第六電容器組632被預充電至邏輯高電平之後，該第五電容器組631可以響應於該第五脈衝信號CK_3而被放電，並且該第六電容器組632可以回應於該第六脈衝信號CK_3B而被放電。通過將該第五電容器組631的兩端處的電壓VC5的電平與該第六電容器組632的兩端處的電壓VC6的電平相互進行比較，該第五脈衝信號CK_3的脈衝寬度與該第六脈衝信號CK_3B的脈衝寬度可以相互進行比較。相反地，在該第五電容器組631和該第六電容器組632被放電至邏輯低電平之後，該第五電容器組631可以響應於該第五脈衝信號CK_3而被充電，並且該第六電容器組632可以回應於該第六脈衝信號CK_3B而被充電。通過將該第五電容器組631的兩端處的電壓VC5的電平與該第六電容器組632的兩端處的電壓VC6的電平相互進行比較，該第五脈衝信號CK_3的脈衝寬度與該第六脈衝信號CK_3B的脈衝寬度可以相互進行比較。

【0051】 根據本發明的實施例，可以準確地校正多相位時鐘之間的相位差。

【0052】 雖然本發明是關於具體的實施例而說明並描述的，但是對於本領域技術人員在參考本公開的情況下明顯的是，在不脫離如所附權利要求所限定的本發明的精神和範圍的情況下，可以做出各種變化和修改。

【符號說明】

【0053】

200 時鐘相位校正電路	2 分頻電路
210 延遲電路	220 第一可變延遲電路
230 第二可變延遲電路	240 第三可變延遲電路
250 第一相位差檢測電路	260 第二相位差檢測電路

270 第三相位差檢測電路	
410 第一脈衝發生電路	420 第一延遲值調整電路
430 第一脈衝寬度比較電路	431 第一電容器組
432 第二電容器組	433 預充電器
434 放電器	435 第一電流源
436 比較器	450 第一碼發生器
510 第二脈衝發生電路	520 第二延遲值調整電路
530 第二脈衝寬度比較電路	531 第三電容器組
532 第四電容器組	533 預充電器
534 放電器	536 比較器
550 第二碼發生器	
610 第三脈衝發生電路	620 第三延遲值調整電路
630 第三脈衝寬度比較電路	631 第五電容器組
632 第六電容器組	633 預充電器
634 放電器	636 比較器
650 第三碼發生器	
ICLK_S 源時鐘	QCLK_S 源時鐘
CK 時鐘	CKB 取反時鐘
ICLK_S 第一源時鐘	QCLK_S 第二源時鐘
ICLK 相位時鐘	ICLKB 相位時鐘
QCLK 相位時鐘	QCLKB 相位時鐘
ICLK 第一時鐘	ICLKB 第二時鐘
QCLK 第三時鐘	QCLKB 第四時鐘
P41 PMOS電晶體	P42 PMOS電晶體

DLY_CODE1 第一延遲碼

DLY_CODE2 第二延遲碼

DLY_CODE3 第三延遲碼

COMP1 比較結果

COMP2 比較結果

COMP3 比較結果

PCGB 預充電信號

DIS 放電信號

COMP_EN 比較信號

N41,N42,N43 NMOS電晶體

CS1 第一公共源極結點

CK_1 第一脈衝信號

CK_1B 第二脈衝信號

CK_2 第三脈衝信號

CK_2B 第四脈衝信號

CK_3 第五脈衝信號

CK_3B 第六脈衝信號

VC1~VC6 電壓

【發明申請專利範圍】

【請求項1】一種時鐘相位校正電路，包括：

一第一可變延遲電路，其適用於延遲一第二源時鐘以產生一第三時鐘；

一第一脈衝發生電路，其適用於產生從一第一時鐘的邊沿至該第三時鐘的邊沿被啟動的一第一脈衝信號，以及產生從該第三時鐘的邊沿至該第一時鐘的邊沿被啟動的一第二脈衝信號；以及

一第一延遲值調整電路，其適用於檢測該第一脈衝信號的脈衝寬度與該第二脈衝信號的脈衝寬度的比率是大於1:3還是小於1:3以產生一檢測結果，以及基於該檢測結果來調整該第一可變延遲電路的一延遲值。

【請求項2】如請求項1所述之時鐘相位校正電路，還包括：

一第二可變延遲電路，其適用於延遲一第一源時鐘以產生一第二時鐘；

一第二脈衝發生電路，其適用於產生從該第一時鐘的邊沿至該第二時鐘的邊沿被啟動的一第三脈衝信號，以及產生從該第二時鐘的邊沿至該第一時鐘的邊沿被啟動的一第四脈衝信號；以及

一第二延遲值調整電路，其適用於檢測該第三脈衝信號的脈衝寬度與該第四脈衝信號的脈衝寬度的比率是大於1:1還是小於1:1以產生另一檢測結果，以及基於所述另一檢測結果來調整該第二可變延遲電路的一延遲值。

【請求項3】如請求項2所述之時鐘相位校正電路，還包括：

一第三可變延遲電路，其適用於延遲該第二源時鐘以產生一第四時鐘；

一第三脈衝發生電路，其適用於產生從該第一時鐘的邊沿至該第四時鐘的邊沿被啟動的一第五脈衝信號，以及產生從該第四時鐘的邊沿至該第一時鐘的邊沿被啟動的一第六脈衝信號；以及

一第三延遲值調整電路，其適用於檢測該第五脈衝信號的脈衝寬度與該第六脈衝信號的脈衝寬度的比率是大於3:1還是小於3:1以產生又一檢測結果，以及基於所述又一檢測結果來調整該第三可變延遲電路的一延遲值。

【請求項4】如請求項3所述之時鐘相位校正電路，還包括：

一延遲電路，其適用於將該第一源時鐘延遲以產生該第一時鐘。

【請求項5】如請求項3所述之時鐘相位校正電路，其中，該第一時鐘的邊沿是該第一時鐘的上升沿，以及

該第二時鐘的邊沿是該第二時鐘的上升沿，以及

該第三時鐘的邊沿是該第三時鐘的上升沿，以及

該第四時鐘的邊沿是該第四時鐘的上升沿。

【請求項6】如請求項3所述之時鐘相位校正電路，其中，該第一時鐘的邊沿是該第一時鐘的下降沿，以及

該第二時鐘的邊沿是該第二時鐘的下降沿，以及

該第三時鐘的邊沿是該第三時鐘的下降沿，以及

該第四時鐘的邊沿是該第四時鐘的下降沿。

【請求項7】如請求項3所述之時鐘相位校正電路，其中，該第一源時鐘是通過將一時鐘以 $1/2$ 進行分頻而獲得的，並且該第二源時鐘是通過將一取反時鐘以 $1/2$ 進行分頻而獲得的，該取反時鐘是該時鐘的反相時鐘。

【請求項8】如請求項3所述之時鐘相位校正電路，其中，該第一源時鐘與該第二源時鐘相同。

【請求項9】如請求項1所述之時鐘相位校正電路，其中，其中，該第一延遲值調整電路包括：

一第一電容器組，其在被預充電至邏輯高電平之後、在該第一脈衝信號的啟動時段期間被放電；

一第二電容器組，其在被預充電至邏輯高電平之後、在該第二脈衝信號的啟動時段期間被放電；

一第一比較器，其適用於比較該第一電容器組的電壓電平與該第二電容器組的電壓電平；以及

一第一碼發生器，其適用於響應於該第一比較器的比較結果來產生用於調整該第一可變延遲電路的延遲值的一第一延遲碼，

其中，該第一電容器組的電量與該第二電容器組的電量的比率是1:3。

【請求項10】如請求項1所述之時鐘相位校正電路，其中，該第一延遲值調整電路包括：

一第一電容器組，其在被放電至邏輯低電平之後、在該第一脈衝信號的啟動時段期間被充電；

一第二電容器組，其在被放電至邏輯低電平之後、在該第二脈衝信號的啟動時段期間被充電；

一第一比較器，其適用於比較該第一電容器組的電壓電平與該第二電容器組的電壓電平；以及

一第一碼發生器，其適用於響應於該第一比較器的比較結果來產生用於調整該第一可變延遲電路的延遲值的一第一延遲碼，

其中，該第一電容器組的電量與該第二電容器組的電量的比率是1:3。

【請求項11】如請求項2所述之時鐘相位校正電路，其中，該第二延遲值調整電路包括：

一第三電容器組，其在被預充電至邏輯高電平之後、在該第三脈衝信號的啟動時段期間被放電；

一第四電容器組，其在被預充電至邏輯高電平之後、在該第四脈衝信號的啟動時段期間被放電；

一第二比較器，其適用於比較該第三電容器組的電壓電平與該第四電容器組的電壓電平；以及

一第二碼發生器，其適用於響應於該第二比較器的比較結果來產生用於調整該第二可變延遲電路的延遲值的一第二延遲碼，

其中，該第三電容器組的電量與該第四電容器組的電量的比率是1:1。

【請求項12】如請求項2所述之時鐘相位校正電路，其中，該第二延遲值調整電路包括：

一第三電容器組，其在被放電至邏輯低電平之後、在該第三脈衝信號的啟動時段期間被充電；

一第四電容器組，其在被放電至邏輯低電平之後、在該第四脈衝信號的啟動時段期間被充電；

一第二比較器，其適用於比較該第三電容器組的電壓電平與該第四電容器組的電壓電平；以及

一第二碼發生器，其適用於響應於該第二比較器的比較結果來產生用於調整該第二可變延遲電路的延遲值的一第二延遲碼，

其中，該第三電容器組的電量與該第四電容器組的電量的比率是1:1。

【請求項13】如請求項3所述之時鐘相位校正電路，其中，該第三延遲值調整電路包括：

一第五電容器組，其在被預充電至邏輯高電平之後、在該第五脈衝信號的啟動時段期間被放電；

一第六電容器組，其在被預充電至邏輯高電平之後、在該第六脈衝信號的啟動時段期間被放電；

一第三比較器，其適用於比較該第五電容器組的電壓電平與該第六電容器組的電壓電平；以及

一第三碼發生器，其適用於響應於該第三比較器的比較結果來產生用於調整該第三可變延遲電路的延遲值的一第三延遲碼，

其中，該第五電容器組的電量與該第六電容器組的電量的比率是3:1。

【請求項14】如請求項3所述之時鐘相位校正電路，其中，該第三延遲值調整電路包括：

一第五電容器組，其在被放電至邏輯低電平之後、在該第五脈衝信號的啟動時段期間被充電；

一第六電容器組，其在被放電至邏輯低電平之後、在該第六脈衝信號的啟動時段期間被充電；

一第三比較器，其適用於將該第五電容器組的電壓電平與該第六電容器組的電壓電平相互比較；以及

一第三碼發生器，其適用於響應於該第三比較器的比較結果來產生用於調整該第三可變延遲電路的延遲值的一第三延遲碼，

其中，該第五電容器組的電量與該第六電容器組的電量的比率是3:1。

【請求項15】一種非對稱脈衝寬度比較電路，用於檢測一第一脈衝信號的一脈衝寬度與一第二脈衝信號的一脈衝寬度的一比率，包括：

一第一電容器組，其在被充電至邏輯高電平之後、在該第一脈衝信號的一啟動時段期間被放電，並且其具有一第一電容值；

一第二電容器組，其在被充電至邏輯高電平之後、在該第二脈衝信號的啟動時段期間被放電，並且其具有一第二電容值，該第二電容值是該第一電容值的N倍，其中N是大於1的自然數；

一預充電器，其包括一第一PMOS電晶體和一第二PMOS電晶體，其中，該第一PMOS電晶體響應於一預充電信號而將該第一電容器組預充電至邏輯高

電平，且該第二PMOS電晶體響應於該預充電信號而將該第二電容器組預充電至邏輯高電平；

一放電器，其包括一第一NMOS電晶體及一第二NMOS電晶體，其中，該第一NMOS電晶體在該第一脈衝信號被啟動時將電流從該第一電容器組放電至一第一公共源極節點，該第二NMOS電晶體在該第二脈衝信號被啟動時將電流從該第二電容器組放電至該第一公共源極節點；以及

一比較器，其適用於比較該第一電容器組的電壓電平與該第二電容器組的電壓電平。

【請求項16】如請求項15所述之非對稱脈衝寬度比較電路，其中，

在一預充電時段中，該第一電容器組和該第二電容器組被充電至邏輯高電平，以及

在該預充電時段之後的一放電時段中，該第一電容器組在該第一脈衝信號的啟動時段期間被放電，並且該第二電容器組在該第二脈衝信號的啟動時段期間被放電，以及

在該放電時段之後的一比較時段中，該比較器比較該第一電容器組的電壓電平與該第二電容器組的電壓電平。

【請求項17】一種非對稱脈衝寬度比較電路，用於檢測一第一脈衝信號的一脈衝寬度與一第二脈衝信號的一脈衝寬度的一比率，包括：

一第一電容器組，其在被放電至邏輯低電平之後、在該第一脈衝信號的一啟動時段期間被充電，並且其具有一第一電容值；

一第二電容器組，其在被放電至邏輯低電平之後、在該第二脈衝信號的一啟動時段期間被充電，並且其具有一第二電容值，該第二電容值是該第一電容值的N倍，其中N是大於1的自然數；

一預充電器，其包括一第一PMOS電晶體和一第二PMOS電晶體，其中，該第一PMOS電晶體響應於一預充電信號而將該第一電容器組預充電至邏輯高電平，且該第二PMOS電晶體響應於該預充電信號而將該第二電容器組預充電至邏輯高電平；

一放電器，其包括一第一NMOS電晶體及一第二NMOS電晶體，其中，該第一NMOS電晶體在該第一脈衝信號被啟動時將電流從該第一電容器組放電至一第一公共源極節點，該第二NMOS電晶體在該第二脈衝信號被啟動時將電流從該第二電容器組放電至該第一公共源極節點；以及

一比較器，其適用於比較該第一電容器組的電壓電平與該第二電容器組的電壓電平。

【請求項18】如請求項17所述之非對稱脈衝寬度比較電路，其中，

在一放電時段中，該第一電容器組和該第二電容器組被放電至邏輯低電平，以及

在該放電時段之後的一充電時段中，該第一電容器組在該第一脈衝信號的啟動時段期間被充電，並且該第二電容器組在該第二脈衝信號的啟動時段期間被充電，以及

在該充電時段之後的一比較時段中，該比較器比較該第一電容器組的電壓電平與該第二電容器組的電壓電平。

【請求項19】如請求項17所述之非對稱脈衝寬度比較電路，其中，該第一脈衝信號和該第二脈衝信號是週期性的波，以及

該第一電容器組的電容值與該第二電容器組的電容值的比率在保持1:M的情況下基於該第一脈衝信號的頻率和該第二脈衝信號的頻率而被調整，其中M是自然數。

【請求項20】一種時鐘相位校正電路，包括：

第 7 頁，共 8 頁(發明申請專利範圍)

多個延遲電路，其適用於接收一源時鐘、基於一延遲碼來延遲一源時鐘、以及產生包括一參考時鐘和一個以上其他時鐘的多相位時鐘，該等其他時鐘中的每一個都具有與該參考時鐘的設定相位差；以及

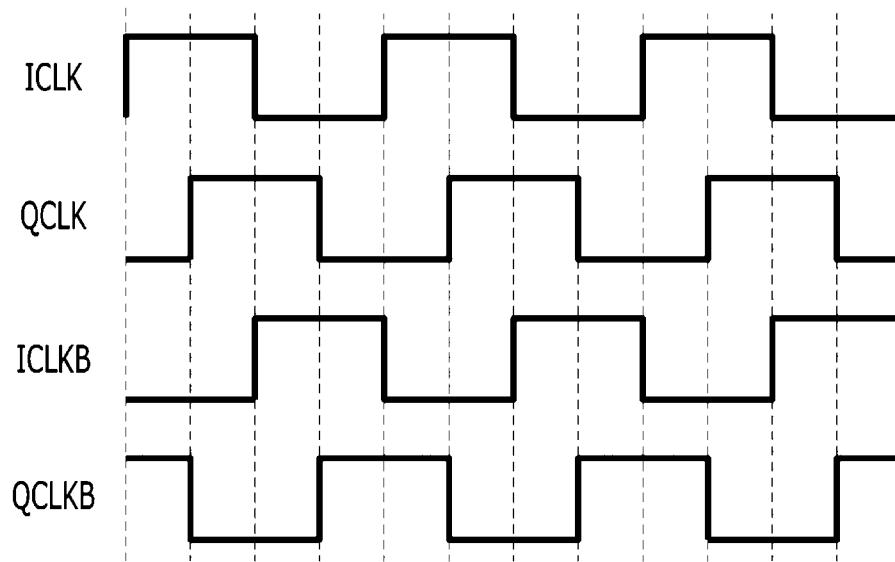
多個相位差檢測電路，其中，該等相位差檢測電路中的每一個：

接收該參考時鐘和該其他時鐘中的對應一個，

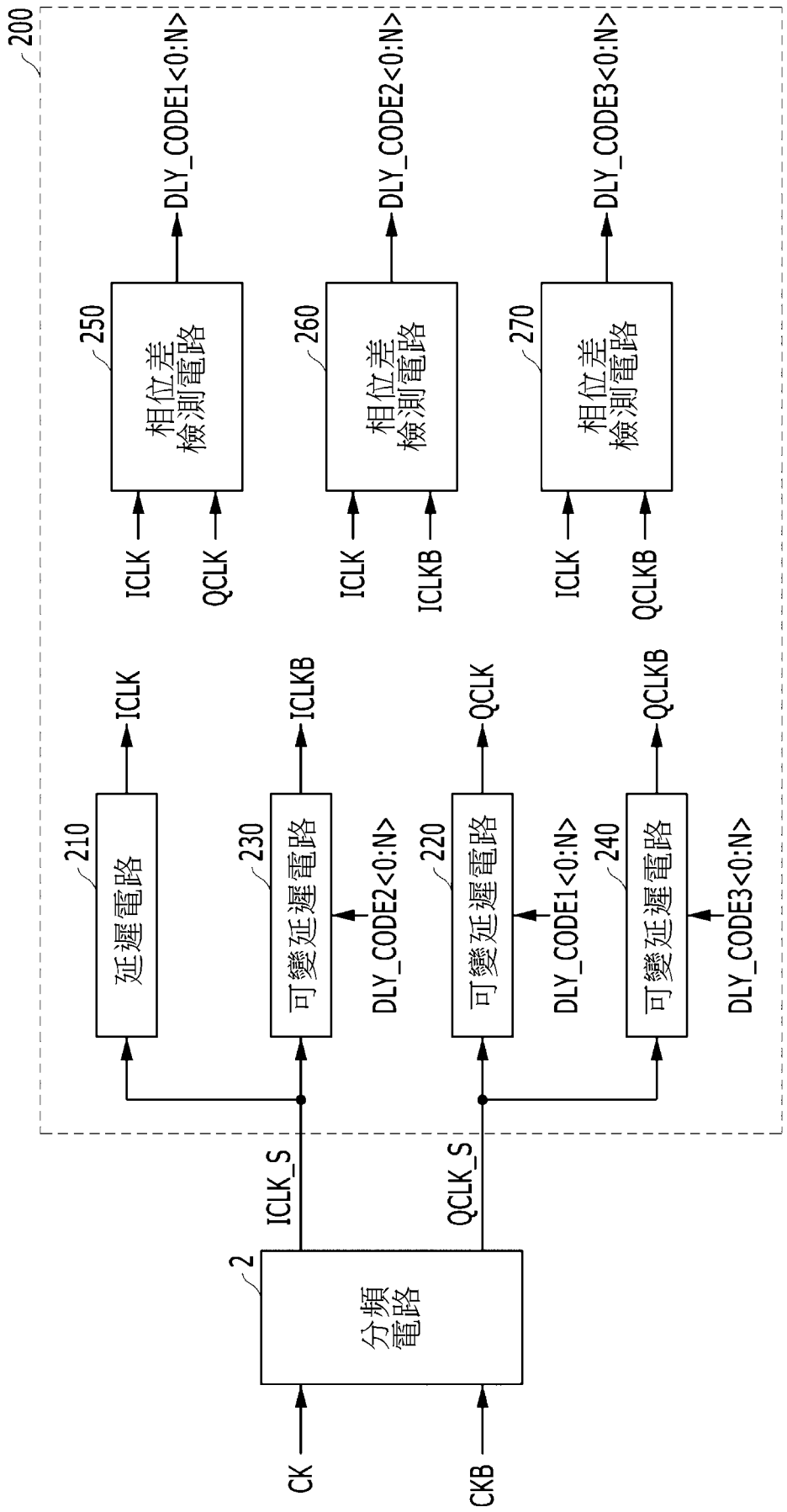
檢測該參考時鐘與對應的其他時鐘之間的相位差，以及

基於檢測的相位差來產生對應的延遲碼，以使得檢測的相位差與針對對應的其他時鐘的設定相位差相同。

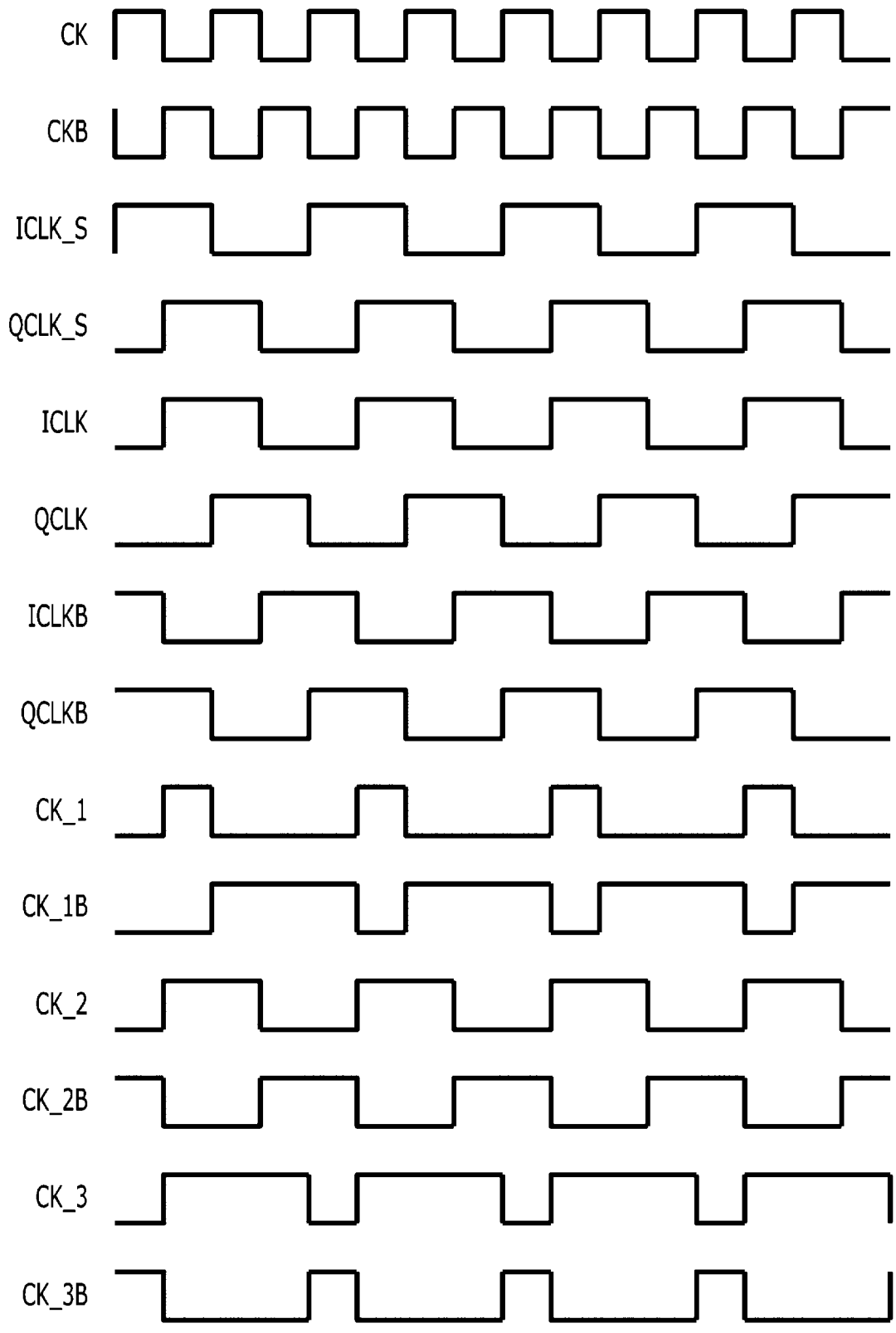
【發明圖式】



【圖1】

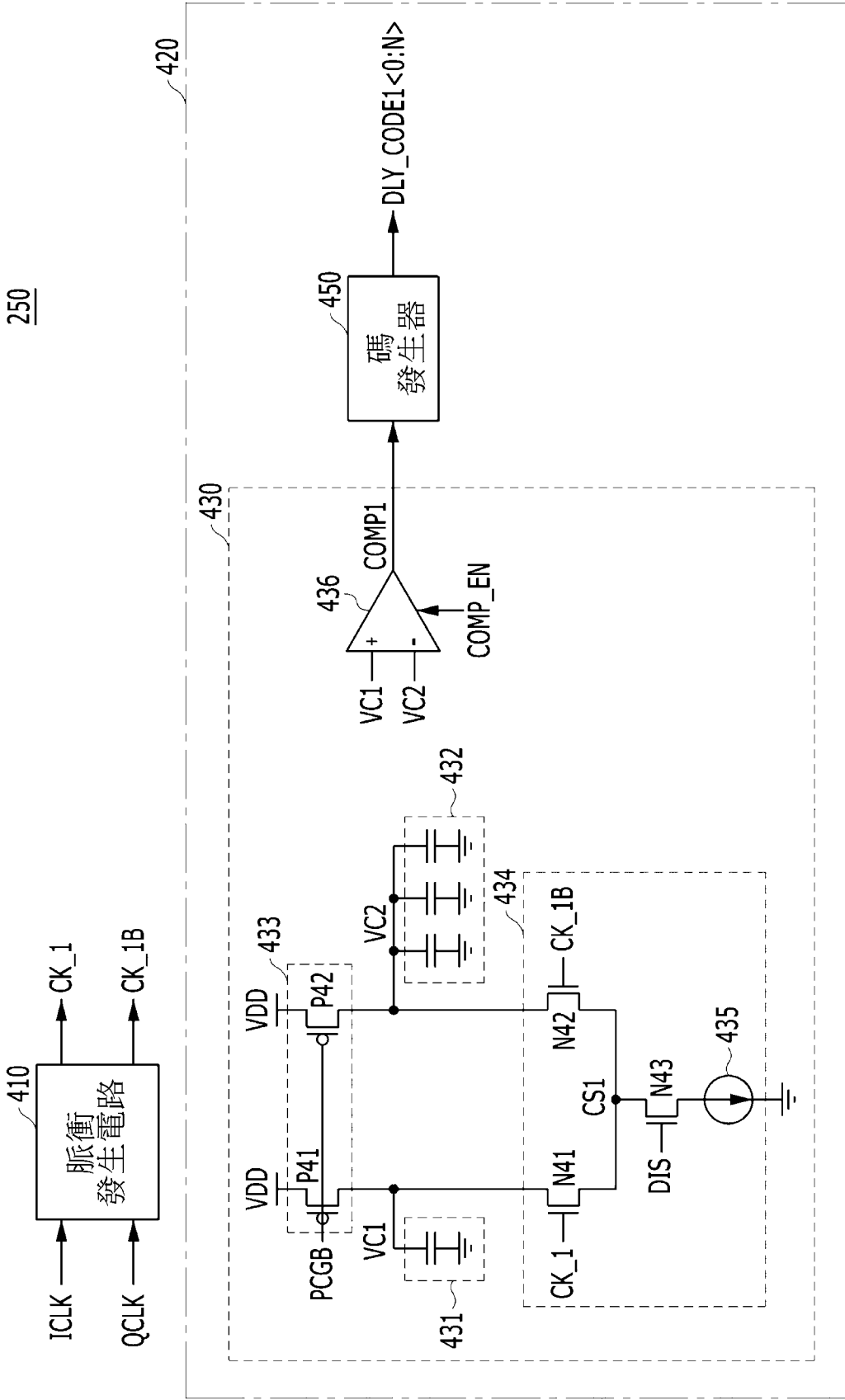


【圖2】

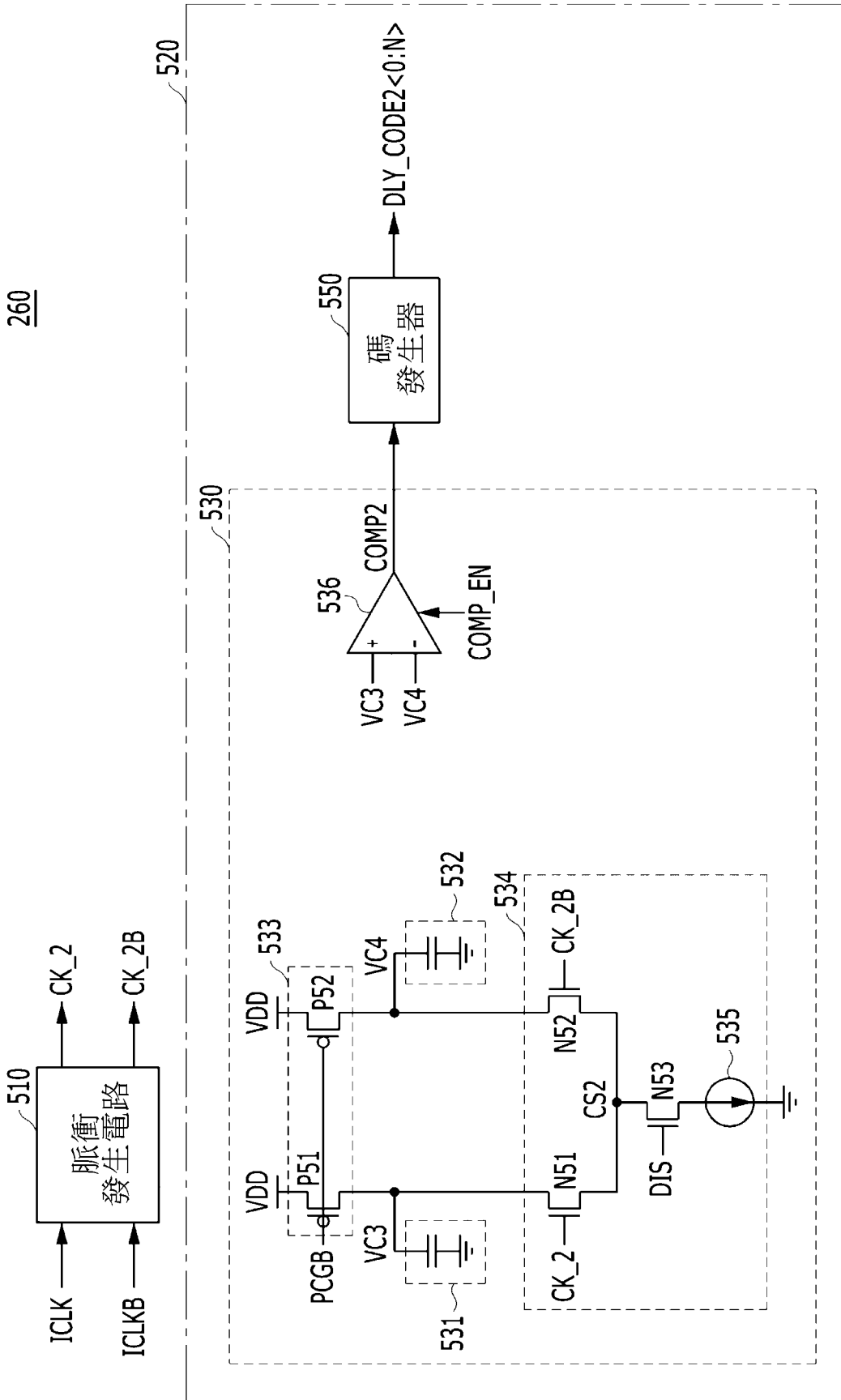


【圖3】

250

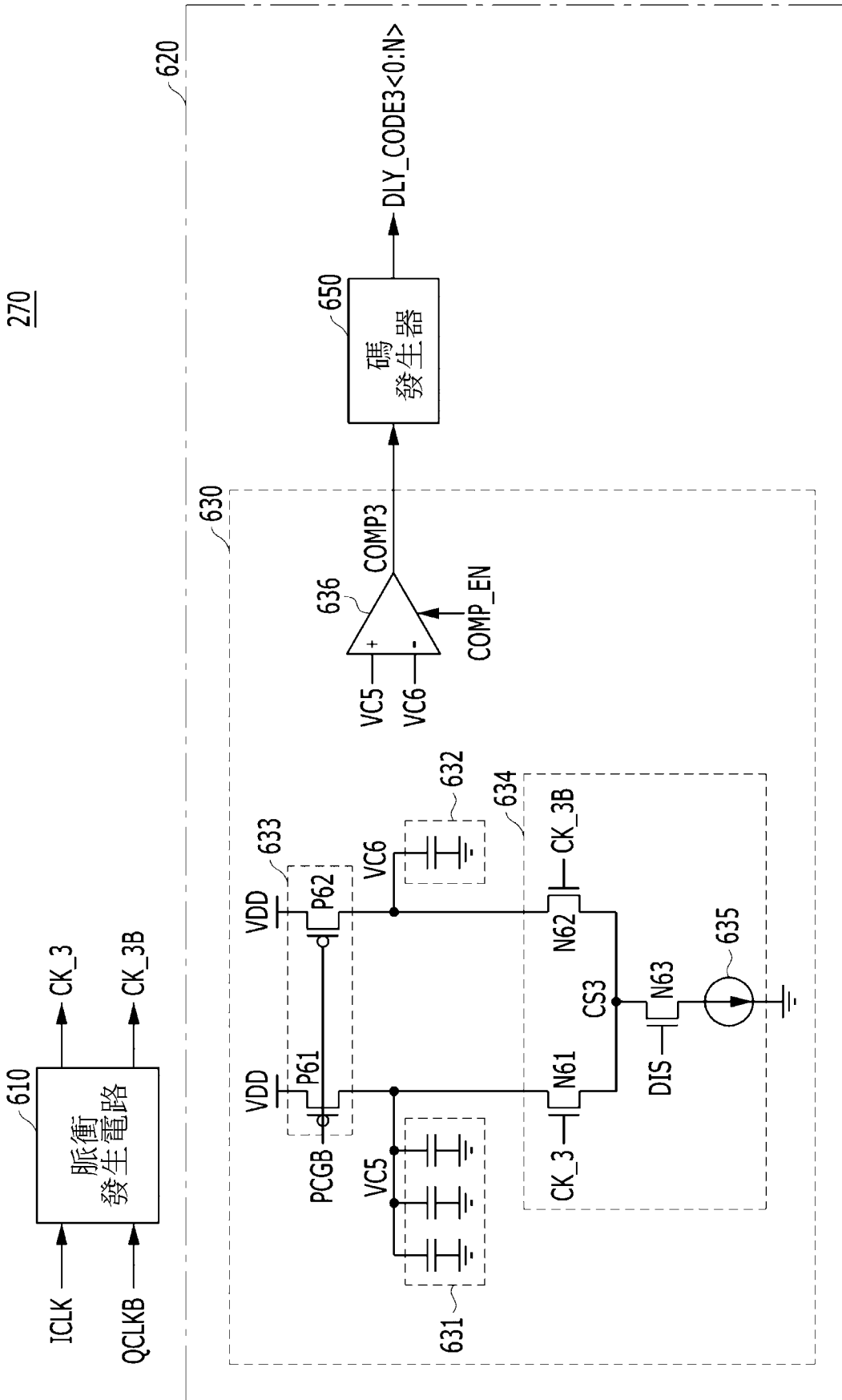


【圖4】



【圖5】

270



【圖6】