

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3667787号
(P3667787)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int. Cl.⁷

G 1 1 C 11/407

F I

G 1 1 C 11/34 3 5 4 E

請求項の数 14 (全 67 頁)

(21) 出願番号	特願平6-97511	(73) 特許権者	503121103
(22) 出願日	平成6年5月11日(1994.5.11)		株式会社ルネサステクノロジ
(65) 公開番号	特開平7-307091		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成7年11月21日(1995.11.21)	(74) 代理人	100064746
審査請求日	平成13年5月7日(2001.5.7)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

各々が行列状に配列される複数のメモリセルを有する複数のメモリブロック、
各前記メモリブロックにおいて各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線、および

アドレス信号に従って前記複数のワード線からワード線を指定するワード線指定信号を発生するワード線選択手段を備え、前記ワード線選択手段は、前記アドレス信号に含まれるブロック指定信号に従って、前記複数のメモリブロックからメモリブロックを選択するブロック選択信号を発生する手段を含み、さらに

前記ワード線選択手段の出力に従って、前記ワード線指定信号が指定するワード線に第1の電圧を伝達しかつ残りのワード線に前記第1の電圧と符号の異なる第2の電圧を伝達するワード線ドライブ手段、および

前記ブロック指定信号に应答して、前記メモリブロック指定信号が指定するワード線に伝達される前記第2の電圧の電圧レベルを変更するための電圧変更手段を備える、半導体記憶装置。

【請求項2】

行および列のマトリクス状に配列される複数のメモリセル、

各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線、

アドレス信号に従って、前記複数のワード線から特定のワード線を指定する行選択信号

10

20

を発生する行選択信号発生回路、

前記行選択信号により指定されたワード線に第1の電圧を伝達し、かつ残りのワード線に前記第1の電圧と正負を示す符号が異なる第2の電圧を伝達するワード線ドライブ回路、および

特定動作モード指示信号にตอบสนองして、前記第2の電圧のレベルを変更する電圧変更回路を備える、半導体記憶装置。

【請求項3】

前記電圧変更回路は、

第1のレベルの電圧を発生するための第1の電圧発生器と、

前記第1のレベルと異なる第2のレベルの電圧を発生する第2の電圧発生器と、

前記特定動作モード指示信号にตอบสนองして、前記第1および第2の電圧発生器が発生した電圧の一方を選択的に供給するスイッチ回路とを備える、請求項2記載の半導体記憶装置。

10

【請求項4】

前記電圧変更回路は、

前記第2の電圧が前記特定動作モード指示信号に応じた電圧レベルに到達したかを検出するレベル検出器と、

前記レベル検出結果に従って前記第2の電圧を発生する電圧発生器とを備える、請求項2記載の半導体記憶装置。

【請求項5】

前記電圧変更回路は、

前記第2の電圧を発生する電圧発生器と、

前記第2の電圧を前記特定動作モード指示信号に応じた電圧レベルにクランプするクランプ回路とを備える、請求項2記載の半導体記憶装置。

20

【請求項6】

前記電圧変更回路は、

互いに電圧レベルの異なる第2の電圧をそれぞれ発生する第1および第2の電圧発生器を備え、前記第1および第2の電圧発生器の一方は、前記特定動作モード指示信号にตอบสนองして前記第2の電圧を選択的に供給する、請求項2記載の半導体記憶装置。

【請求項7】

前記特定動作モード指示信号は、テストモードを指示し、前記第2の電圧の通常動作モード時のレベルは、前記テストモード時の前記第2の電圧のレベルより絶対値が大きい、請求項2記載の半導体記憶装置。

30

【請求項8】

各前記メモリセルは対応のワード線に接続されるゲートを有するメモリトランジスタを含み、

前記第2の電圧は、前記メモリトランジスタのバックバイアス電圧と同じ電圧である、請求項2記載の半導体記憶装置。

【請求項9】

行列状に配列され、各々が第1極性のバックバイアス電圧を受けるバックゲートを有する電界効果トランジスタを含む複数のメモリセル、

40

各前記行に対応して配列され各々が対応の行のメモリセルの電界効果トランジスタに接続される複数のワード線、

第1のアドレス信号をデコードして前記複数のワード線から所定数のワード線を含むワード線群を指定するワード線群指定信号を発生する第1のデコード手段、

第2のアドレス信号をデコードして、前記ワード線群のうちのワード線を指定するワード線指定信号を発生する第2のデコード手段、

各前記ワード線に対応して設けられ、各々が、前記ワード線群指定信号と前記ワード線指定信号とが対応のワード線を指定するとき、前記第1極性と極性の異なる第2の極性の電圧を該対応のワード線に伝達する第1のドライブトランジスタと、前記ワード線群指定信

50

号が対応のワード線を含むワード線群とは別のワード線群を指定するとき該対応のワード線に第1極性の電圧を伝達する第2のドライブトランジスタとを含む複数のワードドライバ、および

前記第1のデコード手段の出力信号の信号振幅を拡張して各ワードドライバに伝達する信号振幅変換回路を備え、

前記信号振幅変換回路は、各前記ワードドライバの第1のドライブトランジスタに対して設けられ、前記第1のデコード手段の出力信号に対応する第1の振幅拡張された信号を第1のドライブトランジスタに与える第1の変換回路と、各ワードドライバの第3のトランジスタに対して設けられ、前記第1の振幅拡張された信号と相補な第2の振幅拡張された信号を第3のトランジスタに与える第2の変換回路とを含み、前記第3のトランジスタは、対応のワード線が非選択状態のとき、該対応のワード線に前記第1極性の電圧を伝達する、半導体記憶装置。

10

【請求項10】

行列状に配列され、各々が電界効果トランジスタを含む複数のメモリセル、

各前記行に対応して配列され、各々が対応の行のメモリセルの電界効果トランジスタのゲートに接続される複数のワード線、

第1のアドレス信号をデコードして前記複数のワード線から所定数のワード線を含むワード線群を指定し、第1の論理レベルの第1の電位と第2の論理レベルの第2の電位の間で変化するワード線群指定信号を発生する第1のデコード手段、および

第2のアドレス信号をデコードして前記ワード線群のうちのワード線を指定するワード線指定信号を発生する第2のデコード手段を備え、前記第2のデコード手段は、前記第2のアドレス信号をデコードして前記第1の電位と前記第2の電位との間で変化するデコード信号を出力するデコード部と、前記デコード信号の前記第1の論理レベルを前記第1の電位から前記第2の電位と相対する方向にある第3の電位へレベル変換しかつ前記デコード信号の前記第2の論理レベルを前記第2の電位から前記第1の電位と相対する方向にある第4の電位にレベル変換して前記デコード信号の振幅を前記第3の電位と前記第4の電位との間の振幅に拡張して前記ワード線指定信号を発生する第1の信号振幅変換回路を含み、さらに

20

各前記ワード線に対応して設けられ、各々が、前記ワード線指定信号の出力ノードと対応のワード線との間に接続され、前記ワード線群指定信号と前記ワード線指定信号とが対応のワード線を指定するとき前記ワード線指定信号の電圧を該対応のワード線へ伝達する第1のドライブトランジスタと、前記第3の電位の所定ノードと対応のワード線との間に接続され前記ワード線群指定信号が対応のワード線を含むワード線群とは別のワード線群を指定するとき、該対応のワード線に前記第3の電位を伝達する第2のドライブトランジスタとを含む複数のワードドライバ、および

30

前記第1のデコード手段からの前記ワード線群指定信号の前記第1の論理レベルの第1の電位を前記第3の電位レベルに変換して前記複数のワードドライバに伝達する第2の信号振幅変換回路を備える、半導体記憶装置。

【請求項11】

各前記メモリセル列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線をさらに備え、各前記ビット線の電位は、前記ワード線指定信号の振幅内で変化する、請求項10記載の半導体記憶装置。

40

【請求項12】

各前記ワードドライバは、さらに、前記ワード線指定信号が該対応のワード線群の対応のワード線とは別のワード線を指定するとき、該対応のワード線に前記第3の電位を伝達する第3のドライブトランジスタを備える、請求項11記載の半導体記憶装置。

【請求項13】

前記第1のドライブトランジスタは、前記ワード線指定信号が対応のワード線群の該対応のワード線とは別のワード線を指定するとき前記第3の電位を該対応のワード線へ伝達する、請求項11記載の半導体記憶装置。

【請求項14】

50

行列状に配列され、各々が第1導電型のトランジスタを含む複数のメモリセル、
前記複数のメモリセルの行に対応して配置され、各々に対応の行のメモリセルのトランジスタが接続される複数のワード線、および

各前記ワード線に対応して配置され、各々が、対応のワード線がアドレス指定されたとき第1極性の電圧信号を該対応のワード線に伝達する第1のドライブ素子と、前記対応のワード線と異なるワード線がアドレス指定されたとき前記対応のワード線に前記第1の極性と異なる第2の極性の電圧信号を伝達する第2のドライブ素子とを含む複数のワードドライバを備え、

前記複数のメモリセルは、第2極性の第1の電位が供給される第2導電型の半導体基板表面に形成された第2導電型の第1のウェル領域内に形成され、前記第2の導電型の第1のウェル領域は、前記第2極性の第1の電位にバイアスされ、

前記第2のドライブ素子は、前記対応のワード線と第2の極性の第2の電位ノードの間に接続される第1導電型のトランジスタを備え、前記ドライブ素子トランジスタは、前記第2導電型の半導体基板表面に三重拡散構造により前記第2導電型の半導体基板から分離された第2導電型の第2のウェル領域内に形成され、前記第2の導電型の第2のウェル領域には前記第2極性の第2の電位が供給される、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は半導体記憶装置に関し、特に、情報を電荷の形態で記憶するダイナミック型半導体記憶装置に関する。より特定的には、この発明はダイナミック型半導体記憶装置におけるメモリセルの電荷保持特性を改善するための構成に関する。具体的には、この発明は、ワード線を選択するための回路の構成に関する。

【0002】

【従来の技術】

図63は、従来のダイナミック型半導体記憶装置(DRAMと以下称す)の全体の構成を概略的に示す図である。図63において、DRAMは、行および列のマトリクス状に配列されるメモリセルMCを有するメモリセルアレイ900を含む。メモリセルアレイ900においては、メモリセルMCの各行に対応してワード線WLが配設され、またメモリセルMCの各列に対応して列線(ビット線対)BL, /BLが配設される。図63においては、1本のワード線WLと1つのビット線対BL, /BLを代表的に示す。メモリセルMCは、ワード線WLとビット線対BL, /BLの交差部に対応して配置される。図63においては、ビット線BLとワード線WLの交差部に対応して配置されるメモリセルMCが一例として示される。メモリセルMCは、情報を電荷の形態で格納するためのメモリキャパシタMQと、ワード線WL上の信号電位にตอบสนองして導通し、メモリキャパシタMQをビット線BL(または/BL)に接続するメモリトランジスタMTを含む。

【0003】

DRAMは、さらに、外部から与えられるアドレス信号から内部アドレス信号を生成するアドレスバッファ902と、アドレスバッファ902からの内部ロウアドレス信号をデコードし、メモリセルアレイ900内の対応のワード線を指定するデコード信号を生成するロウデコード回路904と、ロウデコード回路904からのロウデコード信号に従って対応のワード線上へ選択状態を示す信号電圧を伝達するワード線ドライブ回路906を含む。ワード線ドライブ回路906は、その構成については後に詳細に説明するが、選択されたワード線(アドレス信号が指定する行に対応するワード線)上に動作電源電位Vccよりも高い高電圧Vppを伝達する。

【0004】

DRAMは、さらに、ビット線対BL, /BLそれぞれに対応して設けられ、対応のビット線対上の信号電位を差動的に増幅する複数のセンスアンプを含むセンスアンプ帯908と、アドレスバッファ902からの内部コラムアドレス信号をデコードし、メモリセルアレイ900内の対応の列(ビット線対)を指定する列選択信号を生成するコラムデコーダ

10

20

30

40

50

910と、コラムデコーダ910からの列選択信号に従ってメモリセルアレイ内の対応の列(ビット線対)を内部データ線(内部I/O線)913へ接続するI/Oゲート回路912と、外部データDQの入出力を行なうための入出力回路914を含む。I/Oゲート回路912は、ビット線対それぞれに対応して設けられる列選択ゲートを含む。入出力回路914は、データ書込時には外部からのデータDQから内部書込データを生成し、内部データ線913へ伝達する。データ読出時には入出力回路914は内部データ線913上の内部読出データから外部読出データDQを生成する。入出力回路914は、同じピン端子を介してデータの入出力を行なうように示されるが、これは別々のピン端子を介してデータの入出力を行なってもよい。

【0005】

DRAMの内部動作のタイミングを決定するために、制御信号発生回路916が設けられる。制御信号発生回路916は、ロウアドレスストロープ信号/RAS、コラムアドレスストロープ信号/CAS、ライトイネーブル信号/WEおよびアウトプットイネーブル信号/OEを受け、様々な内部制御信号を発生する。図63においては、制御信号発生回路916は、アドレスバッファ902およびロウデコード回路904へ内部制御信号を与える様に示される。

ロウアドレスストロープ信号/RASは、活性時にLレベルとなり、メモリセルサイクルの開始(DRAMへのアクセス開始)を指定するとともに、アドレスバッファ902およびロウデコード回路904におけるアドレス信号のラッチおよびデコード動作を指定する。すなわち、アドレスバッファ902は、ロウアドレスストロープ信号/RASがLレベルとなると、アドレス信号をラッチして内部ロウアドレス信号を生成してロウデコード回路904へ与える。このロウアドレスストロープ信号/RASは、メモリセルアレイ900における行を選択するための回路の動作を制御する。

【0006】

コラムアドレスストロープ信号/CASは、列選択に関連する動作のタイミングを決定する。信号/CASがLレベルとなると、アドレスバッファ902は、外部からのアドレス信号をラッチして内部列アドレス信号を生成してコラムデコーダ910へ与える。コラムデコーダ910は、この信号/CASのLレベルに従って与えられたアドレス信号をデコードする。

ライトイネーブル信号/WEは、活性時にLレベルとなり、データ書込動作が指定されたことを示す。アウトプットイネーブル信号/OEは、活性時にLレベルとなり、選択されたメモリセルのデータを読出すべきことを指定する。次に、1ビットのメモリセルの選択動作について簡単に説明する。

【0007】

信号/RASの立下がりに応答して、制御信号発生回路916の制御の下に、アドレスバッファ902が外部から与えられたアドレス信号を取込んで内部行アドレス信号を生成する。ロウデコード回路904が、また制御信号発生回路916の制御の下にこの与えられた内部行アドレス信号をデコードし、1本のワード線WLを指定するワード線指定信号を生成する。ワード線ドライブ回路906は、ロウデコード回路904からのワード線指定信号に従って、アドレス指定されたワード線WLの電位を上げる。後に詳細に説明するが、ワード線ドライブ回路906は、選択ワード線の電位を動作電源電圧Vccよりも高い高電圧Vppにまで昇圧する。この選択ワード線の電位を昇圧する理由についても後に詳細に説明する。

【0008】

選択ワード線に接続されるメモリセルMCに含まれるメモリトランジスタMTが導通し、メモリキャパシタMQがビット線BL(または/BL)に接続される。それまで、中間電位Vcc/2の電位でフローティング状態にあったビット線BL(または/BL)の電位がメモリキャパシタMQの記憶する情報(蓄積電荷)に従って変化する。センスアンプ帯908に含まれるセンスアンプが制御信号発生回路916の制御の下に活性化され、各ビット線対BL, /BLの電位差を増幅しラッチする。

10

20

30

40

50

【 0 0 0 9 】

一方、信号 / C A S が L レベルとなると、アドレスバッファ 9 0 2 が外部からのアドレス信号をラッチし、内部コラムアドレス信号を生成してコラムデコーダ 9 1 0 へ与える。コラムデコーダ 9 1 0 は、また制御信号発生回路 9 1 6 の制御の下に活性化され、このアドレスバッファ 9 0 2 からの内部コラムアドレス信号をデコードし、メモリセルアレイ 9 0 0 における対応の列（ビット線対）を指定する列選択信号を発生する。

I / O ゲート回路 9 1 2 がこのコラムデコーダ 9 1 0 からの列選択信号に従って対応の列（ビット線対）を選択して内部データ線 9 1 3 にこの選択された列（ビット線対）を接続する。

【 0 0 1 0 】

データの書込および読出は、信号 / W E および / O E により決定される。データ書込時には、信号 / W E が L レベルとなり、入出力回路 9 1 4 が外部からの書込データ D から内部書込データを生成し、内部データ線 9 1 3 および I / O ゲート回路 9 1 2 を介して選択列上に内部書込データを伝達する。データ読出時には信号 / O E が L レベルとなり、入出力回路 9 1 4 は、内部データ線 9 1 3 上の内部読出データから外部読出データ Q を生成して出力する。

図 6 4 は、ロウデコード回路およびワード線ドライブ回路の構成の一例を示す図である。

図 6 4 においては、1 本のワード線 W L に関連する部分の構成のみを示す。

【 0 0 1 1 】

図 6 4 において、ロウデコード回路 9 0 4 は、ワード線 W L に対応して設けられるロウデコーダ 9 2 4 を含む。ロウデコーダ 9 2 4 は、アドレスバッファからの所定の組合わせの内部ロウアドレス信号を受ける A N D 型デコーダ 9 2 4 a と、A N D 型デコーダ 9 2 4 a の出力 W D を反転するインバータ 9 2 4 b を含む。A N D 型デコーダ 9 2 4 a およびインバータ 9 2 4 b の出力はともに V c c の振幅（H レベルが電源電圧 V c c レベル、L レベルが接地電位レベル）を有する。A N D 型デコーダ 9 2 4 a は、与えられたアドレス信号がすべて H レベルのときに選択状態となり、H レベルの信号を出力する。

【 0 0 1 2 】

ワード線ドライブ回路 9 0 6 は、ワード線 W L 各々に対して設けられるワードドライバ 9 2 6 を含む。ワードドライバ 9 2 6 は、対応のロウデコーダ 9 2 4 からのデコード信号 W D をノード A へ伝達する n チャンネル M O S トランジスタ N 1 と、ノード A 上の信号電位に
30 応答して導通し、導通時に昇圧されたワード線駆動信号 R X をワード線 W L へ伝達する n チャンネル M O S トランジスタ N 2 と、対応のロウデコーダ 9 2 4 からの反転デコード信号 Z W D に応答して導通して、ワード線 W L を接地電位レベルに放電する n チャンネル M O S トランジスタ N 3 を含む。

【 0 0 1 3 】

R X 発生回路 9 3 0 は、信号 / R A S の立下がりに応答して活性化され、高圧発生回路 9 3 2 が発生する高電圧 V p p を所定のタイミングでワード線駆動信号 R X として出力する。次に動作について説明する。

スタンバイ時、ロウデコーダ 9 2 4 は、図 1 に示す制御信号発生回路 9 1 6 の下にプリチャージ状態にあり、A N D 型デコーダ 9 2 4 a の出力 W D は L レベル、インバータ 9 2 4
40 b から出力される信号 Z W D は H レベルである。この状態においては、M O S トランジスタ N 2 がオフ状態、M O S トランジスタ N 3 がオン状態である。ワード線 W L は M O S トランジスタ N 3 を介して接地電位レベルに放電されている。

【 0 0 1 4 】

信号 / R A S が L レベルとなると、メモリサイクルが始まる。ロウデコーダ 9 2 4 が図 1 に示す制御信号発生回路 9 1 6 からの外部制御信号に従って活性化され、アドレスバッファから与えられたアドレス信号をデコードする。ロウデコーダ 9 2 4 からの信号 W D が H レベルのとき、ノード A は電源電位 V c c から M O S トランジスタ N 1 のしきい値電圧 V t h 低い電位 V c c - V t h の電位レベルに充電される。信号 Z W D は L レベルであり、M O S トランジスタ N 3 はオフ状態にある。

10

20

30

40

50

【0015】

ノードAが充電された後、RX発生回路930からの昇圧信号RXの電位が立上がりMOSトランジスタN2の一方導通端子(ドレイン)に与えられる。MOSトランジスタN2においては、そのゲートとドレインとの容量結合により、ノードAの電位が上昇し(セルフブースト動作)、MOSトランジスタN2のゲート電位が上昇する。これにより、ワード線WLへは、MOSトランジスタを介して昇圧信号RXが伝達され、ワード線WLの電位が電源電位Vccよりも高い高電圧Vppレベルにまで昇圧される。ロウデコーダ924からの信号WDがLレベルの場合には、RX発生回路930からのワード線駆動信号RXが立上がっても、ノードAの電位は立上がり、MOSトランジスタN2はオフ状態を維持する。このときには、信号ZWDがHレベルであり、MOSトランジスタN3がオン状態となり、ワード線WLの電位が接地電位レベルとなる。

10

【0016】

ノードAの電位がLレベルのとき、信号RXが立上がってもノードAの電位がLレベルを維持するのは以下の理由による。ノードAがVcc-Vthの電位レベルに充電されたとき(信号WDがVccレベルのHレベルのとき)、MOSトランジスタN1はほぼオフ状態となり(そのゲート-ソース間電位差はしきい値電圧Vth)、信号RXが立上がり、容量結合によりノードAの電位が上昇するとMOSトランジスタN1は完全にオフ状態となり、ノードAの電荷が閉込められる。すなわちノードAはフローティング状態とされるため、その電位はVcc+Vth以上に昇圧される。一方、信号WDがLレベルのとき、ノードAもLレベルであり、MOSトランジスタN1はオン状態である。したがって、信号RXが立上がってもノードAはフローティング状態とはならず、ノードAの電位は上昇せずにLレベルを維持する。すなわちMOSトランジスタN1は、ノードAの電位が上昇したときにノードAとロウデコーダ924の出力部(AND型デコーダ924aの出力部)を切離すデカップリングトランジスタの機能を備える。

20

【0017】

ワード線駆動信号RXを動作電源電位Vcc以上に昇圧するのは以下の理由による。選択ワード線の電位を高電圧Vppにまで上昇させる方が電源電位Vccにまで上昇させる場合に比べてその電位上昇速度が速くなる。したがって、メモリセルの記憶情報(メモリキャパシタの蓄積電荷)のビット線(BLまたは/BL)への読出タイミングを速くすることができる。また、メモリキャパシタの蓄積電荷量Qは、 $Q = C \cdot (V - V_{cp})$ で表わされる。ここで、Vはメモリキャパシタの一方電極(メモリトランジスタに接続されるストレージノード)の電位を示し、Vcpはメモリキャパシタの他方電極(セルプレート)の電位を示し、Cはメモリキャパシタの静電容量を示す。パラメータCおよびVcpは、一定である。したがって、メモリキャパシタの蓄積電荷量Qを多くするためには、メモリキャパシタの一方電極の電位Vをできるだけ高くするのが好ましい。メモリキャパシタの一方電極は図63に示すように、メモリトランジスタMTを介してビット線(BLまたは/BL)に接続される。ワード線WLの電位を高電圧Vppとすることにより、メモリトランジスタMTのしきい値電圧の損失を伴うことなくビット線(BLまたは/BL)の電源電位Vccレベルの電圧をメモリキャパシタMQの一方電極へ伝達することができる。これにより、メモリキャパシタMQにおける蓄積電荷量を確保する。

30

40

【0018】

また、通常、セルプレートの電位Vcpは中間電位Vcc/2に設定される。メモリキャパシタの一方電極に伝達されるHレベルの電位が電源電位Vccレベル、Lレベルが接地電位レベルである。ビット線BLおよび/BLの基準電位(プリチャージ電位)は中間電位Vcc/2である。メモリキャパシタのHレベルとして電源電位Vccレベルの電位を伝達することにより、メモリキャパシタからのHレベルおよびLレベルのデータ読出時におけるビット線(BLまたは/BL)の電位変化量を等しくし、センス動作の安定化(センスマージンの拡大等)を図る。

【0019】

図65は、従来のワード線選択回路の他の構成を示す図である。図65に示す構成におい

50

ては、ワードドライバ自身がデコード機能を有する。

図65において、ロウデコード回路904は、アドレスバッファからの内部アドレス信号をプリデコードしてロウプリデコード信号AXを発生するロウプリデコーダ940と、アドレスバッファからの独自の内部アドレス信号をプリデコードし、ワード線駆動信号RXa(図65においてはRX0~RX3)を発生するRXデコーダ946と、ロウプリデコーダ940からのプリデコード信号をデコードし、複数のワード線を含むワード線グループを指定する信号WDおよびZWDを発生するロウデコーダ942を含む。

【0020】

ロウプリデコーダ940は、所定数(図65においては4本)のワード線を含むワード線グループを指定するためのプリデコード信号を発生する(図65においては代表的にプリデコード信号AX0、AX1およびAX2を示す)。ロウデコーダ942は、ワード線グループに対応して設けられ、対応のワード線グループに含まれるワード線を同時に指定するデコード信号を発生する。ロウデコーダ942は、ロウプリデコーダ940の出力するプリデコード信号を受けるAND型デコーダ943と、AND型デコーダ943の出力を反転するインバータ945を含む。AND型デコーダ943およびインバータ945は高電圧Vppを動作電源電圧として動作し、ロウプリデコーダ940から与えられる電源電圧Vccレベルの振幅を有するプリデコード信号をデコードして、そのハイレベルの信号電位を高電圧Vppレベルに変換する。接地電位レベルの信号はレベル変換されず、接地電位レベルの信号として出力される。

10

【0021】

RXデコーダ946は、アドレスバッファからの内部アドレス信号をプリデコードするXプリデコーダ947と、Xプリデコーダ947の出力のHレベルを高電圧Vppレベルに変換してワード線駆動信号RX0~RX3を発生するレベル変換回路949を含む。レベル変換回路949からのワード線駆動信号RX0~RX3のうちの1つがHレベルとされ、残りの3つのワード線駆動信号はLレベル(接地電位レベル)とされる。

20

ワード線ドライブ回路906においては、1つのロウデコーダ942に対し複数(図65においては4つ)のワードドライバ950a~950dが設けられる。ワードドライバ950a~950dは、それぞれ、RXデコーダ946からのワード線駆動信号RX0~RX3を受ける。ワードドライバ950a~950dの各々は同じ構成を備え、ロウデコーダ942からのデコード信号WDを内部ノードBへ伝達するnチャネルMOSトランジスタN4と、ノードB上の信号電位にตอบสนองしてワード線駆動信号RXi(i=0~3)を対応のワード線WLi上へ伝達するnチャネルMOSトランジスタN5と、ロウデコーダ942からのデコード信号ZWDにตอบสนองしてワード線WLiを接地電位に放電するnチャネルMOSトランジスタN6を含む。MOSトランジスタN4のゲートへは高電圧Vppが与えられる。次に動作について簡単に説明する。

30

【0022】

ロウデコーダ942の出力する信号WDおよびZWDは、スタンバイ時および非選択時(ロウプリデコーダ940の出力AX0、AX1およびAX2の少なくとも1つがLレベル)のとき、それぞれLレベルおよびHレベルとなる。この状態においては、ノードBの電位がLレベルであり、MOSトランジスタN5がオフ状態、MOSトランジスタN6がオン状態となり、ワード線WL0~WL3はすべて接地電位レベルに保持される。

40

動作時、ロウプリデコーダ940の出力AX0、AX1およびAX2がすべてHレベルのとき、ロウデコーダ942の出力WDおよびZWDが、それぞれ、HレベルおよびLレベルとなる。MOSトランジスタN6がオフ状態となり、MOSトランジスタN5がオン状態となる。ノードBの電位はVpp-Vthレベルとなる。VthはMOSトランジスタN4のしきい値電圧である。信号WDは高電圧Vppレベルであり、MOSトランジスタN4はほぼオフ状態になる。この状態である、RXデコーダ946からのワード線駆動信号RX0~RX3の1つが高電圧VppレベルのHレベルに立上がる。

【0023】

今、ワード線駆動信号RX0が高電圧Vppレベル、残りのワード線駆動信号RX1~R

50

X3が接地電位レベルのLレベルとする。ワードドライバ950aにおいて、ノードBの電位がMOSトランジスタN5のセルフブースト効果により上昇し、 $V_{pp} + V_{th}$ 以上の電位レベルに上昇する。ここで V_{th} はMOSトランジスタN5のしきい値電圧である。これにより、MOSトランジスタN5は、高電圧 V_{pp} レベルのワード線駆動信号RX0をしきい値電圧の損失を伴うことなくワード線WL0上へ伝達する。ワードドライバ950b~950dにおいては、ワード線駆動信号RX1~RX3が接地電位レベルのLレベルであり、MOSトランジスタN5を介してワード線WL1~WL3へ接地電位レベルのLレベルの信号が伝達される。

【0024】

図66は、従来のワード線ドライバ回路のさらに他の構成を示す図である。図66においては、1つのワード線に対して設けられるワードドライバの構成を示す。図66において、ワードドライバは、ワード線WLをデコード信号ZWDにตอบสนองして高電圧 V_{pp} レベルに昇圧するpチャンネルMOSトランジスタP1と、デコード信号ZWDにตอบสนองしてワード線WLを接地電位レベルに放電するnチャンネルMOSトランジスタN1を含む。図示しないデコードステージから与えられるデコード信号ZWDはHレベルが高電圧 V_{pp} レベルであり、Lレベルが接地電位レベルである。このデコード信号ZWDは1つのワード線のみを指定する。pチャンネルMOSトランジスタP1はその一方導通端子(ソース)に高電圧 V_{pp} を受け、そのゲートにデコード信号ZWDを受け、その他方導通端子(ドレイン)がワード線WLに接続される。nチャンネルMOSトランジスタN1は、その一方導通端子(ソース)は接地電位を受けるとして接続され、そのゲートにデコード信号ZWDを受け、その他方導通端子(ドレイン)がワード線WLに接続される。この図66に示すワードドライバは、高電圧 V_{pp} と接地電位の間で動作するCMOSインバータ回路の構成を備える。次に動作について簡単に説明する。スタンバイ時および非選択時においては、信号ZWDが高電圧 V_{pp} レベルである。MOSトランジスタP1がオフ状態、MOSトランジスタN1はオン状態となり、ワード線WLは接地電位レベルに放電されている。信号ZWDが接地電位レベルのLレベルとなると、MOSトランジスタN1がオフ状態となり、MOSトランジスタP1がオン状態となり、ワード線WLには高電圧 V_{pp} が伝達される。

【0025】

【発明が解決しようとする課題】

図67に、メモリセルアレイ部の詳細構成を示す。図67においては、2行2列に配列されたメモリセルMC00、MC01、MC10、およびMC11を示す。ワード線WL0にメモリセルMC00およびMC10が接続され、ワード線WL1にメモリセルMC01およびMC11が接続される。ビット線対BL0および/BL0にはメモリセルMC00およびMC01が接続され、ビット線対BL1および/BL1にメモリセルMC10およびMC11が接続される。

【0026】

ビット線対BL0、および/BL0にはプリチャージ/イコライズ回路PE0およびセンスアンプSA0が設けられ、ビット線対BL1および/BL1にはプリチャージ/イコライズ回路PE1およびセンスアンプSA1が設けられる。

プリチャージ/イコライズ回路PE0およびPE1の各々は、ビット線イコライズ信号BEQにตอบสนองして導通し、対応のビット線/BLおよびBLへ所定の間電位VBLを伝達するnチャンネルMOSトランジスタT2およびT3と、イコライズ信号BEQにตอบสนองして導通し、ビット線BL0(BL1)および/BL0(/BL1)を電氣的に短絡するnチャンネルMOSトランジスタT1を含む。通常、 $V_{BL} = V_{cp} = V_{cc} / 2$ である。

【0027】

ビット線イコライズ信号BEQは、信号/RASが非活性状態の“H”のときに活性状態となり、対応のビット線BL0(BL1)および/BL0(/BL1)を中間電位VBL(= $V_{cc} / 2$)にプリチャージしかつイコライズする。信号/RASがLレベルの活性状態となるとビット線イコライズ信号BEQがLレベルの非活性状態となり、トランジスタT1、T2およびT3がオフ状態とされ、ビット線BL0(BL1)、および/BL0

10

20

30

40

50

(/ B L 1) は中間電位のフローティング状態とされる。たとえばワード線 W L 0 が選択され、その電位が上昇したとき、メモリセル M C 0 0 および M C 1 0 においてメモリトランジスタ M T がオン状態となり、ビット線 B L 0 および B L 1 の電位がプリチャージ電位 V B L からメモリセル M C 0 0 および M C 1 0 の記憶する情報に従って変化する。ビット線 / B L 0 および / B L 1 はプリチャージ電位を保持する。センスアンプ S A 0 および S A 1 がこの後活性化され、ビット線 B L 0 および / B L 0 ならびに B L 1 および / B L 1 の電位差をそれぞれ増幅する。

【 0 0 2 8 】

D R A M においてはメモリキャパシタ M Q に電荷の形態で情報が格納される。キャパシタからの電荷のリークにより蓄積電荷が減少する。このメモリセルキャパシタの蓄積電荷のリークについて以下に考察する。

図 6 8 に示すようにメモリセル M C に H レベルのデータ (電位 V c c レベルの信号) が書込まれた状態を考える。データ書込完了後、ワード線 W L は非選択状態の接地電位レベル (0 V) となる。スタンバイ時においては、図 6 7 に示すプリチャージ / イコライズ回路により、ビット線 B L の電位は中間電位 V c c / 2 である。メモリキャパシタ M Q においてはストレージノード S N の電位が V c c 、セルプレート S P の電位が V c p である。この状態においては、メモリトランジスタ M T のゲートの電位はそのソース (ビット線 B L に接続される導通端子) の電位よりも十分低い。したがってノイズなどの影響により、ワード線 W L の電位が少し変動しても、メモリトランジスタ M T は確実にオフ状態にあり、メモリキャパシタ M Q からビット線 B L へ電荷が流出 (ビット線 B L からメモリキャパシタ M Q への電子の流入) は生じない。

【 0 0 2 9 】

今、図 6 9 に示すように、メモリセル M C 1 が H レベルのデータを記憶しており、ワード線 W L 0 にメモリトランジスタ M T 1 が接続されている状態を考える。ワード線 W L 1 にはメモリセル M C 2 が接続されており、L レベルのデータを記憶している。メモリトランジスタ M T 1 および M T 2 はビット線 B L に接続される。ワード線 W L 1 が選択され、その電位が上昇したときメモリセル M C 2 の保持データがビット線 B L に伝達される。この後センスアンプが動作し、ビット線 B L の電位は接地電位 (0 V) にまで放電される。この状態において、メモリセル M C 1 のゲートとソースは同電位となる。したがって、この状態においてはワード線 W L 0 の電位がワード線 W L 1 との容量結合により上昇するかまたはワード線 W L 1 の電位の立下がり時にワード線 W L 1 とビット線 B L との容量結合によりビット線 B L の電位が負方向に少し低下した場合、メモリセル M C 1 においてはメモリキャパシタ M Q 1 の保持電荷がビット線 B L へ流出する。このようなワード線またはビット線の電位変化によるメモリトランジスタのチャンネルを介してのメモリキャパシタの蓄積電荷のリークによる電荷保持特性の変化を「ディスタブプリフレッシュ」と称す。

【 0 0 3 0 】

今、図 7 0 に示すように、スタンバイ時においてメモリキャパシタ M Q に L レベルのデータが格納されている状態を考える。M O S トランジスタのソースは 2 つの導通端子のうち電位の低い導通端子である。したがって図 7 0 に示す場合、ソースはストレージノード S N に接続される導通端子となる。この場合においても、ワード線 W L の電位がノイズの影響を受けて上昇した場合、メモリキャパシタ M Q に電荷が流入する。この場合には、メモリキャパシタにおける電子のリークによる記憶情報の破壊の問題が生じる。したがって図 7 0 に示すような場合においても「ディスタブプリフレッシュ」に弱いという問題が生じる。

【 0 0 3 1 】

図 7 1 に、M O S トランジスタのサブスレッショルド特性の一例を示す。図 7 1 においては、ドレイン - ソース間電圧 V G S が 0 . 1 V のときのゲート - ソース間電圧 V G S とドレイン電流 I D の関係が示される。しきい値電圧よりもゲート電圧 V G S が小さくなるときには、ドレイン電流 I D が指数関数的に減少する。しかしながら、ゲートとソースの電位が等しくなったときにおいても極めて微小な電流が流れる。メモリキャパシタ M Q の静電容量

10

20

30

40

50

が比較的大きい場合には、リフレッシュ周期に対しこのようなリークはそれほど大きな影響を及ぼさない。しかしながら、近年のDRAMの高集積化に伴ってメモリキャパシタの容量が極めて小さくされると、蓄積電荷量が小さくなり、このようなリーク電流がそのリフレッシュ間隔に大きな影響を及ぼすようになる。

【0032】

このようなチャンネルリークによる電荷の流出を防止する方策として、チャンネル領域の不純物濃度を十分高くしてメモリトランジスタMTのしきい値電圧 V_{th} を高くすることが考えられる。チャンネルリークの原因となるサブスレッショルド電流は、チャンネル領域における弱反転領域におけるドレイン電流であり、しきい値電圧を上げることにより、この弱反転領域の形成を抑制する。

しかしながら、このようにメモリトランジスタMTのしきい値電圧 V_{th} を上昇させた場合、メモリキャパシタMQに電源電位 V_{cc} レベルの信号電位(Hレベルデータ)を書込むためには、ワード線WLへ与えられる高電圧 V_{pp} の電圧をさらに上昇させる必要がある。高電圧 V_{pp} を高くした場合、高電圧 V_{pp} を発生する回路の負荷が増加し、安定に高電圧 V_{pp} を供給することができなくなるかまたは回路規模を大きくする必要もある。また消費電流も増加する。なぜならば、高電圧発生回路は、通常、キャパシタのチャージポンプ動作を利用して電源電位 V_{cc} から高電圧 V_{pp} を生成している。電源電位 V_{cc} から高電圧 V_{pp} への変換効率は50%以下である。高電圧 V_{pp} を利用する回路の消費電流がたとえば1mW増加し、変換効率が50%とすると、電源電位 V_{cc} の消費電力が2mW増加することになる。加えて、高電圧 V_{pp} を高くした場合、ワード線に高電圧が印加され、ワード線の耐圧特性上の信頼性の問題が生じるとともに、高電圧 V_{pp} が印加されるトランジスタ(ワードドライバにおけるMOSトランジスタおよびメモリトランジスタ)の信頼性の問題が発生する。特にワードドライバ部分においては、MOSトランジスタのドレイン-ソース間に高電圧 V_{pp} が印加されるため、素子の信頼性の問題が生じる。

【0033】

また、リフレッシュ特性(メモリセルの電荷保持特性)の劣化を補償するためにリフレッシュ周期を短くすると、リフレッシュ時においては、単にメモリセルのデータの読出および再書込が行なわれるだけであり、外部アクセスが禁止されるため、外部装置はDRAMへそのリフレッシュ期間中アクセスすることができず、DRAMの利用効率が低下し、このDRAMを用いる処理システムの性能が劣化する。

それゆえ、この発明の目的は、構成要素の信頼性を損うことなくリフレッシュ特性が改善された半導体記憶装置を提供することである。

【0034】

この発明の他の目的は、低消費電流かつリフレッシュ特性が改善された半導体記憶装置を提供することである。

この発明のさらに他の目的はリフレッシュ特性を改善することのできるワード線選択/駆動回路を有する半導体記憶装置を提供することである。

【0035】

【課題を解決するための手段】

この発明は要約すれば、非選択ワード線の電位をメモリセルの基板領域に印加されるバイアス電圧と同じ極性の電圧に保持するように構成したものである。非選択ワード線はスタンバイサイクル時およびアクティブサイクル時の両サイクルにおいて非選択状態とされるワード線を意味する。メモリトランジスタがnチャンネルMOSトランジスタを含むとき、非選択ワード線には接地電位より低い負電位が印加される。

【0036】

この発明の第1の観点に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有する複数のメモリブロックと、各メモリブロックにおいて各メモリセル行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、アドレス信号に従って複数のワード線からワード線を指定するワード線指定信号を発生するワード線

10

20

30

40

50

選択手段とを備える。このワード線選択手段は、アドレス信号に含まれるブロック指定信号に従って複数のメモリブロックからメモリブロックを選択するブロック選択信号を発生する手段を含む。

この発明の第1の観点に係る半導体記憶装置は、さらに、ワード線選択手段の出力に従ってワード線指定信号が指定するワード線に第1の電圧を伝達し、かつ残りのワード線に第1の電圧と符合の異なる第2の電圧を伝達するワード線ドライブ手段と、ブロック指定信号にตอบสนองして、メモリブロック指定信号が指定するワード線に伝達される第2の電圧の電圧レベルを変更するための電圧変更手段を備える。

【0037】

この発明の第2の観点に係る半導体記憶装置は、行および列のマトリクス上に配列される複数のメモリセルと、各メモリセル行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、アドレス信号に従って複数のワード線から特定のワード線を指定する行選択信号を発生する行選択信号発生回路と、行選択信号により指定されたワード線に第1の電圧を伝達しかつ残りのワード線に第1の電圧と政府を染めず符合の異なる第2の電圧を伝達するワード線ドライブ回路と、特定動作モード指示信号にตอบสนองして第2の電圧レベルを変更する電圧偏向回路を備える。

【0038】

この発明の第3の観点に係る半導体記憶装置は、行列状に配列され、各々が第1極性のバックバイアス電圧を受けるバックゲートを有する電界効果トランジスタを含む複数のメモリセルと、各メモリセル行に対応して配列され各々が対応の行のメモリセルの電界効果トランジスタに接続される複数のワード線と、第1のアドレス信号をデコードして複数のワード線から所定数のワード線を含むワード線群を指定するワード線群指定信号を発生する第1のデコード手段と、第2のアドレス信号をデコードしてワード線群のうちのワード線を指定するワード線指定信号を発生する第2のデコード手段と、各ワード線に対応して設けられる複数のワードドライバとを備える。各ワードドライバは、ワード線群指定信号とワード線指定信号とが対応のワード線を指定するときに第1の極性と異なる第2の極性の電圧を該対応のワード線へ伝達する第1のドライブトランジスタと、ワード線群指定信号が対応のワード線を含むワード線群と異なるワード線群を指定するときには該対応のワード線に第1の極性の電圧を伝達する第2のドライブトランジスタとを含む。

この発明の第3の観点に係る半導体記憶装置は、さらに、第1のデコード手段の出力信号の振幅を拡張して各ワードドライバに伝達する信号振幅変換回路を備える。この信号振幅変換回路は、各ワードドライバの第1のドライブトランジスタに対して設けられ、第1のデコード手段の出力信号に対応する第1の振幅拡張された信号を第1のドライブトランジスタに与える第1の変換回路と、各ワードドライバの第3のトランジスタに対して設けられ第1の振幅拡張された信号と相補な第2の振幅拡張された信号を第3のトランジスタに与える第2の変換回路とを含む。ワードドライバの第3のトランジスタは、対応のワード線が非選択状態のときに対応のワード線に第1極性の電圧を伝達する。

【0039】

この発明の第4の観点に係る半導体記憶装置は、行列状に配列され、各々が電界効果トランジスタを含む複数のメモリセルと、各メモリセル行に対応して配列され、各々が対応の行のメモリセルの電界効果トランジスタのゲートに接続される複数のワード線と、第1のアドレス信号をデコードして複数のワード線から所定数のワード線を含むワード線群を指定し、第1の論理レベルの第1の電位と第2の論理レベルの第2の電位との間で変化するワード線群指定信号を発生する第1のデコード手段と、第2のアドレス信号をデコードしてワード線群のうちのワード線を指定するワード線指定信号を発生する第2のデコード手段とを備える。この第2のデコード手段は、第2のアドレス信号をデコードして第1の電位と第2の電位との間で変化するデコード信号を出力するデコード部と、このデコード信号の第1の論理レベルを第1の電位から第2の電位と相反する方向にある第3の電位に変換しかつ第2の論理レベルを第2の電位から第1の電位と相反する方向にある第4の電位にレベル変換してデコード信号の振幅を第3の電位と第4の電位との間の振幅に拡張し

10

20

30

40

50

てワード線指定信号を発生する第1の信号振幅変換回路を含む。

この発明の第4の観点に係る半導体記憶装置は、さらに、各ワード線に対応して設けられる複数のワードドライバと、第1のデコード手段からのワード線群指定信号の第1の論理レベルを第1の電位から第3の電位にレベル変換してこれらのワードドライバに伝達する第2の信号振幅変換回路を備える。各ワードドライバは、ワード線指定信号の出力ノードと対応のワード線との間に接続されワード線群指定信号とワード線指定信号とが対応のワード線を指定するときワード線指定信号の電圧を対応のワード線に伝達する第1のドライブトランジスタと、第3の電位の所定ノードと対応のワード線との間に接続され、一度線群指定信号が対応のワード線を含むワード線群とは別のワード線群を指定するときには、対応のワード線に第3の電位を伝達する第2のドライブトランジスタを含む。

10

【0040】

この発明の第5の観点に係る半導体記憶装置は、行列状に配列され、各々が第1導電型のトランジスタを含む複数のメモリセルと、メモリセル行に対応して配置され、各々に対応の行のメモリセルのトランジスタが接続される複数のワード線と、各ワード線に対応して配置され、各々が対応のワード線がアドレス指定されたときに第1の極性の電圧信号を対応のワード線に伝達する第1のドライブ素子と、対応のワード線と異なるワード線がアドレス指定されたとき対応のワード線に第1の極性と異なる第2の極性の電圧を伝達する第2のドライブ素子を含む複数のワードドライバとを含む。

複数のメモリセルは、第2の極性の第1の電位が供給される第2導電型の半導体基板表面に形成される第2導電型の第1のウェル領域に形成され、この第1のウェル領域は、第2極性の第1の電位にバイアスされる。第2のドライブ素子は、対応のワード線と第2の極性の第2の電位ノードとの間に接続される第1導電型のトランジスタを備える。このドライブ素子トランジスタは、第2導電型の半導体基板表面上に三重拡散構造によりこの第2導電型の半導体基板から分離された第2導電型の第2のウェル領域内に形成される。第2のウェル領域には第2極性の第2の電位が供給される。

20

【0046】

【作用】

メモリブロック単位で選択ワード線の電圧レベルを変更する事により、選択メモリブロックにおいて「ディスタプリフレッシュ」を改善する最適レベルの電圧を伝達する事が出来る。非選択メモリブロックにおいては、ワード線およびビット線（列線）が容量結合によりその電位が変化する事がなく、「ディスタプリフレッシュ」を考慮する必要がなく、基板へのリーク電流の流出を防止する「ポーズプリフレッシュ」を考慮すれば良いため、選択メモリブロック内の選択ワード線に対し最適電圧を伝達するだけでよく、消費電流を低減してリフレッシュ特性を改善する事が出来る。

30

【0047】

また、特定モード時において選択ワード線に伝達される電圧のレベルを変更する事により、メモリセルの電荷保持特性の加速試験を容易に行なうことが出来る。また、特定動作モード指示信号がテストモード指示信号と異なる場合には、消費電流の低減を容易に実現する事が出来る。

また、選択行線（ワード線）の電圧と非選択行線の電圧の差を、動作電源電圧の電圧差より大きくする事により、非選択メモリセルのトランジスタを確実にオフ状態とする事ができ、チャンネルリークによる電荷の移動を確実に抑制する事が出来る。

40

【0048】

また、メモリセル形成領域のバイアス電圧とワード線に伝達される電圧とを別々に印加する事により、「ディスタプリフレッシュ」および「ポーズプリフレッシュ」特性いずれをも満たすことのできるレベルの電圧をワードドライバに供給することが可能となり、「ディスタプリフレッシュ」特性を改善する最適な非選択ワード線電位を設定する事が出来る。

【0053】

【実施例】

50

【実施例 1】

図 1 はこの発明の第 1 の実施例である半導体記憶装置の要部の構成を示す図である。図 1 において、半導体記憶装置は外部からのアドレス信号を受けて内部アドレス信号を生成するアドレスバッファ 1 と、アドレスバッファ 1 からのたとえば上位内部アドレス信号をデコードし、メモリセルアレイ 10 における所定数（図 1 においては 4 本）のワード線を指定するデコード信号（ワード線グループ指定信号）を発生するロウデコード回路 2 と、第 1 の極性の電圧である負電位 V_{bb} を発生する負電位発生回路 11 と、第 2 の極性の電圧である高電圧 V_{pp} を発生する高電圧発生回路 12 を含む。ロウデコード回路 2 は、所定数のワード線のグループに対応して設けられるロウデコーダ 20 を含む。ロウデコーダ 20 は、NAND 型ロウデコーダで構成され、与えられた内部アドレス信号がすべて H レベルのときに選択状態となり、L レベルの信号を出力する。

10

【0054】

メモリセルアレイ 10 においては、正確には示していないが、メモリセルが行および列のマトリクス状に配列され、各メモリセルの行に対応してワード線が配設され、かつ各メモリセル列に対応してビット線対（列線）が配置される。図 1 においては、2 本のワード線 WL_0 および WL_3 が 1 つのワード線グループ $WL_0 \sim WL_3$ を示すために代表的に示される。メモリセルは、キャパシタに電荷を格納することによりデータを記憶するダイナミック型メモリセルの構成を備える。この半導体記憶装置は、ダイナミック型メモリセルを備えていればよく、擬似 SRAM、および仮想 SRAM においても適用可能である。以下の説明においては、単にダイナミック・ランダム・アクセス・メモリを一例として説明し

20

【0055】

DRAM はさらに、アドレスバッファ 1 からのたとえば下位内部アドレス信号をデコードし、所定数のワード線（ワード線グループ）のうちの 1 つのワード線を特定する信号 RXi ($i = 0 \sim 3$) を発生する RX デコーダ 3 と、ロウデコード回路 2 の出力信号のレベルを変換するレベル変換回路 4 と、レベル変換回路 4 の出力と RX デコーダ 3 の出力に従ってメモリセルアレイ 10 におけるアドレス指定されたワード線を選択状態へ駆動するワード線ドライブ回路 5 を含む。

RX デコーダ 3 は、負電位発生回路 11 からの負電位 V_{bb} と高電圧発生回路 12 からの高電圧 V_{pp} を受け、高電圧 V_{pp} または負電位 V_{bb} の信号 RXi を発生する。すなわち、 RX デコーダ 3 は、アドレスバッファ 1 からの内部アドレス信号をデコードし、このデコード結果に従って選択状態とされた信号 RXi を所定のタイミングで高電圧 V_{pp} レベルにして出力し、非選択状態の信号 RXi を負電位 V_{bb} レベルの信号として出力する。ロウデコード回路 2 の出力する信号の振幅は電源電位 V_{cc} レベルである。

30

【0056】

レベル変換回路 4 においては、1 つのロウデコーダ 20 に対して 2 つのレベル変換器 30 および 32 が設けられる。これらのレベル変換器 30 および 32 は、互いに相補な論理の信号 WD および ZWD をそれぞれ出力する。レベル変換器 30 および 32 から出力される信号 WD および ZWD の L レベルは負電位 V_{bb} レベルである。信号 WD および ZWD の H レベルは電源電位 V_{cc} レベルである。

40

ワード線ドライブ回路 5 においては、2 つのレベル変換器 30 および 32 に対して 4 つのワードドライブ 40-0 ないし 40-3 が設けられる。図 1 においては、ワードドライブ 40-0 の詳細構成のみを示す。ワードドライブ 40-0 は、レベル変換器 30 からの信号 WD をノード A に伝達する n チャネル MOS トランジスタ $N1$ と、ノード A の信号電位に 응답してそのノード C（第 1 のノード）に与えられた信号 RX_0 を対応のワード線 WL_0 へ伝達する n チャネル MOS トランジスタ $N2$ と、レベル変換器 32 からの出力信号 ZWD に 응답して導通し、ノード D（第 2 のノード）に与えられた負電位 V_{bb} をワード線 WL_0 へ伝達する n チャネル MOS トランジスタ $N3$ を含む。

【0057】

RAS バッファ 6 は、外部からのロウアドレスストローク信号（メモリサイクル開始指示

50

信号) / R A S に従って内部 R A S 信号 R A S を生成する。内部 R A S 信号 R A S に従ってアドレスバッファ 1、ロウデコード回路 2 および R X デコーダ 3 の動作タイミングが決定される。図 1 においては、動作電源電位 V_{cc} および接地電位 GND が外部からピン端子 13 および 15 を介して与えられるように示される。動作電源電位 V_{cc} は内部で降圧回路を用いて発生されてもよい。通常、動作電源電位 V_{cc} が 2.5 V のとき、高電圧 V_{pp} は 4 ~ 4.5 V であり、負電位 V_{bb} は -1.5 ないし -2 V である。後に説明するメモリセルアレイ 10 におけるメモリセル形成領域の基板領域に印加されるバイアス電圧 V_{sub} と同じかまたはそれより絶対値の小さな電位である。次に動作について説明する。

【 0058 】

スタンバイ時においては、信号 / R A S は不活性状態の H レベルであり、内部 R A S 信号 R A S は L レベルである。この状態において、ロウデコード回路 2 に含まれるロウデコーダ 20 の出力は H レベルであり、レベル変換回路 4 に含まれるレベル変換器 30 からの信号 WD は負電位 V_{bb} レベルであり、一方、レベル変換器 32 の出力 ZWD は電源電位 V_{cc} レベルである。すなわち、レベル変換器 30 は、ロウデコーダ 20 の出力の論理を反転する機能を備える。レベル変換器 32 は、ロウデコーダ 20 の出力の L レベルのレベル変換を行なう機能のみを備える。

【 0059 】

ワード線駆動回路 5 においては、レベル変換器 30 の出力 WD が負電位 V_{bb} レベルであり、レベル変換器 32 の出力 ZWD が電源電位 V_{cc} レベルであるため、また R X デコーダ 3 の出力 RX_i が負電位 V_{bb} レベルであるため、ワードドライバ 40 (40-0 ~ 40-3) において n チャネル MOS トランジスタ N_2 がオフ状態、n チャネル MOS トランジスタ N_3 がオン状態となり、ワード線 $WL_0 \sim WL_3$ は負電位 V_{bb} レベルに維持される。

信号 / R A S が活性状態の L レベルとなると、メモリサイクル (アクティブサイクル) が始まり外部からのアクセスが行なわれる。信号 / R A S が活性状態のアクティブサイクルにおいては、アドレスバッファ 1 が R A S バッファ 6 からの内部 R A S 信号 R A S に応答して外部アドレス信号を取込み内部アドレス信号を発生する。ロウデコード回路 2 および R X デコーダ 3 が内部 R A S 信号 R A S に応答して活性化されてアドレスバッファ 1 からの内部アドレス信号をデコードする。

【 0060 】

ロウデコーダ 20 の出力が電源電位 V_{cc} レベルの H レベルのとき (非選択時)、レベル変換器 30 の出力 WD が負電位 V_{bb} レベルの L レベルとなり、レベル変換器 32 の出力 ZWD が電源電位 V_{cc} レベルの H レベルとなる。この状態は、スタンバイ時と同じであり、このロウデコーダ 20 に対応して設けられるワードドライバ 40-0 ~ 40-3 は、それぞれ、ワード線 $WL_0 \sim WL_3$ を負電位 V_{bb} レベルに保持する。

ロウデコーダ 20 の出力が接地電位 GND レベルの L レベルのとき (選択時)、レベル変換器 30 の出力 WD が電源電位 V_{cc} レベルの H レベルとなり、レベル変換器 32 の出力が負電位 V_{bb} レベルの L レベルとなる。ワード線ドライブ回路 5 のワードドライバ 40 (ワードドライバ 40-0 ~ 40-3 を総称的に示す) においては、ゲートに電源電位 V_{cc} を受ける MOS トランジスタ N_1 によりノード A の電位が $V_{cc} - V_{th}$ レベルとなり、MOS トランジスタ N_2 がオン状態となる。MOS トランジスタ N_1 は、そのゲートとソース (ノード A) の電位差がしきい値電圧 V_{th} であり、ほぼオフ状態となる。一方、MOS トランジスタ N_3 は、負電位 V_{bb} レベルの信号 ZWD によりオフ状態となる (MOS トランジスタ N_3 のゲートとソース (ノード D) とが同じ電位)。

【 0061 】

R X デコーダ 3 からの信号 RX_i ($i = 0 \sim 3$) のいずれかが所定のタイミングで高電圧 V_{pp} レベルに昇圧される。今、信号 RX_0 が高電圧 V_{pp} レベルであると、ワードドライバ 40-0 において、ノード A の電位が MOS トランジスタ N_2 のセルフブースト効果により上昇し、MOS トランジスタ N_2 が強いオン状態となる。ノード A の電位が V_{pp}

10

20

30

40

50

+ V_{th} (V_{th} はMOSトランジスタN2のしきい値電圧)以上となると、ワード線WL0の電位は高電圧 V_{pp} レベルとなる。

【0062】

信号RX0が負電位 V_{bb} レベルのときには、ワード線WL0は、MOSトランジスタN2により、ノードCに与えられた負電位 V_{bb} レベルに保持される。ビット線周辺部の構成は図67に示す構成と同じであり、ビット線の電位振幅は電源電位 V_{cc} -接地電位GND(0V)である。したがって、図2に示すように、ワード線WLに負電位 V_{bb} が印加されたとき、メモリトランジスタMTのソースよりもそのゲートの電位が常に低くなり、MOSトランジスタMTにおけるチャネルリークを確実に抑制することができる。すなわち、図71に示すサブスレッショルド特性曲線からも明らかのように、ワード線WLの電位を負電位とすることにより、メモリトランジスタMTのゲート-ソース間電圧 V_{gs} を負の値にすることができ、そのサブスレッショルド電流を大幅に低減することができる。また、動作時において、負電位 V_{bb} が印加されたワード線WLの電位が選択ワード線との容量結合により上昇しても、この非選択状態のワード線の上昇電位は従来よりも $|V_{bb}|$ だけ低くなるため、メモリトランジスタMTのサブスレッショルド電流を大幅に低減することができ、チャネルリークによるメモリキャパシタMQの蓄積電荷の移動を大幅に低減することができ、「ディスタブプリフレッシュ」特性を大幅に改善することができる。

10

【0063】

また容量結合またはノイズによりビット線BLの電位が負方向に変化しても、ワード線WLは負電位 V_{bb} が印加されているため、メモリトランジスタMTのゲート-ソース間電圧 V_{gs} は従来よりも $|V_{bb}|$ だけ低くなるため、同様にメモリトランジスタMTはチャネルリークによる電荷の移動を従来よりも大幅に低減することができる。メモリトランジスタMTのしきい値電圧は高くしてはいない。高電圧 V_{pp} の電圧レベルは従来と同じであり、MOSトランジスタの耐圧上の信頼性は確保される。また、ワード線負電位印加により以下の利点も得られる。

20

【0064】

図3は、ワードドライバに含まれるワード線駆動信号伝達用MOSトランジスタの断面構造を示す図である。図3において、MOSトランジスタN2は、基板領域50の表面に形成される高濃度不純物領域51および52と、この不純物領域51および52の間のチャネル領域54上にゲート絶縁膜55を介して形成されるゲート電極53を含む。不純物領域51がワード線WLに結合され、不純物領域52がノードCに接続される。ゲート電極53はノードAに接続される。

30

基板領域50はP型であり、基板バイアス電圧 V_{sub} が印加される。この基板バイアス電圧 V_{sub} がメモリセル形成領域に印加される基板バイアス電圧 V_{sub} と同じであるとする。P型基板領域50の表面不純物濃度を低くする。ノードCに高電圧 V_{pp} が印加されたとき、基板領域50の表面には空乏層54が形成される。このP型基板領域50の不純物濃度が低い場合、形成される空乏層の幅は以下の理由により大きくなる。MOSトランジスタにおいて基板領域表面に形成される空乏層54の幅は、P型基板領域50の表面の不純物濃度 N_a の関数で表わされる。通常、空乏層幅 W は不純物濃度 N_a の $-1/2$ 乗の関数で表わされる。したがって、不純物濃度 N_a が小さくなれば、基板領域50表面に形成される空乏層54の幅が大きくなる。したがって、高電圧 V_{pp} がN型不純物領域52に印加されても、このP型基板領域50とN型不純物領域52の間の電界は空乏層54に印加されるため、P型基板領域50とN型不純物領域52の間の電界を緩和することができ、MOSトランジスタの接合耐圧特性を改善することができる。

40

【0065】

また、ワード線WLに負電位 V_{bb} を印加することにより、メモリトランジスタMTのしきい値電圧は少し小さくてもよく、またメモリセルのストレージノードSNから基板への電荷の流出を防止するために印加される基板バイアス電圧 V_{sub} の絶対値も少し小さくすることができる。これにより、N型不純物領域52とP型基板領域50の間の電界をさ

50

らに緩和することができ、MOSトランジスタの耐圧特性は保証される。

また、図3に示すMOSトランジスタの基板領域50へ印加される基板バイアス電圧 V_{sub} と同じまたは同様の負電位のバイアス電圧がメモリセル形成領域の基板領域にも印加される。メモリセル形成領域に印加される基板バイアス電圧は、(a)メモリトランジスタのしきい値電圧のばらつきの抑制、(b)信号線と基板との間の寄生MOSトランジスタの形成の抑制、および(c)ストレージノードから基板への電子(メモリキャパシタの蓄積電荷)の流出の抑制のために印加される。ワード線に負電位を印加する場合、メモリトランジスタの電荷のチャネルリークが抑制されるため、メモリセル形成領域に印加される基板バイアス電圧の絶対値を小さくすることができる。このメモリセル形成領域に印加される基板バイアス電圧の絶対値を小さくすることにより、メモリトランジスタのしきい値電圧を小さくすることができ、選択時メモリトランジスタが導通状態となるタイミングを速くすることができ、高速でビット線上に信号電荷を伝達することが可能となる。

10

【0066】

またメモリセル形成領域に印加される基板バイアス電圧の絶対値を小さくした場合、メモリセル形成領域における空乏層の幅が広くなり、ストレージノードと基板との間に形成される電界が緩和され、ストレージノードから基板への電子の流出を抑制することができ、メモリセルの電荷保持特性(「ポーズリフレッシュ」特性)がまた改善される。次に各部の詳細構成について説明する。

[レベル変換器]

図4は、図1に示す信号WDを生成するレベル変換器の構成を示す図である。図4において、レベル変換器30は、入力ノード66に与えられる信号IN(ロウデコーダ20の出力)を反転するインバータ61と、入力ノード66上の信号電位にตอบสนองして導通し、電源ノード68に与えられた電源電位 V_{cc} を出力ノード67aへ伝達するpチャネルMOSトランジスタ62と、インバータ61の出力にตอบสนองして導通し、電源ノード68に与えられた電源電位 V_{cc} を内部ノード67bへ伝達するpチャネルMOSトランジスタ63と、出力ノード67a上の信号電位にตอบสนองして導通し、内部ノード67bへ他方電源ノード69に与えられた負電位 V_{bb} を伝達するnチャネルMOSトランジスタ65と、内部ノード67b上の信号電位にตอบสนองし、出力ノード67aに他方電源ノード69に与えられた負電位 V_{bb} を伝達するnチャネルMOSトランジスタ64を含む。pチャネルMOSトランジスタ62および63の基板領域は電源ノード68に接続され、nチャネルMOSトランジスタ64および65の基板領域は他方電源ノード69に接続される。インバータ61は、電源電位 V_{cc} と接地電位を両動作電源電圧として動作し、入力信号INに従って電源電位 V_{cc} レベルの信号または接地電位GNDレベルの信号を出力する。次に動作について説明する。

20

30

【0067】

入力信号IN(図1に示すロウデコーダ20の出力)が電源電位 V_{cc} レベルのHレベルのとき、(非選択時およびスタンバイ時)、インバータ61の出力がLレベルとなり、MOSトランジスタ62がオフ状態、MOSトランジスタ63がオン状態となる。内部ノード67bの電位はMOSトランジスタ63により電源ノード68に与えられる電源電位 V_{cc} にまで充電される。内部ノード67bの電位が上昇すると、MOSトランジスタ64がオン状態となり、出力ノード67aは、MOSトランジスタ64を介して他方電源ノード69に与えられた負電位 V_{bb} レベルにまで放電される。出力ノード67aの電位が負電位 V_{bb} レベルとなると、MOSトランジスタ65は、そのゲートとソースが同電位となり、オフ状態となる。これにより、出力ノード67aは負電位 V_{bb} レベル、内部ノード67bは電源電位 V_{cc} レベルに保持される。

40

【0068】

入力INがLレベル(接地電位レベル)のとき(選択時)、インバータ61の出力が V_{cc} レベルのHレベルとなり、MOSトランジスタ62がオン状態、MOSトランジスタ63がオフ状態となる。出力ノード67aはMOSトランジスタ62により電源電位 V_{cc} レベルにまで充電される。出力ノード67aの電位の上昇により、MOSトランジスタ6

50

5 がオン状態となり、内部ノード 67b が負電位 V_{bb} レベルにまで放電される。この内部ノード 67b の電位低下に伴って MOS トランジスタ 64 がオフ状態へ移行し、最終的に、内部ノード 67b が負電位 V_{bb} に到達したとき、MOS トランジスタ 64 はそのゲートとソースの電位が同一となり、オフ状態となる。これにより、出力ノード 67a は電源電位 V_{cc} レベルの H レベル、内部ノード 67b は負電位 V_{bb} レベルに保持される。

【0069】

図 5 は、図 1 に示す信号 ZWD を生成するレベル変換器の構成を示す図である。図 5 において、レベル変換器 32 は、入力ノード 76 に与えられる信号 IN を反転するインバータ 71 と、インバータ 71 の出力にตอบสนองして導通し、電源ノード 78 に与えられた電源電位 V_{cc} を出力ノード 77a へ伝達する P チャネル MOS トランジスタ 72 と、入力ノード 67 の信号電位にตอบสนองして導通し、電源ノード 78 に印加される電源電位 V_{cc} を内部ノード 77b に伝達する p チャネル MOS トランジスタ 73 と、内部ノード 77b 上の電位にตอบสนองして導通し、出力ノード 77a を他方電源ノード 79 に与えられた負電位 V_{bb} レベルに放電する n チャネル MOS トランジスタ 74 と、出力ノード 77a 上の信号電位にตอบสนองして導通し、内部ノード 77b を負電位 V_{bb} レベルにまで放電する n チャネル MOS トランジスタ 75 を含む。p チャネル MOS トランジスタ 72 および 73 の基板領域は電源ノード 78 に接続され、n チャネル MOS トランジスタ 74 および 75 の基板領域は他方電源ノード 79 に接続される。次に動作について説明する。

【0070】

入力ノード 76 へ与えられる入力 IN が電源電位 V_{cc} レベルのとき、インバータ 71 の出力が接地電位レベルの L レベルとなり、MOS トランジスタ 72 がオン状態、MOS トランジスタ 73 がオフ状態となる。出力ノード 77a が MOS トランジスタ 72 を介して電源電位 V_{cc} レベルにまで充電される。出力ノード 77a の電位上昇に伴って、MOS トランジスタ 75 がオン状態となり、内部ノード 77b が負電位 V_{bb} レベルへと放電される。内部ノード 77b の電位が負電位 V_{bb} となると、MOS トランジスタ 74 がオフ状態となり、出力ノード 77a の電位は電源電位 V_{cc} レベル、内部ノード 77b の電位は負電位 V_{bb} レベルに保持される。

【0071】

入力 I が接地電位レベルの L レベルのとき、インバータ 71 の出力が電源電位 V_{cc} レベルの H レベルとなり、MOS トランジスタ 72 がオフ状態、MOS トランジスタ 73 がオン状態となる。内部ノード 77b が MOS トランジスタ 73 を介して電源電位 V_{cc} レベルにまで充電される。出力ノード 77a が MOS トランジスタ 74 を介して負電位 V_{bb} レベルに放電される。

図 5 に示すレベル変換器 32 の構成は、図 4 に示すレベル変換器の構成において、入力ノード 66 の前段にインバータを設けた構成と等価である。したがって、図 4 および図 5 にそれぞれ示すレベル変換器 30 および 32 は、互いに相補な出力 WD および ZWD を生成する。すなわち出力 WD が電源電位 V_{cc} レベルの H レベルのときには、信号 ZWD は負電位 V_{bb} レベルの L レベルとなる。

【0072】

図 6 は、負電位を伝達する MOS トランジスタの断面構造を示す図である。図 6 においては、ワードドライバに含まれる MOS トランジスタ N2 を代表的に示す。図 4 および図 5 に示すレベル変換器に含まれる n チャネル MOS トランジスタもほぼ同様の断面構造を備える。図 6 においては、またメモリセルの断面構造も併せて示す。

図 6 において、MOS トランジスタ N2 は、P 型基板 80 の表面に形成される P ウェル 81 内に形成される。MOS トランジスタ N2 は、P ウェル 81 の表面に形成される高濃度 N 型不純物領域 83 および 84 と、不純物領域 83 および 84 の間のチャネル領域上にゲート絶縁膜 88 を介して形成されるゲート電極 (TG) 85 を含む。ゲート電極 (TG) 85 は、図 5 に示すレベル変換器からの出力 ZWD を受ける。不純物領域 84 はワード線 WL に接続される。P 型基板 80 には基板バイアス電圧 V_{sub} が印加される。P 型基板 80 と P ウェル 81 はともに P 型であり、P ウェル 81 も、P 型基板 80 には基板バイア

10

20

30

40

50

ス電圧 V_{sub} が印加される。P ウェル 81 の表面に P 型高濃度不純物領域 82 が形成される。この高濃度不純物領域 82 はたとえばアルミニウム配線である低抵抗導線 86 を介して N 型不純物領域 83 に接続される。不純物領域 83 へは、P 型不純物領域 82、および P ウェル 81 を介して P 型基板 80 から負電位 V_{bb} が印加される。負電位 V_{bb} 伝達のための配線が占有する面積を増加させることなく負電位 V_{bb} を容易に発生することができる。

【0073】

メモリセル MC は、P 型基板 80 の P ウェル 81 とは別の領域に形成された P ウェル 90 内に形成される。負電位伝達用の MOS トランジスタが形成される P ウェル 81 は、フィールド酸化膜 (LOCOS 膜：局所酸化膜) によりその領域が規定される。

10

メモリセル MC は、P ウェル 90 表面に形成される N 型の高濃度不純物領域 92 および 93 と、不純物領域 92 および 93 の間のチャネル領域上に形成されるゲート絶縁膜 91 を介して形成されるゲート電極 94 と、不純物領域 92 に接続されるストレージノードを形成する導電層 95 と、導電層 95 上にキャパシタ絶縁膜 97 を介して形成されるセルプレートとなる導電層 96 を含む。不純物領域 93 は、ビット線を構成する導電層 98 に接続される。ゲート電極 94 はワード線を構成する。図 6 においては、隣接メモリセルのゲート電極 99 を併せて示す。他方側に隣接するメモリセルとは熱酸化膜 87c により分離される。基板領域 80 には基板バイアス電圧 V_{sub} が印加されており、P ウェル 90 においても、この基板バイアス電圧 V_{sub} が印加される。

【0074】

20

図 6 に示す構成に従えば、基板バイアス電圧 V_{sub} を発生するための回路を用いて非選択ワード線へ伝達するための負電位 V_{bb} を発生することができる。基板バイアス発生回路と別に負電位発生回路を設ける必要がなく、装置規模を低減することができる。

[負電位供給の変更例]

図 7 は、負電位供給の他の構成を示す図である。図 7 において、図 6 に示す構成要素と対応する部分には同一の参照番号を付す。図 7 においても、ワードドライバに含まれる負電位 V_{bb} 伝達のための MOS トランジスタが代表的に示される。図 7 に示す構成においては、P 型不純物領域 82 および N 型不純物領域 83 両者に対してたとえばアルミニウム配線である低抵抗導線 89 を介して負電位 V_{bb} が供給される。P ウェル 81 は P 型不純物領域 82 を介して負電位 V_{bb} に確実にバイアスされる。DRAM の動作時における信号線の充放電による基板 80 の電位が変動しても、確実に P ウェル 81 のバイアス電圧を負電位 V_{bb} に固定することができ、MOS トランジスタ N2 は安定に動作して確実に負電位 V_{bb} を非選択ワード線へ伝達することができる。

30

【0075】

さらに、たとえば三重拡散孔構造のように、P ウェル 81 が P 型基板 80 から分離される構成の場合 (図 4 および図 5 に示すレベル変換器は CMOS 構成を備えており、CMOS トランジスタを P ウェル内に形成する場合、三重拡散層構造を用いる)、確実に負電位供給のための MOS トランジスタの基板領域 (ウェル領域) へ負電位 V_{bb} を伝達するとともに非選択ワード線へ負電位 V_{bb} を伝達することができる。

【0076】

40

[RX デコーダ]

図 8 は、図 1 に示す RX デコーダの構成の一例を示す図である。図 8 においては、1 つのワード線駆動信号 RX_i の発生する部分の構成のみを示す。RX デコーダ 3 が、4 本のワード線を含むワード線グループから 1 本のワード線を選択する場合、この図 8 に示す構成が 4 つ設けられる。

図 8 において、RX デコーダ 3 は、アドレスバッファからの内部アドレス信号をデコードする NAND 型デコーダ 90 と、デコーダ 90 の出力のレベルを変換するレベル変換器 92 を含む。NAND 型デコーダ 90 は、電源電位 V_{cc} と接地電位 GND を両動作電源電位として動作する。レベル変換器 92 は、高電圧 V_{pp} と負電位 V_{bb} を動作電源電位として動作する。このレベル変換器 92 の構成は図 4 に示すレベル変換器の構成と同じであ

50

る。図4に示すノード68に高電圧 V_{pp} が印加される。すなわち、NAND型デコーダ90の出力が電源電位 V_{cc} レベルのHのとき、レベル変換器92からは負電位 V_{bb} レベルの信号 RXi が出力される。NAND型デコーダ90の出力が接地電位レベルのLレベルのときには、レベル変換器92から高電圧 V_{pp} レベルの信号 RXi が出力される。

【0077】

図9は、図8に示すレベル変換器の出力部のトランジスタの断面構造を概略的に示す図である。図9において、レベル変換器92の出力部は、Pウェル102上に形成されるnチャンネルMOSトランジスタと、Nウェル110内に形成されるpチャンネルMOSトランジスタを含む。Pウェル102は、P型基板(半導体層)101の表面に形成される。Nウェル110は、Pウェル102の表面に形成される。

10

nチャンネルMOSトランジスタは、Pウェル102の表面に形成されるN型不純物領域103および104と、不純物領域103および104の間のチャンネル領域上にゲート絶縁膜を介して形成されるゲート電極105と、P型高濃度不純物領域106とを含む。不純物領域103および106へは、信号線(低抵抗導電層)107を介して負電位 V_{bb} が与えられる。ゲート電極105へは、図8に示すNAND型デコーダ90の出力の反転信号が与えられる。

【0078】

pチャンネルMOSトランジスタは、Nウェル110の表面に形成されるP型高濃度不純物領域111および112と、不純物領域111および112の間のチャンネル領域上にゲート絶縁膜を介して形成されるゲート電極113と、Nウェル110の表面に形成されるN型高濃度不純物領域115とを含む。不純物領域112および115へは、信号線(低抵抗配線層)114を介して高電圧 V_{pp} が与えられる。ゲート電極113へは、図8に示すNAND型デコーダ90の出力が与えられる。

20

【0079】

Pウェル102が負電位 V_{bb} にバイアスされ、Nウェル110が高電圧 V_{pp} にバイアスされる。不純物領域104および111は、信号線109に接続される。この信号線109からワード線駆動信号 RXi が出力される。Pウェル102の領域が、熱酸化膜118aおよび118bにより規定される。Pウェル102により他の素子形成領域と分離することにより、動作電源電位 V_{cc} および接地電位 GND を動作電源電圧として動作する回路要素に悪影響を及ぼすことなく高電圧 V_{pp} および負電位 V_{bb} レベルの信号を発生

30

【0080】

なお、図9に示す構成において、Pウェル102の表面にNウェル110が形成されている。逆に、Nウェルの表面にPウェルが形成されてもよい。またP型基板101は、エピタキシャル層であってもよい。

[ロウデコード回路の変更例1]

図10は、ロウデコード回路に含まれるレベル変換回路の第1の変更例の構成を示す図である。図10において、レベル変換器31は、ロウデコーダ20(図1参照)から与えられる出力 IN を反転するインバータ120と、ノード121上の信号 IN にตอบสนองして導通し、電源ノード128に与えられた電源電圧 V_{cc} をノード126へ伝達するpチャンネルMOSトランジスタ123と、インバータ120の出力にตอบสนองして導通し、電源ノード128上の電源電圧 V_{cc} をノード127へ伝達するpチャンネルMOSトランジスタ122と、ノード126上の電位にตอบสนองしてノード127と他方電源ノード129とを電氣的に接続するnチャンネルMOSトランジスタ124と、ノード127上の電位にตอบสนองしてノード126と他方電源電位ノード129とを電氣的に接続するnチャンネルMOSトランジスタ125を含む。ノード126から信号 WD が出力され、ノード127から、信号 ZWD が出力される。これらの信号 WD および ZWD は図1に示すワードドライバへ与えられる。次に動作について説明する。

40

【0081】

入力 IN (ロウデコーダ20の出力)が電源電位 V_{cc} レベルのHレベルのとき、インバ

50

ータ120の出力が接地電位GNDレベルのLレベルとなり、MOSトランジスタ122がオン状態、MOSトランジスタ123がオフ状態となる。ノード127がMOSトランジスタ122により充電されて電源電位Vccレベルとなり、MOSトランジスタ125がオン状態となる。ノード126はこのオン状態のMOSトランジスタ125を介して負電位Vbbレベルにまで放電される。MOSトランジスタ124は、ノード126の負電位Vbbレベルの電位にตอบสนองしてオフ状態となる。この状態においては、信号WDが負電位VbbレベルのLレベルとなり、信号ZWDは電源電位VccレベルのHレベルとなる。

【0082】

入力INが接地電位レベルのLレベルのとき、インバータ120の出力が電源電位VccレベルのHレベルとなり、MOSトランジスタ122がオフ状態、MOSトランジスタ123がオン状態となる。ノード126がMOSトランジスタ123を介して電源電位Vccレベルに充電され、MOSトランジスタ124がオン状態となり、ノード127を負電位Vbbへ放電する。MOSトランジスタ125はノード127の負電位Vbbレベルに従ってオフ状態となる。すなわち、入力INが接地電位レベルのLレベルのときに、信号WDが電源電位Vccレベルの信号となり、信号ZWDは負電位Vbbレベルの信号となる。

10

【0083】

図10に示すレベル変換器の構成の場合、1つのレベル変換器から互いに相補な信号WDおよびZWDを生成することができる。したがって、図1に示すレベル変換器の構成に比べて回路規模を低減することができる。

20

[レベル変換器の変更例2]

図11は、レベル変換器の第2の変更例の構成を示す図である。図11において、レベル変換器31は、そのゲートに接地電位GNDを受けて入力IN(ロウデコーダ20の出力)をノード131へ伝達するpチャネルMOSトランジスタ130と、ノード131上の信号電位にตอบสนองして電源電位Vccを出力ノード135へ伝達するpチャネルMOSトランジスタ132と、ノード131の信号電位にตอบสนองして出力ノード135へ他方電源電位ノード136に与えられる負電位Vbbを伝達するnチャネルMOSトランジスタ133と、出力ノード135の電位にตอบสนองしてノード131へ他方電源電位ノード136へ与えられた負電位Vbbを伝達するnチャネルMOSトランジスタ134を含む。MOSトランジスタ132および133は相補的にオン状態となる。ノード135から信号WDが出力され、ノード131から信号ZWDが出力される。次に動作について簡単に説明する。

30

【0084】

入力IN(ロウデコーダ20の出力)が電源電位Vccレベルのとき、ノード131がMOSトランジスタ130を介して充電され、電源電位Vccレベルとなる。MOSトランジスタ132がオフ状態となり、MOSトランジスタ133がオン状態となり、出力ノード135はMOSトランジスタ133を介して負電位Vbbレベルにまで放電される。出力ノード135の負電位Vbbレベルとなると、MOSトランジスタ134がオフ状態となり、ノード131は電源電位Vccレベルを維持する。これにより、信号WDおよびZWDは負電位Vbbレベルおよび電源電位Vccレベルとなる。

40

【0085】

入力INが接地電位レベルのLレベルのとき、ノード131は、MOSトランジスタ130を介して接地電位レベルへ放電される(MOSトランジスタ130を介してはMOSトランジスタ131のしきい値電圧だけ接地電位より高い電位レベルにまで放電される)。ノード131の電位レベルの低下に伴って、MOSトランジスタ132がオン状態となり、出力ノード135は電源電位Vccレベルにまで充電される。ノード135の電位上昇に伴ってMOSトランジスタ134がオン状態となり、ノード131を負電位Vbbレベルにまで放電する。ノード131の電位がMOSトランジスタ130のしきい値電圧の絶対値よりも低くなると、MOSトランジスタ130はそのゲート電位がソース電位としきい値電圧の和よりも高くなり、オフ状態となる。これにより、ノード131は負電位Vbb

50

レベルにまで確実に放電される。信号WDが電源電位Vccレベルとなり、信号ZWDが負電位Vbbレベルとなる。

【0086】

図11に示すレベル変換器の場合、図10に示すレベル変換器に比べて、インバータが用いられていないため、より構成要素数を低減することができ、回路規模を低減することができる。

[レベル変換器の変更例3]

図12は、レベル変換器の第3の変更例の構成を示す図である。図12に示すレベル変換器31は、図11に示す構成と、入力部に設けられたpチャンネルMOSトランジスタ139がそのゲートにアドレス信号Xaを受ける点が異なっている。他の構成は図11に示す回路と同じであり、対応する部分には同一の参照番号を付す。次に動作について説明する。

10

【0087】

入力INaおよびアドレス信号Xaがともに接地電位レベルのLレベルのとき、ノード131の電位レベルがMOSトランジスタ134により放電され、負電位Vbbレベルとなる。MOSトランジスタ132および133はCMOSインバータを構成しているため、出力ノード135からの信号WDは電源電位Vccレベルとなる。メモリサイクルが完了すると、まず入力INaが電源電位VccレベルのHレベルとなり、ノード131が電源電位Vccレベルにまで充電され、MOSトランジスタ132がオフ状態、MOSトランジスタ133がオン状態となる。これにより、信号WDが負電位Vbbレベル、信号ZWDが電源電位Vccレベルとなる。次いでアドレス信号XaがHレベルとなり、MOSトランジスタ139がオフ状態となる。このノード131上の電源電位Vccレベルの電位およびノード135の負電位Vbbレベルの電位はMOSトランジスタ132および133ならびに134によりラッチされる。

20

【0088】

入力INaが接地電位レベルのLレベルであってもアドレス信号Xaが電源電位VccレベルのHレベルのときには、MOSトランジスタ139はオフ状態を維持し、ノード131および135の電位はスタンバイ時の電位と同じである。アドレス信号XaがLレベルであり、入力INaがHレベルのときには、MOSトランジスタ139はオン状態となるが、ノード131および135の電位すなわち、信号ZWDおよびWDはスタンバイ時のそれと同じである。

30

図12に示すようにレベル変換器にアドレスデコード機能を持たせることにより、図1に示すロウデコード回路の規模を大幅に低減することができる。以下にこのロウデコード回路の規模が低減される理由について説明する。

【0089】

今、図13に示すように、3ビットのアドレス信号A1、A2、およびA3をデコードするロウデコード回路を考える。3ビットのアドレス信号A1、A2およびA3をデコードする場合、アドレス信号A1～A3と相補な関係のアドレス信号/A1～/A3も生成する。この場合、NAND型デコーダとして8個必要とされる。図13においては、NAND型デコーダ20-1および20-8を示す。NAND型デコーダ20-1～20-8の出力X1～X8のいずれかが選択状態のLレベルとされる。

40

【0090】

一方、図12に示すようにレベル変換器にデコード機能を持たせた場合、ロウデコード回路は図14に示す構成で実現される。

図14において、ロウデコード回路は、2ビットのアドレス信号A2およびA3（正確には相補アドレス信号A2、/A2、A3、/A3の4ビット）をデコードするために、4つのNAND型デコーダ20a1～20a4を含む。レベル変換回路においては、8つのレベル変換器31-1～31-8が設けられる。レベル変換器31-1～31-8の入力部に設けられたpチャンネルMOSトランジスタ139-1～139-8へはアドレス信号A1または/A1が与えられる。アドレス信号A2、およびA3に従って、ロウデコード

50

回路において、4つのNAND型デコーダ20A1～20A4のうち1つが選択状態を示すLレベルの信号を出力する。これにより、2つのレベル変換器が指定される。これらの2つの指定されたレベル変換器のうち、アドレス信号A1および/A1に従って1つのレベル変換器が選択される。結果として、8つのレベル変換器31-1～31-8のうちの1つのレベル変換器のみが選択されて選択状態を示す信号WDおよびZWDを出力する。

【0091】

図13に示すロウデコード回路は8つの3入力NAND型デコーダを必要とし、一方、図14に示すロウデコード回路は4つの2入力NAND型デコーダを必要とする。レベル変換器の数は両構成とも同じである。図14に示すロウデコード選択回路はその回路規模が図13に示すロウデコード回路に比べて大幅に低減される。すなわち、図12に示すレベル変換器を利用することにより、ロウデコード回路の規模を大幅に低減することができる。

10

なおアドレス信号A1および/A1のようなレベル変換器へ与えられるアドレス信号Xaをスタンバイ時Hレベルとする構成は、アドレスバッファ(図1参照)が内部RAS信号の非活性化時(Lレベル)のとき、これらのアドレス信号A1および/A1のようなアドレス信号XaをとともにHレベルとする構成が利用されればよく、OR型回路を利用することにより容易に実現される。

【0092】

[レベル変換器の変更例4]

図15は、レベル変換器の第4の変更例の構成を示す図である。図15において、レベル変換器31は、NAND型デコーダ20の出力を反転するインバータ143と、NAND型デコーダ20の振幅Vcc-GNDの信号を振幅Vpp-Vbbの信号に変換するレベル変換器141と、インバータ143の振幅Vcc-GNDの出力信号を振幅Vpp-Vbbの信号に変換するレベル変換器142と、レベル変換器141および142の出力WDおよびZWDに従って対応のワード線WLへワード線駆動信号RXまたは負電位Vbbの一方を伝達するワードドライバ40を含む。レベル変換器141および142は、互いに同じ構成を備える。レベル変換器141および142の構成を図16に示す。

20

【0093】

図16において、レベル変換器141(または142)は、入力ノード151に与えられた入力INをノード161へ伝達するためのnチャンネルMOSトランジスタ152と、入力ノード151上の電位をノード162へ伝達するためのpチャンネルMOSトランジスタ153と、ノード161上の信号電位に应答して電源ノード160へ与えられる高電圧Vppを出力ノード155へ伝達するpチャンネルMOSトランジスタ154と、出力ノード155上の信号電位に应答して電源ノード160上の高電圧Vppをノード161へ伝達するpチャンネルMOSトランジスタ156と、ノード162上の信号電位に应答して出力ノード155を他方電源ノード159に接続するnチャンネルMOSトランジスタ157と、出力ノード155上の信号電位に应答して導通し、ノード162を他方電源ノード159に接続するnチャンネルMOSトランジスタ158を含む。他方電源ノード159へは負電位Vbbが与えられる。

30

【0094】

nチャンネルMOSトランジスタ152のゲートへは電源電位Vccが与えられ、pチャンネルMOSトランジスタ153のゲートへは接地電位GNDが与えられる。MOSトランジスタ152は、ノード161の電位が高電圧Vppレベルとなったときノード161と入力ノード151とを切離すデカップリングトランジスタの機能を備える。pチャンネルMOSトランジスタ153は、ノード162の電位が負電位Vbbとなったときに入力ノード151とノード162とを切離すデカップリングトランジスタの機能を備える。このレベル変換器141および142から出力される信号WDおよびZWDは振幅Vpp-Vbbを有する。ワードドライバも、したがって、高電圧Vppを受けるようその構成が図17に示すように少し変更される。

40

【0095】

50

図17は図15に示すワードドライバの構成を示す図である。図17において、ワードドライバ40は、そのゲートに高電圧 V_{pp} を受けてレベル変換器141からの出力WDをノードBへ伝達するnチャンネルMOSトランジスタN4と、ノードBへの信号電位にตอบสนองしてワード線駆動信号RXをワード線WL上へ伝達するnチャンネルMOSトランジスタM5と、レベル変換器142からの出力ZWDにตอบสนองしてワード線WLを負電位 V_{bb} に放電するnチャンネルMOSトランジスタN6を含む。次に図15ないし図17に示す回路の動作について順次説明する。

【0096】

図15に示すNAND型デコーダ20の非選択時およびスタンバイ時にはその出力は電源電位 V_{cc} レベルのHレベルである。レベル変換器141においては、入力INが電源電位 V_{cc} レベルであり、ノード161および162の電位が上昇し、nチャンネルMOSトランジスタ157がオン状態、pチャンネルMOSトランジスタ154がオフ状態となる。この状態においては、出力ノード155はnチャンネルMOSトランジスタ157を介して他方電源ノード159に接続され、出力ノード155の電位は負電位 V_{bb} レベルとなる。この出力ノード155の電位が負電位 V_{bb} のときnチャンネルMOSトランジスタ158がオフ状態、pチャンネルMOSトランジスタ156がオン状態となる。したがって、ノード161は高電圧 V_{pp} レベルとなり、ノード162は電源電位 V_{cc} となる。したがって、入力INが電源電位 V_{cc} レベルのHレベルのとき、レベル変換器141からの出力WDは負電位 V_{bb} レベルとなる。

【0097】

図15に示すNAND型デコーダ20の出力が選択状態を示すLレベルのとき、図16に示すレベル変換回路141においては、ノード161および162が接地電位レベルへと放電される。それにつれてMOSトランジスタ154がオン状態、MOSトランジスタ157がオフ状態となり、出力ノード155は高電圧 V_{pp} レベルとなる。出力ノード155の電位が高電位 V_{pp} レベルとなるとMOSトランジスタ156は完全にオフ状態とされ、ノード161は、接地電位レベルを保持する。一方、この出力ノード155の高電位 V_{pp} レベルに従ってMOSトランジスタ158がオン状態となり、ノード162は他方電源ノード159に与えられる負電位 V_{bb} レベルとなる。ノード162が負電位 V_{bb} レベルのときには、pチャンネルMOSトランジスタ153はオフ状態である。すなわち、入力INが接地電位GNDレベルのLレベルのとき、レベル変換器141の出力WDは高電位 V_{pp} レベルとなる。

【0098】

レベル変換器142は、インバータ13(図15参照)を介してNAND型デコーダ20の出力を受けている。したがってレベル変換器141の出力WDと相補な論理の信号ZWDを出力する。

この図16に示す構成を備えるレベル変換器141および142の出力WDおよびZWDは図17に示すワードドライバ40へ与えられる。信号WDが高電圧 V_{pp} レベルのとき、ノードBの電位は $V_{pp} - V_{th}$ レベルとなる。ワード線駆動信号RXが高電圧 V_{pp} レベルのとき、MOSトランジスタN5のゲート-ドレイン間容量結合により、ノードBの電位が上昇し、高電圧 $V_{pp} + V_{th}$ 以上となる。これにより、MOSトランジスタN5を介してワード線WL上へ高電圧 V_{pp} が伝達される。ワード線駆動信号RXが負電位 V_{bb} レベルのとき、MOSトランジスタN5はこの負電位 V_{bb} レベルのワード線駆動信号RXをワード線WL上に伝達する。信号WDが高電圧 V_{pp} レベルのとき、信号ZWDは負電位 V_{bb} レベルであり、MOSトランジスタN6はオフ状態となる。

【0099】

信号WDが負電位 V_{bb} レベル、信号ZWDが高電圧 V_{pp} レベルのとき、ノードBの電位は負電位 V_{bb} となり、MOSトランジスタN5は、ワード線駆動信号RXの電位レベルにかかわらずオフ状態を維持する。一方、MOSトランジスタN6がオン状態となり、ワード線WLは負電位 V_{bb} に放電される。

この図15に示す構成の場合、ワードドライバのワード線駆動信号伝達用のMOSトラン

10

20

30

40

50

ジスタのゲートへは高電圧 V_{pp} が伝達される。したがって、ワード線駆動信号 R_X の立上がり時、高速でノード B (MOS トランジスタ N_4 のゲート) の電位を上昇させることができ、選択ワード線の電位を高速で立上げることができる。また、 MOS トランジスタ N_4 のゲート - ドレイン間容量が小さくても、 MOS トランジスタ N_4 のセルフブースト作用により MOS トランジスタ N_4 のゲート電位を $V_{pp} + V_{th}$ レベル以上に確実に昇圧することができる。

【 0 1 0 0 】

[レベル変換器の変更例 5]

図 1 8 は、レベル変換器の第 5 の変更例の構成を示す図である。図 1 8 においては、レベル変換器 3 1 は、ロウデコーダ 2 0 の振幅 $V_{cc} - GND$ の出力信号を振幅 $V_{pp} - V_b$ の信号に変換するレベル変換器 1 4 1 と、ロウデコーダ 2 0 の振幅 $V_{cc} - GND$ の出力信号を振幅 $V_{cc} - V_b$ の信号にレベル変換するレベル変換器 3 2 を含む。レベル変換器 1 4 1 の構成は図 1 6 に示すものと同じであり、レベル変換器 3 2 の構成は、図 5 に示すものと同じである。ワードドライバ 4 0 は、図 1 7 に示す構成と同じ構成を備える。図 1 7 に示すワードドライバにおいて、高電圧 V_{pp} と負電位 V_b の 2 値レベルを有する信号を必要とするのはワード線駆動信号 R_X を伝達する MOS トランジスタ N_5 である。ワード線 W_L を負電位 V_b に保持するための MOS トランジスタ N_6 は、電源電位 V_{cc} レベルの信号がゲートに与えられたときには負電位 V_b をワード線 W_L に伝達することができる。特にこの MOS トランジスタ N_6 には高電位 V_{pp} が必要とされない。したがって、図 1 8 に示すように、信号 W_D を生成するレベル変換器においてのみ、高電圧 V_{pp} と負電位 V_b の 2 値レベルを有する信号を生成するためのレベル変換器を利用し、信号 $Z_W D$ を生成するレベル変換器には電源電位 V_{cc} と負電位 V_b の 2 値レベルを有する信号を生成するレベル変換器を利用する。高電圧 V_{pp} を利用する回路の数が低減され、消費電力を低減することができる。

【 0 1 0 1 】

[レベル変換器の変更例 6]

図 1 9 は、レベル変換器の第 6 の変更例を示す図である。図 1 9 に示すレベル変換器は、図 1 6 に示すレベル変換器と、その入力部に設けられた MOS トランジスタ 1 7 2 および 1 7 3 がアドレス信号 X_a および \bar{X}_a をそれぞれ受ける点が異なっている。他の構成は図 1 6 に示すレベル変換器の構成と同じであり、対応する部分には同一の参照番号を付す

。選択時、すなわち $NAND$ 型デコーダ 2 0 の出力が接地電位レベルの L レベル、アドレス信号 X_a が電源電位 V_{cc} レベルの H レベル、またアドレス信号 \bar{X}_a が接地電位レベルの L レベルのとき、 MOS トランジスタ 1 7 2 および 1 7 3 がオン状態となり、先の図 1 6 に示すレベル変換器と同様にして、ノード 1 6 1 および 1 6 2 の電位レベルは接地電位レベルおよび負電位 V_b レベルとなり、出力ノード 1 5 5 からの出力 W_D または $Z_W D$ は高電位 V_{pp} レベルとなる。メモリサイクルが完了すると、入力 I_N が非選択状態の H レベルとなり、ノード 1 6 1 および 1 6 2 の電位はともに上昇する。これにより、 MOS トランジスタ 1 5 4 がオフ状態、 MOS トランジスタ 1 5 7 がオン状態へ移行し、出力ノード 1 5 5 は負電位 V_b レベルへと放電される。出力ノード 1 5 5 の電位低下に伴って MOS トランジスタ 1 5 6 がオン状態となり、ノード 1 6 1 の電位を高電位 V_{pp} レベルにまで高速に上昇させ、 MOS トランジスタ 1 5 4 を確実にオフ状態へ移行させる。また出力ノード 1 5 5 の電位低下に伴って MOS トランジスタ 1 5 8 がオフ状態となり、出力ノード 1 6 2 が H レベル (電源電位 V_{cc} レベル) を維持し、出力ノード 1 5 5 は最終的に負電位 V_b レベルにまで放電される。

【 0 1 0 2 】

この後、相補アドレス信号 X_a および \bar{X}_a はそれぞれ非選択状態を示す L レベルおよび H レベルとされ、 MOS トランジスタ 1 7 2 および 1 7 3 はともにオフ状態とされる。非選択時、すなわちロウデコーダ 2 0 の出力が L レベルでありかつアドレス信号 X_a が L レベル、アドレス信号 \bar{X}_a が H レベルのときには、 MOS トランジスタ 1 7 2 および 1

73はオフ状態であり、スタンバイ状態を維持する。またロウデコーダ20の出力が電源電位VccレベルのHレベル、アドレス信号Xaおよび/Xaがそれぞれ電源電位Vccレベルおよび接地電位レベルのとき、MOSトランジスタ172および173がオン状態となっても、ノード161および162の電位はスタンバイ時と同様である。

【0103】

図19に示すように、レベル変換器にアドレスデコード機能を持たせることにより先に図13および図14を参照して説明したように、ロウデコード回路の規模を低減することができる。

スタンバイ時においてNAND型デコーダ20の出力が電源電位VccレベルのHであれば、アドレス信号Xaおよび/Xaのレベルがどのようなものであっても、この図19に示すレベル変換器の出力WDは非選択状態を示す負電位Vbbレベルとなる。

10

【0104】

この図19に示すレベル変換器の構成に従えば、ロウデコード回路の規模を大幅に低減することができる。

このレベル変換器においてアドレスデコード機能を持たせる構成は、また図18に示す構成にも適用することができる。すなわち、図18に示すレベル変換器141として、図19に示すレベル変換器を用い、また図18に示すレベル変換器32としては、図12に示すレベル変換器が利用されればよい。

[変更例7]

図20は、この発明の第1の実施例の第7の変更例の構成を示す図である。図20に示す構成においては、ロウデコーダ20が、AND型デコーダ20bを含む。すなわち、ロウデコーダ20は、選択時に電源電位VccレベルのHの信号を出力する。

20

【0105】

レベル変換器31は、AND型デコーダ20bの電源電位VccレベルのHレベルおよび接地電位レベルのLレベルをそれぞれ、高電位Vppレベル、および負電位Vbbレベルに変換する。レベル変換器31の構成は、図6に示すレベル変換器の構成と同じであり、対応する部分には同一の参照番号を付す。

ワードドライバ40は、高電位Vppおよび負電位Vbbを動作電源電位として動作するCMOSインバータの構成を備える。すなわち、ワードドライバ40は、レベル変換器31の出力ZWDがLレベルのときに導通し、高電位Vppをワード線WL上に伝達するpチャンネルMOSトランジスタP1と、レベル変換器31の出力ZWDがHレベルのときに導通し、ワード線WLへ負電位Vbbを伝達するnチャンネルMOSトランジスタN7を含む。次に動作について簡単に説明する。

30

【0106】

スタンバイ時および非選択時においては、AND型デコーダ20bの出力は接地電位GNDレベルのLレベルである。この状態においては、レベル変換器31においては、ノード161および162の電位がそれぞれ、接地電位レベルおよび負電位Vbbレベルとなり、出力ZWDは高電位Vppレベルとなる。ワードドライバ40においては、レベル変換器31からの高電位Vppレベルの信号ZWDに従って、pチャンネルMOSトランジスタP1がオフ状態、nチャンネルMOSトランジスタN7がオン状態となり、ワード線WLは負電位Vbbレベルに保持される。

40

【0107】

ANDデコーダ20bの出力が選択状態を示す電源電位VccレベルのHレベルとなった場合、レベル変換器31におけるノード161および162の電位は、それぞれ、高電位Vppレベルおよび電源電位Vccレベルとなる。したがって、レベル変換器31の出力ZWDは、負電位Vbbレベルとなる。ワードドライバ40においては、負電位Vbbレベルの信号ZWDに従って、MOSトランジスタP1がオン状態、MOSトランジスタN7がオフ状態となり、ワード線WL上にはオン状態のMOSトランジスタP1を介して高電位Vppが伝達される。

【0108】

50

図20に示すように、ロウデコード回路（ロウデコーダ20）においてアドレス信号が完全デコードされ、メモリセルアレイにおいて1本のワード線を指定する信号がレベル変換器31から発生される構成においても、非選択ワード線は負電位に保持され、メモリセルにおける電荷のチャネルリークを確実に抑制することができる。

〔第8の変更例〕

図21は、この発明の第1の実施例の第8の変更例の構成を示す図である。図21においては、レベル変換器31の入力部に設けられたnチャンネルMOSトランジスタ172およびpチャンネルMOSトランジスタ173が、それぞれそのゲートにアドレス信号Xaおよび/Xaを受ける点が図20に示す構成と異なっている。

【0109】

ロウデコーダ20はAND回路デコーダ20cにより構成される。レベル変換器31がアドレスのデコード機能を備えるため、AND型デコーダ20cの規模は図20に示すAND型デコーダ20bよりも小さくされる。

デコーダ20cが選択状態とされたとき、その出力は電源電位VccレベルのHレベルとなる。アドレス信号Xaおよび/Xaがそれぞれ電源電位VccレベルのHレベルおよび接地電位GNDレベルのLレベルの場合には、レベル変換器31のノード161および162がそれぞれ高電位Vppレベルおよび電源電位Vccレベルとなり、信号ZWDは負電位Vbbレベルとなる。これにより、ワードドライバ40からは高電位Vppレベルの信号がワード線WL上に伝達される。

【0110】

アドレス信号Xaおよび/Xaがそれぞれ、接地電位GNDレベルのLレベルおよび電源電位VccレベルのHレベルのときには、MOSトランジスタ172および173はともにオフ状態となる。この状態においては、レベル変換器31のノード161および162は、それぞれ先の状態を維持している。先のサイクルにおいて、信号ZWDが負電位Vbbレベルとされたとき、そのサイクルの完了時にデコーダ20cの出力が接地電位レベルのLレベルとされ、レベル変換器31のノード161および162は、それぞれ接地電位レベルおよび負電位Vbbレベルとされる。したがって、スタンバイ状態を含む非選択状態においては、MOSトランジスタ172および173のオンおよびオフ状態にかかわらず、信号ZWDは高電位Vppレベルを維持する。信号ZWDが高電位Vppレベルの場合には、ワード線WLはMOSトランジスタN7（ワードドライバ40内）により負電位Vbbレベルに維持される。

【0111】

図21に示す構成の場合、レベル変換器31がアドレスデコード機能を備えているため、ロウデコード回路へ与えられるアドレス信号のビット数を低減することができ、応じてロウデコード回路に含まれるデコーダの数および規模をも低減することができ、応じてロウデコード回路の規模を大幅に低減することができる。

〔第2の実施例〕

図22は、この発明の第2の実施例であるDRAMの全体の構成を概略的に示す図である。DRAMは、行および列のマトリクス状に配列されるメモリセルMCを含むメモリセルアレイ10と、外部からのアドレス信号を受けて内部アドレス信号を発生するアドレスバッファ1と、アドレスバッファ1からのアドレス信号をデコードし、メモリセルアレイ10における対応の行を指定する信号を発生するロウデコード回路2を含む。メモリセルアレイ10においては、メモリセルMCの各行に対応してワード線WLが配設され、メモリセルの各列に対応して列線CLが配設される。図22においては、(n+1)本のワード線WL0~WLnと、一方の列線CLを代表的に示す。列線CLは1対のビット線BLおよび/BLにより構成される。

【0112】

アドレスバッファ1およびロウデコード回路2は、信号/RASを受けるRASバッファ6bの出力によりその動作タイミングが決定される。RASバッファ6からの内部RAS信号RASが活性状態となると、アドレスバッファ1が外部からのアドレス信号を取込

10

20

30

40

50

み内部行アドレス信号を発生する。ロウデコード回路によってこの活性状態が内部RAS信号RASに従って、アドレスバッファ1からの内部行アドレス信号をデコードし、メモリセルアレイ10において1本のワード線(データ入出力が1ビット単位で行なわれる場合)を指定する信号を発生する。

【0113】

ロウデコード回路2の出力はレベル変換機能付ワード線ドライブ回路200へ与えられる。レベル変換機能付ワード線ドライブ回路200は、メモリセルアレイ10のワード線WL0~WLnそれぞれに対応して設けられるドライバを備え、その詳細構成は後に説明するが、ロウデコード回路2からの振幅Vcc-GNDの信号を振幅Vpp-Vbbの信号に変換し、対応のワード線上に伝達する。このレベル変換機能付ワード線ドライブ回路200へは、高電圧発生回路12からの高電圧Vppおよび負電位発生回路11からの負電位Vbbが与えられる。

10

【0114】

DRAMは、さらに、周辺回路として、メモリセルアレイ10の列線CL上の信号を増幅するためのセンスアンプと、コラムデコーダ202からの列選択信号に従ってメモリセルアレイ10における対応の列線を選択して入出力回路206に接続するIOゲートを含む。センスアンプとIOゲートは1つのブロック204により示される。コラムデコーダ202は、図示しないCASバッファからの内部CAS信号にตอบสนองして活性化されて、アドレスバッファ1からのアドレス信号をコラムアドレス信号としてデコードし、メモリセルアレイ10の対応の列を指定する信号を発生する。

20

【0115】

図22に示す構成において、レベル変換機能付ワード線ドライブ回路200において、ワード線ドライブ回路そのものに振幅Vcc-GNDの信号を振幅Vpp-Vbbの信号に変換する機能を持たせることにより、以下に詳細に説明するように、その回路規模が大幅に低減される。

図23は、図22に示すレベル変換機能付ワード線ドライブ回路の具体的構成を示す図である。図23において、レベル変換機能付ワード線ドライブ回路200は、ワード線WLそれぞれに対応して設けられるワード線ドライバ210を含む。このワード線ドライバ210に対応して、ロウデコード回路2においてはロウデコーダ20が設けられる。ロウデコーダ20は、NAND型デコーダ20aの構成を備える。NAND型デコーダ20aは、選択時に接地電位GNDレベルのLレベルの信号を出力する。NAND型デコーダ20aにより、1本のワード線を指定する信号が出力される。

30

【0116】

ワード線ドライバ210は、そのゲートに電源電位Vccを受け、デコーダ20(20a)の出力をノード223へ伝達するnチャンネルMOSトランジスタ221と、そのゲートに接地電位GNDを受け、デコーダ20(20a)の出力をノード224へ伝達するpチャンネルMOSトランジスタ222と、ノード223上の電位にตอบสนองして電源ノード229に与えられた高電圧Vppを出力ノード231へ伝達するpチャンネルMOSトランジスタ225と、ノード224の電位にตอบสนองして他方電源ノード230へ与えられた負電位Vbbを出力ノード231へ伝達するnチャンネルMOSトランジスタ226と、出力ノード231の信号電位にตอบสนองして電源ノード229に与えられた高電圧Vppをノード223へ伝達するpチャンネルMOSトランジスタ227と、出力ノード231上の信号電位にตอบสนองしてノード224へ他方電源ノード230へ与えられた負電位Vbbを伝達するnチャンネルMOSトランジスタ228を含む。

40

【0117】

図23に示すワード線ドライバ210の構成は、図20に示すレベル変換器31の構成と同じである。すなわち、NAND型デコーダ20aが選択状態を示す接地電位レベルの信号を出力するとき、ワード線ドライバ210においては、ノード223の電位が接地電位レベル、ノード224の電位が負電位Vbbレベルとなり、出力ノード231には、MOSトランジスタ225を介して高電圧Vppが伝達される。

50

NAND型デコーダ20aは、非選択状態（またはスタンバイ状態）のときには電源電位Vccレベルの信号を出力する。ワード線ドライバ210においては、ノード223および224の電位が上昇すると、MOSトランジスタ225がオフ状態へ移行し、MOSトランジスタ226がオン状態へ移行する。これにより、出力ノード231の電位が低下する。出力ノード231の電位がMOSトランジスタ226により放電されて負電位Vbbレベルとなると、MOSトランジスタ227はオン状態になり、ノード223へ高電圧Vppを伝達し、MOSトランジスタ225をオフ状態とする。またMOSトランジスタ228がオフ状態とされ、ノード224はNAND型デコーダ20aから与えられた電源電位Vccレベルを維持する。これにより、非選択状態のワード線へは、出力ノード231から負電位Vbbレベルの信号が伝達される。

10

【0118】

図20に示す構成との比較から明らかなように、図23に示す第2の実施例の構成においてはロウデコーダの出力のレベル変換を行なう回路が直接ワード線を駆動しており、図20に示すCMOSインバータの構成を有するワードドライバを不要とすることができる。これにより、レベル変換およびワード線ドライブを行なう回路の規模を低減することができる。また、非選択ワード線の電位は負電位Vbbレベルに維持されるため、確実にメモリセルトランジスタにおける電荷のチャネルリークの発生を抑制することができる。

【0119】

[変更例1]

図24は、この発明の第2の実施例の第1の変更例の要部の構成を示す図である。図24においては、レベル変換機能付ワード線ドライブ回路200に含まれるワード線ドライバ240とこのワード線ドライバ240に対応して設けられるロウデコーダ20のみを示す。

20

ロウデコーダ20は、NAND型デコーダ20dを含む。ワード線ドライバ240は、図23に示すワード線ドライバ210とは、入力段に設けられたMOSトランジスタ241および242が、アドレス信号Xaおよび/Xaをそれぞれのゲートに受ける点が異なっている。他の構成は同じであり、対応する部分には同一の参照番号を付す。

【0120】

この図24に示すワード線ドライバ240の動作自体は図21に示すレベル変換器31の動作と同じである。異なっているのは、図21に示すレベル変換器31は、信号ZWDを出力し、図24に示すワード線ドライバ240は、ロウデコーダ20の出力ならびにアドレス信号Xaおよび/Xaに従ってワード線WL上へ高電圧Vppまたは負電位Vbbを伝達する点である。出力ノード231の電位が高電圧Vppレベルのとき、MOSトランジスタ228がオン状態であり、ノード224が負電位Vbbレベルとなり、MOSトランジスタ226はオフ状態とされる。一方、出力ノード231の電位が負電位Vbbレベルのときには、MOSトランジスタ228がオフ状態となり、MOSトランジスタ227がオン状態となり、MOSトランジスタ225をオフ状態とする。すなわちこのワード線ドライバ240は、いわゆる「ハーフラッチ」の構成を備えている。これにより、安定にワード線WLを高電位Vppまたは負電位Vbbに設定することができる。

30

【0121】

アドレス信号Xaおよび/Xaは互いに相補な論理のアドレス信号である。ロウデコーダ20の出力がLレベル、アドレス信号XaがHレベルのとき、このワード線ドライバ240は出力ノード231から高電圧Vppをワード線WL上へ伝達する。ロウデコーダ20の出力がHレベルおよび/Xaまたはアドレス信号XaがLレベルのときには、このワード線ドライバ240の各ノード電位はスタンバイ時と同じであり、出力ノード231から対応のワード線WL上に負電位Vbbが伝達される。この図24に示す構成に従えば、ワード線ドライバがアドレスデコード機能を備えているため、ロウデコード回路（ロウデコーダ20）でデコードされるアドレス信号の数を低減することができる。したがって、ロウデコード回路に含まれるロウデコーダの数および回路規模を低減することができる。

40

【0122】

50

[第 3 の実施例]

図 2 5 は、この発明の第 3 の実施例である D R A M の要部の構成を概略的に示す図である。図 2 5 においては、行選択に関連する回路の構成のみを示す。図 2 5 において、D R A M は、アドレスバッファ 1 からの内部行アドレス信号をデコードし、メモリセルアレイ 1 0 における所定数のワード線を指定するワード線グループ指定信号を生成するロウデコード回路 2 と、このワード線グループ指定信号が指定するワード線グループのうちの特定のワード線を指定する信号 R X および Z R X を生成する R X デコード回路 2 5 0 と、ロウデコード回路 2 からの振幅 $V_{pp} - GND$ の信号を振幅 $V_{pp} - V_{bb}$ の信号に変換するレベル変換回路 2 5 2 と、レベル変換回路 2 5 2 からの出力にตอบสนองして、メモリセルアレイ 1 0 内のワード線 $WL (WL_0 \sim WL_n)$ へ R X デコード回路 2 5 0 からの信号 R X または負電位 V_{bb} を伝達するワード線ドライブ回路 2 5 4 を含む。

10

【 0 1 2 3 】

R X デコード回路 2 5 0 は、以下に説明する様に、振幅 $V_{pp} - V_{bb}$ の信号を生成する。信号 R X および Z R X は互いに相補な論理の信号である。

図 2 6 は、図 2 5 に示す R X デコード回路の構成の一例を示す図である。図 2 6 においては、1 つの信号 R X および Z R X に関連する部分の構成のみを示す。ロウデコード回路 2 からのワード線グループ指定信号がたとえば 4 本のワード線を指定する場合、図 2 6 に示す構成が 4 つ設けられる。

図 2 6 において、R X デコード回路 2 5 0 は、アドレスバッファ 1 からの内部アドレス信号をデコードするデコード部 2 5 2 と、デコード部 2 5 2 からの振幅 $V_{cc} - GND$ の信号を振幅 $V_{pp} - V_{bb}$ の信号に変換するとともに、互いに相補な論理の信号 R X および Z R X を発生するレベル変換部 2 5 4 を含む。デコード部 2 5 2 は、N A N D 型デコーダ 2 5 2 a により構成される。

20

【 0 1 2 4 】

レベル変換部 2 5 4 は、ノード 2 6 6 に与えられるデコード部 2 5 2 の振中 $V_{cc} - GND$ の出力を反転して振幅 $GND - V_{pp}$ の信号を出力するインバータ 2 6 1 と、ノード 2 6 6 上の電位にตอบสนองして電源ノード 2 6 8 へ与えられた高電圧 V_{pp} を出力ノード 2 6 7 a へ伝達する p チャネル M O S トランジスタ 2 6 2 と、インバータ 2 6 1 の出力にตอบสนองして電源ノード 2 6 8 に与えられた高電圧 V_{pp} を反転出力ノード 2 6 7 b に伝達する p チャネル M O S トランジスタ 2 6 3 と、出力ノード 2 6 7 a 上の信号電位にตอบสนองして反転出力ノード 2 6 7 b へ他方電源ノード 2 6 9 へ与えられた負電位 V_{bb} を伝達する n チャネル M O S トランジスタ 2 6 5 と、反転出力ノード 2 6 7 b の電位にตอบสนองして出力ノード 2 6 7 a へ他方電源ノード 2 6 9 へ与えられた負電位 V_{bb} を伝達する n チャネル M O S トランジスタ 2 6 4 を含む。

30

【 0 1 2 5 】

この図 2 6 に示すレベル変換部 2 5 4 の構成は、図 4 に示すレベル変換器の構成と同じであり、同様に動作する。すなわち、デコード部 2 5 2 から接地電位レベルの出力がノード 2 6 6 へ与えられたとき、出力ノード 2 6 7 a が p チャネル M O S トランジスタ 2 6 2 により高電圧 V_{pp} レベルにまで充電され、反転出力ノード 2 6 7 b は、n チャネル M O S トランジスタ 2 6 5 により負電位 V_{bb} レベルにまで放電される。出力ノード 2 6 7 a から高電圧 V_{pp} レベルの信号 R X が出力され、反転出力ノード 2 6 7 d から負電位 V_{bb} レベルの信号 Z R X が出力される。

40

【 0 1 2 6 】

入力ノード 2 6 6 の電位が電源電位 V_{cc} レベルのとき、反転出力ノード 2 6 7 b が p チャネル M O S トランジスタ 2 6 3 により高電圧 V_{pp} レベルにまで充電され、出力ノード 2 6 7 a が n チャネル M O S トランジスタ 2 6 4 に負電位 V_{bb} にまで放電される。したがってこの場合には、高電圧 V_{pp} レベルの信号 Z R X と負電位 V_{bb} レベルの信号 R X が出力される。

図 2 7 は、図 2 5 に示すロウデコード回路、レベル変換回路およびワード線ドライブ回路の構成を示す図である。図 2 7 においては、1 本のワード線 WL を選択する部分の構成を

50

示す。

【 0 1 2 7 】

図 2 7 において、ロウデコード回路 2 は、ワード線グループ指定信号を発生するロウデコード 2 0 を含む。ロウデコード 2 0 は、AND 型デコード 2 0 b により構成される。

レベル変換回路 2 5 2 は、ロウデコード 2 0 に対応して設けられるレベル変換器 3 0 0 を含む。レベル変換器 3 0 0 の構成は、図 2 0 に示すレベル変換器 3 1 の構成と同じである。対応する部分には同一の参照符号を付す。

ワード線ドライブ回路 2 5 4 は、ワード線 W L それぞれに対応して設けられるワードドライバ 3 2 0 を含む。このワードドライバ 3 2 0 は、1 つのレベル変換器 3 0 0 に対して複数個設けられる。ワードドライバ 3 2 0 は、レベル変換器 3 0 0 の出力 Z W D に応答して信号 R X を対応のワード線 W L 上へ伝達する p チャンネル MOS トランジスタ P 5 と、レベル変換器 3 0 0 からの信号 Z W D に応答してワード線 W L へ負電位 V b b を伝達する n チャンネル MOS トランジスタ N 8 と、反転信号 Z R X に応答してワード線 W L へ負電位 V b b を伝達する n チャンネル MOS トランジスタ N 9 を含む。p チャンネル MOS トランジスタ P 5 の基板は高電圧 V p p を受ける。信号 R X およびワード線 W L の振幅は高電圧 V p p と負電位 V b b の間であり、MOS トランジスタ P 5 における P N 接合（不純物領域と基板領域の間の接合）が順方向にバイアスされるのを防止するためである。n チャンネル MOS トランジスタ N 8 および N 9 の基板領域へは負電位 V b b が与えられる。次に動作について説明する。

【 0 1 2 8 】

ロウデコード 2 0 およびレベル変換器 3 0 0 の動作は先に図 2 0 を参照して説明した動作と同じである。AND 型デコード 2 0 b の出力が選択状態を示す H レベル（V c c レベル）のとき、レベル変換器 3 0 0 からは、負電位 V b b レベルの信号 Z W D が出力される。AND 型デコード 2 0 b の出力が非選択状態を示す L レベル（接地電位レベル）のとき、レベル変換器 3 0 0 からの信号 Z W D は高電圧 V p p レベルとなる。

レベル変換器 3 0 0 からの信号 Z W D が高電圧 V p p の場合、p チャンネル MOS トランジスタ P 5 がオフ状態となり、n チャンネル MOS トランジスタ N 8 がオン状態となり、ワード線 W L は MOS トランジスタ N 8 により負電位 V b b に設定される。

【 0 1 2 9 】

信号 Z W D が負電位 V b b レベルのとき、MOS トランジスタ N 8 がオフ状態、p チャンネル MOS トランジスタ P 5 がオン状態となる。信号 R X が高電圧 V p p レベルのときには、反転信号 Z R X は負電位 V b b レベルであり、MOS トランジスタ N 9 はオフ状態となる。ワード線 W L は MOS トランジスタ T 5 から高電圧 V p p レベルの信号 R X を受けてその電位が高電圧 V p p レベルにまで上昇する。

信号 Z W D が負電位 V b b レベルであり、かつ信号 R X が負電位 V b b レベルの場合、ワード線 W L 上へは MOS トランジスタ P 5 を介してこの負電位レベルの信号 R X が伝達される。MOS トランジスタ P 5 のしきい値電圧を V_{thp} とすると、この MOS トランジスタ P 5 は、 $V_{bb} + |V_{thp}|$ の電位をワード線 W L へ伝達する。すなわち、ワード線 W L は、MOS トランジスタ P 5 により、 $V_{bb} + |V_{thp}|$ のレベルに設定される。信号 R X が負電位 V b b レベルのとき、反転信号 Z R X は高電圧 V p p レベルである。したがって MOS トランジスタ N 9 がオン状態となり、このワード線 W L の電位を確実に負電位 V b b レベルに設定する。この図 2 7 に示すワードドライバ 3 2 0 を利用することにより、非選択状態のワード線 W L の電位を確実に負電位 V b b レベルに保持することができ、メモリセルに含まれるトランジスタにおけるチャネルリークの発生を抑制し、「ディスタープリフレッシュ」特性を改善することができる。

【 0 1 3 0 】

[変更例 1]

図 2 8 は、この発明の第 3 の実施例の第 1 の変更例の構成を示す図である。図 2 8 に示す構成においては、レベル変換器 3 0 0 の入力部に設けられた MOS トランジスタ 1 7 2 および 1 7 3 がそれぞれのゲートにアドレス信号 X a および反転アドレス信号 Z X a を受け

10

20

30

40

50

る。他の構成は図 2 7 に示す構成と同じである。対応する部分には同一の参照番号を付す。

図 2 8 に示すレベル変換器 3 0 0 の構成は、実質的に図 2 1 に示すレベル変換器 3 1 の構成と同じである。レベル変換器 3 0 0 がアドレスデコード機能を有するため、ロウデコード回路 2 に含まれるロウデコーダ 2 0 (AND 型デコーダ 2 0 d) の数および規模を低減することができる。

【 0 1 3 1 】

[第 4 の実施例]

図 2 9 は、この発明の第 4 の実施例である D R A M の要部の構成を示す図である。図 2 9 において、行選択信号発生回路 3 6 0 は、図 1 ないし 2 8 に示す実施例において用いられたアドレスバッファ、ロウデコード回路およびレベル変換回路に対応する。この行選択信号発生回路 3 6 0 は、また R X デコーダを含んでもよい。ワード線ドライブ回路 3 5 0 は、図 1 ないし 2 8 に示す実施例において用いられたワード線ドライブ回路のいずれであってもよい。ワード線ドライブ回路 3 5 0 は、メモリセルアレイ 1 0 におけるワード線 $W L 0 \sim W L n$ 上へ高電圧 $V p p$ または負電位 $V b b$ を外部から与えられるアドレス信号によりアドレス指定されたワード線および残りのワード線へ伝達する機能を満たすことが要求されるだけである。

【 0 1 3 2 】

図 2 9 において、D R A M は、さらに、第 1 の負電位 $V b b 1$ を発生する第 1 の負電位発生回路 3 9 0 と、第 2 の負電位 $V b b 2$ を発生する第 2 の負電位発生回路 3 8 0 と、テストモード指示信号 T E に従ってこれら負電位発生回路 3 8 0 および 3 9 0 の出力の一方を選択してワード線ドライブ回路 3 5 0 へ負電位 $V b b$ として電源線 3 7 0 を介して伝達する切換回路 4 0 0 を含む。この切換回路 4 0 0 からの電源線 3 7 0 はまた行選択信号発生回路 3 6 0 に含まれるレベル変換部およびメモリセルアレイ 1 0 の基板領域にも負電位 $V b b$ を供給する。第 1 の負電位 $V b b 1$ は第 2 の負電位 $V b b 2$ よりもより負の値である ($V b b 2 > V b b 1$)。次に動作について簡単に説明する。

【 0 1 3 3 】

通常動作モード時においては、テストモード指示信号 T E は L レベルであり、切換回路 (この構成については後に詳細に説明する) 4 0 0 は、第 1 の負電位発生回路 3 9 0 が発生する第 1 の負電位 $V b b 1$ を選択して電源線 3 7 0 上へこの第 1 の負電位 $V b b 1$ を伝達する。

テストモード時には、テストモード指示信号 T E が H レベルとなり、切換回路 4 0 0 は、第 2 の負電位発生回路 3 8 0 が発生する第 2 の電位 $V b b 2$ を選択して電源線 3 7 0 上に負電位 $V b b$ として伝達する。テスト動作モード時においては、非選択ワード線には、第 2 の負電位 $V b b 2$ が伝達される。この第 2 の負電位 $V b b 2$ は第 1 の負電位 $V b b 1$ よりもその絶対値が小さい。この場合、容量結合によるワード線電位の浮上がり、およびビット線の電位の変動の影響を、第 1 の負電位 $V b b 1$ を用いる場合に比べて受けやすくなる。すなわち、テスト動作モード時に負電位 $V b b$ の絶対値を小さくすることにより「ディスタープリフレッシュ」の加速テストを実行することができる。すなわち、テストモード動作時にメモリトランジスタのゲートへ印加される負電位 $V b b$ の絶対値を小さくすることにより、このメモリトランジスタのチャネル領域に弱い反転領域が形成されやすくし、チャネルリークによる電荷の移動を生じさせやすくする。これにより「ディスタープリフレッシュ」の加速テストを実現することができる。

【 0 1 3 4 】

次に各部の構成について説明する。

図 3 0 は、第 2 の負電位発生回路の構成の一例を示す図である。図 3 0 において、第 2 の負電位発生回路 3 8 0 は、所定の幅および周期を有するクロックパルス を発生する発振器 3 8 1 と、発振器 3 8 1 からノード 3 8 8 c に伝達されたクロックパルス を容量結合によりノード 3 8 8 a に伝達するためのキャパシタ 3 8 2 と、ノード 3 8 8 c 上のクロックパルス を反転するインバータ 3 8 3 と、インバータ 3 8 3 からノード 3 8 8 d に伝達

10

20

30

40

50

されたクロックパルスを容量結合によりノード388bへ伝達するキャパシタ384と、ノード388aにその一方導通端子(ソース)が接続され、そのゲートおよび他方導通端子(ドレイン)が接地電位GNDに接続され、かつその基板(バックゲート)がノード388cに接続されるpチャネルMOSトランジスタ385と、そのゲートがノード388aに接続され、その一方導通端子がノード388bに接続され、その他方導通端子が接地電位を受けるように接続されるpチャネルMOSトランジスタ386と、そのゲートがノード388bに接続され、その一方導通端子が出力ノードに接続され、その他方導通端子(ドレイン)がノード388bに接続されるpチャネルMOSトランジスタ387を含む。

【0135】

MOSトランジスタ386および387の基板領域(バックゲート)はともにノード388dに接続される。MOSトランジスタ385、386、および387の基板領域(バックゲート)を電源電位Vccレベルに固定せず、内部ノードに接続しているのは、ノード388aおよび388bが負電位となったとき、これらのMOSトランジスタ385、386、387の不純物領域と基板領域の間に印加される電界をできるだけ小さくするためである。次に動作について簡単に説明する。以下の説明においては、MOSトランジスタ385、386、および387のしきい値電圧はすべて同じであり、その絶対値は V_{thp} であるとする。

【0136】

クロックパルスがHレベル(Vccレベル)に立上がると、キャパシタ382の容量結合によりノード388aの電位が上昇する。MOSトランジスタ385がオン状態となり、ノード388を放電し、ノード388aの電位は V_{thp} となる。一方、インバータ383によりノード388dの電位はLレベル(接地電位レベル)となり、ノード388bの電位がキャパシタ384の容量結合により低下し、負電位となる。MOSトランジスタ386のゲート電位は V_{thp} であり、MOSトランジスタ386はオフ状態となる。一方、MOSトランジスタ387がオン状態となり、ノード388dからノード388eへ電子が流出し、出力ノード388eの電位が低下する。ノード388eとノード388dの電位差が V_{thp} となるとMOSトランジスタ388bがオフ状態となる。クロックパルスがLレベルに立下がると、キャパシタ382の容量結合により、ノード388aの電位が低下し負電位となり、MOSトランジスタ385がオフ状態、MOSトランジスタ386がオン状態となる。インバータ383の出力がHレベルに立上がり、ノード388bの電位がキャパシタ384の容量結合により上昇しても、MOSトランジスタ386により、このノード388bの電位は接地電位レベルにまで放電される。この動作を繰り返すことにより、ノード388bの電位が、GNDと $-V_{cc}$ の間で変化する。これにより、出力ノード388eから出力される負電位 V_{bb2} は、 $-(V_{cc} - V_{thp})$ となる。

【0137】

図31は、図21に示す第1の負電位発生回路の構成の一例を示す図である。図31において、第1の負電位発生回路390は、所定の幅および周期を有するクロックパルスを発生する発振器391と、クロックパルスを反転するインバータ392と、クロックパルスを容量結合によりノード398aへ伝達するキャパシタ393と、インバータ392の出力を容量結合によりノード398cへ伝達するキャパシタ394と、ノード398aと接地電位供給ノードとの間にダイオード接続されるpチャネルMOSトランジスタ395と、その一方導通端子がノード398cに接続され、その他方導通端子が接地電位供給ノードに接続され、そのゲートがノード398aに接続されるpチャネルMOSトランジスタ396と、その一方導通端子(ドレイン)がノード398cに接続され、そのゲートがノード398aに接続され、その他方導通端子(ソース)および基板領域が出力ノード398aに出力されるnチャネルMOSトランジスタ397を含む。MOSトランジスタ396の基板領域はノード398bに接続される。次に動作について説明する。

【0138】

10

20

30

40

50

説明を簡単にするために、pチャネルMOSトランジスタ396および396のしきい値電圧の絶対値とnチャネルMOSトランジスタ397のしきい値電圧はすべて等しく V_{th} であるとする。クロックパルスがHレベル(V_{cc} レベル)に立上がると、ノード398aの電位が上昇し、MOSトランジスタ395がオン状態となる。これにより、ノード398aの電位は V_{th} にクランプされる。一方、インバータ392の出力がLレベルとなり、ノード398cの電位はキャパシタ394の容量結合により低下し、負電位となる。MOSトランジスタ396がオフ状態となる。一方、MOSトランジスタ397はオン状態であり、ノード398cから出力ノード398dへ電子が流出する。これにより、出力ノード398dの電位が低下し、ノード398cの電位とノード398dの電位が等しくなる(MOSトランジスタ397のゲート電位は V_{th})。

10

【0139】

クロックパルスがLレベルに立下がると、ノード398aの電位がキャパシタ393の容量結合により低下し、負電位レベルとなり、MOSトランジスタ395はオフ状態となる。一方、インバータ392の出力がHレベルへ立上がり、ノード398cの電位がキャパシタ394による容量結合により上昇する。ノード398aの電位が負電位であり、MOSトランジスタ396がオン状態となり、ノード398cの電位を接地電位レベルへ放電し、MOSトランジスタ397がオフ状態となる。以降この動作を繰り返すことにより、ノード398cの電位は $-V_{cc}$ と接地電位レベルの間を振動する。ノード398aの電位は V_{th} と $-V_{cc} + V_{thp}$ の間を振動する。これにより、出力ノード398dから出力される第1の負電位 V_{bb1} は、最終的に $-V_{cc}$ レベルに到達する。

20

【0140】

図32は、図29に示す切換回路400の構成の一例を示す図である。図32において、切換回路400は、振幅 V_{cc} のテストモード指示信号TEのレベルを変換するためのレベル変換器410と、レベル変換器410の出力にตอบสนองして、負電位 V_{bb1} および V_{bb2} の一方を選択して電源線370を伝達する選択回路420を含む。

レベル変換器410は、テストモード指示信号TEにตอบสนองして電源ノード418の電源電位 V_{cc} を一方出力ノード417へ伝達するpチャネルMOSトランジスタ411と、テストモード指示信号TEを反転するインバータ413と、インバータ413の出力にตอบสนองして、電源ノード418へ与えられた電源電位 V_{cc} を他方出力ノード416へ伝達するpチャネルMOSトランジスタ412と、出力ノード416上の信号電位にตอบสนองして出力ノード417を他方電源ノード419へ与えられた第1の負電位 V_{bb1} へ放電するnチャネルMOSトランジスタ414と、出力ノード417上の信号電位にตอบสนองして出力ノード416を第1の負電位 V_{bb1} レベルへ放電するnチャネルMOSトランジスタ415を含む。pチャネルMOSトランジスタ411および412は互いに相補的にオン状態となり、nチャネルMOSトランジスタ414および415は互いに相補的にオン状態となる。またMOSトランジスタ412および415が互いに相補的にオン状態となり、MOSトランジスタ411および414は互いに相補的にオン状態となる。

30

【0141】

選択回路420は、レベル変換器410の出力ノード416からの信号電位をゲートに受け、第2の負電位 V_{bb2} を電源線370へ伝達するnチャネルMOSトランジスタ421と、レベル変換器410の出力ノード417の信号電位をゲートに受け、第1の負電位 V_{bb1} を電源線370へ伝達するnチャネルMOSトランジスタ422を含む。次に動作について簡単に説明する。

40

テストモード指示信号TEが接地電位レベルのLレベルのとき、MOSトランジスタ411がオン状態、MOSトランジスタ412がオフ状態となり、出力ノード417は電源電位 V_{cc} レベルに充電される。出力ノード416は、この出力ノード417上の V_{cc} レベルの電位にตอบสนองしてオン状態となるMOSトランジスタ415により第1の負電位 V_{bb1} レベルに放電される。MOSトランジスタ414は、この出力ノード416上の第1の負電位 V_{bb1} レベルの信号に従ってオフ状態になる。

【0142】

50

選択回路420においては、MOSトランジスタ421はオフ状態($V_{bb1} < V_{bb2}$)、MOSトランジスタ422がオン状態となる。したがって、電源線370へは第1の負電位 V_{bb1} が伝達される。すなわち、テストモード指示信号TEが非活性状態のLレベルのときには、通常動作モードが実行され、第1の負電位 V_{bb1} が選択されて電源線370上に伝達される。

テストモード指示信号TEが電源電位レベルのHレベルのとき、MOSトランジスタ411がオフ状態、MOSトランジスタ412がオン状態となり、出力ノード416の電位が電源電位 V_{cc} レベルとなる。この出力ノード417はMOSトランジスタ414により第1の負電位 V_{bb1} レベルにまで放電される。MOSトランジスタ415は、この出力ノード417の第1の負電位 V_{bb1} レベルに従ってオフ状態にある。選択回路420においては、出力ノード416からの電源電位 V_{cc} レベルの信号電位を受けるMOSトランジスタ421がオン状態、出力ノード417からの第1の負電位 V_{bb1} レベルの信号電位をゲートに受けるnチャンネルMOSトランジスタ422がオフ状態となる。これにより、電源線370上には第2の負電位 V_{bb2} が伝達される。テストモード時に、非選択ワード線へ印加される負電位 V_{bb} の値を通常動作モード時よりも浅くする(絶対値を小さくする)ことにより、「ディスタプリフレッシュ」の加速テストを実行することができる。

【0143】

[変更例1]

図33は、この発明の第4の実施例の第1の変更例の構成を示す図である。図33においては、負電位発生系は、負電位電源線370上へ負電位 V_{bb} を供給する負電位発生回路430と、負電位電源線370上の負電位 V_{bb} のレベルを検出し、その検出結果に従って負電位発生回路430の活性/非活性を制御する信号BBEを発生するレベル検知回路440を含む。このレベル検知回路440は、その判断基準レベルがテストモード指定信号TEにより切換えられる。このレベル検知回路440は、負電位電源線370上の負電位 V_{bb} が予め定められた電位よりもより負となった場合には、信号BBEを非活性状態とし、負電位発生回路430の動作を停止させる。負電位発生回路430は、図30および図31に示すチャージポンプ回路を備えており、このレベル検知回路440からの信号BBEが非活性状態となったとき、そのチャージポンプ動作を停止する。これにより、負電位電源線370への負電荷(電子)の供給が停止され、負電位電源線370上の負電位 V_{bb} の電位が上昇する。負電位電源線370上の負電位 V_{bb} が所定のレベル以上となったとき、レベル検知回路440は、信号BBEを活性状態とし、負電位発生回路340を活性化させる。活性状態の負電位発生回路430は、負電位電源線370へ電子を供給し、この負電位電源線370上の電位を低下させる。これにより、負電位発生回路430が負電位電源線370へ供給する負電位 V_{bb} のレベルは、レベル検知回路442により所定の電位レベルに保持される。

【0144】

負電位電源線370上の負電位は、図29に示すワード線ドライブ回路および行選択信号発生回路ならびにメモリセルアレイ10へ供給される。非選択ワード線上へはこの負電位電源線370上の負電位 V_{bb} が伝達される。テストモード指定信号TEに従ってレベル検知回路440が信号BBEの活性/非活性化の基準レベルを高くする。これにより、テスト動作モード時には負電位電源線370上の負電位 V_{bb} の電位レベルが通常動作モード時よりも高くなり、非選択ワード線へ伝達される負電位 V_{bb} も応じて高くなる。テストモード動作時に非選択ワード線へ伝達される負電位 V_{bb} を高くすることにより、「ディスタプリフレッシュ」の加速テストを実現することができる。次に各部の構成について説明する。

【0145】

図34は、図33に示す負電位発生回路の構成の一例を示す図である。図34において、負電位発生回路430は、クロック信号を発生する発振器431と、発振器431からのクロックパルスに従ってチャージポンプ動作を行なって負電位 V_{bb} を発生するチャ

10

20

30

40

50

ージポンプ回路432を含む。チャージポンプ回路432の構成は、図30および図32に示すチャージポンプ回路のいずれかが利用されればよい。

発振器431は、4段の直列に接続されるインバータ435a、435b、435c、および335dと、インバータ435dの出力とイネーブル信号BBEを受ける2入力NAND回路436を含む。NAND回路436の出力は初段のインバータ435aの入力部へ与えられる。NAND回路436からクロックパルスが出力される。発振器431に含まれるインバータの段数は、偶数であればよく、4段に限定される必要はない。

【0146】

信号BBEが“L”の非活性状態のとき、NAND回路436の出力はHレベルに固定される。すなわちクロックパルスが変化せず、チャージポンプ回路432のチャージポンプ動作が禁止される。信号BBEが活性状態のHレベルのとき、NAND回路436は、インバータとして機能する。したがって、発振器431は、5段のインバータが直列接続されたリングオシレータとして機能し、インバータの段数および遅延時間により決定されるパルス幅および周期を有するクロックパルスを発生する。この周期的に変化するクロックパルスによりチャージポンプ回路432がチャージポンプ動作を実行し、負電位Vbbを発生する。信号BBEによりチャージポンプ回路432を活性/非活性化することができ、負電位Vbbのレベルを所定レベルに維持することができる(チャージポンプ回路432は、動作時には負電荷(電子)を負電位電源線370へ供給するためである)。

【0147】

図35はテストモード指定信号TEを発生する回路を示す図である。図35において、テストモード指示信号TEは、テストモード指定信号TEのレベルを変換するレベル変換器441により発生される。レベル変換器441の構成は図32に示すレベル変換器410の構成と同じである。テストモード指示信号TEは外部から直接与えられてもよく、複数の信号のタイミング関係および所定のアドレス信号ビットの値の組み合わせにより発生される構成が利用されてもよい。また特定のピン端子の電位を所定電位レベル以上に上昇させることによりテストモード指定信号TEが発生される構成が利用されてもよい。レベル変換器441により、振幅Vcc-GNDレベルのテストモード指定信号TEが、振幅Vcc-Vbbのテストモード指定信号TEに変換される。

【0148】

図36は、図33に示すレベル検知回路440の構成の一例を示す図である。図36において、レベル検知回路440は、負電位電源線370とノード447の間に直列に接続される2つのダイオード接続されたnチャンネルMOSトランジスタ441および442と、MOSトランジスタ441と並列に設けられ、かつそのゲートにテストモード指示信号TEを受けるnチャンネルMOSトランジスタ446と、ノード448とノード447との間に設けられ、そのゲートに接地電位GNDを受けるnチャンネルMOSトランジスタ443と、電源ノード(Vccノード)とノード448の間に設けられ、そのゲートに接地電位GNDを受けるpチャンネルMOSトランジスタ444と、出力ノード448上の信号電位を増幅する2段の直列接続されたインバータ444aおよび445bを含む。インバータ445dからイネーブル信号BBEが出力される。次に動作について説明する。

【0149】

今、MOSトランジスタ441、442、および443のしきい値電圧がすべて同じであり、Vthであるとする。ノード447の電位V(447)が、

$$V(447) = V_{bb} + 2 \cdot V_{th} - V_{th}$$

のとき、MOSトランジスタ443がオン状態となり、MOSトランジスタ441、442、および443を介して電流が流れ、ノード448の電位が低下する。すなわち、 $V_{bb} - 3 \cdot V_{th}$ のとき、ノード448の電位が低下し、信号BBEがLレベルとなり、負電位発生回路430(チャージポンプ回路432)の動作が停止される。

【0150】

一方、ノード447の電位V(447)が、

$$V(447) = V_{bb} + 2 \cdot V_{th} > -V_{th}$$

10

20

30

40

50

のとき、MOSトランジスタ443がオフ状態となり、ノード448の電位はオン状態のpチャネルMOSトランジスタ444を介して電源電位Vccレベルに充電される。この場合には、信号BBEがHレベルとされ、負電位発生回路430（チャージポンプ回路432）が動作し、負電位Vbbのレベルを低下させる。この動作により、負電位電源線370上の負電位Vbbは $-3 \cdot V_{th}$ に保持される。

【0151】

テストモード指定信号TEがHレベルとなると、MOSトランジスタ446がオン状態となり、MOSトランジスタ441は短絡される。この場合には、ノード447の電位V(447)は、

$$V(447) = V_{bb} + V_{th}$$

となる。上の説明と同様にして、

$$V(447) = V_{bb} + V_{th} - V_{th}$$

のときにMOSトランジスタ443がオン状態となり、信号BBEがLレベルとなる。

【0152】

$$V(447) = V_{bb} + B_{th} > -V_{th}$$

のときMOSトランジスタ443がオフ状態となり、信号BBEがHレベルとなる。すなわち、テスト動作モード時には、負電位Vbbは、 $-2 \cdot V_{th}$ のレベルに設定される。通常動作モード時に比べて、テストモード時にはこの負電位Vbbが高くなる。

なお、信号BBEがLレベルとされるとき、MOSトランジスタ444のオン抵抗を十分大きくしておけば、MOSトランジスタ443がオン状態のときに流れる電流を微小電流とすることができ、負電位電源線370へ流れ込む電流値を無視できる値にすることができる。また、MOSトランジスタ443がオン状態となるのは、負電位Vbbが所定レベル以下の場合であり、MOSトランジスタ443、442、および441を介して負電位電源線370へ電流を与えることにより、負電位電源線370の電位を上昇させることができ、より高速で負電位Vbbを所定電位レベルへ復帰させることができる。

【0153】

[レベル検知回路の変更例]

図37は、図33に示すレベル検知回路の変更例を示す図である。図37において、レベル検知回路440は、負電位電源線370とノード447の間に直列に接続されるn個のダイオード接続されたnチャネルMOSトランジスタ442と、ノード448とノード447の間に設けられるnチャネルMOSトランジスタ443と、電源ノード(Vccノード)とノード448の間に設けられ、そのゲートに接地電位を受けてプルアップ抵抗として機能するpチャネルMOSトランジスタ443と、ノード448への信号電位を増幅する2段のインバータ445aおよび445bを含む。

【0154】

レベル検知回路440はさらに、MOSトランジスタ443のゲートと接地電位供給ノードの間に設けられる抵抗Rと、抵抗Rに電流Iを供給する可変定電流源449を含む。可変定電流源449はテストモード指示信号TEに従ってその供給電流が変更される。テストモード指示信号TEが活性状態のとき、可変定電流源449はその供給電流Iを大きくする。次に動作について説明する。

以下の説明においても、MOSトランジスタ442および443のしきい値電圧は同じであり、 V_{th} であるとする。ノード447の電位は $V_{bb} + n \cdot V_{th}$ である。MOSトランジスタ443のゲートの電位は $I \cdot R$ である。MOSトランジスタ443は、

$$I \cdot R - V_{th} = V_{bb} + n \cdot V_{th}$$

のときにオン状態となり、そうでないときにはオフ状態となり、信号BBEが各々、LおよびHとなる。

【0155】

すなわち、この図37に示すレベル検知回路の場合、

$$I \cdot R - V_{th} = V_{bb} + n \cdot V_{th}$$

となるように入力信号BBEが発生される。この式を整理すると、負電位Vbbは、

10

20

30

40

50

$$V_{bb} = I \cdot R - (n + 1) \cdot V_{th}$$

で表わされる。テスト動作モード時にはテストモード指示信号TEが活性状態とされ、可変定電流源449が供給する電流Iの値が大きくなる。すなわち、テストモード動作時には負電位V_{bb}の電位レベルが上昇する。

【0156】

図37に示すようにレベル検知用のMOSトランジスタ443のゲート電位をテストモード指示信号TEに従って変更することにより、テストモード動作時の負電位V_{bb}の電位レベルを通常動作モード時の電位V_{bb}のレベルよりも浅くする(絶対値を小さくする)ことができる。

なお、ノード447と負電位電源線370の間に直列に接続されるダイオード接続されたnチャンネルMOSトランジスタ442の数nは適当に選ばれる自然数である。この図35に示すレベル検知回路の構成の場合、図36に示す構成と比べて、テストモード動作時の負電位V_{bb}の電位レベルをより柔軟に設定することができる。図36に示す構成の場合、テストモード時の負電位V_{bb}の電位レベルはMOSトランジスタ441のしきい値電圧V_{th}だけ変化する。図37に示す構成の場合、テストモード時に変化する負電位V_{bb}の電位を、電流Iの値により適当な値に設定することができる。

【0157】

図38は、図37に示す可変定電流源の構成の一例を示す図である。図38において、可変定電流源449は、電源電位ノードとノード465の間に接続されかつそのゲートがノード465に接続されるpチャンネルMOSトランジスタ461と、電源電位ノードと出力ノード466の間に設けられ、そのゲートがノード465に接続されるpチャンネルMOSトランジスタ462と、ノード465と接地電位ノードとの間に接続され、そのゲートに電源電位V_{cc}を受けるnチャンネルMOSトランジスタ463と、ノード465と接地電位ノードとの間に設けられ、そのゲートにテストモード指示信号TEを受けるnチャンネルMOSトランジスタ464を含む。MOSトランジスタ463の電流供給力は、pチャンネルMOSトランジスタ461の電流供給よりも小さくされる。

【0158】

pチャンネルMOSトランジスタ461および462はカレントミラー回路を構成する。これらのMOSトランジスタ461および462のサイズが同じ場合、MOSトランジスタ461および462は同じ値の電流を供給する。通常動作モード時には、テストモード指示信号TEがLレベルであり、nチャンネルMOSトランジスタ464がオフ状態にある。この状態においては、pチャンネルMOSトランジスタ461は、MOSトランジスタ463が有する電流供給力により決定される電流量を供給する。このMOSトランジスタ461が供給する電流はMOSトランジスタ462により鏡映されて出力ノード466から出力される。このMOSトランジスタ462が供給するミラー電流Iが図37に示す抵抗Rへ与えられる。

【0159】

テストモード時にはテストモード指示信号TEがHレベルとなり、MOSトランジスタ464がオン状態となる。2つのMOSトランジスタ463および464は並列に接続され、ノード465から接地電位へ流れる電流量が多くなる。すなわちMOSトランジスタ461の供給する電流量が増加し、MOSトランジスタ462からのミラー電流Iが増加する。

出力ノード466から出力される電流Iの値は、MOSトランジスタ463、464のそれぞれのゲート幅とゲート長の比を適当な値に設定することにより所望の電流変化量を得ることができる。

【0160】

[変更例2]

図38は、この発明の第4の実施例の第2の変更例の構成を示す図である。図38においては、負電位電源線370に負電位V_{bb}を供給する負電位発生回路470と、負電位電源線370の負電位V_{bb}を所定電位レベルにクランプするクランプ回路480が設けら

10

20

30

40

50

れる。この負電位電源線 370 上の負電位 V_{bb} は、図 29 に示す場合と同様、行選択信号発生回路でワード線ドライブ回路、およびメモリセルアレイなどに供給される。クランプ回路 480 は、テストモード指示信号 TE に従ってそのクランプレベルを切換える。テストモード指示信号 TE は活性状態とされ、テスト動作モードが指定されたときには、クランプ回路 480 のクランプレベルは浅く（絶対値が小さく）される。すなわち、テスト動作モード時に負電位電源線 370 の負電位 V_{bb} の電位レベルを高くすることにより、非選択ワード線に伝達される電位 V_{bb} の電位レベルを高くし、「ディスタブプリフレッシュ」テストの加速テストを実現する。次に具体的構成について説明する。

【0161】

図 40 は、図 39 に示すクランプ回路の構成一例を示す図である。図 40 において、クランプ回路 480 は、接地ノード 484 と負電位電源線 370 の間に設けられ、そのゲートが抵抗 R を介して接地ノード 484 に接続される n チャネル MOS トランジスタ 481 と、ノード 483 と負電位電源線 370 の間に設けられる可変定電流源 482 を含む。可変定電流源 482 は、テストモード指定信号 TE の反転信号 TEB に従ってその供給電流を変更する。テストモード指定信号 TEB が H レベルのとき、可変定電流源 482 は、より多くの電流を供給する。テストモード指定信号 TEB が負電位 V_{bb} レベルの L レベルにあり、テスト動作モードを指定しているとき、可変定電流源 482 は、この供給電流を少なくする。

10

【0162】

MOS トランジスタ 481 は、ソースフォロア態様で動作する。MOS トランジスタ 481 のゲート電位（ノード 483 の電位）は、 $-I \cdot R$ で与えられる。MOS トランジスタ 481 は、負電位電源線 370 の負電位 V_{bb} が $-I \cdot R - V_{th}$ より低くなると、オン状態となり、接地ノード 484 から電流を負電位電源線 370 へ供給し、その電位を上昇させる。負電位 V_{bb} が、 $-I \cdot R - V_{th}$ よりも高くなると、MOS トランジスタ 481 はオフ状態となる。すなわち MOS トランジスタ 481 は、負電位 V_{bb} の最低レベルを $-I \cdot R - V_{th}$ にクランプする機能を備える。

20

【0163】

可変定電流源 482 は、テストモードが指定され、信号 TEB が負電位 V_{bb} レベルにされたとき、その供給電流を少なくする。すなわち電流 I の値が小さくなり、負電位 V_{bb} の電位が上昇する。この構成により、テスト動作モード時に、負電位 V_{bb} の絶対値を小さくし、「ディスタブプリフレッシュ」の加速テストを実現することができる。抵抗 R および可変定電流源 482 の内部抵抗はともに十分大きな値に設定され、負電位電源線 370 へは微小電流が流れ込まないようにされる。

30

【0164】

図 41 は、図 40 に示す可変定電流源 428 の構成の一例を示す図である。図 41 において、可変定電流源 482 は、ノード 483 と負電位電源線 370 の間に設けられ、そのゲートに接地電位を受ける n チャネル MOS トランジスタ 486 と、ノード 483 と負電位電源線 370 の間に設けられ、そのゲートに反転テストモード指定信号 TEB を受ける n チャネル MOS トランジスタ 487 を含む。MOS トランジスタ 486 および 487 のオン抵抗は十分大きい値に設定される。信号 TEB が負電位 V_{bb} レベルにされ、テストモードを指定するとき、MOS トランジスタ 487 はオフ状態とされ、ノード 483 から MOS トランジスタ 286 を介して負電位電源線 370 へ供給される。MOS トランジスタ 486 は、そのゲートとソースの間の電位差 $|V_{bb}|$ に従って一定の電流を供給する。

40

【0165】

信号 TEB が H レベル（電源電位 V_{cc} レベル）となると、ノード 483 からは MOS トランジスタ 486 および 487 を介して電流が負電位電源線 370 へ流れ込む。すなわち、信号 TEB が H レベルのときには、2 つの MOS トランジスタにより電流が供給され、流れる電流量が大きくなる。

なお、MOS トランジスタ 486 のゲートは、その流れる電流を小さくするため、接地電

50

位GNDにゲートが接続されている。MOSトランジスタ486のゲートは電源電位V_{cc}を受けるように接続されていてもよい。

【0166】

また、信号TEBは、振幅GND - V_{bb}の信号であってもよい。信号TEBは、図32に示すレベル変換器を利用し、この図32のレベル変換器410の出力ノード417から信号TEBが発生される。

[変更例3]

図42は、この発明の第4の実施例の第3の変更例の構成を概略的に示す図である。図42に示す構成においては、負電位発生回路490および495が設けられる。第1の負電位発生回路490は、反転テストモード指示信号ZTEが通常動作モードを示すHレベルのときに活性化されて負電位V_{bb1}を発生する。第2の負電位発生回路495は、テストモード指示信号TEがテスト動作モードを示すHレベルのときに活性化されて負電位V_{bb2}を発生する。負電位V_{bb1}およびV_{bb2}は、V_{bb1} < V_{bb2}の関係を満足する。すなわち、テストモード指示信号TEが活性化状態にあり、テスト動作モードが指定されたときには、負電位V_{bb}として第2の負電位V_{bb2}が選択され、非選択ワード線上に伝達される負電位のレベルが高くされる。これにより、「デスタープリフレッシュ」の加速テストが実現される。2つの電位発生回路のうち一方の負電位発生回路のみが動作するため、負電位発生に必要なとされる消費電力を低減することができる。

10

【0167】

図43は、図42に示す第1および第2の負電位発生回路の構成をより詳細に示す図である。図43において、第1の負電位発生回路490は、反転テストモード指示信号ZTEに応答して活性化され、所定の幅および周期を有するクロックパルス1を発生する発振器491と、発振器491からのクロックパルス1に従ってチャージポンプ動作により第1の負電位V_{bb1}を発生するチャージポンプ回路492を含む。チャージポンプ回路492の構成は、図31に示すものと同様である。発振器491は、4段のインバータ493a~493dと、インバータ493dの出力と反転信号ZTEを受けるNAND回路494を含む。NAND回路494の出力はインバータ493aの入力部に与えられる。NAND回路494からクロックパルス1が出力される。

20

【0168】

第2の負電位発生回路495は、信号TEに응答して活性化され、所定の幅および周期を有するクロックパルス2を発生する発振器496と、発振器496からのクロックパルス2に従ってチャージポンプ動作により第2の負電位V_{bb2}を発生するチャージポンプ回路497を含む。チャージポンプ回路497の構成としては、図30に示す構成を利用することができる。発振器496は、4段のインバータ497a~497dと、インバータ497aの出力と信号TEを受けるNAND回路498を含む。NAND回路498の出力はインバータ497aの入力部へ伝達される。NAND回路498からクロックパルス2が出力される。次に動作について説明する。

30

【0169】

通常動作モード時には、信号TEがLレベル（接地電位レベル）、信号ZTEがHレベル（電源電位V_{cc}レベル）であり、発振器491のNAND回路494がインバータとして機能し、一方発振器496のNAND回路498の出力はHレベルに固定される。発振器491が発振動作をし、周期的に変化するクロックパルス1を発生してチャージポンプ回路492へ与える。一方、発振器496からのクロックパルス2はHレベル固定であり、チャージポンプ回路497はチャージポンプ動作を行なわない。したがって、通常動作モード時には、負電位電源線370上には、チャージポンプ回路492からの第1の負電位V_{bb1}が伝達される。

40

【0170】

テストモード時には、信号TEがHレベル（電源電位V_{cc}レベル）、信号ZTEがLレベル（接地電位レベル）に設定される。このときには、発振器491のNAND回路494からのクロックパルス1がHレベルに固定され、チャージポンプ回路492の

50

チャージポンプ動作が停止される。発振器496のNAND回路498はインバータとして機能し、発振器496からクロックパルス2が発生される。チャージポンプ回路497はこのクロックパルス2に従ってチャージポンプ動作を行ない、負電位電源線370上に第2の負電位Vbb2を伝達する。

【0171】

この第3の変更例の場合、負電位発生のために消費される電力を大幅に低減することができる。

[第5の実施例]

図44は、この発明の第5の実施例であるDRAMの要部の構成を示す図である。図44に示すDRAMは、基板領域に印加される基板バイアスVsubを発生する基板バイアス発生回路510と、非選択ワード線へ伝達されるべき負電位Vbbを発生する負電位発生回路512を含む。基板バイアス発生回路510と別に負電位発生回路512を設けることによって、基板バイアス電圧Vsubおよび負電位Vbbをそれぞれ独立にその値を変化させることができ、「ダイナミックリフレッシュ」の加速テストのみならず、後に詳細に説明する「ポーズリフレッシュ」の加速テストも実現することができる。基板バイアス電圧Vsubおよび負電位Vbbに要求される条件は、 $Vsub < Vbb$ である。MOSトランジスタの不純物領域と基板領域の間のPN接合を逆バイアス状態に維持するためである。

【0172】

DRAMはさらに、アドレスバッファからの内部ロウアドレス信号をデコードし、メモリセルアレイ10内の対応の行(ワード線グループ)を指定する振幅Vcc-GNDの信号を発生するロウデコード回路500と、ロウデコード回路500からの振幅Vcc-GNDの信号を振幅Vcc-Vbbの信号に変換するレベル変換回路502と、アドレスバッファからの所定のアドレス信号をデコードし、振幅Vpp-Vbbの信号を発生するRXデコーダ504と、レベル変換回路502の出力WDおよびZWD、ならびにRXデコーダ504からの出力RXに従ってメモリセルアレイ10へ振幅Vpp-Vbbの信号を伝達するワード線ドライブ回路506を含む。高電圧発生回路12の発生する高電圧VppはRXデコーダ504へ与えられる。高電圧Vppは、またワード線ドライブ回路506の構成に従ってレベル変換回路502に与えられてもよい。

【0173】

図45は、ワード線ドライブ回路506に含まれる1本のワード線に関連するワードドライバの構成を示す図である。図45において、ワードドライバ510は、レベル変換回路502に含まれる対応のレベル変換器から出力される振幅Vcc-Vbbの信号WDをノードAへ伝達するnチャンネルMOSトランジスタN10と、ノードA上の信号電位に従ってRXデコーダからの信号RXを対応のワード線WL上へ伝達するnチャンネルMOSトランジスタN11と、対応のレベル変換器からの信号ZWD(振幅Vcc-Vbb)に従ってワード線WL上へ負電位Vbbを伝達するnチャンネルMOSトランジスタN12を含む。MOSトランジスタN12の基板領域(バックゲート)512へは基板バイアス電圧Vsubが印加される。この基板バイアス電圧Vsubは、また同様にMOSトランジスタN10およびN11へも与えられる。MOSトランジスタN10のゲートへは電源電位Vccが与えられる。

【0174】

スタンバイ時および非選択時、信号WDは負電位VbbレベルのLレベルであり、信号ZWDは電源電位VccレベルのHレベルである。この状態においては、MOSトランジスタN11がオフ状態、MOSトランジスタN12がオン状態となり、ワード線WLには負電位Vbbが伝達される。選択時には、信号WDが電源電位VccレベルのHレベルとなり、信号ZWDが負電位Vbbレベルとなる。MOSトランジスタN12がオフ状態となり、MOSトランジスタN11がオン状態となる。信号RXが高電位Vppの場合、このMOSトランジスタN11のセルフブースト作用により、ノードAの電位が上昇し、高電圧Vppレベルの信号RXがMOSトランジスタN11を介して対応のワード線WL上へ

10

20

30

40

50

伝達される。信号 R X が負電位 V b b レベルのとき、同様に M O S トランジスタ N 1 1 を介してこの負電位 V b b レベルの信号 R X が対応のワード線 W L 上へ伝達される。

【 0 1 7 5 】

図 4 6 は、図 4 5 に示す負電位 V b b 伝達用の M O S トランジスタの概略断面構造を示す図である。図 4 6 において、M O S トランジスタ N 1 2 は、P 型基板 5 2 0 表面に形成される P ウェル 5 2 2 内に形成される。M O S トランジスタ N 1 2 は、P ウェル 5 2 2 の表面に形成される高濃度 N 型不純物領域 5 2 4 および 5 2 6 と、不純物領域 5 2 4 および 5 2 6 の間のチャネル領域上にゲート絶縁膜を介して形成されるゲート電極 5 2 8 を含む。不純物領域 5 2 4 へは、低抵抗のたとえばアルミニウム配線層 5 2 5 により負電位 V b b が与えられる。不純物領域 5 2 6 は、対応のワード線 W L に接続される。ゲート電極 5 2 8 へは、対応のレベル変換器からの信号 Z W D が与えられる。P ウェル 5 2 2 における M O S トランジスタ N 1 2 の形成領域は L O C O S 膜（熱酸化膜：フィールド絶縁膜）5 2 5 a および 5 2 5 b により規定される。P ウェル 5 2 2 の表面にまた高濃度 P 型不純物領域 5 2 3 が形成される。高濃度 P 型不純物領域 5 2 3 へは、たとえばアルミニウム配線層である低抵抗配線層 5 2 7 を介して基板バイアス電圧 V s u b が与えられる。P ウェル 5 2 2 は、高濃度 P 型不純物領域 5 2 3 および低抵抗配線層 5 2 7 を介して基板バイアス電圧 V s u b レベルにバイアスされる。

10

【 0 1 7 6 】

P 型基板 5 2 0 が基板バイアス電圧 V s u b に固定されている（バイアスされている）場合には、この低抵抗配線層 5 2 7 は、特に設けられなくてもよい。

20

図 4 7 は、メモリセルの概略断面構造を示す図である。図 4 7 において、メモリセルは、P 型基板 5 2 0 上に形成される P ウェル 5 3 0 内に形成される。この P ウェル 5 3 0 は、図 4 6 に示す P ウェル 5 2 2 と同じウェルであってもよい。P ウェル 5 2 2（図 4 6）および P ウェル 5 3 0（図 4 7）は別々のウェルであってもよい。なお、P ウェル 5 2 2 が負電圧 V b b、P ウェル 5 3 0 が基板電位 V s u b にバイアスされるときには、通常 V b b と V s u b との接続を防止するため P ウェル 5 2 2 を取囲む様に N ウェルが形成され、P ウェル 5 2 2 と P 型基板 5 3 0 とは分離される。この N ウェルには P 層を介して負電圧 V b b が印加される。この構造はトリプルウェル構造と呼ばれ、ウェル電位が異なるウェルが同一基板上に複数個形成されるときに用いられる。

【 0 1 7 7 】

メモリセルは、P ウェル 5 3 0 表面に形成される高濃度不純物領域 5 3 1 および 5 3 2 と、不純物領域 5 3 1 および 5 3 2 の間のチャネル領域上にゲート絶縁膜を介して形成されるゲート電極 5 3 3 と、不純物領域 5 3 2 に接続される導電層 5 3 4 と、導電層 5 3 4 上に絶縁膜 5 3 6 を介して形成される導電層 5 3 5 を含む。不純物領域 5 3 2 および導電層 5 3 4 はメモリセルキャパシタの一方電極、すなわちストレージノード（S N）を形成し、他方導電層 5 3 5 がメモリセルキャパシタの他方電極（セルプレート S P）を形成する。通常、この導電層 5 3 5 へは中間電位 V c c / 2 が印加される。不純物領域 5 3 1 はビット線 B L（または / B L）に接続される。ゲート電極 5 3 3 は対応のワード線 W L に接続される。メモリセルはフィールド絶縁膜 5 3 7 a および 5 3 7 b により隣接メモリセルと分離される。

30

40

【 0 1 7 8 】

スタンバイ時においては、ビット線 B L には中間電位 V c c / 2 のプリチャージ電位が与えられ、ワード線 W L には負電位 V b b が与えられる。P ウェルには、基板バイアス電圧 V s u b が印加される。ストレージノードとなる不純物領域 5 3 2 には、記憶データに応じた電荷が保持される。P ウェル 5 3 0 の表面には空乏層 5 3 8 が形成される。ワード線 W L に負電位 V b b が印加される場合、ゲート電極 5 3 3 下のチャネル領域には、空乏層 5 3 8 が極めて狭い幅を有するかまたはほとんど形成されない状態となる。

【 0 1 7 9 】

N 型不純物領域（ストレージノード）5 3 2 と P ウェル 5 3 0 は、逆バイアス状態にある（ストレージノードの電位が電源電位 V c c または接地電位レベルである）。不純物領域

50

532とPウェル530の間の空乏層538側は広くなる。すなわち、Pウェル530内の正孔は負電極側に引寄せられ、一方不純物領域532においては、このPN接合部分から遠ざけられるためである。逆バイアス状態のPN接合においては逆方向電流が生じる。この逆方向電流は、主として空乏層において生成される電子/正孔対の数に比例する生成電流である。通常、空乏層538の幅は、その領域に印加される電圧の $-1/2$ 乗に比例して広がり、この逆バイアス電圧が大きくなると、逆方向の電流も増加する。したがって、この不純物領域532からPウェル530へ流れるリーク電流（逆方向電流）により、ストレージノード（不純物領域532）に情報として記憶された電荷（正電荷）が流出し、その記憶情報が失われる。このような逆方向電流（基板リーク電流）を小さくするためには、不純物領域532における空乏層538の幅にかかる電圧を小さくするのが望ましい。この基板バイアス電圧 V_{sub} と負電位 V_{bb} をそれぞれ独立に設定する構成とすることにより、チャネルリーク電流による記憶情報の破壊および逆方向電流（基板リーク電流）による記憶情報の破壊いずれをも適切に抑制することが可能となる。基板リーク電流によるメモリセルの電荷保持特性を「ポーズリフレッシュ」特性と称す。

10

【0180】

また、負電位 V_{bb} の電位を一定とした状態において、基板バイアス電圧 V_{sub} の電位をより負とすることにより、この基板リーク電流を増加させることができ、スタンバイ時におけるメモリセルの電荷保持特性の加速テストを実現することができる。

「ポーズリフレッシュ」の加速テストを実現する構成は、先の第4の実施例において説明した「ディスターブリフレッシュ」の加速テストを行なう構成を基板バイアス発生回路に対して適用することにより実現される。

20

【0181】

レベル変換回路およびRXデコーダにおいては、それぞれ第1ないし第4の実施例において説明したものが利用される。基板バイアス電圧 V_{sub} と異なる負電位 V_{bb} の電位レベルの信号にそれぞれ与えられた信号の電位を変換する。

メモリセル形成領域においては、線によりPウェル内で形成される電子/正孔対に起因するソフトエラーを防止するために、基板バイアス電圧 V_{sub} が印加される。これはメモリセルアレイ周辺領域においても同様であり、したがってワードドライバを含むワード線ドライブ回路の基板領域（ウェルまたは基板）には負の基板バイアス電圧 V_{sub} が印加される。残りの周辺領域においてこのような負の基板バイアス電圧 V_{sub} が印加されない場合、第1ないし第4の実施例において説明した負電位 V_{bb} レベルの信号を出力する部分の回路構成をそのまま利用することができる。このような回路形成領域の基板領域にも基板電圧 V_{sub} が印加される場合には、図48に一例を示すような構成が利用される。

30

【0182】

図48は、レベル変換器の一例を示す図である。図48に示すレベル変換器は、ロウデコード回路に含まれるロウデコードからの振幅 $V_{cc} - GND$ の信号を振幅 $V_{cc} - V_{bb}$ の信号に変換してワードドライバへ与える。

図48において、レベル変換器は、入力ノード550へ与えられる信号 I_N を反転するインバータ551と、入力ノード550の信号電位に应答して、電源ノード557の電源電位 V_{cc} を出力ノード558へ伝達するpチャンネルMOSトランジスタ552と、インバータ551の出力に应答して電源ノード557の電源電位 V_{cc} を反転出力ノード559へ伝達するpチャンネルMOSトランジスタ553と、出力ノード558上の信号電位に应答して反転出力ノード559へノード556へ与えられた負電位 V_{bb} を伝達するnチャンネルMOSトランジスタ554と、反転出力ノード559上の信号電位に应答して出力ノード558へ他方電源ノード556へ与えられた負電位 V_{bb} を伝達するnチャンネルMOSトランジスタ555を含む。pチャンネルMOSトランジスタ552および553の基板領域は電源ノード557に接続される。nチャンネルMOSトランジスタ554および555の基板領域（バックゲート）には基板バイアス電位 V_{sub} が印加される。

40

【0183】

50

図48に示す構成においても、図10に示す構成と同様、入力ノード550へ与えられる入力信号INに従って電源電位Vccと負電位Vbbの振幅を有する信号WDおよびZWDを出力することができる。

図49に、図48に示すnチャネルMOSトランジスタ554の概略断面構造を示す。図49において、MOSトランジスタ555は、P型基板560上のPウェル562内に形成される。P型基板560には基板バイアス電圧Vsubが印加され、応じてPウェル562は基板バイアス電圧Vsubを受ける。

【0184】

MOSトランジスタ555は、Pウェル562の表面に形成される高濃度n型不純物領域564および566と、不純物領域564および566の間のチャネル領域にゲート絶縁膜を介して形成されるゲート電極568を含む。不純物領域564はノード556を介して負電位Vbbを受ける。ゲート電極568は図49に示す反転出力ノード559に接続される。不純物領域566はノード558に接続され、信号WDを出力する。p型基板560はウェルであってもよい。

10

[ワード線駆動部の変更例]

(1) 図50にワードドライバの第1の変更例を示す。この図50に示すワードドライバへ与えられるレベル変換器からの信号WDおよびZWDは振幅Vpp - Vbbを有する。このようなレベル変換器としては、たとえば図16に示すレベル変換器を利用することができる。図50に示すワードドライバは、ゲートに高電圧Vppを受けかつ信号WDをノードBに伝達するnチャネルMOSトランジスタN15と、ノードB上の信号電位に

20

【0185】

MOSトランジスタN16へ与えられる信号RXはたとえば図26に示すRXデコーダから発生され、振幅Vpp - Vbbを有する。MOSトランジスタM17の基板領域(バックゲート)へは基板バイアス電圧Vsubが与えられる。ワード線WL上には、基板バイアス電圧Vsubと独立にその電位レベルを設定することのできる負電位Vbbが伝達される。「ディスタープリフレッシュ」および「ポーズプリフレッシュ」いずれも加速テストを行なうことが可能となる。

30

(2) 図51は、ワードドライバのさらに他の変更例を示す図である。図51に示すワードドライバは、高電圧Vppと負電位Vbbを両電源電圧として動作して、信号ZWDを反転してワード線WLへ伝達するCMOSインバータの構成を備える。信号ZWDは、たとえば図27に示すレベル変換器から与えられる。この信号ZWDは、振幅Vpp - Vbbを有する。pチャネルMOSトランジスタP20は、そのソースおよびバックゲート(基板領域)がともに高電位Vppを受ける様に接続される。nチャネルMOSトランジスタN18は、そのソースが負電位Vbbを受けるように接続され、その基板領域(バックゲート)が基板バイアス電圧Vsubを受けるように接続される。この図51に示すワードドライバの構成においても、基板バイアス電圧Vsubと負電位Vbbをそれぞれ互いに独立に電位レベルを設定することができ、「ポーズプリフレッシュ」および「ディスタープリフレッシュ」の加速テストを実現することができる。また、負電位Vbbを最適な値に設定することができる。

40

【0186】

(3) 図52は、ワードドライバのさらに他の変更例を示す図である。図52においては、振幅Vpp - Vbbの信号ZWDにตอบสนองして信号RX(振幅Vpp - Vbb)をワード線WL上に伝達するpチャネルMOSトランジスタP21と、信号ZWDにตอบสนองしてワード線WLに負電位Vbbを伝達するnチャネルMOSトランジスタN20と、反転信号ZRXにตอบสนองしてワード線WLへ負電位Vbbを伝達するnチャネルMOSトランジスタN21を含む。MOSトランジスタP21の基板領域(バックゲート)へは高電圧Vppが印加される。MOSトランジスタN20およびN21の基板領域へは基板バイアス電圧

50

V_{sub} が印加される。信号RXおよびZRXは振幅 $V_{pp} - V_{bb}$ を有し、図26に示すRXデコーダから出力される。

【0187】

図52に示すワードドライバにおいては、信号ZWDが高電圧 V_{pp} のときには、MOSトランジスタN20により、ワード線WLは負電位 V_{bb} に放電される。信号ZWDが負電位 V_{bb} レベルのとき、ワード線WL上にはMOSトランジスタP21を介して信号RXが伝達される。信号RXが高電位 V_{pp} レベルのときには、ワード線WLは高電位 V_{pp} レベルに昇圧される。このとき、信号ZRXは負電位 V_{bb} レベルであり、MOSトランジスタN21はオフ状態にある。信号RXが負電位 V_{bb} レベルのLレベルのとき、ワード線WL上には、MOSトランジスタP21を介して信号RXが伝達されるが、ワード線WLの電位は $V_{bb} + |V_{thp}|$ となる。 V_{thp} はMOSトランジスタP21のしきい値電圧である。反転信号ZRXは高電圧 V_{pp} レベルのHレベルであり、MOSトランジスタN21がオン状態となり、ワード線WLは負電位 V_{bb} レベルにまで放電される。

10

【0188】

この図52に示す構成を利用することにより、非選択状態のワード線WLを確実に負電位 V_{bb} に設定することができる。また基板バイアス電圧 V_{sub} と負電位 V_{bb} とは別々に設定されるため、「ディスタープリフレッシュ」および「ポーズプリフレッシュ」の加速テストを実現することができる。

(4) ワードドライバのさらに他の変更例

20

図53は、ワードドライバのさらに他の変更例を示す図である。図53に示すワードドライバ570は、ロウデコーダ20からの振幅 $V_{cc} - GND$ のデコード信号の振幅 $V_{pp} - V_{bb}$ の信号に変換し、この変換した信号を対応のワード線WL上に伝達する。図53において、ワードドライバ570は、ロウデコーダ20の出力をノード523に伝達するnチャンネルMOSトランジスタ571と、ロウデコーダ20の出力をノード574に伝達するpチャンネルMOSトランジスタ572と、ノード573の信号電位に応答して電源ノード579上の高電圧 V_{pp} を対応のワード線WL上へ伝出力ノード579cを介して伝達するpチャンネルMOSトランジスタ575と、ノード574上の信号電位に応答してワード線WLへ出力ノード579cを介して他方電源ノード579bに与えられた負電位 V_{bb} を伝達するnチャンネルMOSトランジスタ576と、出力ノード579c上の信号電位に応答してノード573へ高電圧 V_{pp} を伝達するpチャンネルMOSトランジスタ577と、出力ノード579cの信号電位に応答してノード574へ負電位 V_{bb} を伝達するnチャンネルMOSトランジスタ578を含む。

30

【0189】

MOSトランジスタ571のゲートへは電源電位 V_{cc} が与えられ、MOSトランジスタ572のゲートへは接地電位GNDが与えられる。MOSトランジスタ575および577の基板領域(バックゲート)は電源ノード579aに接続されて高電圧 V_{pp} を受ける。MOSトランジスタ576および578の基板領域(バックゲート)には基板バイアス電圧 V_{sub} が与えられる。ロウデコーダ20は、NAND型デコーダ20aを含む。ロウデコーダ20により、メモリセルアレイにおいて1つのワード線WLが選択される。すなわち、ロウデコーダ20は与えられたアドレス信号を完全デコードする。ロウデコーダ20の出力が選択状態のLレベルのとき(接地電位GNDレベル)、MOSトランジスタ575がオン状態、MOSトランジスタ576がオフ状態となり、出力ノード579cから高電圧 V_{pp} が対応のワード線WL上へ伝達される。このとき、ノード574は、MOSトランジスタ578により負電位 V_{bb} レベルにまで放電され、MOSトランジスタ576は完全にオフ状態となる。

40

【0190】

ロウデコーダ20の出力が非選択状態を示すHレベル(V_{cc} レベル)のとき、MOSトランジスタ575がオフ状態、MOSトランジスタ576がオン状態となる。この場合には、ワード線WLには出力ノード579cを介して負電位 V_{bb} が与えられる。MOSト

50

ランジスタ577がオン状態となり、ノード573の電位を高電圧 V_{pp} レベルに昇圧し、MOSトランジスタ575をオフ状態とする。

図53に示す構成においても、負電位 V_{bb} は基板バイアス電圧 V_{sub} と別の回路により発生される。「ディスタブプリフレッシュ」および「ポーズリフレッシュ」の加速テストを実現することができる。

【0191】

MOSトランジスタ571の基板領域(バックゲート)へは、負電位 V_{bb} および基板バイアス電圧 V_{sub} のいずれが与えられてもよい。このワードドライバ570における実際のトランジスタの配置においてMOSトランジスタ571がMOSトランジスタ576および578と同じ基板領域内(またはウェル領域内)に形成される場合には、MOSトランジスタ571のバックゲート(基板領域)には基板バイアス電圧 V_{sub} が印加される。MOSトランジスタ571の形成される基板領域(またはウェル領域)がMOSトランジスタ576および578の基板領域と異なる場合には、MOSトランジスタ571の基板領域(バックゲート)には、基板バイアス電圧 V_{sub} が与えられてもよく、負電位 V_{bb} が与えられてもよく、またロウデコーダ20の出力が与えられるように構成されてもよい。

【0192】

(5) ワードドライバのさらに他の構成

図54に更に他のワードドライバの構成を示す。

図54に示すワードドライバ570は、図53に示すワードドライバと、その入力段に設けられたMOSトランジスタ581および582がそれぞれアドレス信号 X_a および反転アドレス信号 ZX_a を受ける点で異なっている。他の構成は同じであり、対応する部分には同一の参照番号を付す。この図54に示す構成の場合、ロウデコーダ20に含まれるNAND型デコーダ20dに与えられるアドレス信号の数は図53に示すロウデコーダ20に含まれるNAND型デコーダ20aのそれよりも少ない。ワードドライバ570自身がアドレスデコード機能を有しかつデコード信号のレベル変換機能を備えているため、ロウデコード回路の回路規模のみならずワード線駆動回路の規模を低減することができる。また基板バイアス電圧 V_{sub} と独立に設定される負電位 V_{bb} を非選択ワード線 WL へ伝達することができるため、「ディスタブプリフレッシュ」および「ポーズリフレッシュ」いずれの加速テストをも実現することができる。

【0193】

(6) ワードドライバのさらに他の変更例

図55は、ワードドライバのさらに他の変更例を示す図である。図55において、ワードドライバ580は、信号 ZWD にตอบสนองしてワード線 WL 上に駆動信号 RX を伝達するpチャンネルMOSトランジスタ $P31$ と、信号 ZWD にตอบสนองしてワード線 WL へ負電位 V_{bb} を伝達するnチャンネルMOSトランジスタ $N31$ と、反転信号 ZRX にตอบสนองしてワード線 WL へ負電位 V_{bb} を伝達するnチャンネルMOSトランジスタ $N32$ を含む。MOSトランジスタ $N31$ および $N32$ の基板領域(バックゲート)には負電位 V_{bb} が印加される。MOSトランジスタ $P31$ のバックゲート(基板領域)へは高電圧 V_{pp} が印加される。

【0194】

メモリセルアレイ10においては、メモリセル MC は、メモリキャパシタ MQ と、ワード線 WL 上の信号電位にตอบสนองしてビット線 BL (または $/BL$)へメモリキャパシタ MQ を接続するメモリトランジスタ MT を含む。メモリトランジスタ MT の基板領域(バックゲート)には基板バイアス電圧 V_{sub} が印加される。

図55に示す構成において、ワードドライバが形成される領域とメモリセルアレイ10が形成される領域はそれぞれ別々に形成される。この場合、メモリセルアレイ10に印加される基板バイアス電圧 V_{sub} と、ワード線ドライブ回路(ワードドライバ580)の基板領域に印加されるバイアス電圧 V_{bb} を別々に設定することができる。図55に示す構成においても、非選択ワード線 WL 上には、メモリセルアレイ10の基板領域に印加され

10

20

30

40

50

る基板バイアス電圧 V_{sub} と特別に設定される負電位 V_{bb} が印加される。したがって、「ディスタープリフレッシュ」および「ポーズリフレッシュ」の加速テストを実現することができる。

【0195】

[第6の実施例]

図56は、この発明の第6の実施例であるDRAMの要部の構成を概略的に示す図である。DRAMは複数のメモリセルブロックを含む。図56においては、半導体チップ700上に形成される4つのメモリブロック709a、709b、709cおよび709dを代表的に示す。メモリブロック709(709a~709d)の各々は、メモリセルが行列状に配列されるメモリブロックM#(M#1~M#4)、メモリセルブロックM#から対応の行を選択する行選択系回路720(720a~720d)、およびメモリセルブロックM#から対応の列を選択するコラムデコーダを含む列選択系回路721(721a~721d)を含む。この行選択系回路720a~720dは第1ないし第5の実施例において説明したレベル変換回路およびワードドライバのいずれかの構成を備える。DRAMは、さらに、第1の負電位 V_{bb1} を発生する負電位発生回路701と、第2の負電位 V_{bb2} を発生する第2の負電位発生回路702を含む。第1の負電位発生回路が発生する第1の負電位 V_{bb1} は、第2の負電位発生回路702が発生する第2の負電位 V_{bb2} よりも小さい($V_{bb1} < V_{bb2}$)。第1の負電位 V_{bb1} は負電位電源線710を介してチップ内部を伝達され、第2の負電位 V_{bb2} は、負電位電源線712を介してチップ内部を配設される。

【0196】

DRAMはさらに、外部から与えられるアドレス信号をバッファ処理して内部アドレス信号を発生するバッファ回路(アドレスバッファ)705と、バッファ回路705からの内部アドレス信号をデコードし、メモリブロックを指定する信号およびメモリセルブロックM#における行および列を指定する信号を含む。メモリブロック709a~709dそれぞれにおいて、行選択系回路が設けられており、この行選択系回路の構成に従ってデコード回路706の構成は異なるが、デコード回路706はバッファ回路705から与えられた内部行アドレス信号をプリデコードし、デコード信号WDおよび/またはZWDならびにワード線駆動信号RXを発生する構成であってもよい。また、行選択系回路720a~720dにおいてレベル変換のみが実行され、デコード回路706が与えられたアドレス信号を完全デコードする構成が利用されてもよい。

【0197】

ブロック選択回路707は、デコード回路706からのブロック指定信号に従って指定されたメモリブロックのみを活性状態とするブロック選択信号BSiを発生する。メモリブロック709a~709dそれぞれに対応して第1の負電位 V_{bb1} および第2の負電位 V_{bb2} の一方を選択して対応の行選択系回路720a~720dへ伝達するスイッチ回路708a~708dが設けられる。スイッチ回路708a~708dの各々は、ブロック選択回路707からのブロック選択信号BS1~BS4に従って選択動作を実行する。スイッチ回路708~708dは対応のメモリが選択状態とされたとき、第1の負電位 V_{bb1} を選択して対応の行選択系回路720(720a~720d)へ伝達する。スイッチ回路708a~708dは、また、対応のメモリブロックが非選択状態のときには、その絶対値の小さい第2の負電位 V_{bb2} を選択して対応の行選択系回路720a~720dへ伝達する。

【0198】

「ディスタープリフレッシュ」特性が問題となるのは、メモリセルアレイにおいて、ワード線が選択状態とされ、非選択ワード線の電位が容量結合により上昇するかまたはビット線の電位が接地電位レベルにまで放電されるときである。したがって、選択メモリブロックにおいてのみ、非選択ワード線へ伝達する負電位 V_{bb} の値をより負とし、メモリトランジスタにおけるチャネルリークの発生を抑制する。非選択状態のメモリブロックにおいては、スタンバイ状態にあるため、ワード線およびビット線の電位は変化しない。したが

10

20

30

40

50

ってこの場合には、非選択ワード線へ伝達される負電位 V_{bb} の値は少し高くてもよい（「ディスタープリフレッシュ」の問題は生じず、むしろ「ポーズリフレッシュ」の問題が生じるため）。したがって、非選択メモリセルブロックにおける非選択ワード線へ伝達される負電位 V_{bb} のレベルを高くしても、特に問題は生じない。

【0199】

すべてのメモリブロックに深い（小さい）負電位 V_{bb1} を与える必要がなく、第1の負電位発生回路は1つのメモリブロックのみを駆動することが要求されるだけであり、その負荷が軽減され、第1の負電位発生回路701の消費電力を軽減することができる。また、負電位発生のために2つの負電位発生回路701および702が必要とされるものの、第1の負電位発生回路1は、1つのメモリブロックのみを駆動し、第2の負電位発生回路2は、残りのメモリブロックを駆動する。第1の負電位 V_{bb1} よりも第2の負電位 V_{bb2} の方が高いため、この第2の負電位発生回路702の消費電力は第1の負電位発生回路701の消費電力よりも小さい。したがって、たとえ2つの負電位発生回路が用いられても、第1の負電位発生回路701のみを用いてすべてのメモリブロックに対して第1の負電位 V_{bb1} を与える構成に比べて全体として消費電力を低減することができる。

10

【0200】

図56においては、外部からの制御信号を受けるバッファ回路703と、バッファ回路703の出力に従ってテストモード指示信号TEを発生するテストモードシグニチャ回路704が併せて示される。テストモードシグニチャ回路704は、このバッファ回路703からの内部制御信号の特定のタイミングに従ってテストモードが指定されたか否かを判別する。このとき、テストモードシグニチャ回路704は、バッファ回路703の出力が特定の状態にあるときに、アドレス信号を受けるバッファ回路705の出力の特定の内部アドレスピットの値に従ってテストモード指示信号を発生する構成が利用されてもよい。

20

【0201】

テストモードシグニチャ回路704からのテストモード指示信号TEはブロック選択回路707へ与えられるように示される。テストモード指示信号TEが活性状態のHレベルのとき、非選択ワード線へ伝達される負電位 V_{bb} は通常動作時に与えられる負電位よりも浅く（絶対値が小さく）される。図56に示す2つの負電位発生回路701および702を用いてテストモード（加速テスト）を行なう場合、このテストモード指示信号TEが活性状態のとき、ブロック選択回路707からスイッチ回路708a~708dへ与えられる選択信号BSi（BS1~BS4）は第2の負電位 V_{bb2} を選択する状態に設定される。ただしブロック選択回路707により選択されたメモリブロックに対するアクセス（または行および列選択動作）は実行される。

30

【0202】

図57は、図56に示すブロック選択回路の1つのブロック選択信号に関連する部分の構成を示す図である。図57において、デコード回路506は、メモリブロックを選択するためのブロックデコーダ730を含む。ブロックデコーダ730は、各メモリブロックに対応して設けられるAND型デコーダ730aを含む。選択時にはAND型デコーダ730aの出力は電源電位 V_{cc} レベルのHレベルとなる。非選択時にはAND回路デコーダ730aの出力はLレベル（接地電位レベル）となる。

40

【0203】

ブロック選択回路707は、テストモードシグニチャ回路704からのテストモード指示信号TEをその偽入力に受け、AND型デコーダ730aの出力をその真入力に受けるゲート回路741と、ゲート回路741の出力のレベル変換を行なうレベル変換部を含む。ゲート回路741は、テストモード指示信号TEが活性状態となりテストモードを指定するとき、接地電位レベルのLレベルの信号を出力する。テストモード指示信号TEが非活性状態にありノーマルモードを指定するとき、ゲート回路741はバッファとして機能する。

【0204】

レベル変換部は、ゲート回路741の出力を反転するインバータ749と、電源電位 V_{cc}

50

cを供給する電源ノード748aと出力ノード747aの間に設けられ、そのゲートにインバータ749の出力を受けるpチャンネルMOSトランジスタ743と、電源ノード748aと出力ノード747bの間に設けられ、そのゲートにゲート回路741の出力を受けるpチャンネルMOSトランジスタ742と、第1の負電位Vbb1を受ける他方電源ノード748bと出力ノード747aの間に設けられそのゲートに出力ノード747bの信号電位を受けるnチャンネルMOSトランジスタ746と、出力ノード747bと他方電源ノード748bの間に設けられ、そのゲートに出力ノード747aの信号電位を受けるnチャンネルMOSトランジスタ745を含む。出力ノード747aからブロック選択信号BSi (i = 1 ~ 4) が出力され、出力ノード747bから反転ブロック選択信号ZBSiが出力される。次に動作について簡単に説明する。

10

【0205】

このレベル変換器の構成は、図32に示すレベル変換器410のそれと同じである。通常動作モード時には、テストモード指示信号TEは接地電位レベルのLレベルである。AND型デコーダ730aの出力が電源電位Vccレベルの選択状態を示すとき、ゲート回路741の出力がHレベルとなり、MOSトランジスタ742がオフ状態、MOSトランジスタ743がオン状態となる。出力ノード747aからのブロック選択信号BSiが電源電位VccレベルのHレベルとなり、出力ノード747bからの信号ZBSiが第1の負電位Vbb1レベルのLレベルとなる(出力ノード747aのHレベルによりMOSトランジスタ745がオン状態となる)。通常動作モード時においてAND型デコーダ730aの出力がLレベルのときには、逆に、ブロック選択信号BSiが第1の負電位Vbb1レベル、反転ブロック選択信号ZBSiがVccレベルのHレベルとなる。

20

【0206】

テストモード指示信号TEがHレベルのときには、ゲート回路741の出力はLレベルとなり、信号BSiがLレベル(Vbb1レベル、反転信号ZBSiがHレベル(Vccレベル))となる。すなわち、テストモード指示信号TEの活性化時(Hレベル)、そのブロック選択器740は、ブロックデコーダ730から与えられるブロック指定信号を無視して非選択状態のブロック選択信号をスイッチ回路708a~708dへ与える。スイッチ回路708a~708dの各々は、与えられたブロック選択信号BSiが活性状態のHレベルのときには、第1の負電位を選択し、ブロック選択信号BSiが非選択状態を示す第1の負電位Vbb1レベルのときには、それより浅い(絶対値の小さい)第2の負電位Vbb2を選択する。

30

【0207】

図58は、スイッチ回路708の構成の一例を示す図である。図58においては、一つのメモリブロックに関連するスイッチ回路の構成のみを示す。各メモリブロックに対して図58に示す構成のスイッチ回路がそれぞれ設けられる。図58において、スイッチ回路708(708a~708d)は、ブロック選択信号BSiをゲートに受けるnチャンネルMOSトランジスタ751と、反転ブロック選択信号ZBSiをゲートに受けるnチャンネルMOSトランジスタ710を含む。MOSトランジスタ751は、ブロック選択信号BSiがHレベル(Vccレベル)のときに第1の負電位Vbb1を選択して負電位Vbbとして出力する。MOSトランジスタ750は、反転ブロック選択信号ZBSiがHレベルのときに第2の負電位Vbb2を選択して負電位Vbbとして対応のメモリブロックへ伝達する。第1の負電位Vbb1は第2の負電位Vbb2よりも深い(絶対値が大きい)ため、信号ZBSiが第1の負電位Vbb1レベルのときには、MOSトランジスタ750はオフ状態となる。同様、信号BSiは第1の負電位Vbb1レベルのときには、MOSトランジスタ751はオフ状態となる。

40

【0208】

上述の構成により、通常動作モード時において、選択メモリブロックへ第1の負電位Vbb1を付与し、非選択メモリブロックへそれより絶対値の小さな第2の負電位Vbb2を与えることができる。テスト動作モード時には、選択メモリブロックおよび非選択メモリブロックいずれにおいても、第2の負電位Vbb2が与えられる。

50

なお、テストモード指示信号 T E の活性時には、この第 1 の負電位 V b b 1 および第 2 の負電位 V b b 2 と異なる第 3 の負電位 V b b 3 が選択メモリブロックへ与えられる構成が利用されてもよい。ただし、負電位 V b b 3 は、 $V b b 1 < V b b 3$ の関係を満足する。

【 0 2 0 9 】

[負電位の印加態様]

図 5 9 は、1つのメモリブロックにおける負電位の印加態様の第 1 の例を示す図である。図 5 9 に示す構成においては、スイッチ回路 7 0 8 がブロック選択信号 B S i および Z B S i に従って選択する負電位 V b b は行選択系回路 7 2 0 へのみ与えられる。メモリセルブロック M # (7 0 9) の基板領域には基板バイアス電圧 V s u b が印加される。この基板バイアス電圧 V s u b は第 1 の負電位 V b b 1 と等しくされていてもよい。低消費電力という効果に加えて、図 5 の実施例における基板バイアス電圧と非選択ワード線に伝達される負電位 V b b を別々に設定することができることにより得られる利点が併せて実現される。

10

【 0 2 1 0 】

図 6 0 は、負電位印加態様の他の構成を示す図である。図 6 0 に示す構成においては、スイッチ回路 7 0 8 が選択する負電位 V b b は行選択系回路 7 2 0 およびメモリセルブロック M # 7 0 9 の基板領域両者へ印加される。図 6 0 に示す構成の場合、D R A M に形成される複数のメモリブロックはそれぞれ異なる領域内に形成され、各メモリブロック形成中のウェル領域にはそれぞれ独立に基板バイアス電圧を印加する構成がとられる。この構成の場合、基板バイアス電圧の非選択メモリブロックにおいてはその絶対値が小さくされるため、消費電力を大幅に低減することができる。

20

【 0 2 1 1 】

上述の構成においては、ブロック選択回路 7 0 7 においてブロック選択信号 B S i のレベル変換を行なうように示されている。スイッチ回路 7 0 8 a ~ 7 0 8 d それぞれにおいてレベル変換が行なわれる構成が利用されてもよい。

[変更例]

図 6 1 は、この発明の第 6 の実施例である D R A M の第 1 の変更例の構成を示す図である。図 6 1 において、D R A M は、行および列に配列されるメモリセルを有するメモリセルアレイ 1 0 と、外部アドレス信号から内部アドレス信号を生成するアドレスバッファ 7 5 0 と、アドレスバッファ 7 5 0 からの内部アドレス信号に従ってメモリセルアレイ 1 0 における対応の行を選択するとともに選択行を駆動する行選択系回路 7 5 2 を含む。この行選択系回路 7 5 2 は、アドレスバッファ 7 5 0 から与えられたアドレス信号をデコードし、このデコードされた信号をレベル変換するとともに、選択ワード線に高電圧 V p p を伝達し、非選択ワード線へ負電位 V b b を伝達する回路構成を備える。

30

【 0 2 1 2 】

D R A M はさらに、R A S バッファ 6 からの内部 R A S 信号 R A S がレベルを変換するレベル変換器 7 5 4 と、レベル変換器 7 5 4 からの信号 R A S および Z R A S に従って第 1 の負電位発生回路 7 6 0 からの第 1 の負電位 V b b 1 および第 2 の負電位発生回路 7 5 1 からの第 2 の負電位 V b b 2 の一方を選択するスイッチ回路 7 5 6 を含む。レベル変換器 7 5 4 は、内部 R A S 信号 R A S が非活性状態の L レベル (接地電位レベル) のときには第 1 の負電位 V b b 1 レベルの信号 R A S を発生する。信号 Z R A S は信号 R A S と相補な信号であり、そのときには電源電位 V c c レベルとなる。レベル変換器 7 5 4 は、内部 R A S 信号 R A S が H レベルのとき、信号 R A S を H レベル (V c c レベル) 、信号 Z R A S を負電位 V b b 1 レベルに設定する。

40

【 0 2 1 3 】

第 1 の負電位 V b b 1 は、第 2 の負電位 V b b 2 よりも低い電位である ($V b b 1 < V b b 2$)。スイッチ回路 7 5 6 は、信号 R A S が H レベルのとき、すなわち D R A M のメモリサイクルが始まっている動作状態のときには第 1 の負電位 V b b 1 を選択し、行選択系回路 7 1 2 とメモリセルアレイの基板領域とへ与える。スイッチ回路 7 5 6 は、信号 R A S が負電位 V b b 1 レベルの非活性状態のときには、第 2 の負電位発生回路 7 6 1 からの

50

第2の負電位 V_{bb2} を選択し、行選択系回路752とメモリセルアレイ10の基板領域とへ与える。すなわち、DRAMのスタンバイ時には、第2の負電位 V_{bb2} が負電位 V_{bb} として選択され、メモリサイクル開始時には第2の負電位 V_{bb1} が負電位 V_{bb} として選択される。ディスタブプリフレッシュ特性が問題となるのは、メモリセル選択動作が行なわれるアクティブサイクル(メモリサイクル)期間である。この間非選択ワード線に伝達される負電位 V_{bb} の値を低くする。この構成においてスタンバイ時における基板リーク電流の抑制(ポーズリフレッシュ特性の改善)および動作時におけるチャンネルリークの抑制(ディスタブプリフレッシュ特性の改善)両者を実現することができる。

【0214】

なお、図61に示す構成においては、スイッチ回路756により第1の負電位 V_{bb1} および第2の負電位 V_{bb2} の一方を選択して負電位 V_{bb} を発生している。第1の負電位発生回路760および第2の負電位発生回路761が内部RAS信号に従って一方が活性状態とされる構成が利用されてもよい。

[第7の実施例]

図62は、この発明の第7の実施例であるDRAMの要部の構成を示す図である。図62に示すDRAMは、メモリセルMCとして、メモリキャパシタMQとワード線WL上の信号電位に応答して導通するメモリトランジスタMPを含む。このメモリトランジスタMPはpチャンネルMOSトランジスタで構成される。メモリトランジスタMPの基板領域には正のバイアス電圧 V_{sbp} が印加される。ワード線WLは選択時には負電位 V_b が印加され、非選択時には正の電圧 V_p が印加される。選択時負電位 V_{bb} を印加することにより、pチャンネルMOSトランジスタMPにおけるしきい値電圧の損失を伴うことなく接地電位GNDレベルの信号をメモリキャパシタMQへ伝達することができる。非選択時にワード線WL上に正の電圧 V_p (基板バイアス電圧 V_{sbp} 程度またはそれより小さい値)を印加することにより、メモリトランジスタMPにおける弱反転層の形成を抑制し、サブスレッショルド電流を大幅に低減することができる。

【0215】

図62においては、1本のワード線WLを選択するための回路構成を併せて示す。ロウデコード20は、AND型デコード20bの構成を備え、選択時 V_{cc} レベルのHレベルの信号を出力し、非選択時接地電位レベルのLレベルの信号を出力する。レベル変換器802は、このAND型デコード20dの出力レベルを V_{pp} レベルおよび V_{bb} レベルに変換する(信号の論理は維持する)。選択時、信号WDは正の電圧 V_p レベルであり、pチャンネルMOSトランジスタ811がオフ状態、nチャンネルMOSトランジスタ812がオン状態となり、選択ワード線WLの電位が負電位 V_b レベルとなる。メモリトランジスタMPがオン状態となり、メモリキャパシタMQがビット線BLに接続される。

【0216】

非選択時には信号WDが負電位 V_b レベルとなり、MOSトランジスタ812はオフ状態、MOSトランジスタ811がオン状態となり、正電位 V_p がワード線WL上に伝達される。非選択ワード線上の信号電位が正の電位 V_p であり、このメモリトランジスタのソースとゲートの電位を異ならせることにより、チャンネルリークを抑制する。

このメモリセルがメモリトランジスタとしてpチャンネルMOSトランジスタを有する場合、先の第1ないし第6の実施例において説明した構成において高電圧 V_{pp} を負電位 V_b とし、負電位 V_{bb} を正電位 V_p にそれぞれ置換えることにより同様の構成を実現することができ、応じて同様の効果を得ることができる。

【0217】

【発明の効果】

以上のように、この発明に従えば、非選択ワード線の電位レベルがメモリトランジスタの基板バイアス電圧と同一極性とされ、このメモリトランジスタにおけるチャンネルリークを抑制することができ、「ディスタブプリフレッシュ」特性の優れた半導体記憶装置を実現することができる。またこの非選択ワード線に伝達される電圧レベルを変化させることにより「ディスタブプリフレッシュ」および「ポーズリフレッシュ」両者の加速試験を行な

10

20

30

40

50

うことができ、テスト時間の短縮をも実現することができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施例である半導体記憶装置の要部を構成を概略的に示す図である。

【図 2】 この発明の一実施例におけるメモリトランジスタの電圧印加条件を示す図である。

【図 3】 この発明の一実施例における高電圧が印加されるトランジスタの空乏層の分布状況を概略的に示す図である。

【図 4】 図 1 に示す一方のレベル変換器の構成の一例を示す図である。

【図 5】 図 1 に示す他方レベル変換器の構成を示す図である。

10

【図 6】 図 1 に示すワードドライバに含まれる負電位伝達用トランジスタおよびメモリセルの概略断面構造を示す図である。

【図 7】 図 1 に示すワードドライバの負電位伝達用トランジスタおよびメモリセルの断面構造の変更例を示す図である。

【図 8】 図 1 に示す R X デコーダの概略構成を示す図である。

【図 9】 図 8 に示す R X デコーダの信号出力部の MOS トランジスタの概略断面構造を示す図である。

【図 10】 図 1 に示すレベル変換器の第 1 の変形例を示す図である。

【図 11】 図 1 に示すレベル変換器の第 2 の変形例を示す図である。

【図 12】 図 1 に示すレベル変換器の第 3 の変形例を示す図である。

20

【図 13】 図 12 に示すレベル変換器の効果を説明するための図である。

【図 14】 図 12 に示すレベル変換器の効果を説明するための図である。

【図 15】 図 1 に示すレベル変換器の第 4 の変形例を示す図である。

【図 16】 図 15 に示すレベル変換器の構成の一例を示す図である。

【図 17】 図 15 に示すワードドライバの構成の一例を示す図である。

【図 18】 図 1 に示すレベル変換器の第 6 の変形例を示す図である。

【図 19】 図 1 に示すレベル変換器の第 7 の変形例を示す図である。

【図 20】 この発明の第 1 の実施例の第 7 の変更例の要部の構成を示す図である。

【図 21】 この発明の第 1 の実施例の第 8 の変更例の構成を示す図である。

【図 22】 この発明の第 2 の実施例である半導体記憶装置の全体の構成を概略的に示す図である。

30

【図 23】 図 22 に示すレベル変換機能付ワード線ドライブ回路の構成を示す図である。

【図 24】 図 22 に示すレベル変換機能付ワード線ドライブ回路の第 1 の変更例を示す図である。

【図 25】 この発明の第 3 の実施例である半導体記憶装置の全体の構成を概略的に示す図である。

【図 26】 図 25 に示す R X デコード回路の構成の一例を示す図である。

【図 27】 図 25 に示すレベル変換回路およびワード線ドライブ回路の構成の一例を示す図である。

40

【図 28】 図 25 に示すレベル変換回路およびワード線ドライブ回路の第 1 の変更例の構成を示す図である。

【図 29】 この発明の第 4 の実施例である半導体記憶装置の要部の構成を概略的に示す図である。

【図 30】 図 29 に示す第 2 の負電位発生回路の構成の一例を示す図である。

【図 31】 図 29 に示す第 1 の負電位発生回路の構成の一例を示す図である。

【図 32】 図 29 に示す切換回路の構成の一例を示す図である。

【図 33】 この発明の第 4 の実施例である半導体記憶装置の第 1 の変形例を示す図である。

【図 34】 図 33 に示す負電位発生回路の構成の一例を示す図である。

50

- 【図35】 図33に示すテストモード指定信号 TEを発生するための回路構成を概略的に示す図である。
- 【図36】 図33に示すレベル検知回路の構成の一例を示す図である。
- 【図37】 図33に示すレベル検知回路の第1の変形例を示す図である。
- 【図38】 図37に示す可変定電流源の構成の一例を示す図である。
- 【図39】 この発明の第4の実施例である半導体記憶装置の第3の変形例を示す図である。
- 【図40】 図39に示すクランプ回路の構成の一例を示す図である。
- 【図41】 図40に示す可変定電流源の構成の一例を示す図である。
- 【図42】 この発明の第4の実施例である半導体記憶装置の第4の変形例の構成を概略的に示す図である。 10
- 【図43】 図42に示す構成をより具体的に示す図である。
- 【図44】 この発明の第5の実施例である半導体記憶装置の全体の構成を概略的に示す図である。
- 【図45】 図44に示すワード線ドライブ回路に含まれるワードドライバの構成を示す図である。
- 【図46】 図45に示す負電位伝達用MOSトランジスタの概略断面構造を示す図である。
- 【図47】 図44に示すメモリセルアレイに含まれるメモリセルの概略断面構造およびこの発明の第5の実施例の効果の説明するための図である。 20
- 【図48】 図44に示すレベル変換回路の構成の一例を示す図である。
- 【図49】 図48に示す負電位発生用MOSトランジスタの概略断面構造を示す図である。
- 【図50】 図44に示すワード線ドライブ回路に含まれるワードドライバの構成の一例を示す図である。
- 【図51】 図44に示すワード線ドライブ回路に含まれるワードドライバの第1の変形例を示す図である。
- 【図52】 図44に示すワード線ドライブ回路に含まれるワードドライバの第2の変形例の構成を示す図である。
- 【図53】 この発明の第5の実施例である半導体記憶装置におけるワード線駆動部のさらに他の変形例を示す図である。 30
- 【図54】 図53に示すワード線駆動部の代替例を示す図である。
- 【図55】 この発明の第5の実施例におけるワードドライバの第6の変形例の構成を示す図である。
- 【図56】 この発明の第6の実施例の半導体記憶装置の全体の構成を概略的に示す図である。
- 【図57】 図56に示すブロック選択回路の構成の一例を示す図である。
- 【図58】 図56に示すスイッチ回路の構成の一例を示す図である。
- 【図59】 この発明の第6の実施例の基板バイアス電圧と非選択電圧との印加態様の一例を示す図である。 40
- 【図60】 この発明の第6の実施例における基板バイアス電圧および非選択電圧の印加態様の変形例を示す図である。
- 【図61】 この発明の第6の実施例である半導体記憶装置の変形例を示す図である。
- 【図62】 この発明の第7の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
- 【図63】 従来のDRAMの全体の構成を概略的に示す図である。
- 【図64】 従来のDRAMのワード線駆動部の構成の一例を示す図である。
- 【図65】 従来のDRAMのワード線駆動部の代替例の構成を概略的に示す図である。
- 【図66】 従来のワードドライバのさらに他の変形例を示す図である。
- 【図67】 従来のDRAMのメモリセルアレイ部の構成を概略的に示す図である。 50

【図68】 従来のDRAMにおける問題点を説明するための図である。

【図69】 従来のDRAMにおける問題点を説明するための図である。

【図70】 従来のDRAMにおける問題点を説明するための図である。

【図71】 MOSトランジスタのサブスレッショルド特性を示す図である。

【符号の説明】

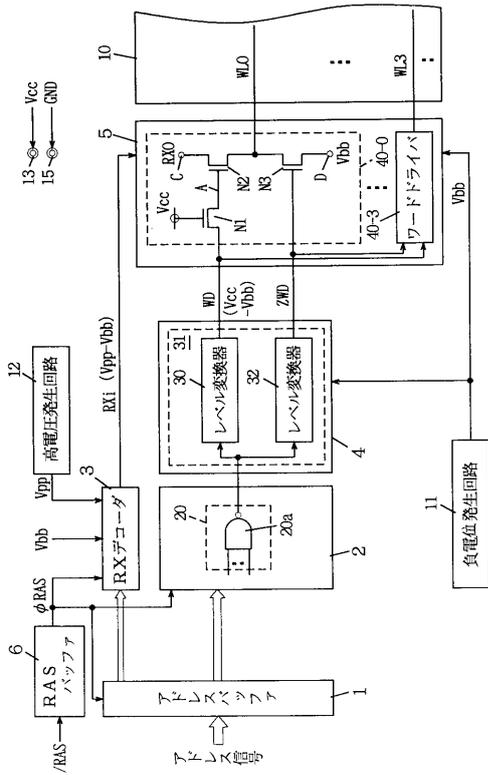
1 アドレスバッファ、2 ロウデコード回路、3 RXデコーダ、4 レベル変換回路、5 ワード線ドライブ回路、6 RASバッファ、10 メモリセルアレイ、11 負電位発生回路、12 高電圧発生回路、20 ロウデコーダ、30 レベル変換器、31 レベル変換器、32 レベル変換器、40, 40-1~40-3 ワードドライバ、N1, N2, N3 nチャンネルMOSトランジスタ、N nチャンネルMOSトランジスタ、200 レベル変換機能付ワード線ドライブ回路、225 pチャンネルMOSトランジスタ、226 nチャンネルMOSトランジスタ、250 RXデコード回路、252 レベル変換回路、254 ワード線ドライブ回路、N8, N9 nチャンネルMOSトランジスタ、P1, P5 pチャンネルMOSトランジスタ、350 ワード線ドライブ回路、360 行選択信号発生回路、380 第2の負電位発生回路、390 第1の負電位発生回路、400 切換回路、430 負電位発生回路、440 レベル検知回路、460 負電位発生回路、480 クランプ回路、490 第1の負電位発生回路、495 第2の負電位発生回路、500 ロウデコード回路、502 レベル変換回路、504 RXデコーダ、506 ワード線ドライブ回路、510 基板バイアス発生回路、512 負電位発生回路、N11, N12 nチャンネルMOSトランジスタ、N16, N17 nチャンネルMOSトランジスタ、P20 pチャンネルMOSトランジスタ、N18 nチャンネルMOSトランジスタ、N21 NチャンネルMOSトランジスタ、P21 pチャンネルMOSトランジスタ、575 pチャンネルMOSトランジスタ、576 nチャンネルMOSトランジスタ、580 ワードドライバ、N31, N32 nチャンネルMOSトランジスタ、701 負電位発生回路、702 負電位発生回路、704 テストモードシグニチャ回路、706 デコード回路、707 ブロック選択回路、708a~708d スイッチ回路、709a~709d メモリブロック、752 行選択系回路、754 レベル変換器、756 スイッチ回路、760 第1の負電位発生回路、761 第2の負電位発生回路、802 レベル変換器、810 ワードドライバ、PT pチャンネルMOSトランジスタ、NT nチャンネルMOSトランジスタ。

10

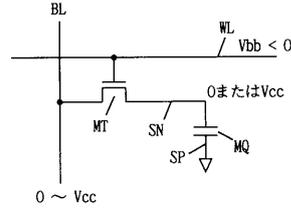
20

30

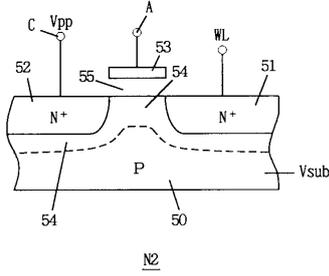
【図1】



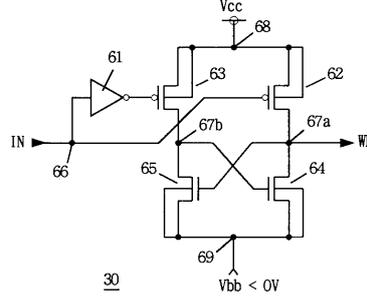
【図2】



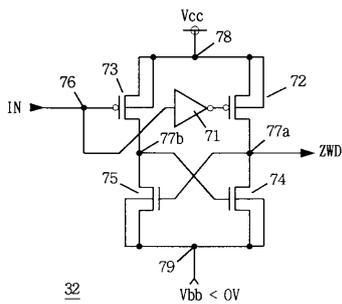
【図3】



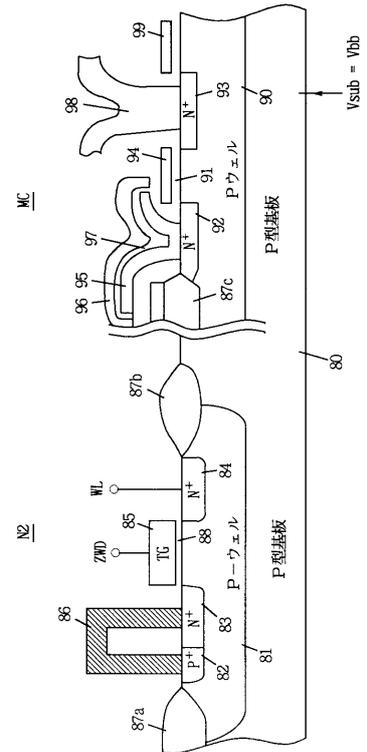
【図4】



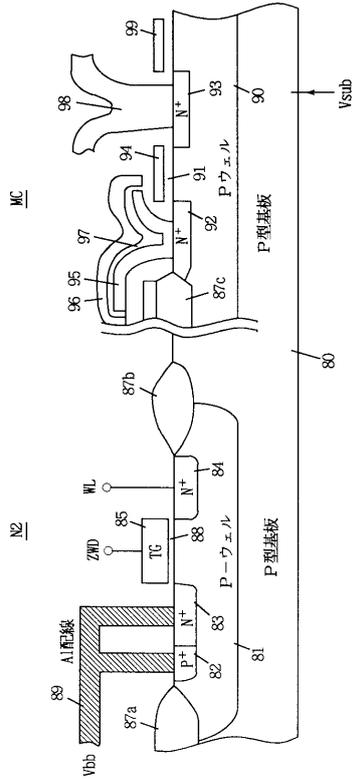
【図5】



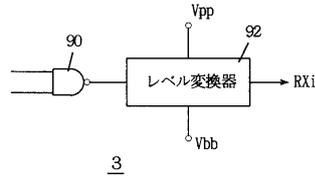
【図6】



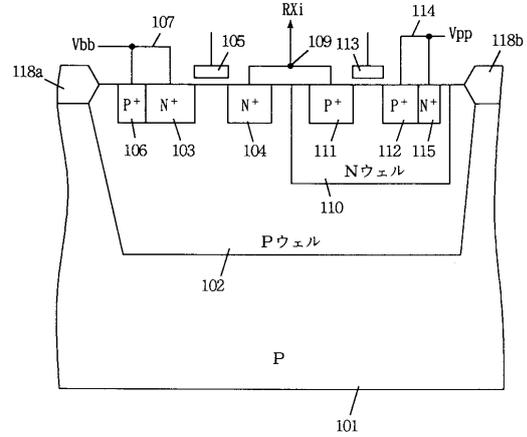
【 図 7 】



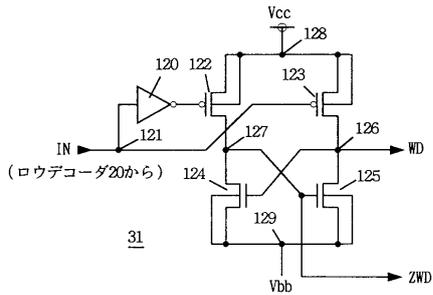
【 図 8 】



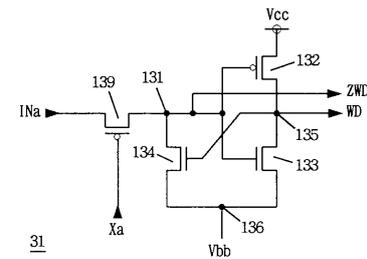
【 図 9 】



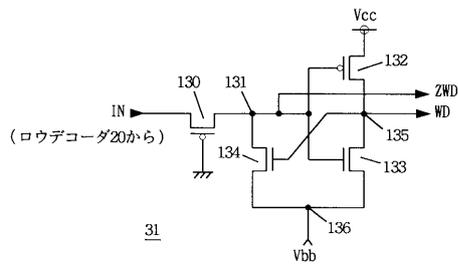
【 図 10 】



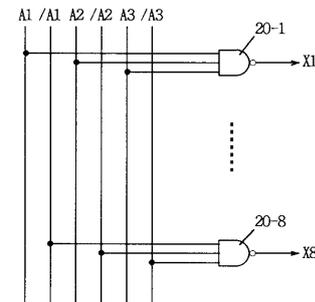
【 図 12 】



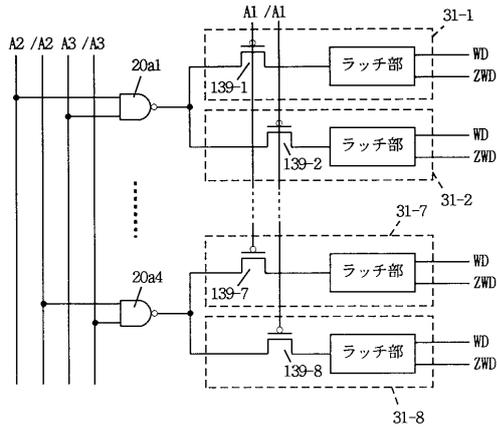
【 図 11 】



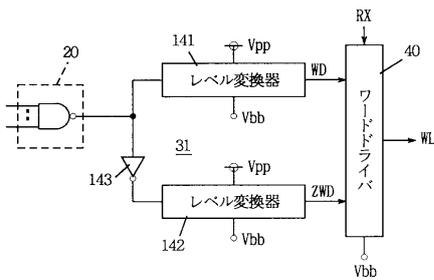
【 図 13 】



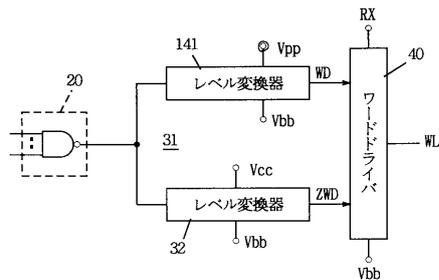
【図14】



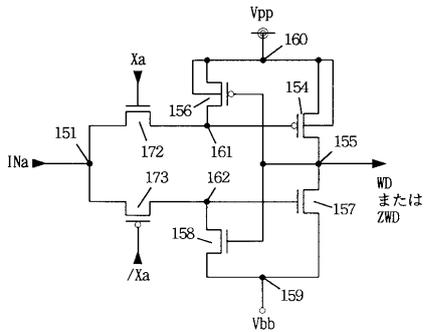
【図15】



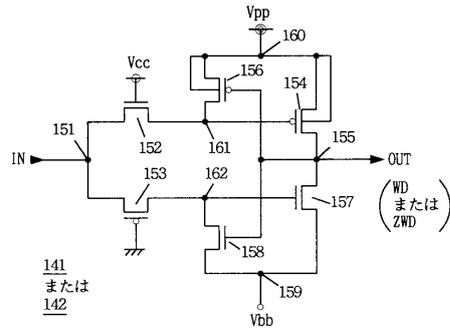
【図18】



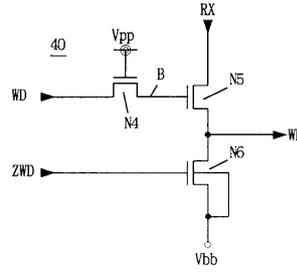
【図19】



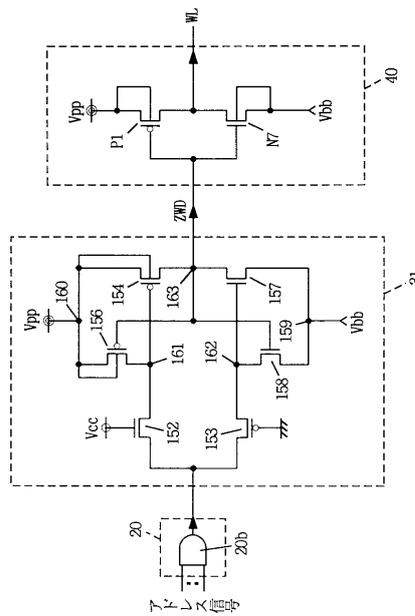
【図16】



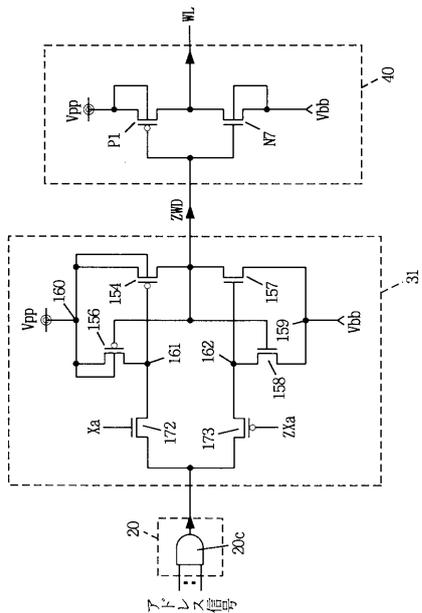
【図17】



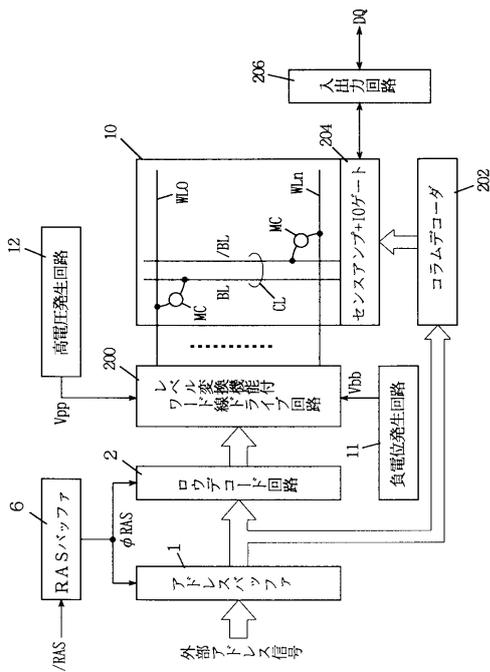
【図20】



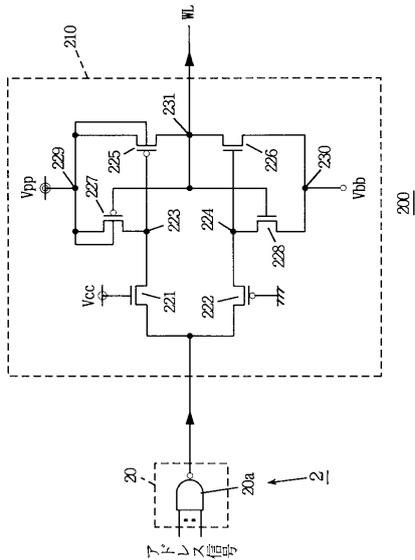
【図 2 1】



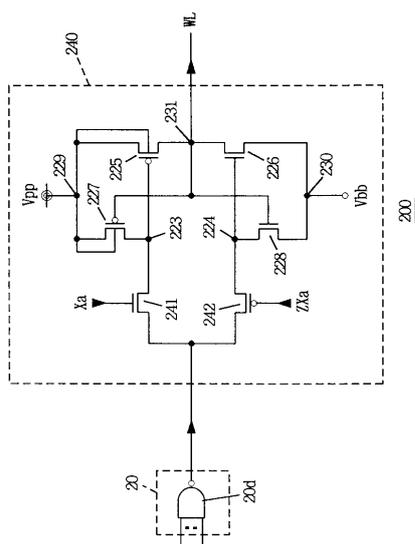
【図 2 2】



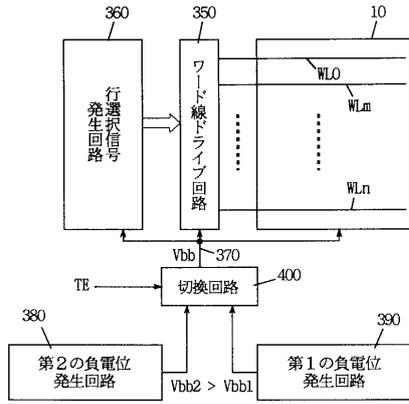
【図 2 3】



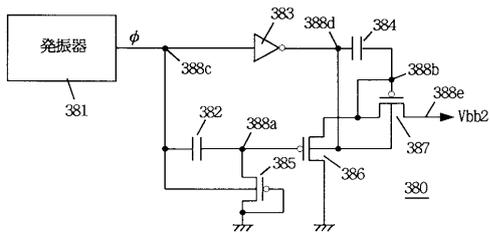
【図 2 4】



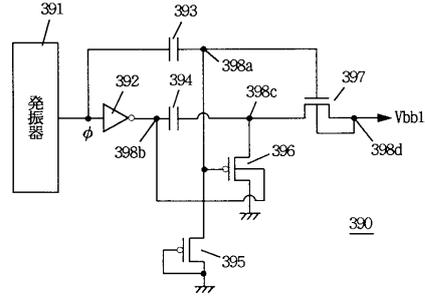
【図29】



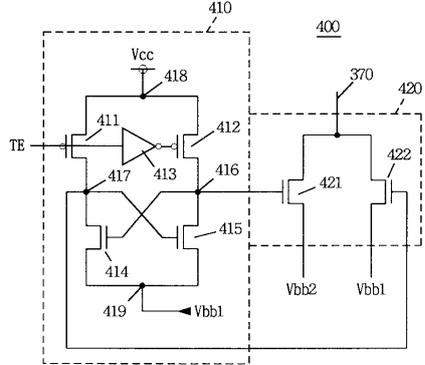
【図30】



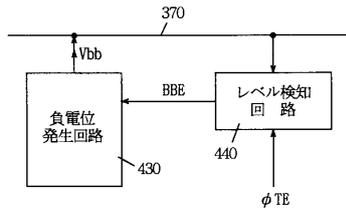
【図31】



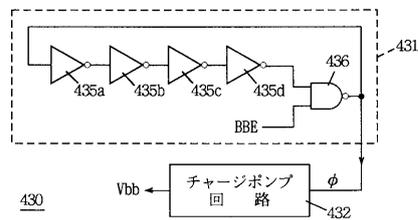
【図32】



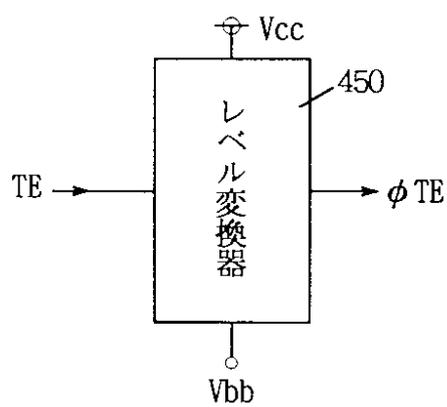
【図33】



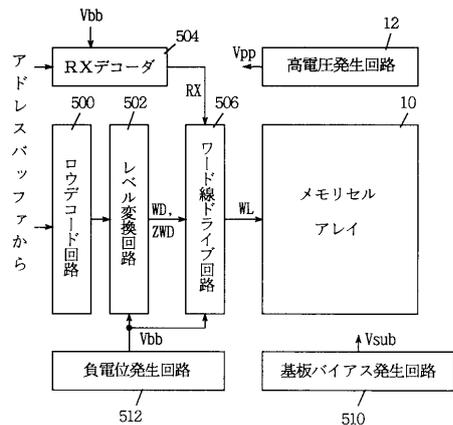
【図34】



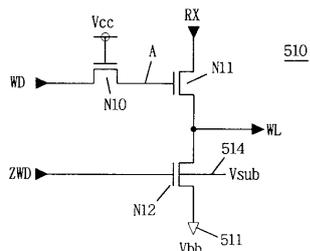
【図35】



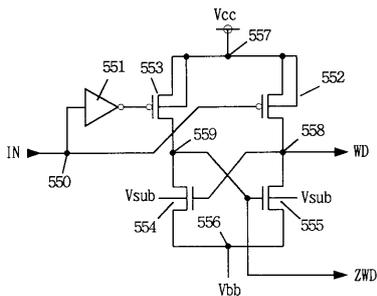
【図44】



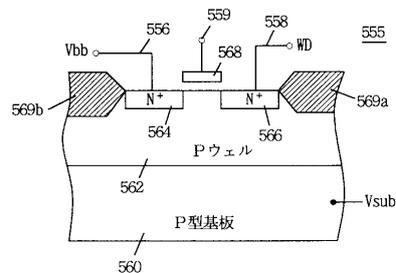
【図45】



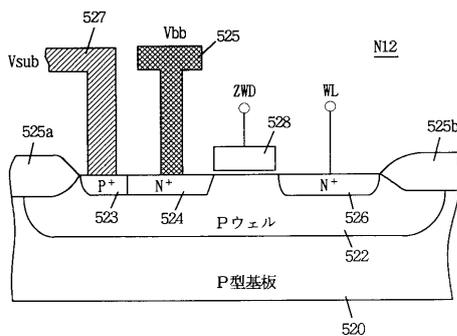
【図48】



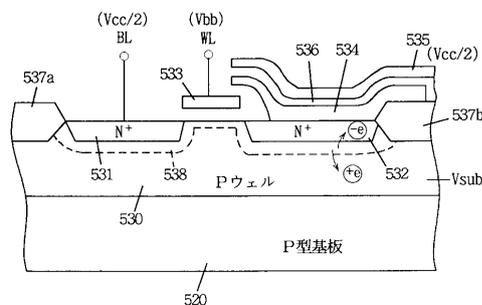
【図49】



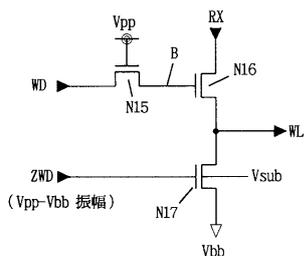
【図46】



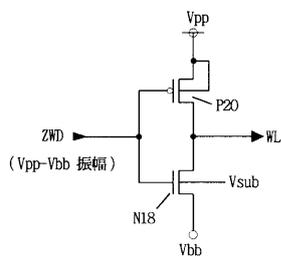
【図47】



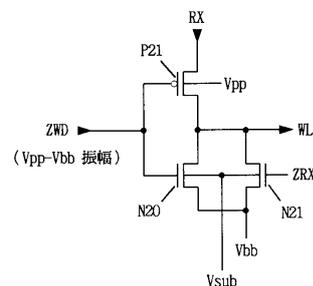
【図50】



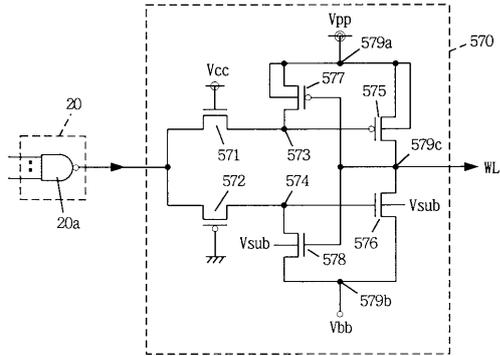
【図51】



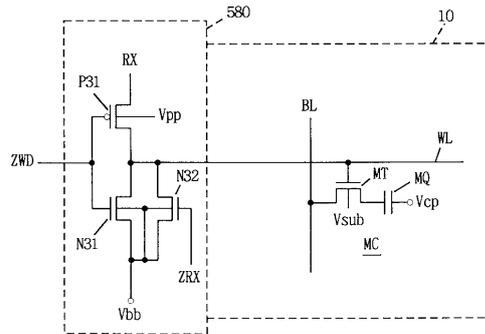
【図52】



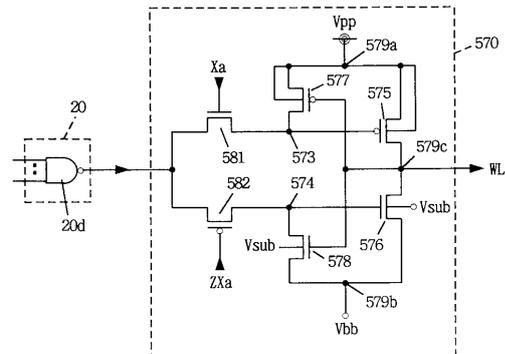
【 図 5 3 】



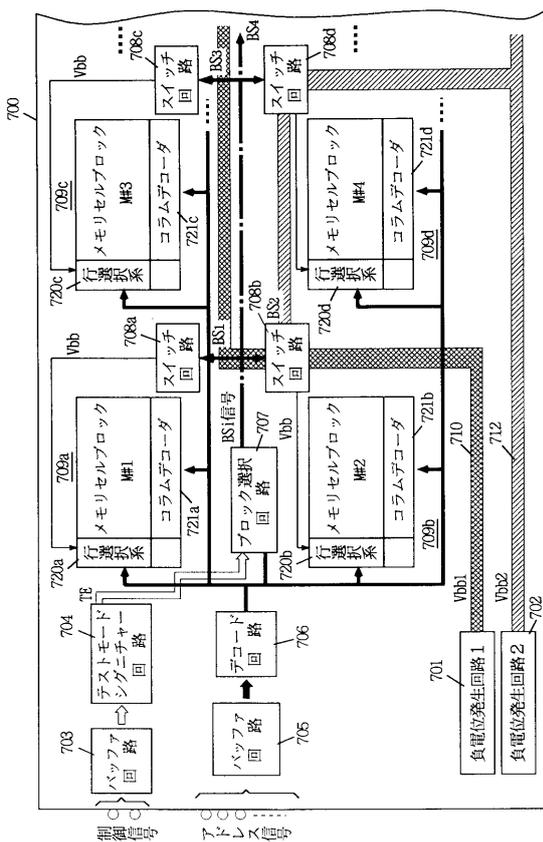
【 図 5 5 】



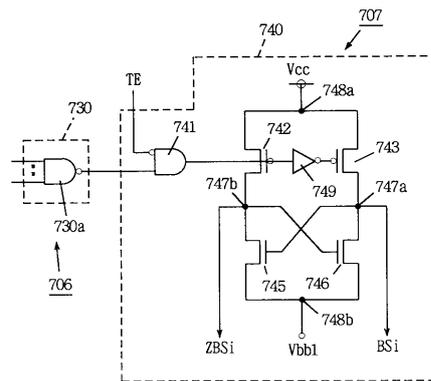
【 図 5 4 】



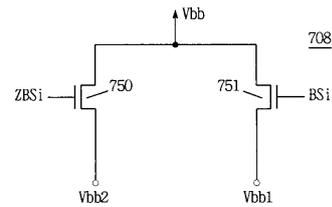
【 図 5 6 】



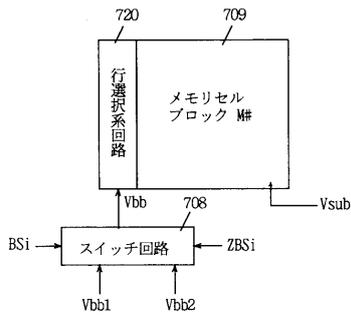
【 図 5 7 】



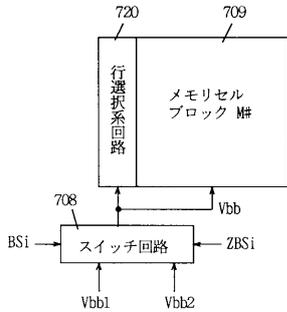
【 図 5 8 】



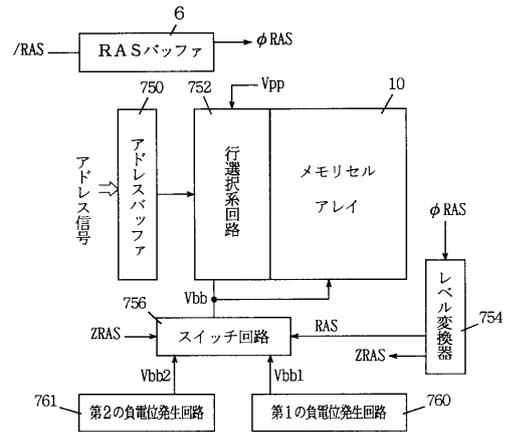
【図59】



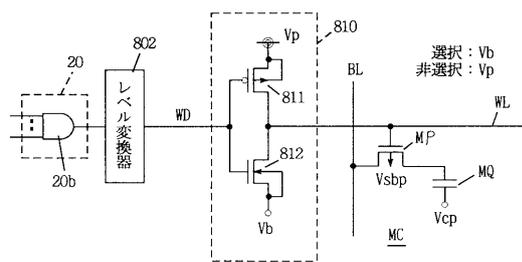
【図60】



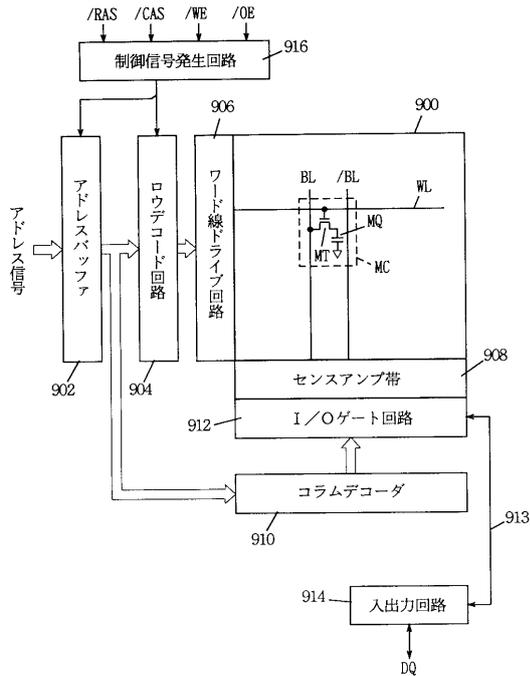
【図61】



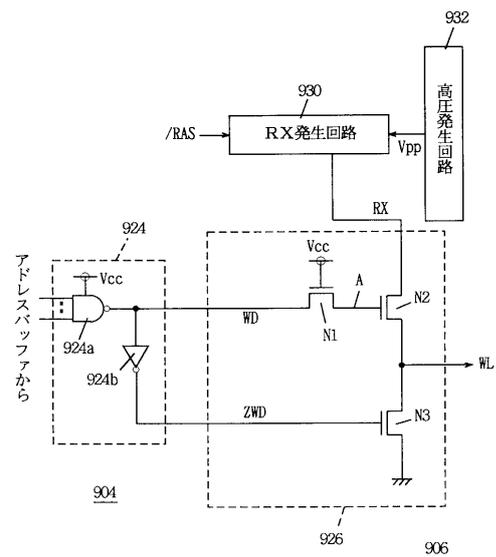
【図62】



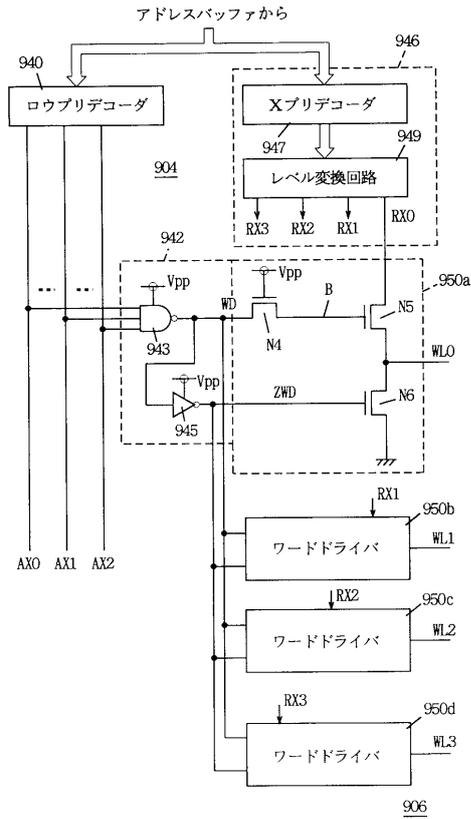
【図63】



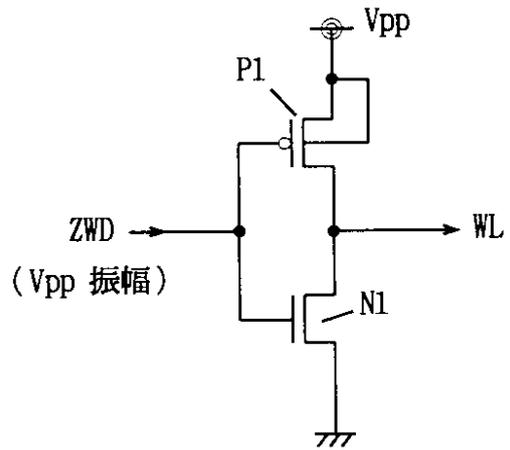
【図64】



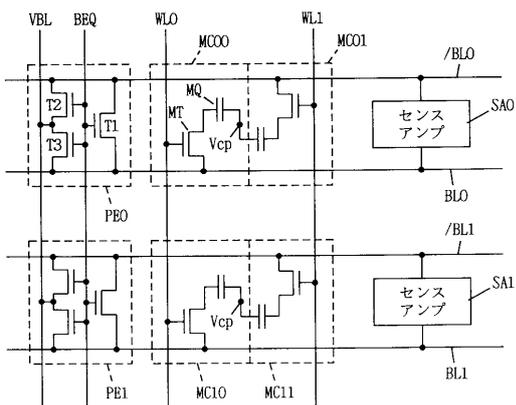
【図65】



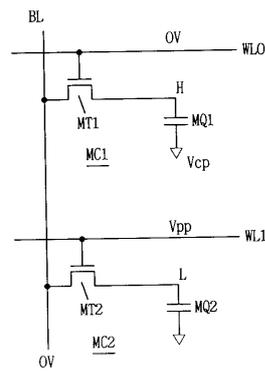
【図66】



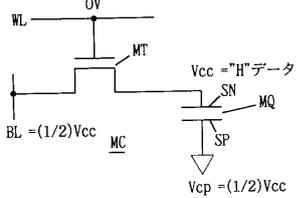
【図67】



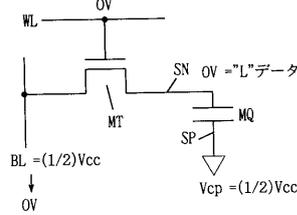
【図69】



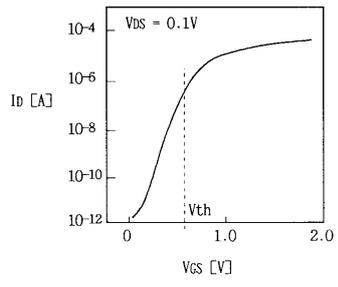
【図68】



【図70】



【 図 7 1 】



フロントページの続き

- (72)発明者 富嶋 茂樹
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内
- (72)発明者 有本 和民
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内

審査官 加藤 俊哉

- (56)参考文献 特開平02-005290(JP,A)
特開平05-298887(JP,A)
特開平03-086995(JP,A)
特開平05-108194(JP,A)
特開平05-234373(JP,A)
特開昭64-010498(JP,A)
特開平03-283240(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/407