

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum

Internationales Büro

(43) Internationales Veröffentlichungsdatum  
17. November 2016 (17.11.2016)



(10) Internationale Veröffentlichungsnummer  
**WO 2016/180758 A1**

(51) Internationale Patentklassifikation:  
*G01R 31/28* (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2016/060288

(22) Internationales Anmeldedatum:  
9. Mai 2016 (09.05.2016)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2015 107 301.3 11. Mai 2015 (11.05.2015) DE

(71) Anmelder: **ROBERT BOSCH GMBH** [DE/DE];  
Postfach 30 02 20, 70442 Stuttgart (DE).

(72) Erfinder: **DIETZ, Franz**; Fliederweg 8, 72820 Willmandingen (DE). **TENG, Lichao**; Bismarckstr. 173, 72764 Reutlingen (DE). **OST, Markus**; Kueblergasse 2, 70372 Stuttgart (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,

DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

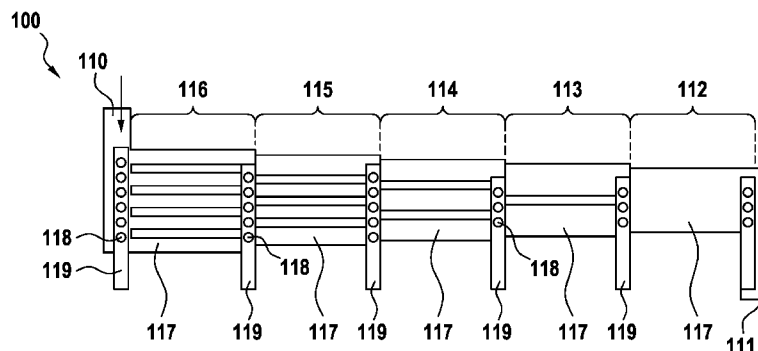
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

(54) Title: ASSEMBLY OF CONDUCTING TRACKS, DEVICE, AND METHOD FOR THE FAULT DETECTION OF A SEMICONDUCTOR CIRCUIT

(54) Bezeichnung : ANORDNUNG VON LEITBAHNEN, VORRICHTUNG UND VERFAHREN ZUR FEHLERBESTIMMUNG EINER HALBLEITERSCHALTUNG

Fig. 1



(57) Abstract: The invention relates to an arrangement (100) of conducting tracks (117) for the fault detection of a semiconductor circuit, wherein the conducting tracks (117) are preferably arranged on a plane of the semiconductor circuit, characterized in that the assembly (100) has a plurality of segments (112, 113, 114, 115, 116), wherein the segments (112, 113, 114, 115, 116) are arranged as a series circuit, wherein each segment (112, 113, 114, 115, 116) has a number of conducting tracks (117), wherein the numbers of conducting tracks (117) in the segments (112, 113, 114, 115, 116) differ, wherein each segment (112, 113, 114, 115, 116) has a starting region and an end region, wherein a voltage difference value between the starting region and the end region of each segment (112, 113, 114, 115, 116) can be sensed, and the voltage difference values of the segments (112, 113, 114, 115, 116) differ in case of a fault.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2016/180758 A1



---

Anordnung (100) von Leitbahnen (117) zur Fehlerbestimmung einer Halbleiterschaltung, wobei die Leitbahnen (117) vorzugsweise auf einer Ebene der Halbleiterschaltung angeordnet sind, dadurch gekennzeichnet, dass die Anordnung (100) mehrere Abschnitte (112, 113, 114, 115, 116) aufweist, wobei die Abschnitte (112, 113, 114, 115, 116) als Reihenschaltung angeordnet sind, wobei jeder Abschnitt (112, 113, 114, 115, 116) eine Anzahl von Leitbahnen (117) aufweist, wobei die Anzahl der Leitbahnen (117) in den jeweiligen Abschnitten (112, 113, 114, 115, 116) unterschiedlich ist, wobei jeder Abschnitt (112, 113, 114, 115, 116) einen Anfangsbereich und einen Endbereich aufweist, wobei ein Spannungsdifferenzwert zwischen dem Anfangsbereich und dem Endbereich des jeweiligen Abschnitts (112, 113, 114, 115, 116) erfassbar ist, und die Spannungsdifferenzwerte der jeweiligen Abschnitte (112, 113, 114, 115, 116) im Fehlerfall unterschiedlich sind.

5 Beschreibung

Anordnung von Leitbahnen, Vorrichtung und Verfahren zur Fehlerbestimmung einer Halbleiterschaltung

10 Stand der Technik

Die Erfindung betrifft eine Anordnung von Leitbahnen, eine Vorrichtung und ein Verfahren zur Fehlerbestimmung einer Halbleiterschaltung.

15 Integrierte Schaltungen beinhalten eine Vielzahl von hochintegrierten Schaltungselementen, die über eine komplexe Metallisierung verbunden sind, beispielsweise Transistoren, Widerstände oder Kapazitäten. Während des Betriebs der integrierten Schaltungen fließen Ströme über die Metallisierung, wobei aufgrund der geringen Leitungsquerschnitte bzw. innerhalb von Verbindungsstellen der  
20 Metallebenen sehr hohe Stromdichten auftreten können, typischerweise im Bereich bis  $1 \text{ MA/cm}^2$ . Dabei kommt es zu einem Fehlermechanismus, der sogenannten Elektromigration. Elektronen kollidieren mit Atomen der Leitbahn, wobei ein Impulsübertrag erfolgt, der zu einer Verschiebung bzw. Diffusion des Metallatoms in Richtung des Elektronenflusses führt. Kommt es hierbei zu einer  
25 Massenflussdivergenz, entstehen Hohlräume in der Leitbahn, d. h. es bewegen sich an bestimmten Stellen der Metallisierung mehr Metallatome weg als nachgeliefert werden, z. B. an Korngrenzen oder Vias, die aus einem anderen Material wie beispielsweise Wolfram bestehen. Nachteilig ist hierbei, dass die Leitbahn abreißt, d. h. die Leitbahn ist unterbrochen und die elektrische Funktionalität des ASICs ist nicht mehr gegeben.  
30 Steigende Temperatur erhöht ebenfalls den Effekt der Elektromigration. Der Effekt ist außerdem signifikant abhängig von der Eigenerwärmung der Leitbahn, dem Signalverlauf der Belastung, wobei AC-Ströme weniger Degradation erzeugen, dem verwendeten Metall z. B. Al, W, Cu, Ti, etc. und dessen mechanischen Eigenschaften,

den Prozessierungsparametern der Metallsierung, inklusive Prozessfehler und dem Layout, beispielsweise Länge und Breite der Leitbahn.

5 Zur Bestimmung von Fehlermechanismen ist es bekannt, die maximale Belastbarkeit der Leitbahnen, VIAs und Kontakte zu evaluieren. Verfahren und Teststrukturen hierzu sind standardisiert, z. B. JEDEC-Standards JESD61, JESD63, JESD87. Des Weiteren ist die Simulation des Effekts der Elektromigration mit der Finiten-Elemente-Methode bekannt. Außerdem werden beschleunigte Testverfahren und Zuverlässigkeitstests zu den Bedingungen der realen Applikation korreliert, beispielsweise beschrieben in  
10 "Simulation of Electromigration Test Structures with and without Extrusion Monitors", V. Hein, ICSE 2006.

Die Schrift DE 10 2008 000 218 A1 beschreibt eine verbesserte Teststruktur mit der Zielsetzung die entsprechenden Testzeiten in Schnelltests zu verringern.

15 Bekannt ist ebenfalls, dass die Auslegung der Leitbahnbreiten auf Annahmen der tatsächlichen Feldbelastung und Belastbarkeit der Metallsierung basiert. Ist die tatsächliche Belastung höher oder die Metallsierung fehlerhaft, besteht die Gefahr von Ausfällen trotz bestandener Qualitätsprüfung und Funktionsprüfung.

20 Das Dokument US 8890556 B2 offenbart, dass die Elektromigration in der Applikation permanent überwacht wird und beschreibt entsprechende im ASIC ablaufende Messzyklen.

25 Bekannte Strukturen aus der Standarderprobung basieren auf Langzeitmessungen an einzelnen Leitbahnen, und erfassen die zum Zeitpunkt der Erprobung kritischste Dimension der Leitbahn, bei der die stärkste Elektromigration vorliegt, um so die maximale Belastbarkeit festzulegen. Zielsetzung der Qualifikation ist dabei keine Relativmessung, da entsprechende Messgeräte absolute Größen für den Widerstand  
30 angeben können und für die Spezifikation der maximalen Belastbarkeit absolute Größen angegeben werden müssen.

Die Qualifikation prüft nur eine eingeschränkte Menge an Material ab. Dabei soll die kritischste im Feld auftretende Belastung, d. h. maximaler Strom auf instabilste

Leitbahn bei höchster Temperatur, abgesichert werden. Das führt zu einer Überdimensionierung, aber unerwartete niedrige Belastbarkeiten, z.B. durch Prozessschwankungen, oder ungeplante Überlastungen, z. B. permanenter Betrieb an der Belastungsgrenze, können nicht kosteneffizient abgedeckt werden.

5

Die Elektromigration ist stark abhängig von der Leitbahnbreite und weist den „Bamboo-Effekt“ auf. Dabei ist die Elektromigrationsstabilität von sehr dünnen Leitbahnen sehr hoch, da Korngrenzen statistisch sehr oft senkrecht zur Leitbahn liegen, aber eine Korngrenze die Migration der Metallatome behindert. Außerdem sind dünne Leitbahnen durch die sie umgebenden Dielektrika mechanisch gut stabilisiert. Sehr breite Leitbahnen wiederum geben dem Stromfluss im Falle einer lokalen Degradation ausreichend Ausweichmöglichkeiten auf parallele Pfade.

10

Insofern gibt es eine mittlere Breite typischerweise in der Nähe der mittleren Korngröße, z.B. 1-3  $\mu\text{m}$ , die sich als besonders kritisch für den Fehlermechanismus Elektromigration darstellt. Dieser Effekt wird in integrierten Teststrukturen bislang nicht betrachtet.

15

Die bekannten in-situ ausgemessenen Elektronenmigrationsstrukturen prüfen nur eine Layoutvariante ab und vergleichen deren Widerstand zu einem nicht gestressten Referenzelement oder Initialwert.

20

Zwar ist es denkbar, die in der Schrift US 8890556 B2 erwähnten Strukturen mehrfach mit abgeänderten Metallisierungsvarianten zu integrieren, der Platzbedarf wäre allerdings unvorteilhaft.

25

Die Aufgabe der Erfindung ist es die Degradation der Metallisierung der Halbleiterschaltung zu ermitteln.

30

Offenbarung der Erfindung

Die erfindungsgemäße Anordnung von Leitbahnen zur Fehlerbestimmung einer Halbleiterschaltung umfasst Leitbahnen, die vorzugsweise auf einer Ebene der Halbleiterschaltung angeordnet sind. Unter dem Begriff Leitbahn wird eine

Leiterbahn bzw. eine Leitungsbahn verstanden, d. h. eine elektrisch leitende Verbindung. Dabei weist die Anordnung mehrere Abschnitte auf. Diese Abschnitte sind als Reihenschaltung angeordnet. Jeder Abschnitt weist eine Anzahl von Leiterbahnen auf. Die Anzahl der Leiterbahnen ist in den einzelnen Abschnitten unterschiedlich. Jeder Abschnitt weist einen Anfangsbereich und einen Endbereich auf, wobei ein Spannungsdifferenzwert zwischen dem Anfangsbereich und dem Endbereich des jeweiligen Abschnitts erfassbar ist. Ist der jeweilige Abschnitt mit einem anderen bzw. vorhergehenden Abschnitt verbunden, so repräsentiert der Endbereich des vorhergehenden Abschnitts zugleich den Anfangsbereich des aktuellen bzw. jeweiligen Abschnitts. Im Fehlerfall sind die Spannungsdifferenzwerte der jeweiligen Abschnitte unterschiedlich.

Der Vorteil ist hierbei, dass eine Degradation durch Elektromigration während des Betriebs der Halbleiterschaltung auf einfache Weise erfassbar ist und bereits vor Auftreten eines Fehlers in der Halbleiterschaltung erkannt werden kann. Des Weiteren ist es vorteilhaft, dass eine separate Referenzstruktur neben der Teststruktur nicht notwendig ist, denn breite Leiterbahnen degradieren entscheidend langsamer als Leiterbahnen mit einer kritischen Weite bzw. Breite, der sogenannten „worst-case“ Breite. Somit kann die Weite der Leiterbahn des Abschnitts als Referenz dienen, der nur eine Leiterbahn aufweist. Somit ist auch die Speicherung eines Initialwerts nicht zwingend notwendig.

In einer Weiterbildung sind die Leiterbahnen eines Abschnitts gleich lang, weisen dieselbe Weite auf und sind parallel zueinander angeordnet.

Vorteilhaft ist hierbei, dass die Stromdichte im Ausgangszustand bzw. zu Beginn der Messung abschnittsweise konstant ist. Da die Stromdichte stark in die Elektromigrationsdegradation eingeht, können auf diese Weise die Degradationen der einzelnen Abschnitte einfach miteinander verglichen werden. Weiterhin ist vorteilhaft, dass durch die verschiedenen Leiterbahnbreiten die Leiterbahnbreite ermittelbar ist, die die höchste Degradation zeigt, und die aktuell vorliegende Degradation quantifizierbar ist.

In einer Ausgestaltung sind die Weiten der Leitbahnen wenigstens in aneinandergrenzenden Abschnitten unterschiedlich.

Vorteilhaft ist hierbei, dass verschiedene Fehlermechanismen erfassbar sind.

5

In einer Weiterbildung weist die schmalste Leitbahn der Anordnung eine Weite auf, die sich aus einem Quotient der breitesten Leitbahn der Anordnung und der Anzahl der Abschnitte ergibt.

10

Vorteilhaft ist hierbei, dass im Normalbetrieb, d. h. wenn keine Fehler vorliegen, in jedem Endbereich der Abschnitte der gleiche Spannungsdifferenzwert anliegt bzw. abfällt. Mit anderen Worten ist durch die Parallelschaltung der Leitbahnen zumindest anfänglich, d. h. ohne Degradation, der Widerstand der einzelnen Abschnitte bzw. Sektoren in etwa identisch. Ein eingepprägter Strom führt somit zu sehr ähnlichen Spannungsabfällen bzw. Spannungswerten, was die Auswertung der Spannungsdifferenzwerte entscheidend vereinfacht. Außerdem ist es vorteilhaft, dass die Anordnung der Leitbahnen, d. h. der Detektor bzw. die Teststruktur mehrere Sektoren unterschiedlicher Leitbahnbreite umfasst, da auf diese Weise Technologieschwankungen der Korngröße bzw. eine Änderung der kritischsten Leitbahnbreite zum Beispiel durch Einflüsse des Fertigungsprozesses erfasst werden.

15

20

In einer Weiterbildung weist jede Leitbahn im Endbereich des Abschnitts mindestens eine Via auf. Mit anderen Worten es können mehrere Vias im Endbereich des Abschnitts vorhanden sein. Die mindestens eine Via verbindet die Leitbahn mit einer weiteren Ebene der Halbleiterschaltung elektrisch. Die Via ist dabei senkrecht zwischen der Leitbahn und der weiteren Ebene angeordnet, sodass der Spannungswert jeder Leitbahn in der weiteren Ebene abgreifbar im Sinne von erfassbar ist. Die Vias sind auf bzw. in der weiteren Ebene der Halbleiterschaltung mittels eines Metallbereichs elektrisch verbunden, wobei der Metallbereich einen Spannungsabgriff repräsentiert.

25

30

Der Vorteil ist hierbei, dass die Spannungswerte auch auf anderen Ebenen der Halbleiterschaltung erfassbar sind, sodass beispielsweise die Auswertung auf einer einzigen Ebene erfolgen kann, die unter Umständen leichter zugänglich ist

als die Ebene, auf der sich die Messstruktur bzw. der Detektor bzw. die Teststruktur, d. h. die Anordnung der Leitbahnen, befindet.

5 Die Vorrichtung zur Fehlerbestimmung einer Halbleiterschaltung mit einer Anordnung von Widerständen umfasst eine Anzahl von Differenzverstärkern, eine Anzahl von Komparatoren und eine Steuereinheit. Erfindungsgemäß sind die Widerstände in Form von Leitbahnen angeordnet. Die Anzahl der Differenzverstärker entspricht der Anzahl der Abschnitte. Jeder Differenzverstärker erzeugt dabei einen Spannungsdifferenzwert, wobei jeder  
10 Spannungsdifferenzwert jeweils einem der Komparatoren als erster Eingangswert zugeordnet ist. Ein Referenzwert dient den Komparatoren als zweiter Eingangswert. Die Steuereinheit erfasst Ausgangswerte der Komparatoren und erzeugt in Abhängigkeit der Ausgangswerte ein Ausgangssignal, das die Art des Fehlers repräsentiert.

15 Der Vorteil ist hierbei, dass eine Änderung des Widerstands durch Elektromigration, aber auch durch andere Alterungseffekte wie zum Beispiel Stressmigration zu einem abweichenden Spannungsabfall an dem entsprechenden Abschnitt bzw. Sektor führt, und damit zu einem einfach messbaren Signal.

20 Das erfindungsgemäße Verfahren zur Fehlerbestimmung einer Halbleiterschaltung mittels einer Anordnung von Leitbahnen umfasst die Schritte Bestimmen von Spannungsdifferenzwerten eines jeden Abschnitts der Anordnung von Leitbahnen, Erfassen eines Referenzwerts, Erzeugen eines Ausgangssignals in Abhängigkeit der Spannungsdifferenzwerte und des  
25 Referenzwerts und Bestimmen des Fehlers in Abhängigkeit des Ausgangssignals.

30 Vorteilhaft ist hierbei, dass das Verfahren die Degradation der Leitbahn bzw. der Metallisierung während des Betriebs der Halbleiterschaltung messen kann. Die bislang unbekanntenen Größen wie Einsatztemperatur, Nutzerverhalten und Materialeigenschaften werden dadurch exakt erfasst und müssen nicht geschätzt werden.



Weitere Vorteile ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen bzw. aus den abhängigen Patentansprüchen.

Kurze Beschreibung der Zeichnungen

5

Die vorliegende Erfindung wird nachfolgend anhand bevorzugter Ausführungsformen und beigefügter Zeichnungen erläutert. Es zeigen:

- 10
- Figur 1 eine Anordnung von Leitbahnen zur Fehlerbestimmung einer Halbleiterschaltung,
- Figur 2 ein Ersatzschaltbild einer Vorrichtung zur Fehlerbestimmung der Halbleiterschaltung und
- 15
- Figur 3 ein Verfahren zur Fehlerbestimmung der Halbleiterschaltung.

Figur 1 zeigt eine Anordnung 100 von Leitbahnen 117 zur Fehlerbestimmung einer Halbleiterschaltung. Die Anordnung 100 weist beispielhaft fünf Abschnitte 112, 113, 114, 115, 116 auf, die auf einer horizontalen Ebene des Halbleitersubstrats angeordnet sind. Die Abschnitte 112, 113, 114, 115, 116 sind in Reihe geschaltet. Dabei weist jeder Abschnitt 112, 113, 114, 115, 116 eine bestimmte Anzahl von Leitbahnen 117 auf. Ein Abschnitt 112, 113, 114, 115, 116 umfasst mindestens eine Leitbahn 117. Weist ein Abschnitt 112, 113, 114, 115, 116 mehr als eine Leitbahn 117 auf, so sind die Leitbahnen 117 in diesem Abschnitt 112, 113, 114, 115, 116 parallel zueinander angeordnet. Die Anordnung 100 weist eine erste Zuleitung 110 und eine zweite Zuleitung 111 auf. Die erste Zuleitung 110 ist mit dem Abschnitt 116 der Anordnung 100 elektrisch verbunden, der die größte Anzahl an Leitbahnen 117 umfasst. Die zweite Zuleitung 111 ist mit dem Abschnitt 112 der Anordnung 100 elektrisch verbunden, der eine einzige Leitbahn 117 aufweist.

20

25

30

An die erste Zuleitung 110 kann ein erstes Spannungspotential und an die zweite Zuleitung 111 ein zweites Spannungspotential angelegt bzw. angeschlossen werden. Das erste Spannungspotential ist dabei vom zweiten

Spannungspotential unterschiedlich. Optional kann das zweite Spannungspotential auf Masse liegen.

5 Die Leitbahnen 117 in einem Abschnitt 112, 113, 114, 115, 116 bzw. innerhalb eines Abschnitts 112, 113, 114, 115, 116 weisen jeweils dieselbe Weite auf. Mit anderen Worten in einem Abschnitt bzw. Sektor haben alle Metallbahnen die gleiche Weite, wobei die Summe der Weiten für jeden Sektor in etwa identisch ist. Da die Weite der Leitbahn den Widerstand der Leitbahn beeinflusst, können gegebenenfalls leichte Korrekturen an der Weite mit dem Ziel den Randanteil des Widerstandswerts zu  
10 kompensieren notwendig sein. Außerdem werden dadurch möglichst identische Widerstandswerte pro Sektor gewährleistet. Wird die Anordnung der Leitbahnen, hier auch Detektor genannt, im Anwendungsfall mit Strom beaufschlagt, ergeben sich entsprechend der Widerstände sehr ähnliche Spannungsabfälle, Unterschied  $<<5\%$ .

15 Als typische Materialien der Leitbahnen werden Al, Cu, W, Co, Ta, TaN, Ti, TiN bzw. Schichtkombinationen derselben verwendet. Auch hochdotierte bzw. silizidierte Polybahnen wie TiSi und CoSi mit Schichtwiderständen kleiner 50 Ohm/square werden als metallische Verbindungen genutzt. Die Schichtdicke dieser Metalle liegt typischerweise im Bereich von 100 nm bis 10  $\mu\text{m}$ .

20 Im Endbereich weist jeder Abschnitt 112, 113, 114, 115, 116 einen Metallbereich 119 auf, der als Spannungsabgriff fungiert. Dabei ist der Endbereich des vorhergehenden Abschnitts gleichzeitig der Anfangsbereich des folgenden Abschnitts. Der Abschnitt 116, der die meisten parallel angeordneten Leitbahnen aufweist, weist auch im Anfangsbereich des Abschnitts 116 einen Metallbereich  
25 119 auf, der als Spannungsabgriff fungiert.

In einem Ausführungsbeispiel ergibt sich die Weite der schmalsten Leitbahn 117 aus dem Quotienten der breitesten Leitbahn 117 und der Anzahl der Abschnitte 112, 113,  
30 114, 115, 116. Die Weite der schmalsten Leitbahn repräsentiert dabei auch die „worst – case“ Dimension der Leitbahn. Die minimale Strukturbreite der Metalle bzw. Leitbahnen 117 liegt je nach Technologieknoten und Metallebene im Bereich kleiner 2  $\mu\text{m}$ .

In einem weiteren Ausführungsbeispiel ist die Weite der schmalsten Leitbahn 117 über die minimale Strukturbreite der Technologie definiert und liegt je nach Technologieknoten und Metallebene im Bereich kleiner  $2\ \mu\text{m}$ . Die Anzahl der Leitbahnen in einem Abschnitt 112, 113, 114, 115, 116 ergibt sich dabei aus dem Quotienten der breitesten Leitbahn 117 und der Leitbahnbreite im jeweiligen Abschnitt 112, 113, 114, 115, 116. Die Weite der „worst-case“ Dimension der Leitbahnen 117 liegt typischerweise höher als die minimale Leitbahndimension, je nach Technologieknoten und Metallebene im Bereich zwischen 2 und  $8\ \mu\text{m}$ . Das bedeutet die Anordnung 100 weist mindestens eine Leitbahn im Bereich der minimalen Leitbahnbreite und eine Leitbahn im Bereich der Leitbahnbreite  $\geq 10\ \mu\text{m}$  auf. Bei acht Abschnitten werden beispielsweise folgende Werte der Leitbahnen in den einzelnen Abschnitten verwendet:  $0.21\ \mu\text{m}$ ,  $0.28\ \mu\text{m}$ ,  $0.35\ \mu\text{m}$ ,  $0.5\ \mu\text{m}$ ,  $1.0\ \mu\text{m}$ ,  $2.0\ \mu\text{m}$ ,  $4.0\ \mu\text{m}$ ,  $10.0\ \mu\text{m}$ .

In einem weiteren Ausführungsbeispiel umfasst die Anordnung der Leitbahnen 117 bzw. der Detektor eine Anzahl von N Abschnitten bzw. Sektoren auf, wobei jeder Sektor i mit ( $1 \leq i \leq N$ ), „N-i+1“ parallel geschaltete Metallwiderstände mit einer Weite von „ $W=N/(N-i+1)$ “ aufweist.

In einem weiteren Ausführungsbeispiel weist die Anordnung 100 Zwischenmetallverbindungen sogenannte Vias 118 auf. Die Vias 118 fungieren dabei als elektrische Verbindungen zwischen verschiedenen, insbesondere vertikal angeordneten, Metallebenen der Halbleiterschaltung. Die Vias 118 sind dabei auf der Anordnung 100 im Endbereich der Abschnitte 112, 113, 114, 115, 116 angeordnet, wobei jede Leitbahn 117 mindestens eine Via 118 aufweist. Dabei weist jede Via 118 im Wesentlichen die Form eines Zylinders auf. Die Vias 118 sind im Wesentlichen senkrecht zu den Leitbahnen 117 angeordnet und mit diesen elektrisch verbunden. Zusätzlich sind Vias 118 im Anfangsbereich des Abschnitts 116 angeordnet, der die meisten Leitbahnen 117 aufweist. Die Vias 118 ermöglichen eine elektrische Verbindung der Leitbahnen 117 zu einer weiteren bzw. anderen Ebene der Halbleiterschaltung auf der sie beispielsweise leichter für die weitere Verarbeitung zugänglich sind. Die Vias 118 eines Abschnitts 112, 113, 114, 115, 116 sind mit Hilfe eines Metallbereichs 119 auf

der weiteren Ebene elektrisch miteinander verbunden. Diese Metallbereiche 119 fungieren dabei als Spannungsabgriff.

5 In einem weiteren Ausführungsbeispiel befindet sich die weitere Ebene unterhalb der Anordnung 100 innerhalb des Halbleitersubstrats, sodass die Vias 118 unterhalb der Leitbahnen 117 angeordnet sind und die Vias 118 die Leitbahnen 117 von unten elektrisch kontaktieren.

10 Mit anderen Worten es befinden sich in einer Halbleiterschaltung bzw. auf einem ASIC oder einer integrierten Schaltung eine Vielzahl von Bauelementen und Schaltungsblöcken, die durch Kontakte mit einer darüberliegende Metallisierung mittels Zwischenmetallverbindungen verbunden sind. Insgesamt existieren mehrere, bis zu zehn, Metallisierungsebenen, die untereinander mittels Vias 118 elektrisch verbunden werden können. Auf einem ASIC können somit ein oder mehrere  
15 Metalldegradationsdetektoren platziert werden. Unter den Metalldegradationsdetektoren wird hierbei die erfindungsgemäße Anordnung der Leitbahnen verstanden. Typischerweise würde man für jede genutzte Metallisierungsebene einen gesonderten Detektor integrieren. Am Ende jedes Sektors wird ein Spannungsabgriff für den Sektor eingefügt, beispielsweise in derselben  
20 Metallebene, in welcher der Detektor integriert ist.

In einem weiteren Ausführungsbeispiel ist eine Kontaktierung durch darüber bzw. darunter liegende Metallebenen mittels Zwischenmetallverbindungen, den Vias, vorgesehen. Alternativ kann eine direkte Verbindung der Spannungsabgriffe zu einem  
25 unter dem Detektor liegenden Halbleiter hergestellt werden. Dies ist vorteilhaft, wenn sich die Anordnung der Leitbahnen bzw. der Detektor in der ersten Metallebene befinden, denn auf diese Weise kann der Detektor platzsparend angeordnet werden.

30 Es sei noch angemerkt, dass die Anordnung der Leitbahnen nicht auf fünf Abschnitte beschränkt ist. Die Anordnung der Leitbahnen kann eine beliebige Anzahl von Abschnitten bzw. Sektoren aufweisen.

In einem weiteren Ausführungsbeispiel sind Anordnungen von Leitbahnen bzw. Detektoren mit einer unterschiedlichen Anzahl von Abschnitten auf unterschiedlichen

Metallebenen der Halbleiterschaltung angeordnet. Mit anderen Worten es werden ähnliche Detektoren für verschiedene Metalllagen übereinander platziert.

5 In einem weiteren Ausführungsbeispiel wird ein PN-Übergang im unterliegenden Halbleiter eingebracht. Dabei kann dessen Flussspannung zur präzisen Temperaturüberwachung genutzt werden. Somit kann die Temperatur der Leitbahnen bestimmt werden. Mit der zusätzlichen Information des Spannungsabfalls an den Leitbahnen, kann man auf einen Widerstandswert bei der Vormesstemperatur zurückschließen. Somit kann der Widerstandswert bei der Vormesstemperatur  
10 bestimmt werden und als Referenzwert gespeichert werden.

In einem weiteren Ausführungsbeispiel werden weitere Leitbahnen zwischen bzw. neben den einzelnen Metallwiderständen eingebracht, die nicht in direkter metallischer Verbindung zu dem eigentlichen Detektor stehen. Diese weiteren Leitbahnen bilden ein  
15 gemeinsames elektrisches Netz, welches an eine im ASIC integrierte Auswertungsschaltung angeschlossen wird. Dadurch ist die Schaltung in der Lage, einen Kurzschluss des Netzes zum Detektor zu erfassen, z.B. durch Potentialüberwachung dieses Netzes, welches typischerweise auf Masse liegen würde, aber im Falle eines Kurzschlusses das Potential des Detektors annimmt. In den  
20 Qualifikationsstandards bzw. der konventionellen Erprobung sind solche Netze bekannt als „Extrusion-Monitors“. Werden die an den Detektor angeschlossenen Leitbahnen an mindestens zwei Punkten elektrisch angeschlossen, kann deren Widerstand erfasst werden, und daraus z.B. auf die Temperatur zurückgeschlossen werden, beispielsweise gemäß der empirischen Formel  $R(T) = R_{25^{\circ}\text{C}} * (1 + (T - 25^{\circ}) * \text{TCR}_1 + (T - 25^{\circ})^2 * \text{TCR}_2)$  mit  $\text{TCR}_{1/2}$  als Temperaturkoeffizienten, T der Leitbahntemperatur und  $R_{25^{\circ}\text{C}}$  dem Widerstand bei der Referenztemperatur 25°C.  $\text{TCR}_1$  ist typischerweise die Proportionalitätskonstante des linearen Anteils und  $\text{TCR}_2$  des quadratischen Anteils.

Figur 2 zeigt ein Ersatzschaltbild einer Vorrichtung 200 zur Fehlerbestimmung einer  
30 Halbleiterschaltung. Die Vorrichtung 200 weist beispielhaft drei Abschnitte 212, 213, 214 auf, die in Reihe geschaltet sind. Mit anderen Worten die Vorrichtung umfasst seriell geschaltete Sektoren von Metallwiderständen. Jeder Abschnitt 212, 213, 214 weist dabei eine bestimmte Anzahl von Widerständen 215, 216, 217, 218, 219, 220 auf. Die Widerstände sind in den jeweiligen bzw. einzelnen Abschnitten parallel

zueinander angeordnet. Die Vorrichtung 200 weist eine erste Zuleitung 210 auf, die an den Abschnitt 214 angeschlossen ist, der die meisten parallel geschalteten Widerstände 218, 219, 220 aufweist. Die Vorrichtung 200 weist eine zweite Zuleitung 211 auf, die an den Abschnitt 212 angeschlossen ist, der einen einzigen Widerstand 215 aufweist. Die Vorrichtung 200 weist eine Anzahl von Differenzverstärkern 225, 226, 227 auf, die der Anzahl der Abschnitte 212, 213, 214 entspricht. Die erste Zuleitung 210 ist mit einem ersten Spannungspotential verbindbar bzw. verbunden und die zweite Zuleitung 211 mit einem zweiten Spannungspotential. Das zweite Spannungspotential ist meistens die elektrische Masse. Der positive Eingang eines jeden Differenzverstärkers 225, 226, 227 ist mit dem Ausgang des in Reihe vorhergehend geschalteten Abschnitts verbunden. Handelt es sich um den Differenzverstärker 227, der dem Abschnitt 214 mit den meisten parallel angeordneten Leitbahnen zugeordnet ist, so ist der positive Eingang des Differenzverstärkers 227 mit der ersten Zuleitung 210 elektrisch verbunden. Der negative Eingang eines jeden Differenzverstärkers ist mit dem Ausgang des Abschnitts 214 verbunden. Handelt es sich um den Differenzverstärker 225, der dem Abschnitt 212 zugeordnet ist, d. h. der Abschnitt der einen einzigen Widerstand 215 aufweist, so ist der negative Eingang des Differenzverstärkers auf Masse gelegt. Die Vorrichtung 200 umfasst Komparatoren 228 und 229, die mit den Ausgängen der Differenzverstärker elektrisch leitend verbunden sind. Die Vorrichtung 200 umfasst eine Steuereinheit 221 mit einem ODER-Gatter 230, einem Mikrocontroller 222 und einem Speicher 223. Die Steuereinheit 221 ist eingangsseitig mit den Ausgängen der Komparatoren 228 und 229 elektrisch verbunden, d. h. die Steuereinheit 221 erfasst die Ausgangssignale der Komparatoren 228 und 229. Die Steuereinheit 221 erzeugt in Abhängigkeit der Ausgangssignale der Komparatoren 228 und 229 mit Hilfe des ODER-Gatters 230 und des Mikrocontrollers 222 ein Signal 224, d. h. das Detektorsignal, das die Art des Fehlers anzeigt. Das bedeutet, der Fehlermechanismus der Halbleiterschaltung kann aus dem Signal 224, auch Detektorsignal genannt, abgeleitet werden. Dabei wird zwischen den Fehlermechanismen der Elektromigration, der Stressmigration und der Unterätzung von Leitbahnen unterschieden.

Figur 3 zeigt das Verfahren zur Fehlerbestimmung einer Halbleiterschaltung. Das Verfahren startet mit Schritt 310, in dem jeder Differenzspannungsverstärker einen ersten Spannungswert in einem Anfangsbereich des jeweiligen Abschnitts als ersten

Eingangswert erfasst und einen zweiten Spannungswert im Endbereich des jeweiligen Abschnitts als zweiten Eingangswert erfasst, um daraus einen Spannungsdifferenzwert zu ermitteln und ggf. zu verstärken. Zur Erfassung der Spannungsdifferenzwerte wird ein Messstrom in die Anordnung der Leitbahnen eingeprägt, d. h. es fließt ein Strom in der Anordnung der Leitbahnen. Mit anderen Worten es fließt ein Strom über den Detektor. Dadurch kann der Spannungsabfall über den einzelnen Sektoren mit entsprechenden Differenzverstärkern erfasst werden. Da die Widerstandswerte der Abschnitte einen ähnlichen bzw. identischen Widerstandswert aufweisen, ergeben sich bei seriellen Stromfluss durch die Abschnitte zumindest bei Beginn der Messung ähnliche bzw. identische Differenzspannungen. Ähnliche bzw. identische Differenzspannungen bedeuten, dass kein Fehler vorhanden ist. In einem folgenden Schritt 320 wird ein Referenzwert erfasst. Dabei wird üblicherweise der Spannungsdifferenzwert eines nicht degradierenden Abschnitts der Widerstandsanordnung als Referenzwert erfasst. Vorzugsweise wird hierbei der Abschnitt mit der breitesten Leitbahn zur Ermittlung des Referenzwerts verwendet. Alternativ kann auch der Spannungsdifferenzwert als Referenzwert verwendet werden, der über einer Leitbahn abfällt, die physikalische Löcher im Metall aufweist, sodass der Materialtransport gehemmt ist. Dadurch kann ein stabiler Referenzwert erzeugt werden. In einem optionalen Schritt 330 werden weitere Spannungsdifferenzwerte erfasst. Dabei werden für jeden Abschnitt der Anordnung der Leitbahnen der zugehörige Spannungsdifferenzwert, der über dem jeweiligen Abschnitt abfällt, erfasst. Mittels Komparatoren, insbesondere Fensterkomparatoren, werden die einzelnen Spannungsdifferenzwerte zu dem Referenzspannungswert verglichen. In einem folgenden Schritt 340 erfasst die Steuereinheit die Ausgangswerte der einzelnen Komparatoren. Die Ausgangswerte werden mittels ODER-Gatter verglichen und es wird in Abhängigkeit der Ausgangswerte ein Ausgangssignal erzeugt, das anzeigt, ob der Spannungsdifferenzwert eines der Abschnitte gegenüber dem Spannungsdifferenzwert des nicht degradierenden Abschnitts eine einstellbare Toleranzschwelle überschritten hat. In einem folgenden Schritt 350 wird in Abhängigkeit des Ausgangssignals ein Fehler bestimmt. Mit anderen Worten aus dem Detektorsignal kann der Fehlermechanismus abgeleitet werden. Dazu wird das Ausgangssignal des ODER-Gatters der Steuereinheit 221 zugeführt, die eine analoge Auswerteschaltung oder einen Mikrocontroller 222 als digitale Auswerteschaltung aufweist.

- 5 In einer Weiterbildung kann die Steuereinheit 221 auch derart ausgelegt sein, dass die Signale aller Fensterkomparatoren für die einzelnen Abschnitte gemäß komplexeren Logiken bewertet werden, zum Beispiel als Verknüpfung der Signale gemäß ihrer Leitbahndimensionen. So kann eine starke Änderung von Abschnitten mit Leitbahnen mittlerer Breite ein Indiz für Elektromigration sein, während die Degradation besonders schmaler Leitbahnen auf eine Unterätzung während der Prozessierung oder Stressmigration hinweist.
- 10 In einer Weiterbildung weist die Steuereinheit einen nichtflüchtigen Speicher 223 auf, sodass Spannungsdifferenzwerte zu verschiedenen Zeitpunkten gespeichert werden können, beispielsweise die Spannungsdifferenzwerte bei einer Initialmessung.
- 15 Beim Fehlermechanismus der Elektromigration weist vor allem der Abschnitt mit Leitbahnen eine Widerstandsänderung auf, die eine mittlere Breite aufweisen, d. h. der Spannungsabfall bzw. die Spannungsdifferenz ist wesentlich höher als die Spannungsdifferenz des Abschnitts der die breiteste Leitbahn aufweist. Der Abschnitt, der die breiteste Leitbahn aufweist kann bzw. dient als Referenzspannung.
- 20 Beim Fehlermechanismus Stressmigration wird die Spannungsdifferenz in den Abschnitten mit der minimalen Breite bzw. Weite der Leitbahnen höher sein als die Referenzspannungsdifferenz.
- 25 Der Fehlermechanismus der Unterätzung der Leitbahnen hat typischerweise besonders starken Einfluss auf die Strukturen mit minimaler Breite, ist aber schon im Fertigungsprozess angelegt und kann je nach Ausprägung bereits bei einer Initialmessung erkannt werden.
- 30 In einem Ausführungsbeispiel wird als Detektorsignal die maximale Spannungsdifferenz zwischen den einzelnen Abschnitten erfasst, wobei die maximale Spannungsdifferenz ein Maß für die höchste Widerstandsänderung bzw. Widerstandsabweichung der Abschnitte ist.



Alternativ wird insbesondere bei digitaler Prozessierung der Spannungswerte als Detektorsignal der am stärksten degradierende Sektor ermittelt und ausgegeben.

5 In einem weiteren Ausführungsbeispiel wird das Detektorsignal über die aktuelle Temperatur des Detektors auf eine standardisierte Temperatur- und Messbedingung zurückgerechnet. Die Temperatur des Detektors kann wie oben beschrieben mit Hilfe der temperaturabhängigen Widerstandsformel aus anderen Metallwiderständen oder über integrierte Temperaturdioden ermittelt werden. Der ermittelte Spannungsabfall kann folglich gegen einen im nichtflüchtigen Speicher 223 abgelegten Vergleichswert verglichen werden, sodass die absolute Degradation der Halbleiterschaltung seit 10 Fertigungsdatum bestimmt werden kann. Der gespeicherte Vergleichswert wird beispielsweise mittels der Prüfung auf Funktionalität der Halbleiterschaltung typischerweise bei der Endkontrolle oder beim Vormessen des ASICs erfasst. Somit wird ein Initial- bzw. Vergleichswert oder Referenzwert in dem nichtflüchtigen Speicher 15 abgelegt.

Der Initialwert des Abschnitts mit minimaler Leitbahnbreite stellt eine interessante Größe dar. Er korreliert stark mit der Metallbreite der minimalen Leitbahnen. Diese Metallbreite geht ein in minimale Metallwiderstände, wie sie in Analogschaltung 20 eingesetzt werden.

Die Information über diese Leitbahnbreite kann bei der Funktionsüberprüfung verwendet werden, um entsprechende Analogschaltungen zu kalibrieren. Des Weiteren ist die exakte Bestimmung des Metallwiderstands für das Timing von integrierten 25 Logiken limitierend, denn werden die Leitbahnen zu schmal, steigt der Widerstand an, und Signallaufzeiten erhöhen sich bis zu dem Punkt, dass die Logik des ASICs nicht mehr funktioniert. Die Kenntnis über diese Leitbahnbreite gibt also die Möglichkeit, den maximalen erlaubten Takt der Schaltung zu reduzieren, oder andere Maßnahmen zu ergreifen, um den spezifizierten Takt doch zu erreichen, z.B. Erhöhung der internen 30 Versorgungsspannung.

Während des Betriebs der Halbleiterschaltung wird ein typischer Strom durch den Detektor geleitet. Dieser kann ein Gleichstrom sein, der z.B. den nominal zulässigen Strom der Gesamtweite wiedergibt oder der absichtlich höher gelegt wird, um ein

Auslösen des Detektors vor dem Auftreten funktionaler Probleme im ASIC sicherzustellen. Alternativ wird ein gepulster Strom eingepreßt, falls das die Verhältnisse in der Schaltung präziser abbildet. Der Strom kann aus einem speziellen Schaltungsblock, z.B. DC-DC Konverter erzeugt werden, um die Verlustleistung des Detektors im Betrieb zu minimieren. Die Ermittlung des Detektorsignals erfolgt  
5 entweder permanent, mit entsprechenden Filterungen, z.B. Mittelwertbildung, und Plausibilisierungen, um sicherzustellen, dass nur sinnvoll gemessene Detektorsignale zur Evaluierung benutzt werden. Hierzu wird beispielsweise bei der Auswertung des Detektors und vor der Auslösung eines Fehlersignals geprüft, ob beim Meßvorgang  
10 tatsächlich ein ausreichender Strom durch den Detektor anlag.

Die Auswertung des Detektors bzw. die Auswertung der Anordnung der Leitbahnen kann zu verschiedenen Zeitpunkten erfolgen. Initial beim Wafertest, auch um die Funktion der Struktur zu überprüfen und einen Initialwert als Referenzwert zu  
15 speichern. Nach dem Verpackungsprozess im finalen Testschritt, um den Einfluss des Verpackungsprozesses zu überprüfen. Im Feld, d. h. Betrieb der Halbleiterschaltung, bei jeder Startprozedur oder für sicherheitskritische Anwendungen auch permanent während des Betriebs.

20 Es sind verschiedene Reaktionen eines übergeordneten ASIC-Systems, in das die Halbleiterschaltung eingebettet ist, auf das Detektorsignal möglich. Es wird beispielsweise ein Vergleich zu einer maximalen Spezifikation, z.B. maximale Abweichung der einzelnen Sektoren von 20% durchgeführt.

25 Die maximale Spezifikation dient dabei als einstellbare Toleranzschwelle bzw. Schwellenwert. Falls dieser überschritten ist, erfolgt eine Meldung an das ASIC-System oder den übergeordneten Controller. Alternativ erfolgt eine generelle Übermittlung des Detektorsignals an das ASIC-System oder den übergeordneten Controller, welcher auf Grundlage der Daten des Degradationsmonitors, gegebenenfalls in Kombination mit  
30 anderen Degradationsdetektoren, das ASIC-System nachkalibrieren und zumindest limitiert funktionsfähig halten kann.

## Ansprüche

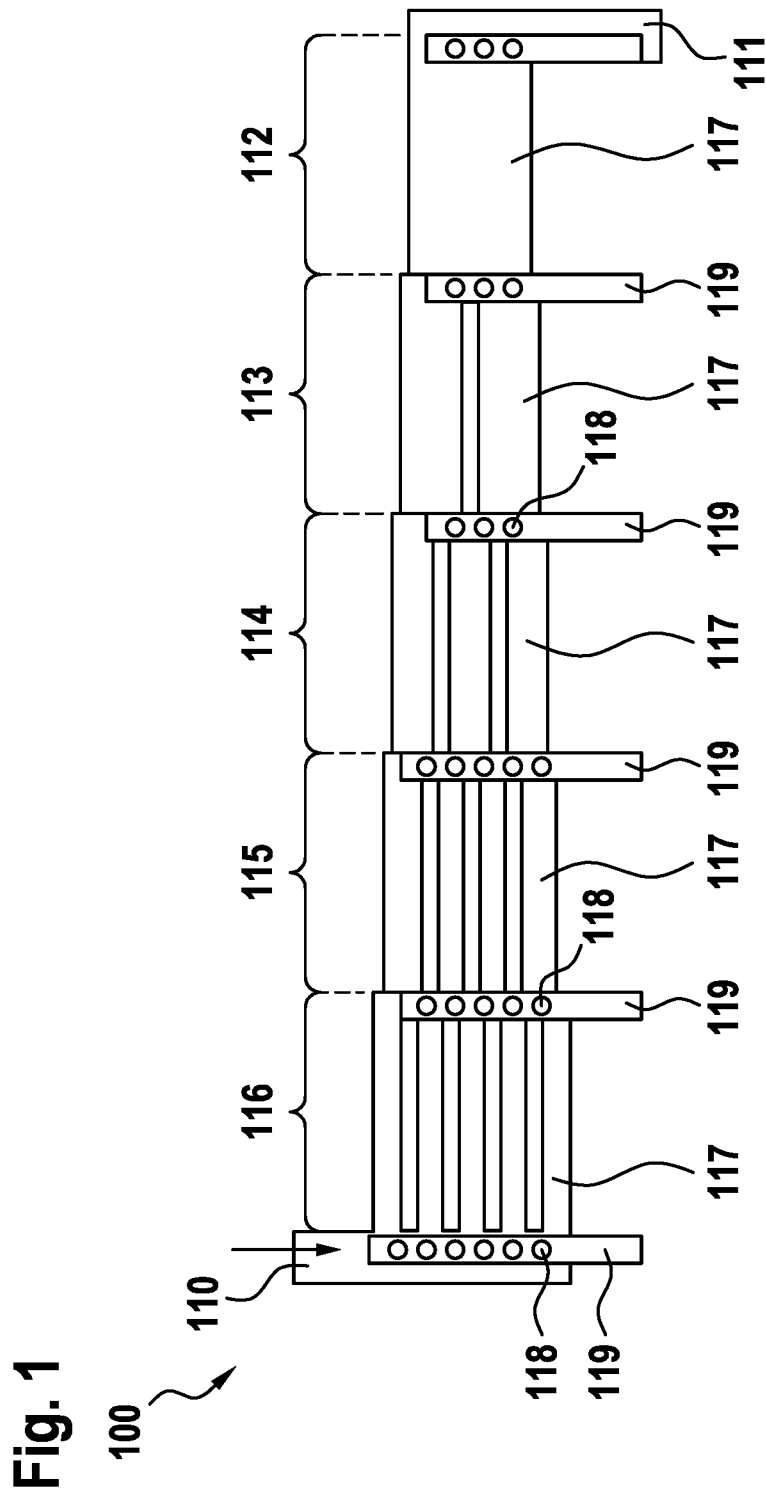
- 5 1. Anordnung (100) von Leitbahnen (117) zur Fehlerbestimmung einer Halbleiterschaltung, wobei die Leitbahnen (117) vorzugsweise auf einer Ebene der Halbleiterschaltung angeordnet sind, dadurch gekennzeichnet, dass
- die Anordnung (100) mehrere Abschnitte (112, 113, 114, 115, 116) aufweist, wobei die Abschnitte (112, 113, 114, 115, 116) als Reihenschaltung angeordnet sind, wobei
  - 10 • jeder Abschnitt (112, 113, 114, 115, 116) eine Anzahl von Leitbahnen (117) aufweist, wobei
  - die Anzahl der Leitbahnen (117) in den jeweiligen Abschnitten (112, 113, 114, 115, 116) unterschiedlich ist, wobei
  - 15 • jeder Abschnitt (112, 113, 114, 115, 116) einen Anfangsbereich und einen Endbereich aufweist, wobei ein Spannungsdifferenzwert zwischen dem Anfangsbereich und dem Endbereich des jeweiligen Abschnitts (112, 113, 114, 115, 116) erfassbar ist, und die Spannungsdifferenzwerte der jeweiligen Abschnitte (112, 113, 114, 115, 116) im Fehlerfall unterschiedlich sind.
- 20 2. Anordnung (100) von Leitbahnen (117) nach Anspruch 1, dadurch gekennzeichnet, dass die Leitbahnen (117) eines jeden Abschnitts (112, 113, 114, 115, 116) gleich lang sind, dieselbe Weite aufweisen und parallel zueinander angeordnet sind.
- 25 3. Anordnung (100) von Leitbahnen (117) nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, dass die Weiten der Leitbahnen (117) wenigstens in aneinanderangrenzenden Abschnitten (112, 113, 114, 115, 116) unterschiedlich sind.
- 30 4. Anordnung (100) von Leitbahnen (117) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die schmalste Leitbahn (117) der Anordnung (100) eine Weite aufweist, die sich aus einem Quotient der breitesten Leitbahn (117) und der Anzahl der Abschnitte (112, 113, 114, 115, 116) ergibt.
5. Anordnung (100) von Leitbahnen (117) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass jede Leitbahn (117) im Endbereich des

jeweiligen Abschnitts (112, 113, 114, 115, 116) mindestens eine Via (118) aufweist, wobei die Via (118) die Leitbahn (117) mit einer weiteren Ebene der Halbleiterschaltung elektrisch verbindet, vorzugsweise senkrecht, sodass der Spannungsdifferenzwert jedes Abschnitts (117) in der weiteren Ebene der Halbleiterschaltung erfassbar ist, wobei die Vias (118) auf der weiteren Ebene mit einem Metallbereich (119) elektrisch verbunden sind und der Metallbereich (119) einen Spannungsabgriff repräsentiert.

6. Vorrichtung (200) zur Fehlerbestimmung einer Halbleiterschaltung mit einer Anordnung von Widerständen (215, 216, 217, 218, 219, 220), einer Anzahl von Differenzverstärkern (225, 226, 227), einer Anzahl von Komparatoren (228, 229) und einer Steuereinheit (221), dadurch gekennzeichnet, dass die Widerstände (215, 216, 217, 218, 219, 220) in Form von Leitbahnen (117) nach einem der vorhergehenden Ansprüche angeordnet sind, die Anzahl der Differenzverstärker (225, 226, 227) der Anzahl der Abschnitte (212, 213, 214) entspricht, wobei jeder Differenzverstärker (225, 226, 227) einen Spannungsdifferenzwert erzeugt, wobei jeweils ein Spannungsdifferenzwert jeweils einem der Komparatoren (228, 229) als erster Eingangswert zugeordnet ist, wobei ein Referenzwert den Komparatoren (228, 229) als zweiter Eingangswert zugeordnet ist, und die Steuereinheit (221) Ausgangswerte der Komparatoren (228, 229) erfasst und in Abhängigkeit der Ausgangswerte der Komparatoren (228, 229) ein Ausgangssignal (224) erzeugt, das die Art des Fehlers repräsentiert.

7. Verfahren (300) zur Fehlerbestimmung einer Halbleiterschaltung mittels einer Anordnung von Leitbahnen nach einem der Ansprüche 1 bis 5 mit den Schritten:

- Bestimmen (310) von Spannungsdifferenzwerten eines jeden Abschnitts der Anordnung von Leitbahnen,
- Erfassen (320) eines Referenzwerts,
- Erzeugen (330) eines Ausgangssignals in Abhängigkeit der Spannungsdifferenzwerte und des Referenzwerts und
- Bestimmen (340) des Fehlers in Abhängigkeit des Ausgangssignals.



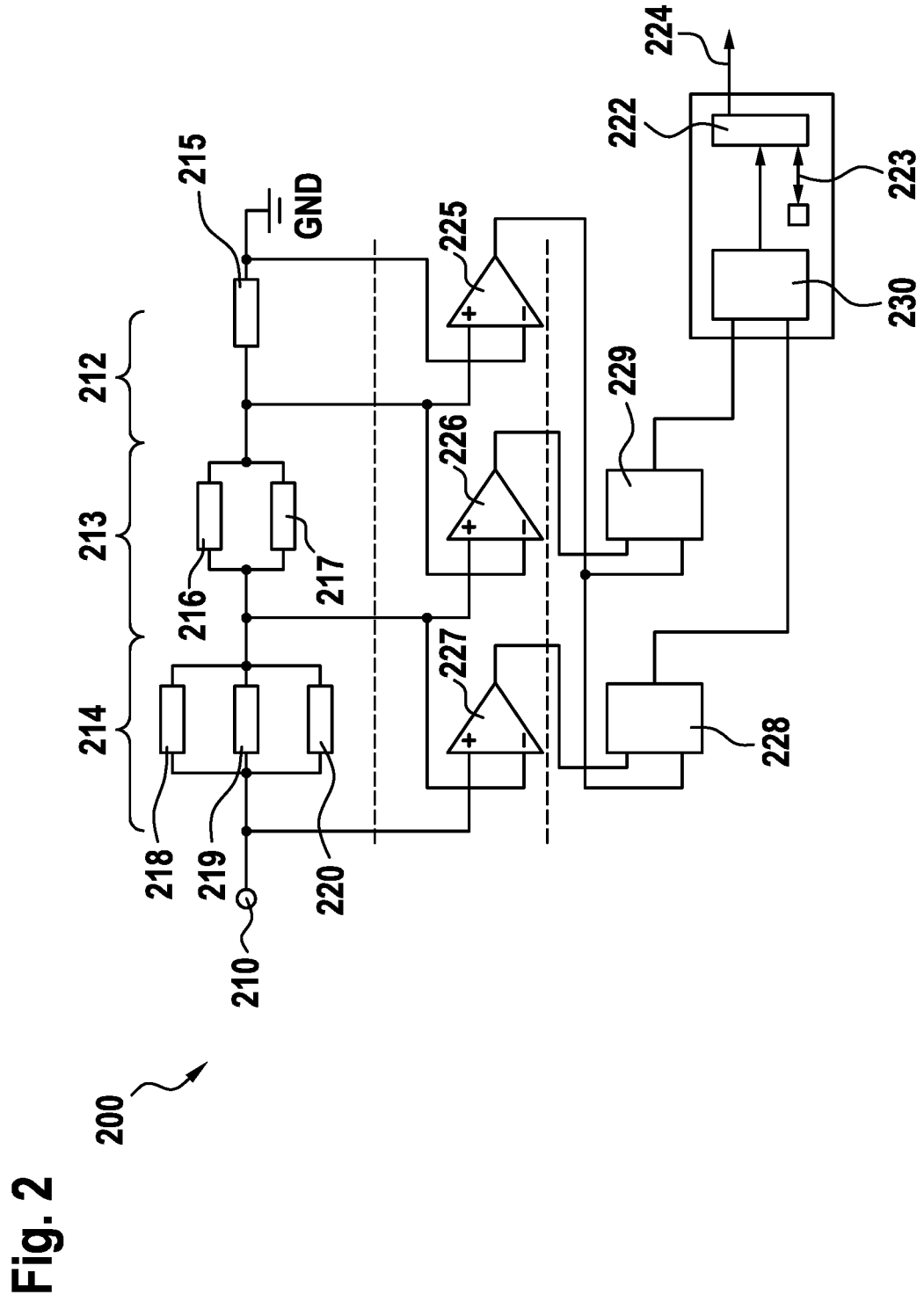
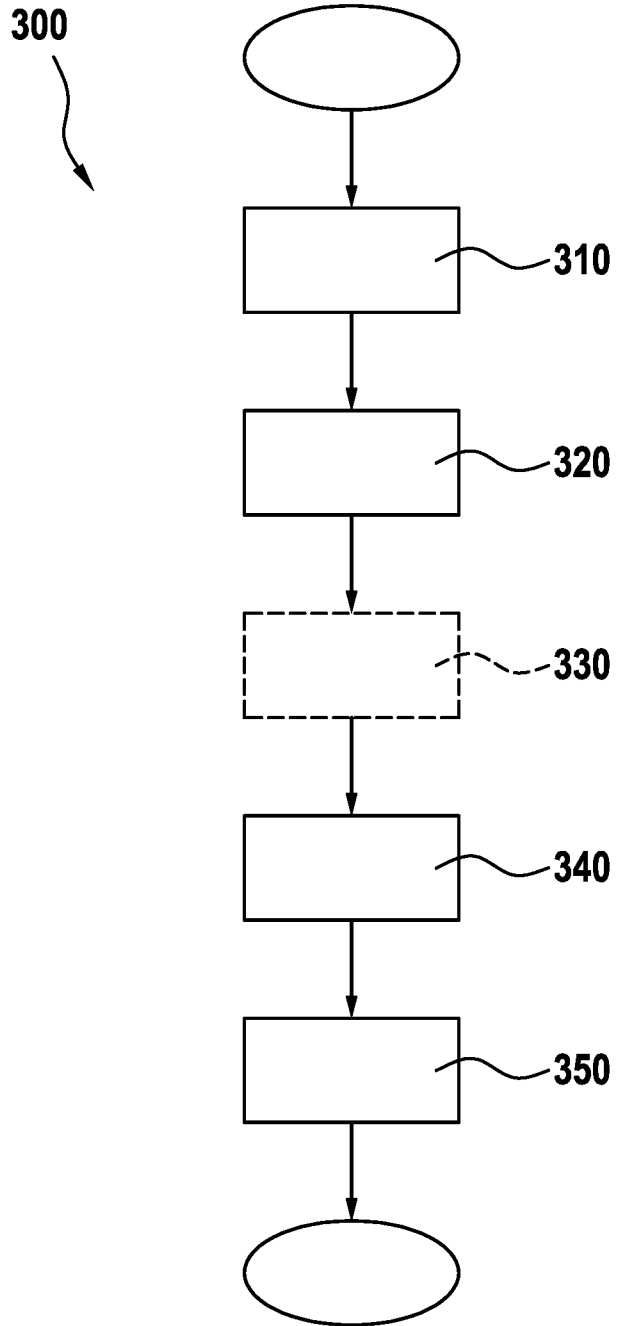


Fig. 3



INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2016/060288

A. CLASSIFICATION OF SUBJECT MATTER  
INV. G01R31/28  
ADD.  
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED  
Minimum documentation searched (classification system followed by classification symbols)  
G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MITCHELL M A ET AL: "ISSUES WITH CONTACT DEFECT TEST STRUCTURES", PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES (ICMTS). SAN DIEGO, MAR. 16 - 19, 1992; [PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES (ICMTS)], NEW YORK, IEEE, US, vol. -, 16 March 1992 (1992-03-16), pages 53-56, XP000340695, DOI: 10.1109/ICMTS.1992.185936 ISBN: 978-0-7803-0535-9 figures 1, 2	1
A	US 2002/017906 A1 (HO PAUL S [US] ET AL) 14 February 2002 (2002-02-14) figures 2, 4	1

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search <b>22 June 2016</b>	Date of mailing of the international search report <b>05/07/2016</b>
--	---

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer <b>Agerbaek, Thomas</b>
--	---



## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2016/060288

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009/012747 A1 (LEE CHII-CHANG [SG] ET AL) 8 January 2009 (2009-01-08) figure 3 -----	1
A	US 2013/038334 A1 (BROCHU JR DAVID G [US] ET AL) 14 February 2013 (2013-02-14) figures 1a, 3a, 4 -----	1
A	US 2009/033351 A1 (CHANDA KAUSHIK [US] ET AL) 5 February 2009 (2009-02-05) figures 1, 3, 5 -----	1

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2016/060288
---

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 2002017906	A1	14-02-2002	AU	5360601 A	30-10-2001
			CA	2406371 A1	25-10-2001
			EP	1275145 A2	15-01-2003
			US	2002017906 A1	14-02-2002
			WO	0180305 A2	25-10-2001
-----					
US 2009012747	A1	08-01-2009	NONE		
-----					
US 2013038334	A1	14-02-2013	NONE		
-----					
US 2009033351	A1	05-02-2009	US	2009033351 A1	05-02-2009
			US	2009108855 A1	30-04-2009
-----					

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. G01R31/28 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole ) G01R		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	MITCHELL M A ET AL: "ISSUES WITH CONTACT DEFECT TEST STRUCTURES", PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES (ICMTS). SAN DIEGO, MAR. 16 - 19, 1992; [PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES (ICMTS)], NEW YORK, IEEE, US, Bd. -, 16. März 1992 (1992-03-16), Seiten 53-56, XP000340695, DOI: 10.1109/ICMTS.1992.185936 ISBN: 978-0-7803-0535-9 Abbildungen 1, 2	1
A	US 2002/017906 A1 (HO PAUL S [US] ET AL) 14. Februar 2002 (2002-02-14) Abbildungen 2, 4	1
	----- -/--	
<input checked="" type="checkbox"/>	Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie
* Besondere Kategorien von angegebenen Veröffentlichungen :		
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist		"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist		"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)		"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht		"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist		
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts
22. Juni 2016		05/07/2016
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter  Agerbaek, Thomas

## C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2009/012747 A1 (LEE CHII-CHANG [SG] ET AL) 8. Januar 2009 (2009-01-08) Abbildung 3 -----	1
A	US 2013/038334 A1 (BROCHU JR DAVID G [US] ET AL) 14. Februar 2013 (2013-02-14) Abbildungen 1a, 3a, 4 -----	1
A	US 2009/033351 A1 (CHANDA KAUSHIK [US] ET AL) 5. Februar 2009 (2009-02-05) Abbildungen 1, 3, 5 -----	1

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2016/060288

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002017906 A1	14-02-2002	AU 5360601 A CA 2406371 A1 EP 1275145 A2 US 2002017906 A1 WO 0180305 A2	30-10-2001 25-10-2001 15-01-2003 14-02-2002 25-10-2001
US 2009012747 A1	08-01-2009	KEINE	
US 2013038334 A1	14-02-2013	KEINE	
US 2009033351 A1	05-02-2009	US 2009033351 A1 US 2009108855 A1	05-02-2009 30-04-2009