

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-512116

(P2009-512116A)

(43) 公表日 平成21年3月19日(2009.3.19)

(51) Int.Cl. F I テーマコード (参考)
G 1 1 C 11/417 (2006.01) G 1 1 C 11/34 3 0 5 5 B 0 1 5

審査請求 有 予備審査請求 未請求 (全 15 頁)

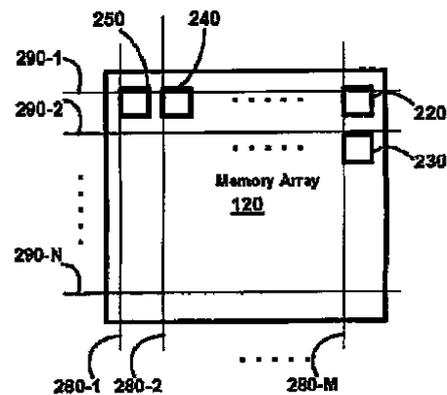
(21) 出願番号	特願2008-535653 (P2008-535653)	(71) 出願人	501229528 テキサス インストルメンツ インコーポ レイテッド
(86) (22) 出願日	平成18年10月11日 (2006.10.11)		アメリカ合衆国、テキサス、ダラス、チャ ーチル ウエイ 7 8 3 9
(85) 翻訳文提出日	平成20年5月8日 (2008.5.8)	(74) 代理人	100066692 弁理士 浅村 皓
(86) 国際出願番号	PCT/US2006/039758	(74) 代理人	100072040 弁理士 浅村 肇
(87) 国際公開番号	W02007/044817	(74) 代理人	100091339 弁理士 清水 邦明
(87) 国際公開日	平成19年4月19日 (2007.4.19)	(74) 代理人	100094673 弁理士 林 拓三
(31) 優先権主張番号	11/163, 318		
(32) 優先日	平成17年10月14日 (2005.10.14)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 メモリ・アレイの出力を検出する最適な時刻の決定

(57) 【要約】

最適な時刻に検出可能信号を生成するメモリ・ユニット内の追跡回路である。この追跡回路は、それぞれがメモリ・アレイ (1 2 0) 内のセルの駆動強さと同じ駆動強さを有する或る数のダミー・セル (2 2 0 , 2 3 0 , 2 4 0) を含む拡張可能ドライバ・ブロックを含む。ダミー・セルをオンにすると、メモリ・アレイ内のメモリ・セルと同様に1つの列を駆動する。その結果、行の数が多い場合は、列 (内の或る数の行) により生じる遅れを拡張可能ドライバ・ブロックが近似し、行の数が多い場合は、逆制御論理が遅れをエミュレートする。逆制御論理と拡張可能ドライバ・ブロックのどちらかがパルスを与え、これを用いて検出動作をトリガする。



【特許請求の範囲】

【請求項 1】

メモリ装置であって、

メモリ・アレイであって、複数の行および複数の列として編成された複数のメモリ・セルを含み、前記複数のメモリ・セルは対応するビット値をそれぞれ記憶する、メモリ・アレイと、

複数の列線であって、各列線は前記複数の列の対応する列の中のセルの出力のための共通経路を形成する、複数の列線と、

複数の行線であって、各行可能信号は前記複数の行の対応する行の中のセルを使用可能にし、これにより前記セルは対応するビット値を前記複数の列線に出す、複数の行線と、

行アドレスを受け、前記行アドレスに従って前記複数の行可能信号の 1 つを使用可能にするデコーダと、

複数のセンスアンプ・ユニットであって、前記複数のセンスアンプ・ユニットはそれぞれ前記複数の列の対応する列の対応するビット値を受けると接続し、検出可能信号に従って前記複数の列を検出する、複数のセンスアンプ・ユニットと、

前記検出可能信号を最適な時刻に生成する追跡回路であって、

拡張可能ドライバ・ブロックであって、ダミー列により接続する複数のダミー・セルを含み、前記各ダミー・セルは前記複数のセルと同じ駆動強さを有し、前記拡張可能ドライバ・ブロックは第 1 のパルスを受けて、前記ビット値が対応する列を伝播するときの遅れと実質的に等しい遅れを持つ第 1 の遷移を生成する、拡張可能ドライバ・ブロックと、

前記第 1 の遷移を受け、これに応じて前記検出可能信号を生成する制御ブロックと、
を備える追跡回路と、
を備えるメモリ装置。

【請求項 2】

前記拡張可能ドライバ・ブロックは前記メモリ・アレイの各列内の或る数のメモリ・セルの端数である或る数のダミー・セルを含む、請求項 1 記載のメモリ装置。

【請求項 3】

前記追跡回路は第 2 の遷移を生成する逆制御論理ブロックを更に備え、前記制御ブロックは前記第 1 の遷移または前記第 2 の遷移を受けると前記検出可能信号を生成し、前記メモリ・ユニット内の行の数が少ない場合は前記逆制御論理ブロックは前記拡張可能ドライバが前記第 1 の遷移を生成するより速く前記第 2 の遷移を生成する、請求項 1 記載のメモリ装置。

【請求項 4】

前記制御論理は共通経路上に遷移を受けると前記検出可能信号を生成し、また前記拡張可能ドライバ・ブロックおよび前記追跡回路は結合して前記第 1 の遷移および前記第 2 の遷移を前記共通経路に与える、請求項 3 記載のメモリ装置。

【請求項 5】

前記逆制御論理は、

直列に接続して、前記第 1 のパルスを伝播する複数のインバータと、

前記第 1 のパルスを受けると前記第 2 の遷移を前記制御ブロックに与えるゲートと、
を備える、請求項 3 記載のメモリ装置。

【請求項 6】

前記追跡回路は更に、

前記複数の行のそれぞれが有する負荷を表す列追跡負荷と、

前記第 1 のパルスを生成する追跡信号ドライバであって、前記制御ブロックからの開始パルスを前記列追跡負荷に接続する経路に受け、前記開始パルスは追跡動作の開始を表す、追跡信号ドライバと、
を備える、請求項 5 記載のメモリ装置。

【請求項 7】

メモリ読取り動作の開始を示すクロック発生器を更に備え、

10

20

30

40

50

前記制御ブロックは、前記データコーダが前記行アドレスから前記行可能信号を生成するのに要する時間に等しい遅れを持つ前記開始パルスを生成する、請求項 6 記載のメモリ装置。

【請求項 8】

前記追跡信号ドライバは、前記行可能信号を駆動するドライバと同じ駆動強さを有するバッファを備える、請求項 7 記載のメモリ装置。

【請求項 9】

アクセス・アドレスを与える外部システムと、前記アクセス・アドレスを受けるメモリ・ユニットであって、メモリ・アレイ、列線、行可能信号、デコーダ、センスアンプ・ユニット、追跡回路、拡張可能ドライバ・ブロック、および制御ブロックを備える、メモリ・ユニットと、を更に備える、請求項 1 - 8 のいずれか一項記載のメモリ装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリ・ユニットの設計に関するもので、より特定すると、種々の遅れを持つデータ出力を生成するメモリ・アレイの出力を検出する最適な時刻を決定する方法および方式に関するものである。

【背景技術】

【0002】

メモリ・アレイは一般に多数のセルを含み、各セルは一般にデータ・ビットを記憶する。セルは、この技術で周知の S R A M (スタティック・ランダム・アクセス・メモリ) および D R A M (ダイナミック R A M) などの技術を用いて実現することができる。一般にメモリ・アレイは、入力信号が指定するセル内に記憶されている値を表す出力信号を、対応する出力経路上に生成する。

20

一般に、出力信号を検出して対応するビット値を決定する。一般に、出力信号の強さを適当な時刻に調べ、その強さに基づいて対応するビット値を決定する。

【発明の開示】

【発明が解決しようとする課題】

【0003】

検出を行う時刻は最適でなければならない。すなわち、余り早く検出すると誤った値を検出するかも知れないし、余り遅く検出すると処理量がそれだけ小さくなりかねない。したがって、従来技術では、出力信号を最適な時刻に検出する必要があると認識されている。

30

かかるメモリ・アレイ (特に S R A M) は、D S P やマイクロプロセッサや無線ベースバンド・プロセッサなどの汎用および特殊用途向け集積回路で用いることが多い。

【0004】

メモリ・アレイが種々の遅れを持つ出力信号を生成するような場合は別の問題が起こる。例えば、メモリ・アレイは「コンパイラ技術」を用いて実現することが多い。すなわち、高レベルの設計者は、異なる構成のメモリ・アレイと共に動作する必要があるメモリ・ユニットの種々の構成要素 (デコーダ、センスアンプなど) を設計する。

40

後の設計者は関心のある特定の環境に適した関心のある望ましい構成 (メモリ・アレイの大きさ) を採用してよい。このように、コンパイラ技術を用いることにより、高レベルの設計者は種々のサイズのメモリ・アレイをサポートする広いフレームワークを提供し、特定の構成は後で複数の人々が選ぶ。

【0005】

かかる環境における 1 つの問題は、メモリ・アレイ・サイズの構成によって、メモリ・アレイが生成する出力信号が異なる遅れを持つことである。遅れは、(製造) プロセスの変動や、実際の動作中の温度や電圧の変動などの他の要因に影響されることもある。したがって、出力信号を検出する最適な時刻は、後の設計者が選ぶ特定の構成によって変るこ

50

とがある。

従来の1つの共通の方法は「追跡機構」を用いることである。この方式では、検出時刻を示す検出信号を生成する。一般に追跡機構は出力信号内に可変の遅れを生じる効果をエミュレートする構成要素を含むので、検出信号は最適な検出時刻を正確に指定することができる。

可変の遅れを持つデータ出力を生成する可能性があるメモリ・アレイ（上に述べたコンパイラ・メモリなど）の出力を検出するのに最適な時刻を示す追跡機構が一般に必要なある。

【実施例】

【0006】

10

1. 概要

本発明の或る態様に係る追跡機構は、メモリ・アレイの出力を検出するのに最適な検出時刻を決定する拡張可能ドライバを含む。拡張可能ドライバを用いることにより、この追跡機構はメモリ・アレイ・サイズが変わったときの検出時刻を最適に決定することができる。

本発明の別の態様は（***）する逆追跡回路を用いる。

【0007】

本発明のいくつかの態様について、例を参照して以下に説明する。本発明を完全に理解していただくために多数の特定の詳細、関係、および方法を示すことを理解していただきたい。しかし当業者が容易に認識するように、特定の詳細の1つ以上を用いず、または他の方法を用いて、本発明を実施することができる。また、本発明の特徴が不明瞭にならないようにするために、周知の構造または動作については詳細には示さない。

20

【0008】

2. 装置の例

図1は本発明の種々の態様を実現することができる装置の一例のブロック図である。図の装置100は、アドレス・デコーダ110、メモリ・アレイ120、センスアンプ・ブロック130、出力（O/P）バッファ140、および外部システム190を含む。外部システム190を除く全ての構成要素はメモリ・ユニット内に含まれると考える。各ブロックの詳細について以下に説明する。

【0009】

30

メモリ・アレイ120は、図2に示すように行と列に編成されたセルを含む。図2に示すように、セル230、240、および220を1つの行の中に配置し（行の中の他のセルは示さない）、またセル220および230を1つの列の中に配置する（列の中の他のセルは示さない）。1つの列の中の全てのセルは1つの列線上で接続する（使用可能になるとその出力を出す）。例えば、図2のセル220および230はその出力を列線280-Mに出す。1つの行の中のセルは、行線290-1から290-N（経路112内に含まれる）上の対応する行可能信号により使用可能になる。使用可能な行のセル内に記憶されているビットは列線280-1から280-M（経路123内に含まれる）に出される。

【0010】

40

更に図1において、外部システム190はメモリ・アレイ120内で読み取る必要のある関心のある語のアドレス（行アドレス）を経路191で（アドレス・デコーダ110に）送り、また指定された語内に記憶されている値を経路149で受ける。外部システム190は、アドレスを生成する種々のプロセッサ（図示せず）を含んでよい。

アドレス・デコーダ110はアドレスを復号し（特定の行を決定し）、受けたアドレスに対応する行可能信号を使用可能にする。これにより、使用可能な行の中のメモリ・セルは記憶しているビットの値を経路125（特定すると、列線280-1から280-M）に出力する。

出力バッファ140はセンスアンプ・ブロック130の出力ビット（経路134で受けた）の強さを高めて（すなわち、緩衝して）、対応する信号を経路149で外部システム

50

190に与える。

【0011】

センスアンプ・ブロック130はメモリ・セル出力が生成する出力信号を検出して、信頼して使用できるレベルまで増幅する。その結果生成されたビット値は経路134に出力される。センスアンプ・ブロック130は1語(すなわち、行)内のメモリ・セル毎に1個のセンスアンプ・ユニットを含む(後で図3を参照して更に詳細に示す)。各センスアンプ・ユニットは対応する列線(メモリ・アレイ120から受ける)に接続して、対応する列の中のセルの出力を受ける。

上に背景技術のところでも述べたように、一般に、各センスアンプ・ユニットは対応する出力信号(メモリ・アレイ120から受ける)を最適な時刻に検出する必要がある。かかる最適な時刻を決定する際にコンパイラ・メモリ・タイプの環境で起こるいくつかの問題を、以下に図3および図4を参照して更に詳細に示す。

【0012】

3. 最適な時刻に検出する際の問題

図3は、1つの実施の形態において最適な検出時刻を決定する際に考慮に入れる必要のあるいくつかの問題の例を示す、メモリ・ユニットの一部のブロック図である。詳しく述べると、メモリ・アレイの行線および列線の中の種々の寄生静電容量が最適な検出時刻に影響を与える様子を示す。

このブロック図は、アドレス・デコーダ110、センスアンプ・ブロック130、および行線290-1から290-Nと列線280-1から280-Mとを含む(メモリ・アレイ120のセルの編成を表す)。各構成要素について以下に詳細に説明する。

【0013】

図のセンスアンプ・ブロック130はセンスアンプ・ユニット330-1から330-Mを含み、各センスアンプは対応する列線で受ける出力信号を検出する。各センスアンプ・ユニットは対応する列線を適切な時刻に検出する必要があるが、種々の寄生静電容量のために種々の問題が起こる。これについて以下に詳細に説明する。

要素320-340は行290-1に関連する分散静電容量を表し、要素350-360は列線(すなわち、ビット線)280-Mに関連する分散静電容量を表す。例として要素320、330、340、350、および360だけを離散的要素として示しているが、静電容量は一般にメモリ・アレイの種々の部分に分散されている。また、図示していないが、メモリ・アレイ120の全ての行線および列線は同様の関連する静電容量を有する。

【0014】

また、集合体静電容量(例えば、列線280-Mの350、260などの静電容量の値の合計)などの要素は、メモリ・アレイ120内の行の数に従って異なる速度で信号の強さを高める。一般に行の数が増えるに従って、高まる速度は低くなる。

望ましい強さに達した後出力信号を検出することが望ましく(信頼性のために)、「遅れ」は行の数と正相関を有すると考えてよいので、最適な検出時刻はかかる遅れも考慮に入れて設計する必要がある。また、アドレス・デコーダ110が対応する行を使用可能にする前の遅れの大きさも、メモリ・アレイ120内の行の数に従って変わることがある。

メモリ・セルが有する内部負荷により別の問題が起こることがある。後で説明する実施の形態では、出力信号を差動形式で出すように各(メモリ)セルを設計する。したがって、メモリ・セルの差動方式についての説明を、図4を参照して以下に行う。

【0015】

4. 差動入力を与えるセル

図4は、1つの実施の形態におけるメモリ・セルの内部構造と、対応するセンスアンプ・ユニットの動作とを詳細に示す。この図は、インバータ480および490、トランジスタ430および440、およびセンスアンプ・ユニット410を含む。各構成要素について以下に詳細に説明する。

10

20

30

40

50

インバータ 480 および 490 は背面接続である。インバータ 480 および 490 の出力は相補的である。インバータ 480 および 490 の出力は、メモリ・セル 420 内に記憶されているビットの値を表す差動電圧出力を構成する。

【0016】

行可能 290 - 1 がオンになると、各トランジスタ 430 および 440 は対応するインバータ 480 および 490 の出力とビット線 450 および 460 とをそれぞれ接続する。これにより、インバータ 480 および 490 の出力は線 450 および 460 (列線 280 - M の中に含まれる) にそれぞれ出る。

認識されるように、各トランジスタ 430 / 440 もメモリ・セル 420 の出力 (の信号の強さの上昇) をいくらか遅らせる (関連する抵抗および静電容量のために)。

10

【0017】

センスアンプ 410 は、オンになる (トリガする) とビット線 450 と 460 の強さの差を増幅し、増幅された信号としきい値とを比較して、ビット線 450 / 460 上の信号が 1 と 0 のどちらを表すかを決定する。メモリ・ユニットを高速かつ低電力消費で実現できるようにするため、センスアンプは低い強さの入力信号を用いてこの決定を行うことが好ましい。

線 450 および線 460 上の差動電圧は、メモリ・セル内に記憶されているビット値を高い信頼性度で決定するのに必要なレベルに向かって上昇を開始する。

【0018】

上に述べた分散静電容量により生じる遅れの影響のために、差動電圧の上昇は、他の要因の中でも特にメモリ・アレイ内の行および列の数に従って、異なる速度で起こる。

20

コンパイラ・メモリ・タイプの構成要素では、センスアンプは異なる大きさのメモリ・アレイと共に動作するのが望ましい。少なくともかかるシナリオでは、メモリ・アレイの大きさに関係なく、メモリ・アレイ内に記憶されている情報を高い信頼度で決定できるように、センスアンプを最適な時刻にトリガする必要がある。このため、以下に説明する追跡機構を用いる。

【0019】

5. 従来技術の追跡機構

図 5 は 1 つの実施の形態における追跡機構を示す従来技術のメモリ・ユニットのブロック図である。図のメモリ・ユニット 500 は、クロック発生器 510、制御ブロック 520、アドレス・デコーダ 110、メモリ・アレイ 120 (メモリ・セル 420 を含む)、パス・ゲート 580、列追跡相互接続 590、センスアンプ 130、および出力バッファ 140 を含む。

30

アドレス・デコーダ 110、メモリ・アレイ 120、および出力バッファ 140 は上に図 1 を参照して説明したように動作するので、簡単のために説明を繰り返さない。各センスアンプ・ユニット 330 - 1 から 330 - M (センスアンプ 130 内に含まれる) は列線 280 - 1 から 280 - M 上の出力信号を、検出可能信号 526 が指定する時刻に検出する。

【0020】

クロック発生器 510 はクロック信号を経路 506 で受け (図示していない外部信号源から)、経路 506 でクロック信号を受けた時刻に負のクロック・パルスを生成する。クロック・パルスの負の (1 から 0 への) 遷移と正の (0 から 1 への) 遷移は、メモリ・アレイ 120 から語を読み取るのに必要な動作の開始と終了をそれぞれ表す。またクロック発生器 510 は、内部で生成した負のクロック・パルスを制御ブロック 520 に送る。

40

制御ブロック 520、相互接続要素 528 および 529、パス・ゲート 580、および列追跡相互接続 590 は検出可能信号 526 を生成する。これらについて次に詳細に説明する。

【0021】

要素 529 および 528 は電氣的相互接続要素であって、制御ブロック 520 が生成した追跡パルスの進み経路および戻り経路をそれぞれ形成する。これらの相互接続要素は関

50

連する分散静電容量を有し、メモリ・アレイ 120 内の列線上の分散静電容量（例えば、350 および 360）により生じる遅れをエミュレートするよう設計する。

パス・ゲート 580 は、メモリ・アレイ 120 内のメモリ・セル内の直列の NMOS トランジスタ（図 4 に 430 および 440 で示す）により生じる遅れをエミュレートするよう設計する。

【0022】

列追跡相互接続 590 は電氣的相互接続要素であって、メモリ・アレイ 120 内の行の分散静電容量（例えば、320、330、および 340）により生じる遅れをエミュレートするよう設計する。

制御ブロック 520 は経路 505 で（外部システムから）受けたアドレスをアドレス・デコーダ 110 に送る。また、制御ブロック 520 はクロック発生器 510 からクロック・パルスの負の遷移を受けると追跡パルスを（相互接続経路 529 上に）生成する。制御ブロック 520 は、追跡パルスを相互接続経路 528 上に受けると、センスアンプ・ブロック 130 のセンスアンプのためのトリガ（検出可能）信号を生成する。

【0023】

追跡パルスが種々の構成要素を通して伝播するとき起こる遅れ（制御ブロック 520 が受けるまで）は、検出可能信号を生成する際に用いる遅れの測度を表す。なぜなら、相互接続要素 528 / 529 は列線に関連する静電容量による遅れをエミュレートし、列追跡相互接続 590 は行に関連する静電容量による遅れをエミュレートし、またパス・ゲート 580 はメモリ・セル内の直列の N - MOS トランジスタ（430 / 440）に関連する遅れをエミュレートするからである。

このように、トリガ・パルスが相互接続要素 528 で制御ブロック 520 に戻ると、制御ブロック 520 はセンスアンプ・ユニットをオンに（使用可能に）する使用可能（トリガ）信号を生成する。その後、内部クロック生成ユニット 510 が生成したクロック・パルスが 0 から 1 に遷移すると、制御ブロック 520 はセンスアンプをリセットして（追跡パルスを無効状態にして）使用不能にする（オフにする）。経路 506 で立上がりエッジを受けると読取り動作を再び開始する。

【0024】

上に述べた追跡機構の方式はいくつかの欠点を有する。その一部を以下に説明する。

前に述べたように、要素 529 および 528 は、メモリ・アレイ 120 内の列線上の分散静電容量により生じる遅れをできるだけ正確にエミュレートするよう設計する。これらの要素のパラメータ（例えば、長さ、幅、および厚さ）は実際のメモリ・アレイのシミュレーション・モデルに基づいて選ぶ。シミュレーション・モデルに不正確さまたは変化があれば、これらの要素のパラメータとして選んだ値は最適でなくなる。

また、直列のトランジスタと、これがエミュレートするメモリ・セル構造内のパス・ゲート 580 との間にしばしば不整合がある。

【0025】

更に、この方法では、より大きな構成（より多くの数の行）の場合は追跡パルスの歪が大きく（立上がりおよび立下がり時間が大きく）なり、したがって、特に大きな構成のメモリ・アレイの場合はセンスアンプの動作が信頼できなくなる。

上に述べた要因のために、センスアンプへの使用可能（トリガ）信号のタイミングは最適でなくなる。本発明の種々の態様は、以下に詳細に説明するように、かかる欠点の少なくとも一部をなくす。

【0026】

6. 改善された追跡機構

図 6 は、本発明の或る態様に係る追跡機構を示すメモリ・ユニットのブロック図である。図のメモリ・ユニット 600 は、クロック発生器 610、制御ブロック 620、アドレス・デコーダ 110、メモリ・アレイ 120（メモリ・セル 650 を含む）、追跡信号ドライバ 695、列追跡負荷 696、拡張可能ドライバ・ブロック 680、逆制御論理 690、センスアンプ・ブロック 130、および出力バッファ 140 を含む。

アドレス・デコーダ 110、メモリ・アレイ 120、および出力バッファ 140 は上に説明したように動作するので、簡単のために説明を繰り返さない。各センスアンプ・ユニット 330 - 1 から 330 - M (センスアンプ 130 内に含まれる) は列線 280 - 1 から 280 - M 上の出力信号を、検出可能信号 626 が指定する時刻に検出する。

【0027】

制御ブロック 620、列追跡負荷 696、追跡信号ドライバ 695、拡張可能ドライバ・ブロック 680、および逆制御論理 690 は検出可能信号 626 を生成する (したがって、追跡回路として動作する)。これらについて次に詳細に説明する。

列追跡負荷 696 は電氣的相互接続要素として実現してよく、メモリ・アレイ 120 内の行の分散静電容量により生じる遅れをエミュレートするように設計してよい。列追跡負荷 696 は列追跡相互接続 590 と同様にして実現してよい。

【0028】

クロック発生器 610 はクロック信号を経路 606 で受け (図示しない外部信号源から)、経路 606 でクロック信号を受けた時刻に負のクロック・パルスを生成する。クロック・パルスの負の (1 から 0 への) 遷移と正の (0 から 1 への) 遷移は、メモリ・アレイ 120 から語を読み取るのに必要な動作の開始と終了をそれぞれ表す。またクロック発生器 610 は、内部で生成した負のクロック・パルスを制御ブロック 620 に送る。

追跡信号ドライバ 695 は開始パルスを制御ブロック 620 から受けて、拡張可能ドライバ・ブロック 680 および逆制御論理 690 を共に正のパルスで駆動する (それぞれ経路 698 および 699 で)。追跡信号ドライバ 695 はバッファとして実現され、その駆動強さは経路 116 の行線の行可能信号を駆動するドライバの強さと等しくなるように設計する。

【0029】

拡張可能ドライバ・ブロック 680 は多数の (ダミー) セルを含む。これらは単一の列として編成され、列線により生じる (容量) 遅れを実質的に複製するように設計されたダミー列線 (正のパルスを制御ブロック 620 まで伝播させる) に接続する。かかるセルを用いることにより、拡張可能ドライバ・ブロック 680 は (メモリ・アレイ内の) 行の数が多い場合に生じる遅れを容易に正確にエミュレートすることができる。1 つの実施の形態における拡張可能ドライバ・ブロック 680 の実現については、図 7 および図 8 を参照した後で詳細に説明する。

しかし行の数が少ない場合は、拡張可能ドライバ・ブロック 680 だけではメモリ・アレイ 120 の列線内に生じる遅れを容易に正確にエミュレートできないことがある (後で説明する理由から)。逆制御論理 690 は (制御ブロック 620 に接続することに加えて) かかる状態を訂正するように働く。詳細は後で図 7 を参照して説明する。

【0030】

逆制御論理 690 は、行の数が少ない場合にメモリ・アレイ 120 の遅れをエミュレートするように設計されるので、かかるシナリオで正のパルスは迅速に伝播する (拡張可能ドライバ・ブロック 680 より先に)。しかしセルの数が多い場合は、正のパルスは拡張可能ドライバ・ブロック 680 ほど速くは伝播しない。或る実施の形態では、逆制御論理 690 は 1 対のインバータと 1 個の NMOS トランジスタとを直列に接続して実現する。これについては後で図 7 に関して説明する。

制御ブロック 620 は経路 605 で (外部システムから) 受けたアドレスをアドレス・デコーダ 110 に送る。また、制御ブロック 620 はクロック・パルスの負の遷移をクロック発生器 610 から受けると開始パルスを生成する。開始パルスは、アドレス・デコーダ 110 内で行のアドレスを復号するとき生じる遅れに等しい遅れで生成する。或る実施の形態では、遅れは固定であって、メモリ・ユニットの設計者が決定する。

【0031】

制御ブロック 620 は、逆制御論理 690 または拡張可能ドライバ・ブロック 680 から戻りパルスを受けると検出可能信号 626 を表明する。以上の説明 (および図 7 に関する以下の説明) から認識されるように、拡張可能ドライバ・ブロック 680 から受ける戻

10

20

30

40

50

りパルスは行の数が多い場合の検出時刻を正確に反映する。他方で、行の数が少ない場合は、逆制御論理 690 が検出時刻を加速させる（すなわち、検出可能信号 626 を生成する）。

【0032】

上記から認識されるように、制御ブロック 620 はアドレス・デコーダ 110 の遅れを含む遅れを持つ開始パルスを生成し、列追跡負荷 696 は行の静電容量により生じる遅れに等しい遅れを生じ、追跡信号ドライバ 695 と拡張可能ドライバ 680 と逆制御論理 690 との組合せは列線の静電容量により生じる遅れに等しい遅れを生じる。各構成要素は対応する遅れを（実質的に）正確にエミュレートするので、検出時刻を正確に決定することができる。

10

しかし、上に述べたように、逆制御論理 690 は行の数が少ない場合に戻りパルスを与え、拡張可能ドライバ 680 はそうでない場合に戻りパルスを与える。列線内の静電容量により生じる遅れを追跡するための逆制御論理 690 および拡張可能ドライバ 680 の実施例について以下に説明する。

【0033】

7. 逆制御論理および拡張可能ドライバ

図 7 は、1つの実施の形態において列線内の静電容量により生じる遅れをエミュレートするための、逆制御論理 690 および拡張可能ドライバ 680 の詳細を示す。図の拡張可能ドライバ 680 はブロック 710 - 1 から 710 - 4 および 720 - 1 から 720 - 4 を含む。図の逆制御論理 690 はインバータ 740 および 755 と NMOS トランジスタ 756 とを含む。

20

【0034】

各ブロック 710 - 1 から 710 - 4 および 720 - 1 から 720 - 4 はダミー列線 760 に接続するダミー・セルを表す。各ダミー・セルは、メモリ・アレイ 120 内に用いられるメモリ・セルの駆動強さに等しい駆動強さを有する。1つの実施の形態では、拡張可能ドライバ・ブロック 680 はメモリ・アレイ 120 内の 8 行毎に 710 - 1 から 710 - 4 および 720 - 1 から 720 - 4 で示すブロックの 1 つを含み、図 8 に示す構造を有する。ブロック 710 - 1 および 720 - 1 は恒久的に使用不能であり（回路接地に接続するので）、したがって信号をダミー列線 760 に出力しない。他方で、ブロック 710 - 2 から 710 - 4 および 720 - 2 から 720 - 4 は、使用可能になると論理 0 信号を列線 760 に出力する。このように、ブロック 710 - 1 および 720 - 1 はダミー列線 760 の負荷になる。

30

【0035】

図 8 に関して述べると、PMOS トランジスタ 850 および NMOS トランジスタ 840 は CMOS スイッチを形成し、その入力は電源 860 に接続する。CMOS スイッチの出力（経路 837）は論理 0 である。追跡信号ドライバ 695 が経路 698 を駆動して 1 にするとトランジスタ 830 はオンになる。したがって、CMOS スイッチは列線 760 を駆動して 0 にする。CMOS スイッチを形成するトランジスタおよびトランジスタ 830 は、メモリ・アレイ / セル内の対応する要素と同一に作る。

【0036】

引き続き図 7 を参照して、オンになったときの各ブロック 710 - 2 から 710 - 4 および 720 - 2 から 720 - 4 の駆動強さは、メモリ・アレイ 120 内のメモリ・セルが生成する駆動強さと同じである。列線 760 の静電容量もメモリ・アレイの列線の静電容量と実質的に等しいので、経路 760 での戻りパルスの伝播の遅れはメモリ・アレイ内の列線の遅れと実質的に等しい。

40

【0037】

4 つのブロック 710 - 1 から 710 - 4 のグループの中で、3 つのブロック 710 - 2、710 - 3、および 710 - 4 は信号をダミー列線 760 にそれぞれ出力する（駆動する）が、1 つのブロック 710 - 1 は負荷として作用する。メモリ・アレイ 120 内の 8 行毎にブロック 710 - 1 から 710 - 4 の 1 グループを用いるので、構成がより大き

50

い（行の数がより多い）場合は多数のドライバ（ブロック 710 - 2 から 710 - 4 と同様の）があると認識してよい。したがって、拡張可能ドライバ 680 は逆制御論理 690 と同じ速さで正のパルス 698 を（戻りパルスとして経路 760 に）伝播する。

【0038】

しかし構成がより小さい（行の数がより少ない）場合は、ブロック 710 - 2 から 710 - 4 の数はこれに比例して少ないので、駆動しないブロック（710 - 1 と同様の）によるダミー列 760 の負荷および増加した静電容量に比べてドライバの数（ブロック 710 - 2 から 710 - 4 と同様の）が不釣合なほど少ない。

したがって、構成がより小さい場合は、拡張可能ドライバ 680 が伝播する正のパルス 698 は（戻りパルスとして経路 760 で）必要以上に遅くなる。これを逆制御論理 690 で訂正する。次に説明するように、行の数が少ない場合は、逆制御論理 690 は正のパルスを（戻りパルスとして経路 760 で）より速く伝播する。

10

【0039】

インバータ 740 と 755 とは直列に接続して、経路 698 で受けた信号を伝播する。インバータ 755 の出力（経路 756 の）が論理 1 のとき、NMOS トランジスタ 757 は経路 760 を引き下げる。したがって、インバータ 740 および 755 と NMOS トランジスタ 757 の駆動強さを設計することにより、経路 760 でハイからローへの遷移を行わせるときの最大時間遅れを制御することができる。拡張可能ドライバ・ブロック 680 がかかる遷移をより速く行わせる場合は、希望するように、逆制御論理 690 は経路 760 の信号レベルに影響を与えない。

20

上記から、上に述べた方式を用いて検出時刻をより正確に決定できることが認識される。次にタイミング図に関して説明する。

【0040】

8. タイミング図

図 9 は、本発明の種々の態様に係る実施の形態におけるメモリ・ユニットの動作を示すタイミング図である。読取り動作は時刻 t_0 にクロック 606 の立上がりエッジで開始する。クロック発生器 610 は、時刻 t_0 での立上がりエッジに続くパルスを有する内部信号 905 を生成する。メモリ・アドレスは、図に示すように、時刻 t_1 (t_0 に近い) に外部システムから与えられる。

アドレス・デコーダ 110 は時刻 t_2 に行可能信号 116 を生成する。行可能は時刻 t_3 に関心のあるセルに到着する。このとき、メモリ・セルの出力電圧 908 は記憶されているビットを表す値に向かって上昇を開始する。制御ブロック 620 は時刻 t_2 に開始パルス 629 を生成する。このパルスは時刻 t_3 に追跡信号ドライバ 695 に到着する。

30

【0041】

追跡信号ドライバ 695 は時刻 t_3 に正のパルス 698 を生成する。戻りパルス（経路 760 の）は時刻 t_3 に論理 0 への遷移を開始して、時刻 t_10 に論理 0 に到達する。

制御ブロック 620 は時刻 t_4 に検出可能信号 910 を生成する。メモリ・アレイ出力は時刻 t_4 に経路 149 で外部システムに利用可能になる。時刻 t_5 に、クロック信号 606 は 0 に戻り、読取りサイクルの終わりを示す。図に示すように、クロック・パルス 905 は t_5 に論理 1 に戻る。

40

【0042】

外部システムは時刻 t_6 に経路 605 のアドレスを取り除く。行可能信号 116 は時刻 t_7 に 0 に戻る。メモリ出力電圧 908 は時刻 t_6 にゼロへの戻りを開始する。開始パルス 629 は時刻 t_5 にゼロへの戻りを開始し、 t_8 に論理 0 に到達する。正のパルス 698 は t_8 に 0 に戻る。戻りパルス（経路 760 の）は t_8 に論理 1 への戻りを開始する。検出可能 910 は t_9 に論理 0 に遷移する。経路 149 のバッファ出力は t_4 の後に出力ビット値を含み、 t_9 の後に 3 状態論理に遷移する。

【0043】

継続時間 $t_1 - t_2$ はアドレス・デコーダ 110 内の遅れを表し、制御ブロック 620 は開始パルス 629 に遅れを加える（そして、図に示すように t_2 の頃に正の遷移を生成

50

する) ことによりエミュレートする。継続時間 $t_2 - t_3$ は行の静電容量により生じる遅れを表し、列追跡負荷 696 によりエミュレートする。継続時間 $t_3 - t_{10}$ は列線の静電容量により生じる遅れを表し、上に説明したように、拡張可能ドライバ・ブロック 680 および逆制御論理 690 によりエミュレートする。

このように、本発明の種々の態様に従って用いられるメモリ・ユニットは検出可能信号を最適な時刻に生成する。

【0044】

9. 結論

本発明の種々の実施の形態について上に説明したが、理解されるように、これらは単なる例として示したものであって、制限するものではない。また、上に述べた本発明の種々の態様、特徴、構成要素、および/または実施の形態は、データベース・システムおよびデータ・ウェアハウス・システムなどのデータ記憶装置内に単独でまたは任意の組合せで実現してよい。本発明が関係する当業者が認識するように、ここに述べた実施の形態の種々の変更や多くの他の実施の形態は本発明のクレームの範囲内にある。

【図面の簡単な説明】

【0045】

以下に簡単に説明する添付の図面を参照して本発明を説明する。

【図1】本発明の種々の態様を実現することができる例示の装置のブロック図である。

【図2】1つの実施の形態におけるメモリ・アレイの内部編成を示す。

【図3】メモリ・アレイの出力に遅れ効果を生じる分散静電容量を示す。

【図4】1つの実施の形態におけるメモリ・セルの内部構造を示す。

【図5】メモリ・ユニット内で検出可能信号を生成する従来技術の追跡機構の或る実施の形態を示す。

【図6】本発明の種々の態様に係る追跡機構を示すメモリのブロック図である。

【図7】本発明の或る実施の形態の追跡機構内に含まれる拡張可能ドライバおよび逆制御論理の詳細を示す。

【図8】本発明の或る実施の形態の追跡機構内で用いられるダミー・セルの詳細を示す回路図である。

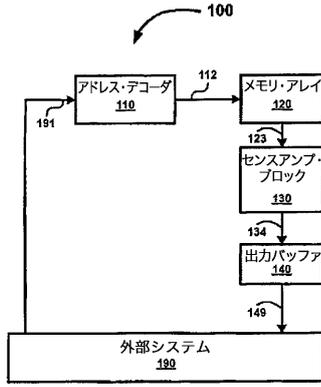
【図9】1つの実施の形態におけるメモリ・ユニットの種々の構成要素の動作のタイミング関係を示すタイミング図である。

10

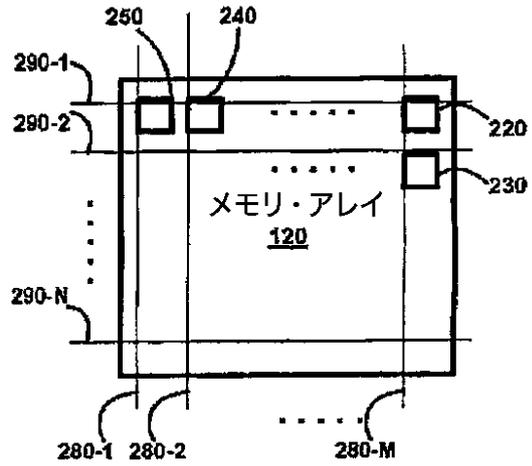
20

30

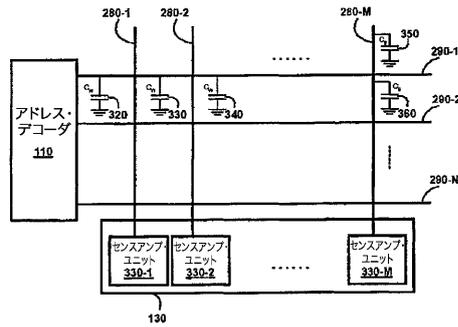
【 図 1 】



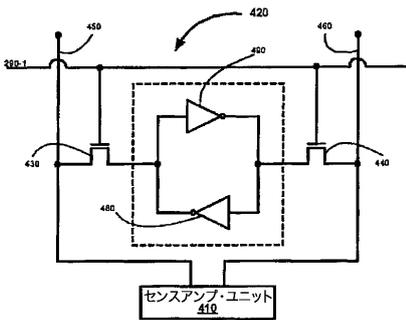
【 図 2 】



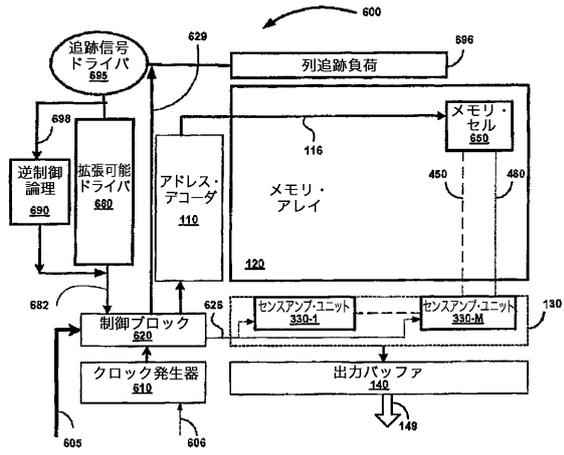
【 図 3 】



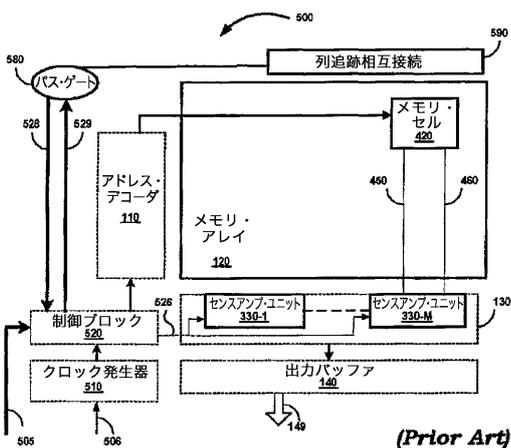
【 図 4 】



【 図 6 】

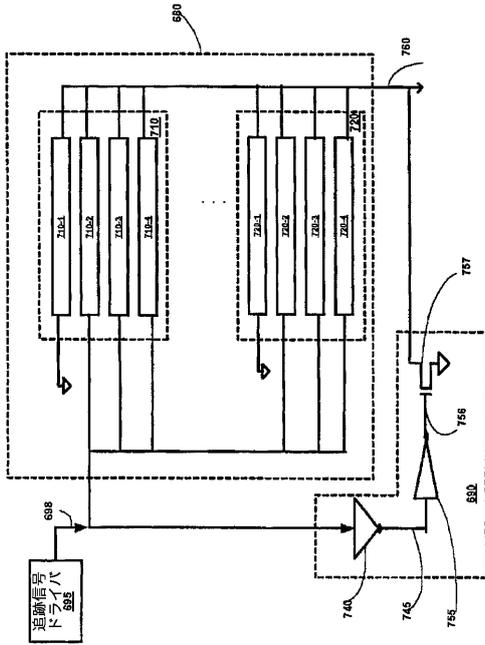


【 図 5 】

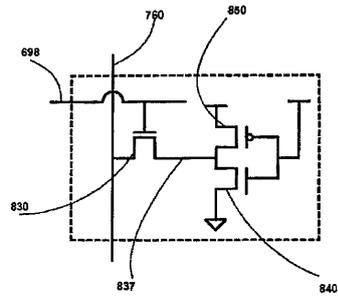


(Prior Art)

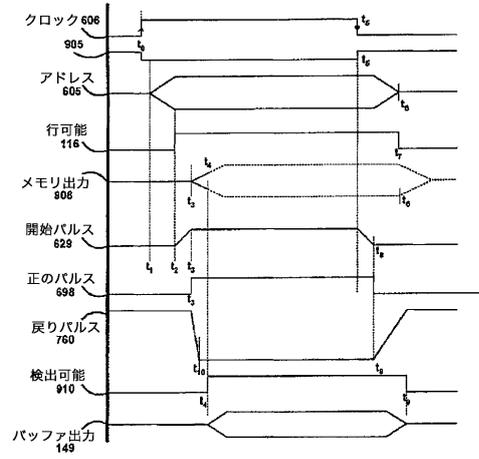
【 図 7 】



【 図 8 】



【 図 9 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US06/39758
A. CLASSIFICATION OF SUBJECT MATTER IPC: G11C 7/00(2007.01), 7/02(2007.01) USPC: 365/191,210 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/191, 210 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,724,294 A (KHIEU) 03 March 1998 (03.03.1998), whole document	1-9
A	US 5,091,879 A (TRAN) 25 February 1992 (25.02.1992), whole document	1-9
A	US 6,738,296 B2 (SUNG) 18 May 2004 (18.05.2004), whole document	1-9
A	US 7,016,245 B2 (BALASUBRAMANIAN) 21 March 2006 (21.03.2006), whole document	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 13 December 2006 (13.12.2006)		Date of mailing of the international search report 29 JAN 2007
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner of Patents P. O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer Son L. Mai <i>Son L. Mai</i> Telephone No. 571-272-1626

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ムサリフ、アブドゥル

インド国、カルナタカ、バンガロール、シー・ブイ・ラマン ナガール、 スッドゥグンタパラヤ、
ビーエムピー ナンバー： 184

(72)発明者 クリヤムパッティル、ニーシャ、パダッティル

インド国、カルナタカ、バンガロール、ネアル ベムル タウンチップ、 ジャグディーシュ、フ
ィフス メイン、セカンド クロス、 レジデンシー、ビルデン、フラット ナンバー： 006

(72)発明者 レンガラジャン、クリシュナン

インド国、カルナタカ、バンガロール、ハル セカンド ステージ、 サーティーンズ ビー
メイン、サイ ラム 79

Fターム(参考) 5B015 HH01 JJ24 KB22 KB88