

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3788105号
(P3788105)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl.	F I	
GO9G 3/36 (2006.01)	GO9G 3/36	
GO2F 1/133 (2006.01)	GO2F 1/133	575
GO9G 3/20 (2006.01)	GO9G 3/20	641Q
HO4N 5/20 (2006.01)	HO4N 5/20	
HO4N 5/202 (2006.01)	HO4N 5/202	

請求項の数 6 (全 19 頁)

<p>(21) 出願番号 特願平11-148008</p> <p>(22) 出願日 平成11年5月27日(1999.5.27)</p> <p>(65) 公開番号 特開2000-338935(P2000-338935A)</p> <p>(43) 公開日 平成12年12月8日(2000.12.8)</p> <p style="padding-left: 20px;">審査請求日 平成15年7月2日(2003.7.2)</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号</p> <p>(74) 代理人 100095728 弁理士 上柳 雅誉</p> <p>(74) 代理人 100107261 弁理士 須澤 修</p> <p>(72) 発明者 吉元 洋志 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内</p> <p style="text-align: center;">審査官 濱本 禎広</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 階調補正装置、画像表示装置および階調補正方法

(57) 【特許請求の範囲】

【請求項1】

画像の階調を示す階調データにおける所定のデータ値毎に予め定められた変換データを用いて、前記階調データに階調補正を施して補正階調データを生成する階調補正装置であって、

入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成する分割手段と、

前記変換データを前記上位階調データの取り得る各データ値に対応付けて記憶する第1の記憶手段と、

あるアドレスに対応する記憶領域に、前記第1の記憶手段において当該アドレスを1だけ進めたアドレスに対応する記憶領域に記憶されている前記変換データを記憶する第2の記憶手段と、

前記上位階調データをアドレスデータとして前記第1および第2の記憶手段に供給し、前記第1の記憶手段から第1の変換データを読み出す一方、前記第2の記憶手段から第2の変換データを読み出す読出手段と、

前記下位階調データに基づいて、前記読出手段によって読み出された前記第1および第2の変換データに補間演算を施して補正階調データを生成する補間手段とを備えることを特徴とする階調補正装置。

【請求項2】

画像の階調を示す階調データにおける所定のデータ値毎に予め定められた変換データを

10

20

用いて、前記階調データに階調補正を施して補正階調データを生成する階調補正装置であって、

入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成する分割手段と、

前記変換データを、前記下位ビットの間隔で前記上位階調データの取り得る各データ値に対応付けて交互に記憶する第1および第2の記憶手段と、

前記上位階調データに基づいて、前記第1の記憶手段および前記第2の記憶手段から、前記上位階調データのデータ値に対応する第1の変換データと当該データ値を1だけインクリメントしたデータ値に対応する第2の変換データとを読み出す読出手段と、

前記下位階調データに基づいて、前記読出手段によって読み出された前記第1および第2の変換データに補間演算を施して補正階調データを生成する補間手段と、

を備え、

前記上位階調データの最下位ビット値に基づいて、前記第1及び第2の記憶手段に入力される前記上位階調データを交互に切り換える第1の選択回路と、

前記上位階調データの最下位ビット値に基づいて、前記補間手段に入力される前記第1の変換データと前記第2の変換データとを交互に切り換える第2の選択回路と、

を更に備えることを特徴とする階調補正装置。

【請求項3】

請求項1または2に記載した階調補正装置と、

前記階調補正装置から出力される補正階調データに基づいて、画像を表示する画像表示部とを

を備えることを特徴とする画像表示装置。

【請求項4】

前記画像表示部は、液晶パネルを備えるものであって、前記変換データは、当該液晶パネルの印加電圧に対する透過率特性またはガンマ特性のうち少なくとも一方を補正するために用いられることを特徴とする請求項3に記載の画像表示装置。

【請求項5】

画像の階調を示す階調データにおける所定のデータ値毎に予め定められた変換データを用いて、前記階調データに階調補正を施す階調補正方法であって、

入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成し、

前記変換データを前記上位階調データの取り得る各データ値に対応付けて第1の記憶部に記憶し、

あるアドレスに対応する記憶領域に、前記第1の記憶部において当該アドレスを1だけ進めたアドレスに対応する記憶領域に記憶されている前記変換データを第2の記憶部に記憶し、

前記上位階調データをアドレスデータとして前記第1および第2の記憶部に供給し、前記第1の記憶部から第1の変換データを読み出す一方、前記第2の記憶部から第2の変換データを読み出し、

前記下位階調データに基づいて、読み出された前記第1および第2の変換データに補間演算を施して補正階調データを生成する

ことを特徴とする階調補正方法。

【請求項6】

画像の階調を示す階調データにおける所定のデータ値毎に予め定められた変換データを用いて、前記階調データに階調補正を施す階調補正方法であって、

入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成し、

前記下位ビットの間隔で前記上位階調データの取り得る各データ値に対応付けて、前記上位階調データの最下位ビット値に基づいて前記上位階調データを交互に切り換えて第1及び第2の記憶部に記憶し、

前記上位階調データに基づいて、前記第1の記憶部および前記第2の記憶部から、前記上位階調データのデータ値に対応する第1の変換データと当該データ値を1だけインクリメントしたデータ値に対応する第2の変換データとを読み出すとともに、前記上位階調データの最下位ビット値に基づいて交互に切り換え、

前記下位階調データに基づいて、読み出された前記第1および第2の変換データに補間演算を施して補正階調データを生成する

ことを特徴とする階調補正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像の階調を示す階調データを各データ値毎に予め定められた変換データを用いて階調補正する階調補正装置、これを用いた画像表示装置および階調補正方法に関する。

【0002】

【従来の技術】

アクティブマトリクスを用いた液晶表示装置においては、液晶の印加電圧に対する透過率特性（VT特性）やガンマ特性を補正するために、階調補正回路が用いられる。階調補正の方式としては、アナログ画像信号をログアンプで増幅して非線形特性を持たせるものや、デジタル画像信号に演算を施すもの、あるいは、メモリで構成されるルックアップテーブルを用いてデジタル画像信号を液晶表示特性に合わせた信号に変換するものが知られている。

【0003】

このうち、ルックアップテーブルを用いるものはデジタル画像信号の各階調値に対応して変換値をルックアップテーブルに格納しておき、入力されたデジタル画像信号の階調値をアドレスとしてルックアップテーブルに供給し、変換値を読み出すものである。デジタル画像信号が、例えば、8ビットで表され、かつ3原色で画像表示を行うものとするれば、ルックアップテーブルのメモリ容量は、768（=256×3）バイト必要となる。

【0004】

ところで、特開平5-64110号公報には、大画面の液晶表示装置において、ルックアップテーブルを用いて輝度むらとガンマ特性とを補正する技術が開示されている。この技術は、液晶パネル上の表示領域を複数のブロックに分割し、複数のブロックのうち代表的なものについてルックアップテーブルを設けておき、該当するルックアップテーブルが存在しないブロックについては、近くのルックアップテーブルに格納された補正データに基づいて補間処理を実行し、所望のブロックについて補正データを生成するといったものである。この技術によれば、各ブロック毎にルックアップテーブルを設ける必要がないので、メモリ容量を削減することが可能となる。

【0005】

【発明が解決しようとする課題】

しかしながら、上述した技術は、輝度むらの補正が必要となるような大画面の液晶表示装置において、ルックアップテーブルの数を削減することを目的とするものであった。このため、ルックアップテーブル自体のメモリ容量を削減することはできず、通常の液晶表示装置においては、依然として大容量のルックアップテーブルを必要とし、その記憶容量の削減が大きな問題となっていた。

【0006】

本発明は上述した事情に鑑みてなされたものであり、記憶容量を削減するのに好適な階調補正装置およびこれを用いた画像表示装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記目的を達成するために、本発明の階調補正装置は、画像の階調を示す階調データにおける所定のデータ値毎に予め定められた変換データを用いて、前記階調データに階調補

10

20

30

40

50

正を施して補正階調データを生成する階調補正装置であって、入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成する分割手段と、前記変換データを前記上位階調データの取り得る各データ値に対応付けて記憶する第1の記憶手段と、あるアドレスに対応する記憶領域に、前記第1の記憶手段において当該アドレスを1だけ進めたアドレスに対応する記憶領域に記憶されている前記変換データを記憶する第2の記憶手段と、前記上位階調データをアドレスデータとして前記第1および第2の記憶手段に供給し、前記第1の記憶手段から第1の変換データを読み出す一方、前記第2の記憶手段から第2の変換データを読み出す読出手段と、前記下位階調データに基づいて、前記読出手段によって読み出された前記第1および第2の変換データに補間演算を施して補正階調データを生成する補間手段とを備えることを特徴とする。

10

【0015】

この構成によれば、第2の記憶手段の記憶内容は、第1の記憶手段の記憶内容に比較してアドレス値が1だけずれたものとなるので、上位階調データを第1および第2の記憶手段に供給することによって、ある階調データに対応する変換データ(対象変換データ)が第1および第2の記憶手段に記憶されていなくても、対象変換データの前後に相当するものが第1および第2の変換データとして読み出されることになる。したがって、歩進データを生成する歩進手段を省略して、構成を簡易にすることができる。

【0016】

また、本発明の階調補正装置は、画像の階調を示す階調データにおける所定のデータ値毎に予め定められた変換データを用いて、前記階調データに階調補正を施して補正階調データを生成する階調補正装置であって、入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成する分割手段と、前記変換データを、前記下位ビットの間隔で前記上位階調データの取り得る各データ値に対応付けて交互に記憶する第1および第2の記憶手段と、前記上位階調データに基づいて、前記第1の記憶手段および前記第2の記憶手段から、前記上位階調データのデータ値に対応する第1の変換データと当該データ値を1だけインクリメントしたデータ値に対応する第2の変換データとを読み出す読出手段と、前記下位階調データに基づいて、前記読出手段によって読み出された前記第1および第2の変換データに補間演算を施して補正階調データを生成する補間手段と、を備え、前記上位階調データの最下位ビット値に基づいて、前記第1及び第2の記憶手段に入力される前記上位階調データを交互に切り換える第1の選択回路と、前記上位階調データの最下位ビット値に基づいて、前記補間手段に入力される前記第1の変換データと前記第2の変換データとを交互に切り換える第2の選択回路と、を更に備えることを特徴とする。

20

30

【0017】

この構成によれば、第1の記憶手段と第2の記憶手段には、変換データの一部が、下位ビットの間隔で上位階調データの取り得る各データ値に対応付けて交互に記憶される。したがって、下位ビットのビット数を X とすれば全ての変換データを記憶する場合比較して、第1および第2の記憶手段の合計の記憶容量を、 2 の X 乗の分の 1 に削減することができる。さらに、第1の記憶手段から第1の変換データを読み出すのと並行して、第2の記憶手段から第2の変換データを読み出すことができるので、第1および第2の記憶手段のアクセス時間に余裕を持たせることができる。

40

【0018】

この場合、前記第1の記憶手段は、前記上位ビットの最下位ビット値が 0 となり、かつ、前記下位ビットの各ビット値が 0 となる前記階調データに各々対応する前記変換データを記憶し、前記第2の記憶手段は、前記上位ビットの最下位ビット値が 1 となり、かつ、前記下位ビットの各ビット値が 0 となる前記階調データに各々対応する前記変換データを記憶することが好ましい。

【0021】

次に、本発明の画像表示装置は、上述した階調補正装置と、前記階調補正装置から出力される補正階調データに基づいて、画像を表示する画像表示部とを備えることを特徴とする

50

。ここで、前記画像表示部は、液晶パネルを備えるものであって、前記変換データは、当該液晶パネルの印加電圧に対する透過率特性またはガンマ特性のうち少なくとも一方を補正するために用いられることが好ましい。

【0022】

さらに、本発明は、階調補正方法として把握することもできる。この階調補正方法は、画像の階調を示す階調データの各データ値毎に予め定められた変換データの一部を用いて、前記階調データに階調補正を施すものであって、入力される前記階調データを上位ビットと下位ビットとに分割して上位階調データと下位階調データとを各々生成し、全ての前記変換データの中から前記下位ビットの間隔で抽出した前記変換データを前記上位階調データの取り得る各データ値に対応付けて記憶部に記憶し、前記上位階調データに基づいて前記記憶部から複数の前記変換データを読み出し、前記下位階調データに基づいて、複数の前記変換データに補間演算を施して前記補正階調データを生成することを特徴とする。

10

【0023】

この構成によれば、全ての変換データの中から下位ビットの間隔で抽出した変換データを記憶部に記憶するから、下位ビットのビット数を X とすれば全ての変換データを記憶する場合比較して、記憶部の記憶容量を 2 の X 乗の分の 1 に削減することができる。さらに、入力された階調データのデータ値に対応する変換データが記憶されていない場合であっても、記憶部から読み出した複数の変換データに補間演算を施して補正階調データを生成することができる。

【0024】

20

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。なお、階調補正とは、一般に、狭義には液晶の印加電圧に対する透過率特性（ V_T 特性）やガンマ特性の補正を意味し、広義には画像処理の上で必要とされる階調 - 階調変換を意味する。本実施形態の階調補正は、 V_T 特性およびガンマ特性の補正の意味に用いるが、本発明はこれに限定される趣旨ではなく、画像処理の上で必要とされる階調 - 階調変換に適用できる。

【0025】

< 1 . 第1実施形態 >

< 1 - 1 . 液晶装置の概略 >

図1は、本発明の一実施形態である液晶装置の全体構成を示すブロック図である。この図に示されるように、液晶装置1は、画像処理装置として、入力画像信号をアナログ信号からデジタル信号に変換して入力画像データ D_{in} として出力するA/D変換器10、入力画像データ D_{in} に階調補正を施して補正画像データ D_{out} を生成する階調補正ユニット20、補正画像データ D_{out} をデジタル信号からアナログ信号に変換して補正画像信号 V_{out} として出力するD/A変換器30、入力画像信号に基づいて各種のタイミング信号 S_t を生成するタイミング発生回路40、液晶装置1の全体を制御するCPU50、および階調補正に用いられる各種の変換画像データ D' を格納したROM60を備えるとともに、画像表示部として、液晶表示装置70を備えている。なお、この例にあつては、入力画像データ D_{in} と補正画像データ D_{out} のビット数は、ともに8ビットで表されるものとする。

30

【0026】

40

ここで、液晶表示装置70は、複数の走査線と複数のデータ線とを備え、走査線とデータ線との交差に対応してマトリクス状に配置された画素電極及びスイッチング素子とを有する液晶パネル、データ線や走査線などに、データ線信号や走査信号などを所定タイミングで供給するためのデータ線駆動回路や、走査線駆動回路などから構成されている。

【0027】

また、階調補正ユニット20は、後述するようにRAMを備えており、ROM60から読み出された変換画像データ D' が、そこにロードされるようになっている。変換画像データ D' のデータ値は、入力画像データ D_{in} のデータ値に対応して V_T 特性およびガンマ特性が補正された結果を示すように設定してある。入力画像データ D_{in} のデータ値を x としたとき、変換画像データ D' のデータ値は、 x を変数とする関数によって定まる。以下、

50

当該関数を $f(x)$ と記載することにする。

【0028】

但し、変換画像データ D' は、入力画像データ D_{in} の各データ値の全てについて用意されているわけではなく、飛び飛びのデータ値（この例では4個に1個の割合）について予め用意されている。このため、階調補正ユニット20は、ある変換画像データ D' と次の変換画像データ D' の中間にある変換画像データ D' を補間演算によって算出し、補正画像データ D_{out} として出力するようになっている。

【0029】

< 1 - 2 . 階調補正ユニット >

次に、階調補正ユニット20の構成について説明する。図2は階調補正ユニット20のブロック図である。この図に示すように、階調補正ユニット20では、入力画像データ D_{in} をその上位6ビット（以下、上位画像データ D_a と称する）とその下位2ビット（以下、下位画像データ D_b と称する）とに分割している。

【0030】

また、階調補正ユニット20は、上位画像データ D_a のデータ値を「1」だけインクリメントする加算器201、上位画像データ D_a と加算器201の出力データとを選択するスイッチ202、変換画像データ D' を格納するとともにスイッチ202の出力データをアドレスデータとして入力し、これに対応する変換画像データ D' を出力するRAM203、変換画像データ D' をラッチするラッチ回路204、および下位画像データ D_b に基づいて2つの変換画像データ D' に補間を施して補正画像データ D_{out} を生成する補間回路205を備えている。

【0031】

ここで、RAM203の記憶内容を図3に示す。この図に示すように、RAM203には、アドレス値 n (n は0から64までの整数) で指示される記憶領域に入力画像データ値 $4n$ に対応する変換画像データ $f(4n)$ が格納されている。すなわち、RAM203には4毎の入力画像データ値 $x = 0, 4, 8, \dots, 4n, \dots, 256$ に各々対応する変換画像データ D' が格納されている。このため、入力画像データ D_{in} の取り得る各データ値の全てについて変換画像データ D' を記憶する場合と比較して、RAM203の記憶容量を略1/4に削減することが可能である。

【0032】

なお、入力画像データ D_{in} は0~255のデータ値を取り得る8ビットのデータであるから、入力画像データ値 $x = 256$ は現実には存在しない。しかし、補間によって入力画像データ値 $x = 253, 254, 255$ に対応する変換画像データ D' を算出するためには、入力画像データ値 $x = 256$ に対応する変換画像データ $f(256)$ が必要となるため、これをRAM203に格納している。

【0033】

以上の構成において、入力画像データ D_{in} が階調補正ユニット20に供給されると、入力画像データ D_{in} が上位画像データ D_a と下位画像データ D_b とに分割される。ここで、上位画像データ D_a のデータ値を k 、下位画像データ D_b のデータ値を j で表すことにする。この場合、入力画像データ D_{in} のデータ値 x は、 $x = 4k + j$ となる。

【0034】

この上位画像データ D_a は加算器201およびスイッチ202に供給される。スイッチ202は1サンプリング期間の前半で上位画像データ $[k]$ を選択する一方、当該期間の後半で加算器201の出力データ $[k+1]$ を選択する。したがって、1サンプリング期間の前半に上位画像データ $[k]$ がRAM203にアドレスデータとして供給される。すると、これに対応する変換画像データ $f(4k)$ が読み出され、ラッチ回路204によって1サンプリング期間保持される。一方、1サンプリング期間の後半に加算器201の出力データ $[k+1]$ がRAM203に供給されると、これに対応する変換画像データ $f(4k+4)$ が読み出される。すなわち、この例にあっては、入力画像データ D_{in} の1サンプリング期間中に、上位画像データ D_a と加算器201の出力データとに基づいてRAM203から

10

20

30

40

50

、2つの変換画像データD'を時分割で読み出している。

【0035】

また、補間回路205には下位画像データ[j]が供給されており、下位画像データ[j]と $f(4k)$ および $f(4k+4)$ とに基づいて、補正画像データDoutが生成される。

【0036】

ここで、補間回路205の補間方法について図4を参照して説明する。図4は、入力画像データDinのデータ値と変換画像データD'のデータ値との関係を示すグラフである。なお、黒丸で図示したものがRAM203に記憶されている実データであり、x印で図示したものが補間演算によって算出すべきデータである。

【0037】

この例のように入力画像データ値が $4k+j$ であるとすると、補間演算によって算出すべきデータ値 $f(4k+j)$ は、 $f(4k)$ および $f(4k+4)$ を用いて、次に示す式(1)によって与えられる。

【0038】

$$f(4k+j) = \{ j \cdot f(4k+4) + (4-j) \cdot f(4k) \} / 4$$

...式(1)

すなわち、内分の比に応じて直線補間を演算している。

【0039】

例えば、入力画像データDinのデータ値 $[4k+j]$ が「01010001」(81)であるとすると、上位画像データDaのデータ値[k]は「010100」(20)となり、下位画像データDbのデータ値[j]は「01」(1)となる。当該サンプリング期間の前半では、上位画像データ「010100」($k=20$)がアドレスデータとしてRAM203に供給され、 $4k=80$ に対応する変換画像データ $f(80)$ が読み出される。また、当該サンプリング期間の後半では、上位画像データ「010100」を「1」だけインクリメントした「010101」($k+1=21$)がアドレスとしてRAM203に供給され、 $4k+4=84$ に対応する変換画像データ $f(84)$ が読み出される。この後、補間回路205は、式(1)に従って、以下の演算を実行して補間データ $f(81)$ を算出する。

【0040】

$$f(80+1) = \{ f(84) + 3 \cdot f(80) \} / 4$$

<1-3.補間回路>

次に、補間回路205について、より詳細に説明する。式(1)を実行する補間回路205の機能ブロック図を図5に示す。まず、下位画像データ[j]が減算器211に供給されると、 $(4-j)$ が演算され、乗算器212においてこの演算結果 $(4-j)$ と $f(4k)$ とが乗算され、 $(4-j) \cdot f(4k)$ が得られる。また、乗算器213は下位画像データjと $f(4k+4)$ とを乗算して $j \cdot f(4k+4)$ を出力する。次に、加算器214によって、乗算器212, 213の出力データが加算され、 $j \cdot f(4k+4) + (4-j) \cdot f(4k)$ が得られた後、ビットシフト215によって、2ビットのビットシフトが行われ、これにより「 $\div 4$ 」の演算が実行される。一般に除算器は回路規模が大きくなるが、この例では、2の階乗の除算を行うので、ビットシフトにより除算を実行することができる。ここで、除数「4」は、 $f(4k)$ と $f(4k+4)$ との間隔、すなわち、下位画像データDbのビット数をYとしたとき、2のY乗となる。したがって、入力画像データDinを上位ビットと下位ビットに分割し、上位ビットに相当する変換画像データD'を実データとして記憶しておき、ある変換画像データD'と次の変換画像データD'との中間のデータを補間演算により算出する場合には、補間回路の回路構成を簡易なものにすることができる。

【0041】

図5に示す機能ブロックにおいては、乗算器212, 213を用いて乗算を実行しているが、一般に乗算器は回路規模が大きくなる。このため、乗算器を使用しない回路構成が望ましい。図6は、乗算器を使用しない補間回路のブロック図である。図に示すように補間

10

20

30

40

50

回路 205 は、下位ビット方向へ 1 ビットのビットシフトを行うビットシフタ 221, 223、下位ビット方向へ 2 ビットのビットシフトを行うビットシフタ 222, 224、加算器 225, 226, 227、および選択回路 228 から構成されている。

【0042】

ここで、加算器 225, 226, 227 の各出力は以下に示す式 (2) ~ (4) で与えられる。

【0043】

1) 加算器 225 の出力

$$f(4k)/2 + f(4k)/4 + f(4k+4)/4 \\ = \{3 \cdot f(4k) + f(4k+4)\} / 4 \dots \dots \text{式 (2)}$$

10

式 (2) より加算器 225 の出力は、 $f(4k)$ と $f(4k+4)$ とを 3 : 1 の割合で合成したものであるから、 $f(4k+1)$ に相当する ($j = 1$)。

【0044】

2) 加算器 226 の出力

$$f(4k)/2 + f(4k+4)/2 \\ = \{2 \cdot f(4k) + 2 \cdot f(4k+4)\} / 4 \dots \dots \text{式 (3)}$$

式 (3) より加算器 226 の出力は、 $f(4k)$ と $f(4k+4)$ とを 1 : 1 の割合で合成したものであるから、 $f(4k+2)$ に相当する ($j = 2$)。

【0045】

3) 加算器 227 の出力は、以下に示す式 (4) で与えられる。

20

【0046】

$$f(4k)/4 + f(4k+4)/2 + f(4k+4)/4 \\ = \{f(4k) + 3 \cdot f(4k+4)\} / 4 \dots \dots \text{式 (4)}$$

式 (4) より加算器 227 の出力は、 $f(4k)$ と $f(4k+4)$ とを 1 : 3 の割合で合成したものであるから、 $f(4k+3)$ に相当する ($j = 3$)。

【0047】

このように、加算器 225, 226, 227 の各出力は $j = 1, 2, 3$ に各々対応し、また、 $f(4k)$ は $j = 0$ に対応するから、下位画像データ $[j]$ に応じて $f(4k)$ と加算器 225, 226, 227 の各出力を選択すれば、補間データが得られることになる。選択回路 228 はこのために設けられたものであり、下位画像データ $[j]$ に基づいて、各入力データを選択し補正画像データ D_{out} として出力している。具体的には、 $j = 0$ では $f(4k)$ を、 $j = 1$ では加算器 225 の出力を、 $j = 2$ では加算器 226 の出力を、 $j = 3$ では加算器 227 の出力を各々選択する。これにより、補正画像データ D_{out} が生成される。この例では、乗算器を用いることなく補間回路 205 を構成したので、補間回路 205 の回路規模を大幅に削減することが可能である。なお、選択回路をビットシフタ 221 ~ 224 の後段に設け、選択回路の出力を 1 つの加算器によって加算することによって、回路構成をより一層簡易なものにすることもできる。

30

【0048】

< 2. 第 2 実施形態 >

上述した第 1 実施形態にあつては、1 個の RAM 203 から上位画像データ $[k]$ に対応する変換画像データ $f(4k)$ と、上位画像データ $[k]$ を 1 だけインクリメントした $[k+1]$ に対応する変換画像データ $f(4k+4)$ とを 1 サンプリング期間中に読み出している。このため、入力画像データ D_{in} の転送レートが高速になると RAM 203 はアクセス時間が間に合わなくなる可能性がある。また、逆に高速の転送レートに対応しようとするれば、RAM 203 としてアクセス時間の短いものを使用する必要があり、製品のコストが上昇したり、消費電力が増大するといった不都合がある。

40

【0049】

第 2 実施形態はこれらの点に鑑みてなされたものであり、2 個の RAM を使用することにより、入力画像データ D_{in} の転送レートが高速な場合にも十分動作な液晶装置を提供するものである。

50

【0050】

第2実施形態の液晶装置は、階調補正ユニットの詳細な構成を除いて図1に示す第1実施形態の液晶装置と同様に構成されている。以下、第2実施形態に係る階調補正ユニット21について説明する。図7は、第2実施形態に係る階調補正ユニット21の構成を示すブロック図である。階調補正ユニット21は、RAM203の代わりにRAM203a、203bを使用する点、およびスイッチ202およびラッチ回路204を省略した点が、図2に示す第1実施形態の階調補正ユニット20と相違する。

【0051】

ここで、RAM203aおよびRAM203bの記憶内容は、第1実施形態のRAM203と同様であり、図3に示すように、アドレス値 n (n は0から64までの整数)で指示される記憶領域に入力画像データ値 $4n$ に対応する変換画像データ $f(4n)$ が格納されている。すなわち、RAM203には4毎の入力画像データ値 $x = 0, 4, 8, \dots, 4n, \dots, 256$ に各々対応する変換画像データ D' が格納されている。この場合、RAM203aとRAM203bの記憶容量は、第1実施形態と比較して2倍となるが、全ての階調値に対応する変換画像データ D' を記憶する場合と比較して、記憶容量を $1/2$ に削減することができる。

10

【0052】

以上の構成において、上位画像データ $[k]$ がアドレスデータとしてRAM203aに供給されると、RAM203aから変換画像データ $f(4k)$ が読み出される。また、これと並行して、加算器201を介してデータ値が「1」だけインクリメントされた上位画像データ $[k+1]$ がRAM203bに供給されると、変換画像データ $f(4k+4)$ が読み出される。すなわち、この例では、第1実施形態のように1つRAMを時分割で使用して1サンプリング期間に2つの変換画像データ D' を読み出すのではなく、予め2つのRAMを用意しておき、各RAMから変換画像データ D' を各々読み出すようにしている。

20

【0053】

この後、補間回路205は、第1実施形態と同様に、式(1)に従って、 $f(4k)$ 、 $f(4k+4)$ 、および下位画像データ $[j]$ に基づいて補間演算を実行し、補正画像データ D_{out} を算出する。

【0054】

このように本実施形態によれば、RAM203aとRAM203bとを用いたので、RAM203aおよび203bのアクセス時間に余裕を持たせることができ、入力画像データ D_{in} の転送レートが高速になっても変換画像データ $f(4k)$ および $f(4k+4)$ を確実に読み出すことが可能である。

30

【0055】

ところで、図7に示すRAM203bに供給されるアドレスデータは、常に、RAM203aに供給されるアドレスデータを「1」だけインクリメントしたものである。したがって、RAM203bに記憶する変換画像データ D' を「1」だけずらして格納しておけば、加算器201を省略することが可能である。

【0056】

上述した観点から構成した階調補正ユニット22を図8に示す。この図に示すように、階調補正ユニット22では加算器201が省略されている。また、RAM203aとRAM203cの記憶内容は、図9に示すように同一のアドレスにおいてRAM203cの変換画像データ D' が、RAM203aの変換画像データ D' より「1」進んで記憶されている。換言すれば、RAM203cは、あるアドレス値に対応する記憶領域に、RAM203aにおいて当該アドレス値を1だけ進めたアドレス値に対応する記憶領域に記憶されている変換画像データ D' を記憶している。

40

【0057】

このため、例えば、上位画像データ D_a のデータ値が k であるとすれば、RAM203aから $f(4k)$ 、RAM203cから $f(4k+4)$ が同時に読み出されることになる。これにより、補間回路205は、 $f(4k)$ 、 $f(4k+4)$ 、および下位画像データ $[$

50

j]に基づいて補正画像データD outを生成することができる。

【0058】

< 3 . 第3実施形態 >

上述した第2実施形態の液晶装置にあつては、RAMのアクセス時間に余裕を持たせることができたが、その記憶容量は第1実施形態のものと比較して2倍に増加している。第3実施形態はこの点に鑑みてなされたものであり、RAMのアクセス時間に余裕を持たせつつ、RAMの記憶容量を削減するものである。

【0059】

第3実施形態の液晶装置は、階調補正ユニットの詳細な構成を除いて図1に示す第1実施形態の液晶装置と同様に構成されている。以下、第3実施形態に係る階調補正ユニット23について説明する。図10は、第3実施形態に係る階調補正ユニット23の構成を示すブロック図である。階調補正ユニット23は、RAM203a, 203bの代わりにRAM203d, 203eを使用する点、選択回路206, 207を追加した点が、図7に示す第2実施形態の階調補正ユニット21と相違する。

10

【0060】

まず、選択回路206, 207は、上位画像データDaの最下位ビット値(LSB値)に基づいて、入出力端子の接続状態を切り換えている。具体的には、選択回路206において、LSBが「0」の場合には、入力端子a1と出力端子b1を接続するとともに入力端子a2と出力端子b2とを接続する一方、LSB値が「1」の場合には、入力端子a1と出力端子b2を接続するとともに入力端子a2と出力端子b1とを接続する。また、選択回路207は、LSB値が「0」の場合には、入力端子c1と出力端子d1を接続するとともに入力端子c2と出力端子d2とを接続する一方、LSB値が「1」の場合には、入力端子c1と出力端子d2を接続するとともに入力端子c2と出力端子d1とを接続する。

20

【0061】

次に、RAM203dとRAM203eの記憶内容を図11に示す。この図に示すようにRAM203dにはアドレス値n(nは0から32までの整数)で指示される記憶領域に変換画像データf(8n)が記憶されており、RAM203eにはアドレス値n(nは0から31までの整数)で指示される記憶領域に変換画像データf(8n+4)が記憶されている。すなわち、入力画像データ値x=0, 4, 8, 12, ..., 8n, 8n+4, ..., 252, 256のうち、入力画像データ値x=0, 8, ..., 8n, ..., 256に対応する変換画像データD'をRAM203dに記憶する一方、入力画像データ値x=4, 12, ..., 8n+4, ..., 252に対応する変換画像データD'をRAM203eに記憶している。

30

【0062】

したがって、RAM203dとRAM203eは、各々8毎に変換画像データD'を記憶している。換言すれば、第1実施形態のRAM203の記憶内容(図3参照)をRAM203dとRAM203eとに交互に振り分けて記憶している。したがって、RAM203dとRAM203eとの合計の記憶容量は、RAM203の記憶容量と一致するので、全ての変換画像データD'を記憶する場合と比較して、記憶容量を1/4に削減することができる。

40

【0063】

次に、階調補正ユニット23の動作について説明する。まず、データ値kの上位画像データDaのLSB値が「0」であるとすれば、データ値kの上位画像データDaがアドレスデータとしてRAM203dおよびRAM203eに供給される。このため、RAM203dから変換画像データf(8k)が読み出される一方、RAM203eから変換画像データf(8k+4)が読み出される。この時、選択回路207は直線的に入出力端子を接続するので、補間回路205の入力端子205Aにはf(8k)、入力端子205Bにはf(8k+4)が供給されることになる。

【0064】

50

次に、データ値 k の上位画像データ D_a の $L S B$ 値が「1」であるとすれば、選択回路 206 は入出力端子をたすき掛けで接続するので、RAM 203e には上位画像データ $[k]$ がアドレスデータとして供給される。RAM 203d には加算器 201 によって「1」だけインクリメントされた上位画像データ $[k+1]$ がアドレスデータとして供給される。したがって、RAM 203e から変換画像データ $f(8k+4)$ が、RAM 203d から変換画像データ $f(8k+8)$ が読み出される。この時、選択回路 207 は入出力端子をたすき掛けに接続するので、補間回路 205 の入力端子 205A には $f(8k+4)$ 、入力端子 205B には $f(8k+8)$ が供給されることになる。

【0065】

補間回路 205 では、ある変換画像データ D' と次の変換画像データ D' とにも続いて、中間の変換画像データ D' を補間演算により算出するが、この例によれば、上位画像データ D_a の $L S B$ 値と無関係に、補間回路 205 の入力端子 205A にある変換画像データ D' が供給されるとともに、入力端子 205B に次の変換画像データ D' が供給される。したがって、補間回路 205 は第 1 実施形態と同様に補間演算を実行して補正画像データ D_{out} を生成する。

【0066】

このように本実施形態にあっては、4 毎の変換画像データ D' を RAM 203d と RAM 203e とに交互に振り分けて記憶したので、全ての変換画像データ D' を記憶する場合と比較して、記憶容量を $1/4$ に削減することができる。さらに、RAM 203d と RAM 203e から各々補間演算に用いる変換画像データ D' を読み出すようにしたので、アクセス時間に余裕を持たせることができる。

【0067】

< 4 . 第 4 実施形態 >

上述した第 3 実施形態の液晶装置は、RAM 203d , 203e に 4 毎の変換画像データ D' を交互に記憶するものであったが、アドレスデータの生成および変換画像データ D' を後段の補間回路 205 に供給するために、加算器 201、選択回路 206 , 207 を設ける必要がある。

【0068】

ところで、RAM に記憶すべき変換画像データ D' は上位画像データ D_a のビット数分だけしか用意しないため飛び飛びのものとなる。しかし、階調補正に用いる変換画像データ D' は相関性が強いので、RAM に記憶すべき変換画像データ D' のうち隣接するものは急激に変化しない。したがって、隣接する変換画像データ D' の差分値は通常の変換画像データ D' に比較してデータ量が少ない。

【0069】

第 4 実施形態はこの点に着目してなされたものであり、第 4 実施形態の液晶装置は、RAM の記憶内容を工夫することによって、その記憶容量をさほど増大させることなく、より簡易な構成で RAM のアクセス時間に余裕を持たせるものである。

【0070】

まず、第 4 実施形態の具体的な構成を説明する前に、補間の方法について説明する。第 4 実施形態では第 1 実施形態と同様に直線補間を行う。この場合、補間演算の演算式は上述した式 (1) で与えられる。ここで、式 (1) を以下のように変形して式 (5) を得ることができる。

【0071】

$$\begin{aligned}
 & f(4k+j) \\
 &= \{ j \cdot f(4k+4) + (4-j) \cdot f(4k) \} / 4 \\
 &= \{ j \cdot f(4k+4) - j \cdot f(4k) + 4 \cdot f(4k) \} / 4 \\
 &= [\{ f(4k+4) - f(4k) \} / 4] \cdot j + f(4k) \dots \dots \text{式 (5)}
 \end{aligned}$$

式 (5) によれば、 $f(4k)$ と $f(4k+4) - f(4k)$ とが与えられれば、下位画

10

20

30

40

50

像データ[j]に基づいて、補正画像データ $f(4k + j)$ を算出できることになる。

【0072】

そこで、本実施形態では、 $f(4k)$ と $f(4k + 4) - f(4k)$ とを各々 RAM に格納し、必要に応じて読み出すようにしている。

【0073】

次に、第4実施形態に係る液晶装置の具体的な構成は、階調補正ユニットの詳細な構成を除いて図1に示す第1実施形態の液晶装置と同様である。以下、第4実施形態に係る階調補正ユニット24について説明する。図12は、第4実施形態に係る階調補正ユニット24の構成を示すブロック図である。階調補正ユニット24は、RAM 203f、203g および補間回路208から構成されており、図10に示す第3実施形態の階調補正ユニット23と比較して、加算器201および選択回路206、207が省略されている。

10

【0074】

ここで、RAM 203f と RAM 203g の記憶内容を図13に示す。この図に示すように RAM 203f にはアドレス値 n に対応して変換画像データ $f(4n)$ が記憶される一方、RAM 203g にはアドレス値 n に対応して差分変換画像データ $f(4n) = f(4n + 4) - f(4n)$ が記憶されている。ここで、差分変換画像データ $f(4n)$ は、隣接する変換画像データ D' の差分であるから、そのビット数は変換画像データ D' と比較して少なくなる。このため、RAM 203g の記憶容量は RAM 203f の記憶容量と比較して極めて少なくても足りる。したがって、RAM 203f と RAM 203g の記憶容量の合計は、第3実施形態の RAM 203d と RAM 203e の記憶容量の合計と比べて、さほど増加しない。

20

【0075】

次に、補間回路208の構成を図14に示す。この図に示すように補間回路208は、2ビットのビットシフトを行うビットシフタ231、乗算器232、および加算器233を備えている。ここで、入力画像データ D_{in} のデータ値を $x = 4k + j$ 、上位画像データ D_a のデータ値を k 、下位画像データ D_b のデータ値を j とすると、RAM 203f から変換画像データ $f(4k)$ 、RAM 203g から差分変換画像データ $f(4k)$ が各々読み出される。

【0076】

ビットシフタ231が差分変換画像データ $f(4k)$ にビットシフトを施すことによって、 $f(4k)/4$ を出力する。この後、乗算器232が $f(4k)/4$ と下位画像データ[j]とを乗算して $j \cdot f(4k)/4$ を生成すると、加算器233は変換画像データ $f(4k)$ と乗算結果とを加算して $f(4k)/4 + f(4k)$ を補正画像データ D_{out} として生成する。

30

【0077】

このように本実施形態によれば、予め変換画像データ $f(4n)$ と差分変換画像データ $f(4n)$ とを RAM 203f および RAM 203g に各々格納したので、記憶容量をさほど増加させることなく、階調補正ユニット24全体の構成を簡略化することができ、しかも、RAM 203f および RAM 203g のアクセス時間に余裕を持たせることが可能となる。

40

【0078】

<5. 応用例>

次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0079】

<その1：プロジェクタ>

まず、この液晶パネルをライトバルブとして用いたプロジェクタについて説明する。図15は、プロジェクタの構成例を示す平面図である。

【0080】

この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射

50

出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

【0081】

液晶パネル1110R、1110Bおよび1110Gおよびこれを駆動する駆動回路は上述した液晶表示装置70において、入力を3系統に拡張したものである。この場合、上述した液晶装置1において、階調補正ユニットを3系統設け、R、G、Bの各原色信号に対応する補正画像データDoutを生成し、これを液晶表示装置に供給している。

【0082】

そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0083】

<その2：モバイル型コンピュータ>

次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図16は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206に、上述した液晶装置1を適用することができる。

【0084】

<その3：携帯電話>

さらに、この液晶装置1を、携帯電話に適用した例について説明する。図17は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302とともに、反射型の液晶パネル1005を備えるものである。

【0085】

なお、図15～図17を参照して説明した電子機器の他にも、液晶テレビや、ビューファイナダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0086】

<6.変形例>

本発明は上述した実施形態に限定されるものではなく、例えば、以下に述べる各種の変形が可能である。

【0087】

(1) 上述した実施形態にあつては、補正画像データDoutをD/A変換器30でアナログ画像信号に変換した後、液晶表示装置70に供給したが、液晶表示装置70がデジタル信号入力に対応したものであれば、補正画像データDoutを液晶表示装置70に直接供給してもよいことは勿論である。

【0088】

(2) 上述した実施形態において、ROM60に入力画像の特性に応じた各種の変換画像データD'を格納しておき、入力画像に応じて階調補正ユニットにロードする変換画像データD'を切り換えるようにしてもよい。例えば、パーソナルコンピュータで生成されるグラフィックデータを表示する場合と、映像信号を表示する場合とで、変換画像データD'を選択するようにしてもよい。また、ROM60を用いることなく変換画像データD'を外部装置で生成してロードするようにしてもよい。さらに、パーソナルコンピュータに適用する場合にあつては、ハードディスク等に変換画像データD'を記憶しておき、その初

10

20

30

40

50

期化時にハードディスクから変換画像データD'をロードするようにしてもよい。

【0089】

(3) 上述した実施形態において、補間回路205等ではビットシフトを用いて除算を行っていたが、除算結果の下位ビットが表示画像の品質に与える影響が少ないのであれば、これを無視するようにして後段の加算器の構成を簡略化してもよい。

【0090】

(4) 上述した実施形態においては、8ビットの入力画像データD_{in}を上位6ビットと下位2ビットに分割したが、本発明はこれに限定されるものではなく、入力画像データD_{in}のビット数、上位ビット数、および下位ビット数は任意に定めることが可能である。例えば、入力画像データD_{in}のビット数を $L = M + N$ 、上位ビット数をM、下位ビット数をNとすれば、第1実施形態のRAM203、第2実施形態のRAM203a~203c、第4実施形態のRAM203fには、入力画像データD_{in}の各データ値に対応する変換画像データD'の中から、下位ビットの間隔(2のN乗の間隔)で抽出した変換画像データD'をMビットの上位画像データD_aの取り得る各データ値に対応づけて記憶すればよい。また、第3実施形態のRAM203dとRAM203eには、下位ビットの間隔(2のN乗の間隔)で変換画像データD'の一部を交互に割り振って記憶すればよい。

10

【0091】

(5) 上述した実施形態においては、下位画像データD_bに基づいて、2つの変換画像データD'に補間演算を施すことにより補正画像データD_{out}を生成するようにしたが、補間演算の手法は直線補間に限られず、最小二乗法による補間であってもよい。さらに、2つの変換画像データD'から補間を行ったが、3以上の変換画像データD'から補間を行うようにしてもよいことは勿論である。

20

【0092】

【発明の効果】

以上説明したように本発明よれば、階調補正を行うための変換データの一部について記憶しておき、中間の変換データについては補間演算により算出するようにしたので、変換データを記憶する記憶手段の記憶容量を大幅に削減することが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施形態である液晶装置の全体構成を示すブロック図である。

【図2】 第1実施形態に係る階調補正ユニット20のブロック図である。

30

【図3】 同実施形態に用いられるRAM203の記憶内容を示す図である。

【図4】 同実施形態において入力画像データD_{in}のデータ値と変換画像データD'のデータ値との関係を示すグラフである。

【図5】 同実施形態に用いられる補間回路205の機能ブロック図である。

【図6】 乗算器を使用しない補間回路205のブロック図である。

【図7】 第2実施形態に係る階調補正ユニット21の構成を示すブロック図である。

【図8】 同実施形態に係る階調補正ユニット22の構成を示すブロック図である。

【図9】 同実施形態に用いられるRAM203aとRAM203cの記憶内容を示す図である。

【図10】 第3実施形態に係る階調補正ユニット23の構成を示すブロック図である。

40

【図11】 同実施形態に用いられるRAM203dとRAM203eの記憶内容を示す図である。

【図12】 第4実施形態に係る階調補正ユニット24の構成を示すブロック図である。

【図13】 同実施形態に用いられるRAM203fとRAM203gの記憶内容を示す図である。

【図14】 同実施形態に係る補間回路208の構成を示すブロック図である。

【図15】 同液晶装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図16】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

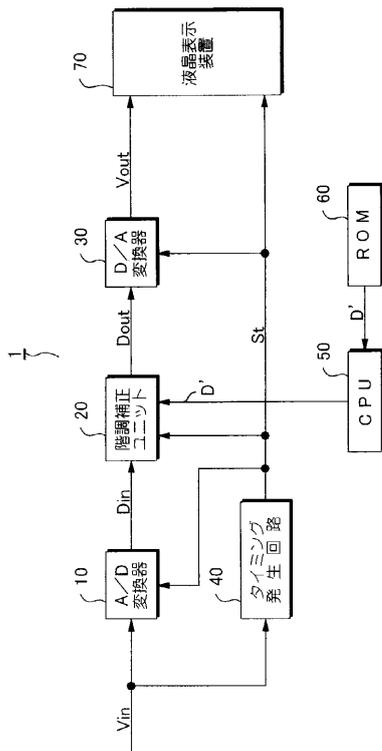
50

【図17】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

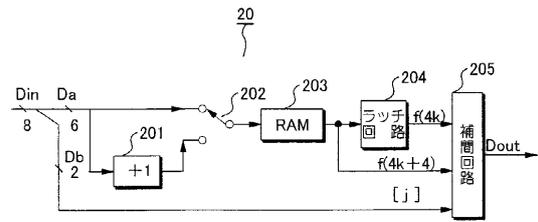
【符号の説明】

- 20 ~ 24 階調補正ユニット (階調補正装置)
- 70 液晶表示装置 (画像表示部)
- 203, 203a ~ 203f RAM (記憶手段、記憶部)
- 201 加算器 (読出手段)
- 202 スイッチ (読出手段)
- 205, 208 補間回路 (補間手段)
- 206, 207 選択回路 (読出手段)
- Da 上位画像データ (上位階調データ)
- Db 下位画像データ (下位階調データ)
- Din 入力画像データ (階調データ)
- D' 変換画像データ (変換データ)
- Dout 補正画像データ (補正階調データ)

【図1】



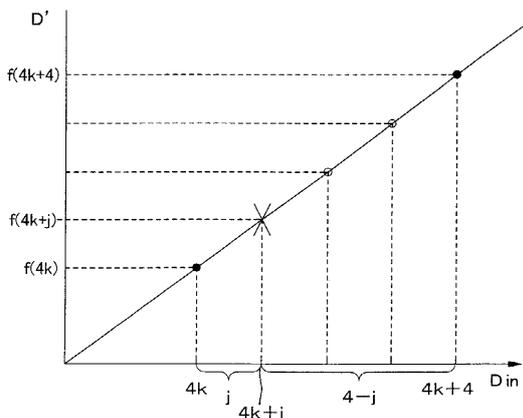
【図2】



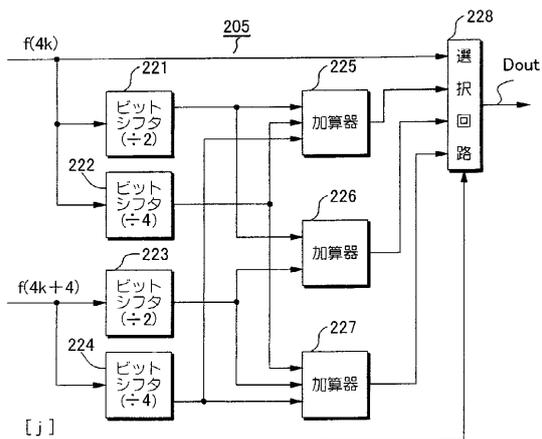
【図3】

アドレス	データ
0	入力画像データ値 0 に対応する変換値 $f(0)$
1	入力画像データ値 4 に対応する変換値 $f(4)$
2	入力画像データ値 8 に対応する変換値 $f(8)$
⋮	⋮
n	入力画像データ値 $4n$ に対応する変換値 $f(4n)$
⋮	⋮
64	入力画像データ値 256 に対応する変換値 $f(256)$

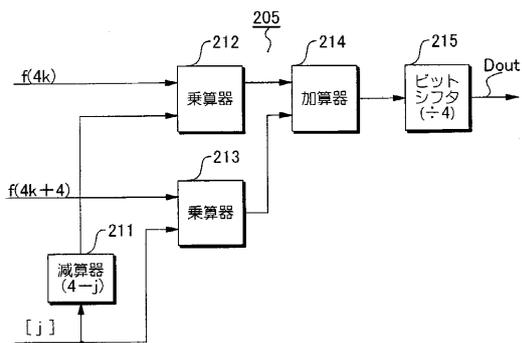
【 図 4 】



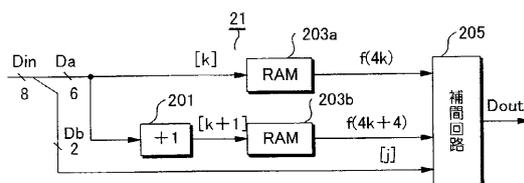
【 図 6 】



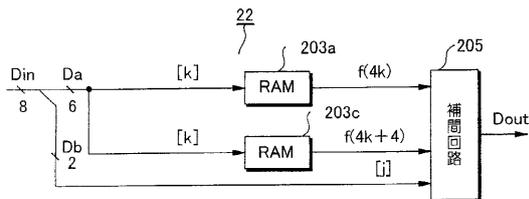
【 図 5 】



【 図 7 】



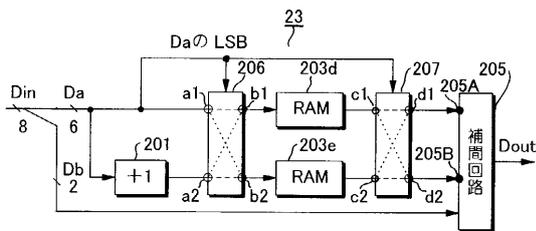
【 図 8 】



【 図 9 】

アドレス	データ (RAM203a)	データ (RAM203c)
0	入力画像データ値 0 に対応する変換値 f(0)	入力画像データ値 4 に対応する変換値 f(4)
1	入力画像データ値 4 に対応する変換値 f(4)	入力画像データ値 8 に対応する変換値 f(8)
2	入力画像データ値 8 に対応する変換値 f(8)	入力画像データ値 12 に対応する変換値 f(12)
...
n	入力画像データ値 4n に対応する変換値 f(4n)	入力画像データ値 4n+4 に対応する変換値 f(4n+4)
...
63	入力画像データ値 252 に対応する変換値 f(252)	入力画像データ値 256 に対応する変換値 f(256)

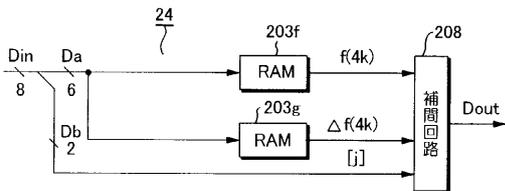
【 図 1 0 】



【 図 1 1 】

外	データ (RAM203d)	データ (RAM203e)
0	入力画像データ値 0 に対応する変換値 f(0)	入力画像データ値 4 に対応する変換値 f(4)
1	入力画像データ値 4 に対応する変換値 f(4)	入力画像データ値 12 に対応する変換値 f(12)
2	入力画像データ値 8 に対応する変換値 f(8)	入力画像データ値 20 に対応する変換値 f(20)
⋮	⋮	⋮
n	入力画像データ値 8n に対応する変換値 f(8n)	入力画像データ値 8n+4 に対応する変換値 f(8n+4)
⋮	⋮	⋮
31	入力画像データ値 248 に対応する変換値 f(248)	入力画像データ値 248 に対応する変換値 f(248)
32	入力画像データ値 256 に対応する変換値 f(256)	_____

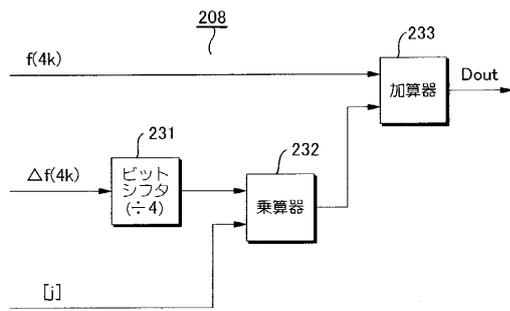
【 図 1 2 】



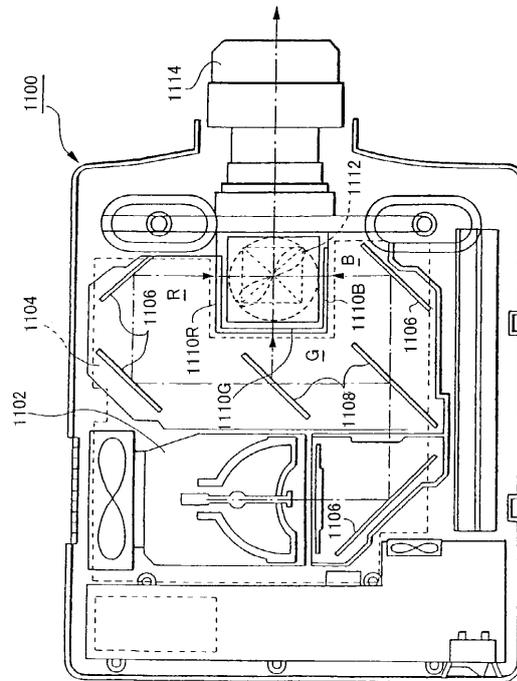
【 図 1 3 】

アドレス	データ (RAM203f)	データ (RAM203g)
0	入力画像データ値 0 に対応する変換値 f(0)	(入力画像データ値 4 に対応する変換値 f(4)) - (入力画像データ値 0 に対応する変換値 f(0))
1	入力画像データ値 4 に対応する変換値 f(4)	(入力画像データ値 8 に対応する変換値 f(8)) - (入力画像データ値 4 に対応する変換値 f(4))
2	入力画像データ値 8 に対応する変換値 f(8)	(入力画像データ値 12 に対応する変換値 f(12)) - (入力画像データ値 8 に対応する変換値 f(8))
⋮	⋮	⋮
n	入力画像データ値 4n に対応する変換値 f(4n)	(入力画像データ値 4n+4 に対応する変換値 f(4n+4)) - (入力画像データ値 4n に対応する変換値 f(4n))
⋮	⋮	⋮
63	入力画像データ値 252 に対応する変換値 f(252)	(入力画像データ値 256 に対応する変換値 f(256)) - (入力画像データ値 252 に対応する変換値 f(252))

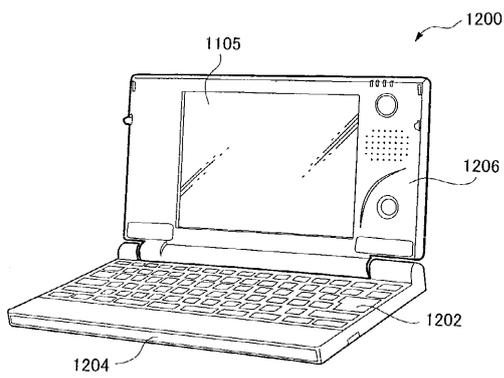
【 図 1 4 】



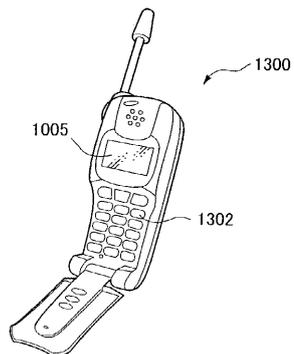
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

- (56)参考文献 特開平09 - 098309 (JP, A)
特開平06 - 233131 (JP, A)
特開平10 - 136210 (JP, A)
特開平05 - 232449 (JP, A)
特開平10 - 313418 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G09G 3/00-3/38

G02F 1/133