



(12) 发明专利

(10) 授权公告号 CN 108701474 B

(45) 授权公告日 2022. 12. 30

(21) 申请号 201780014241.3

(22) 申请日 2017.03.06

(65) 同一申请的已公布的文献号
申请公布号 CN 108701474 A

(43) 申请公布日 2018.10.23

(30) 优先权数据
2016-055281 2016.03.18 JP

(85) PCT国际申请进入国家阶段日
2018.08.30

(86) PCT国际申请的申请数据
PCT/IB2017/051281 2017.03.06

(87) PCT国际申请的公布数据
W02017/158466 EN 2017.09.21

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72) 发明人 黑川义元

(74) 专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 金红莲 钱慰民

(51) Int.Cl.
G11C 7/12 (2006.01)
G06G 7/60 (2006.01)
G11C 11/405 (2006.01)

(56) 对比文件
US 2008247237 A1, 2008.10.09
US 2014241054 A1, 2014.08.28
CN 101140796 A, 2008.03.12
US 2013242671 A1, 2013.09.19
CN 101278356 A, 2008.10.01

审查员 夏永强

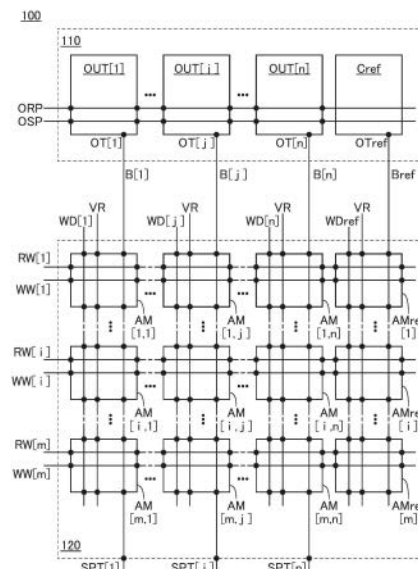
权利要求书4页 说明书51页 附图48页

(54) 发明名称

半导体装置及使用该半导体装置的系统

(57) 摘要

提供一种能够进行积和运算的半导体装置。一种包括第一存储单元、第二存储单元以及偏置电路的半导体装置。第一存储单元保持第一模拟数据，而第二存储单元保持参考模拟数据。第一存储单元和第二存储单元在被供应作为选择信号的参考电位时分别供应第一电流和第二电流。偏置电路具有产生相当于第一电流与第二电流之间的差值电流的第三电流的功能。在半导体装置中，第一存储单元和第二存储单元在被供应作为选择信号的对应于第二模拟数据的电位时分别供应第四电流和第五电流。通过从第四电流与第五电流之间的差值电流减去第三电流，得到根据第一模拟数据与第二模拟数据的积之和的电流。



1. 一种半导体装置,包括:
存储单元阵列;以及
偏置电路,
其中,所述存储单元阵列包括第一存储单元及第二存储单元,
所述偏置电路包括第一恒流电路、第二恒流电路、第一至第三晶体管、第一电容元件、
第一布线、第二布线、第一输出端子、第二输出端子以及电流镜电路,
所述第一恒流电路电连接于所述第一布线,
所述第一恒流电路构成为将第一电流供应到所述第一布线,
所述第一晶体管的第一端子电连接于所述第二晶体管的第一端子,
所述第一晶体管的栅极电连接于所述第二晶体管的第二端子,
所述第二晶体管的所述第一端子电连接于所述第一布线,
所述第三晶体管的第一端子电连接于所述第二晶体管的所述第二端子,
所述第一电容元件的第一端子电连接于所述第一晶体管的所述栅极,
所述第一布线电连接于所述第一输出端子,
所述第二恒流电路电连接于所述第二布线,
所述第二恒流电路构成为将第二电流供应到所述第二布线,
所述第二布线电连接于所述第二输出端子,
所述电流镜电路构成为将对应于所述第二布线的电位的第三电流从所述第一布线及
所述第二布线输出,
所述第一存储单元电连接于所述第一输出端子,
并且,所述第二存储单元电连接于所述第二输出端子。
2. 根据权利要求1所述的半导体装置,
其中所述第一恒流电路包括第四晶体管,
所述第二恒流电路包括第五晶体管,
所述第四晶体管和所述第五晶体管都包括背栅极,
所述第四晶体管的第一端子电连接于所述第一布线,
所述第四晶体管的栅极电连接于所述第四晶体管的所述第一端子,
所述第五晶体管的第一端子电连接于所述第二布线,
并且所述第五晶体管的栅极电连接于所述第五晶体管的所述第一端子。
3. 根据权利要求1所述的半导体装置,
其中所述电流镜电路包括第六晶体管和第七晶体管,
所述第六晶体管的第一端子电连接于所述第一布线,
所述第六晶体管的栅极电连接于所述第二布线,
所述第七晶体管的第一端子电连接于所述第二布线,
并且所述第七晶体管的栅极电连接于所述第二布线。
4. 根据权利要求1所述的半导体装置,
其中所述第一存储单元包括第八晶体管、第九晶体管以及第二电容元件,
所述第二存储单元包括第十晶体管、第十一晶体管以及第三电容元件,
所述第八晶体管的第一端子电连接于所述第九晶体管的栅极,

- 所述第二电容元件的第一端子电连接于所述第八晶体管的所述第一端子，
所述第九晶体管的第一端子电连接于所述第一输出端子，
所述第十晶体管的第一端子电连接于所述第十一晶体管的栅极，
所述第三电容元件的第一端子电连接于所述第十晶体管的所述第一端子，
并且所述第十一晶体管的第一端子电连接于所述第二输出端子。
5. 根据权利要求4所述的半导体装置，
其中所述第一至第三以及第八至第十一晶体管都具有同一极性。
6. 根据权利要求4所述的半导体装置，
其中所述第一至第三以及第八至第十一晶体管中的至少一个的沟道形成区包括包含
钪、元素M以及锌中的至少一个的氧化物，
并且所述元素M为铝、镓、铋以及锡中的任一个。
7. 一种电子设备，包括：
权利要求1所述的半导体装置，且构成为进行类型识别和联想记忆之类的处理。
8. 一种生物识别系统，包括：
包括半导体装置且构成为进行类型识别和联想记忆之类的处理的电子设备；以及
构成为获取生物信息的装置，
其中，所述半导体装置包括存储单元阵列及偏置电路，
其中，所述存储单元阵列包括第一存储单元及第二存储单元，
所述偏置电路包括第一恒流电路、第二恒流电路、第一至第三晶体管、第一电容元件、
第一布线、第二布线、第一输出端子、第二输出端子以及电流镜电路，
所述第一恒流电路电连接于所述第一布线，
所述第一恒流电路构成为将第一电流供应到所述第一布线，
所述第一晶体管的第一端子电连接于所述第二晶体管的第一端子，
所述第一晶体管的栅极电连接于所述第二晶体的第二端子，
所述第二晶体管的所述第一端子电连接于所述第一布线，
所述第三晶体管的第一端子电连接于所述第二晶体的所述第二端子，
所述第一电容元件的第一端子电连接于所述第一晶体的所述栅极，
所述第一布线电连接于所述第一输出端子，
所述第二恒流电路电连接于所述第二布线，
所述第二恒流电路构成为将第二电流供应到所述第二布线，
所述第二布线电连接于所述第二输出端子，
所述电流镜电路构成为将对应于所述第二布线的电位的第三电流从所述第一布线及
所述第二布线输出，
所述第一存储单元电连接于所述第一输出端子，
并且，所述第二存储单元电连接于所述第二输出端子。
9. 根据权利要求8所述的生物识别系统，
其中所述第一恒流电路包括第四晶体管，
所述第二恒流电路包括第五晶体管，
所述第四晶体管和所述第五晶体管都包括背栅极，

所述第四晶体管的第一端子电连接于所述第一布线，
所述第四晶体管的栅极电连接于所述第四晶体管的所述第一端子，
所述第五晶体管的第一端子电连接于所述第二布线，
并且所述第五晶体管的栅极电连接于所述第五晶体管的所述第一端子。

10. 根据权利要求8所述的生物识别系统，
其中所述电流镜电路包括第六晶体管和第七晶体管，
所述第六晶体管的第一端子电连接于所述第一布线，
所述第六晶体管的栅极电连接于所述第二布线，
所述第七晶体管的第一端子电连接于所述第二布线，
并且所述第七晶体管的栅极电连接于所述第二布线。

11. 根据权利要求8所述的生物识别系统，
其中所述第一存储单元包括第八晶体管、第九晶体管以及第二电容元件，
所述第二存储单元包括第十晶体管、第十一晶体管以及第三电容元件，
所述第八晶体管的第一端子电连接于所述第九晶体管的栅极，
所述第二电容元件的第一端子电连接于所述第八晶体管的所述第一端子，
所述第九晶体管的第一端子电连接于所述第一输出端子，
所述第十晶体管的第一端子电连接于所述第十一晶体管的栅极，
所述第三电容元件的第一端子电连接于所述第十晶体管的所述第一端子，
并且所述第十一晶体管的第一端子电连接于所述第二输出端子。

12. 根据权利要求11所述的生物识别系统，
其中所述第一至所述第十一晶体管都具有同一极性。

13. 根据权利要求11所述的生物识别系统，
其中所述第一至所述第十一晶体管中的至少一个的沟道形成区包括包含镧、元素M以及锌中的至少一个的氧化物，
并且所述元素M为铝、镓、铋以及锡中的任一个。

14. 一种视频传输系统，包括：
包括半导体装置且构成为进行类型识别和联想记忆之类的处理的电子设备，
其中，所述视频传输系统构成为对视频数据进行编码，
所述视频传输系统构成为发送被进行了编码的视频数据，
所述半导体装置包括存储单元阵列及偏置电路，
其中，所述存储单元阵列包括第一存储单元及第二存储单元，
所述偏置电路包括第一恒流电路、第二恒流电路、第一至第三晶体管、第一电容元件、
第一布线、第二布线、第一输出端子、第二输出端子以及电流镜电路，
所述第一恒流电路电连接于所述第一布线，
所述第一恒流电路构成为将第一电流供应到所述第一布线，
所述第一晶体管的第一端子电连接于所述第二晶体管的第一端子，
所述第一晶体管的栅极电连接于所述第二晶体管的第二端子，
所述第二晶体管的所述第一端子电连接于所述第一布线，
所述第三晶体管的第一端子电连接于所述第二晶体管的所述第二端子，

所述第一电容元件的第一端子电连接于所述第一晶体管的所述栅极，
所述第一布线电连接于所述第一输出端子，
所述第二恒流电路电连接于所述第二布线，
所述第二恒流电路构成为将第二电流供应到所述第二布线，
所述第二布线电连接于所述第二输出端子，
所述电流镜电路构成为将对应于所述第二布线的电位的第三电流从所述第一布线及
所述第二布线输出，
所述第一存储单元电连接于所述第一输出端子，并且，所述第二存储单元电连接于所
述第二输出端子。

半导体装置及使用该半导体装置的系统

技术领域

[0001] 本发明的一个实施方式涉及一种半导体装置及使用该半导体装置的系统。

[0002] 注意,本发明的一个实施方式不局限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。此外,本发明的一个实施方式涉及一种工序、机器、产品或者组合物。具体而言,作为本说明书所公开的本发明的一个实施方式的技术领域的例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、处理器、电子设备、这些装置的驱动方法、这些装置的制造方法、这些装置的检查方法及包括这些装置的系统。

背景技术

[0003] 人工神经网络是以生物神经网络为模型的信息处理系统。被期待着通过利用人工神经网络可以实现比现有的诺依曼型计算机更高性能的计算机,近年来,已进行了对在电子电路上构成人工神经网络的各种研究。

[0004] 在人工神经网络中,以神经元为模型的单元通过以神经突触为模型的单元彼此结合。通过改变该结合的程度,可以学习各种输入类型,由此可以高速执行类型识别、联想记忆等。此外,非专利文献1公开有关具有利用人工神经网络的自己学习功能的芯片的技术。

[0005] [参考文献]

[0006] [非专利文献1]Yutaka Arima et al,"A Self-Learning Neural Network Chip with 125Neurons and 10K Self-Organization Synapses",IEEE JOURNAL OF SOLID-STATE CIRCUITS,VOL.26,NO.4,APRIL 1991,pp.607-611

发明内容

[0007] 为了使用半导体装置构成人工神经网络,需要提供神经突触电路,该神经突触电路储存第一神经元电路与第二神经元电路之间的结合强度并进行将第一神经元电路的输出和该结合强度乘累加的积和运算。换言之,在该半导体装置中需要安装有保持结合强度的存储器、进行积和运算的乘算电路及加算电路等。

[0008] 在该存储器、该乘算电路、该加算电路等由数字电路构成的情况下,该存储器需要能够储存多位数据,再者,该乘算电路及该加算电路需要能够进行多位运算工作。换言之,为了使用数字电路构成人工神经网络,需要大规模的存储器、大规模的乘算电路以及大规模的加算电路,由此该数字电路的芯片面积增大。

[0009] 本发明的一个实施方式的目的之一是提供一种新颖的半导体装置。本发明的一个实施方式的另一个目的是提供一种包括新颖的半导体装置的模块。本发明的一个实施方式的另一个目的是提供一种使用包括新颖的半导体装置的模块的电子设备。本发明的一个实施方式的另一个目的是提供一种利用包括新颖的半导体装置的模块的系统。

[0010] 本发明的一个实施方式的另一个目的是提供一种电路面积小的半导体装置。本发明的一个实施方式的另一个目的是提供一种低功耗的半导体装置。本发明的一个实施方式

的另一个目的是提供一种具有识别功能的新颖的半导体装置。本发明的一个实施方式的另一个目的是提供一种使视频数据及/或图像数据压缩的新颖的半导体装置。

[0011] 注意,本发明的一个实施方式的目的不局限于上述目的。上述目的并不妨碍其他目的的存在。其他目的是上面没有提到而将在下面进行说明的目的。所属技术领域的普通技术人员将从说明书、附图等的记载中导出并可以抽出其他目的。本发明的一个实施方式实现上述目的及其他目的中的至少一个。本发明的一个实施方式并不需要实现所有的上述记载及其他目的。

[0012] (1)

[0013] 本发明的一个实施方式是一种半导体装置,该半导体装置包括存储单元阵列及偏置电路,存储单元阵列包括第一存储单元及第二存储单元,偏置电路包括第一恒流电路、第二恒流电路、第一至第三晶体管、第一电容元件、第一布线、第二布线、第一输出端子、第二输出端子以及电流镜电路,第一恒流电路电连接于第一布线并构成为将第一电流供应到第一布线,第一晶体管的第一端子电连接于第二晶体管的第一端子,第一晶体管的栅极电连接于第二晶体管的第二端子,第二晶体管的第一端子电连接于第一布线,第三晶体管的第一端子电连接于第二晶体管的第二端子,第一电容元件的第一端子电连接于第一晶体管的栅极,第一布线电连接于第一输出端子,第二恒流电路电连接于第二布线并构成为将第二电流供应到第二布线,第二布线电连接于第二输出端子,电流镜电路构成为将对应于第二布线的电位的第三电流从第一布线及第二布线输出,第一存储单元电连接于第一输出端子,并且第二存储单元电连接于第二输出端子。

[0014] (2)

[0015] 本发明的另一个实施方式是根据(1)所述的半导体装置,第一恒流电路包括第四晶体管,第二恒流电路包括第五晶体管,第四晶体管和第五晶体管都包括背栅极,第四晶体管的第一端子电连接于第一布线,第四晶体管的栅极电连接于第四晶体管的第一端子,第五晶体管的第一端子电连接于第二布线,并且第五晶体管的栅极电连接于第五晶体管的第一端子。

[0016] (3)

[0017] 本发明的一个实施方式的另一个目的是根据(1)或(2)所述的半导体装置,电流镜电路包括第六晶体管和第七晶体管,第六晶体管的第一端子电连接于第一布线,第六晶体管的栅极电连接于第二布线,第七晶体管的第一端子电连接于第二布线,并且第七晶体管的栅极电连接于第二布线。

[0018] (4)

[0019] 本发明的一个实施方式的另一个目的是根据(1)至(3)中的任一个所述的半导体装置,第一存储单元包括第八晶体管、第九晶体管以及第二电容元件,第二存储单元包括第十晶体管、第十一晶体管以及第三电容元件,第八晶体管的第一端子电连接于第九晶体管的栅极,第二电容元件的第一端子电连接于第八晶体管的第一端子,第九晶体管的第一端子电连接于第一输出端子,第十晶体管的第一端子电连接于第十一晶体管的栅极,第三电容元件的第一端子电连接于第十晶体管的第一端子,并且第十一晶体管的第一端子电连接于第二输出端子。

[0020] (5)

[0021] 本发明的另一个实施方式是根据 (1) 至 (4) 中的任一个所述的半导体装置, 第一至第十一晶体管具有同一极性。

[0022] (6)

[0023] 本发明的另一个实施方式是根据 (1) 至 (5) 中的任一个所述的半导体装置, 第一至第十一晶体管中的至少一个的沟道形成区包括包含镧、元素M(M为铝、镓、铋或锡中的任一个) 以及锌中的至少一个的氧化物。

[0024] (7)

[0025] 本发明的另一个实施方式是一种包括切割用区域和 (1) 至 (6) 中的任一个所述的多个半导体装置的半导体晶片。

[0026] (8)

[0027] 本发明的另一个实施方式是一种包括 (1) 至 (6) 中的任一个所述的半导体装置和框体的电子设备。

[0028] (9)

[0029] 本发明的另一个实施方式是一种根据 (8) 所述的电子设备, 包括根据 (1) 至 (6) 中的任一个的半导体装置并构成为进行类型识别和联想记忆之类的处理。

[0030] (10)

[0031] 本发明的另一个实施方式是一种包括根据 (9) 所述的电子设备和构成为获取生物信息的装置的生物识别系统。

[0032] (11)

[0033] 本发明的另一个实施方式是一种包括根据 (9) 所述的电子设备并构成为对视频数据进行编码及发送被进行了编码的视频数据的视频传输系统。

[0034] 根据本发明的一个实施方式, 可以提供一种新颖的半导体装置。根据本发明的另一个实施方式, 可以提供一种包括新颖的半导体装置的模块。根据本发明的另一个实施方式, 可以提供一种使用包括新颖的半导体装置的模块的电子设备。根据本发明的一个实施方式, 可以提供一种利用包括新颖的半导体装置的存储装置的系统。

[0035] 本发明的另一个实施方式可以提供一种电路面积小的半导体装置。本发明的另一个实施方式可以提供一种低功耗的半导体装置。本发明的另一个实施方式可以提供一种具有识别功能的新颖的半导体装置。本发明的另一个实施方式可以提供一种对视频数据及/或图像数据进行编码的新颖的半导体装置。

[0036] 注意, 本发明的一个实施方式的效果不局限于上述效果。上述效果并不妨碍其他效果的存在。其他效果是上面没有提到而将在下面进行说明的效果。所属技术领域的普通技术人员将从说明书、附图等的记载中导出并可以抽出其他效果。本发明的一个实施方式具有上述效果及其他效果中的至少一个效果。由此, 本发明的一个实施方式有时不具有上述效果。

附图说明

[0037] 图1是示出半导体装置的一个例子的方框图。

[0038] 图2是示出图1的半导体装置中的偏置电路的一个例子的电路图。

[0039] 图3是示出图1的半导体装置中的偏置电路的一个例子的电路图。

- [0040] 图4是示出图1的半导体装置中的偏置电路的一个例子的电路图。
- [0041] 图5是示出图1的半导体装置中的存储单元阵列的一个例子的电路图。
- [0042] 图6是示出图1的半导体装置中的偏置电路的一个例子的电路图。
- [0043] 图7是示出图1的半导体装置中的存储单元阵列的一个例子的电路图。
- [0044] 图8是示出半导体装置的工作例子的时序图。
- [0045] 图9是示出半导体装置的工作例子的时序图。
- [0046] 图10A至图10E是流程图、电子构件的透视图以及半导体晶片的透视图。
- [0047] 图11A至图11D是示出电子设备的例子的透视图。
- [0048] 图12是示出广播系统中的数据传输的示意图。
- [0049] 图13是示出医疗现场的视频分发系统的结构例子。
- [0050] 图14A至图14C示出触摸面板的结构例子。
- [0051] 图15A和图15B示出触摸面板中的显示面板中的像素的结构例子。
- [0052] 图16A和图16B是示出触摸面板的结构例子的截面图。
- [0053] 图17A和图17B是示出触摸面板的结构例子的截面图。
- [0054] 图18A至图18C是示出显示面板的反射膜的形状的例子示意图。
- [0055] 图19是示出输入部的结构例子的方框图。
- [0056] 图20是示出显示部的像素的电路图。
- [0057] 图21A至图21C是示出晶体管的结构例子的俯视图及截面图。
- [0058] 图22A是俯视图且图22B及图22C是示出晶体管的结构例子的截面图。
- [0059] 图23A是俯视图且图23B及图23C是示出晶体管的结构例子的截面图。
- [0060] 图24A是俯视图且图24B及图24C是示出晶体管的结构例子的截面图。
- [0061] 图25A是俯视图且图25B及图25C是示出晶体管的结构例子的截面图。
- [0062] 图26A是俯视图且图26B及图26C是示出晶体管的结构例子的截面图。
- [0063] 图27A是俯视图且图27B及图27C是示出晶体管的结构例子的截面图。
- [0064] 图28A至图28C分别说明氧化物的原子数比的范围。
- [0065] 图29说明 InMZnO_4 的结晶。
- [0066] 图30A至图30C分别是氧化物的叠层结构的带图。
- [0067] 图31A至图31E是表示通过XRD得到的CAAC-OS以及单晶氧化物半导体的结构分析的图、以及示出CAAC-OS的选区电子衍射图案的图。
- [0068] 图32A至图32E表示CAAC-OS的截面TEM图像、平面TEM图像以及经过分析其获得的图像。
- [0069] 图33A至图33D表示nc-OS的电子衍射图案的图以及截面TEM图像。
- [0070] 图34A和图34B表示a-like OS的截面TEM图像。
- [0071] 图35表示因电子照射导致的In-Ga-Zn氧化物的结晶部的变化。

具体实施方式

[0072] 首先,对“电子设备”、“电子构件”、“模块”、“半导体装置”的记载进行说明。一般来说,“电子设备”有时例如是指:个人计算机;移动电话;平板终端;电子书阅读器终端;可穿戴终端;视听(AV)设备;电器产品;家用设备;商用设备;数字标牌;汽车;或者具有系统的电

气产品等。“电子构件”或“模块”有时是指：电子设备所具有的处理器、存储装置、传感器、电池、显示装置、发光装置、接口装置、射频标签 (RF:Radio Frequency)、接收器、发送器等。“半导体装置”有时是指：包括半导体元件或驱动电路的装置；或者包括在电子构件或模块中且包括半导体元件的控制电路、逻辑电路、信号产生电路、信号转换电路、电位电平转换电路、电压源、电流源、切换电路、放大电路、存储电路、存储单元、显示电路以及显示像素等。

[0073] 在本说明书中，有时将氧化物半导体称为OS。因此，有时将在沟道形成区中包含氧化物半导体的晶体管称为OS晶体管。

[0074] 实施方式1

[0075] 在本实施方式中，说明本发明的一个实施方式的半导体装置的积和运算电路。注意，在该积和运算电路中进行第一模拟数据和第二模拟数据的积和。

[0076] <结构例子>

[0077] 图1示出本发明的一个实施方式的半导体装置的一个例子。图1是积和运算处理电路的方框图。半导体装置100包括偏置电路110和存储单元阵列120。

[0078] 偏置电路110包括列输出电路OUT[1]至OUT[n] (n为1以上的整数) 和参考列输出电路 C_{ref} 。

[0079] 在存储单元阵列120中，在列方向上排列着m个 (m为1以上的整数) 存储单元AM且在行方向上排列着n个存储单元AM，即配置 $m \times n$ 个存储单元AM。另外，在列方向上排列着m个存储单元 AM_{ref} 。存储单元阵列120中的配置为矩阵状的存储单元AM和存储单元 AM_{ref} 的总数为 $m \times (n+1)$ 。尤其是，在图1所示的存储单元阵列120中，存储单元AM[i, j] (i为1以上且m以下的整数，j为1以上且n以下的整数) 表示位于第i行第j列的存储单元AM，而存储单元 $AM_{ref}[i]$ 表示位于第i行的存储单元 AM_{ref} 。

[0080] 存储单元AM保持对应于第一模拟数据的电位，而存储单元 AM_{ref} 保持规定的电位。注意，该规定的电位是积和运算处理所需的电位，在本说明书中，有时将对应于该规定的电位的数据称为参考模拟数据。

[0081] 存储单元阵列120包括输出端子SPT[1]至输出端子SPT[n]。

[0082] 列输出电路OUT[j]包括输出端子OT[j]，而参考列输出电路 C_{ref} 包括输出端子 OT_{ref} 。

[0083] 布线ORP电连接于列输出电路OUT[1]至列输出电路OUT[n]，而布线OSP电连接于列输出电路OUT[1]至列输出电路OUT[n]。布线ORP及布线OSP是用来对偏置电路110供应控制信号的布线。

[0084] 存储单元阵列120的输出端子SPT[j]电连接于布线B[j]。

[0085] 列输出电路OUT[j]的输出端子OT[j]电连接于布线B[j]。

[0086] 参考列输出电路 C_{ref} 的输出端子 OT_{ref} 电连接于布线 B_{ref} 。

[0087] 存储单元AM[i, j]电连接于布线RW[i]、布线WW[i]、布线WD[j]、布线B[j]以及布线VR。

[0088] 存储单元 $AM_{ref}[i]$ 电连接于布线RW[i]、布线WW[i]、布线 WD_{ref} 、布线 B_{ref} 以及布线VR。

[0089] 布线WW[i]被用作对存储单元AM[i, 1]至存储单元AM[i, n]及存储单元 $AM_{ref}[i]$ 供

应选择信号的布线。布线RW[i]被用作对存储单元AM[i,1]至存储单元AM[i,n]及存储单元AM_{ref}[i]供应参考电位或对应于第二模拟数据的电位的任一个的布线。布线WD[j]被用作供应写入到第j列的存储单元AM的数据的布线。布线VR被用作在从存储单元AM或存储单元AM_{ref}读出数据时对存储单元AM或存储单元AM_{ref}供应规定的电位的布线。

[0090] 布线B[j]被用作从列输出电路OUT[j]向存储单元阵列120的第j列所具有的存储单元AM供应信号的布线。

[0091] 布线B_{ref}被用作从参考列输出电路C_{ref}向存储单元AM_{ref}[1]至存储单元AM_{ref}[m]分别供应信号的布线。

[0092] 在图1所示的半导体装置100中,只示出如下构成要素:偏置电路110、存储单元阵列120、列输出电路OUT[1]、列输出电路OUT[j]、列输出电路OUT[n]、参考列输出电路C_{ref}、输出端子OT[1]、输出端子OT[j]、输出端子OT[n]、输出端子OT_{ref}、输出端子SPT[1]、输出端子SPT[j]、输出端子SPT[n]、存储单元AM[1,1]、存储单元AM[i,1]、存储单元AM[m,1]、存储单元AM[1,j]、存储单元AM[i,j]、存储单元AM[m,j]、存储单元AM[1,n]、存储单元AM[i,n]、存储单元AM[m,n]、存储单元AM_{ref}[1]、存储单元AM_{ref}[i]、存储单元AM_{ref}[m]、布线OSP、布线ORP、布线B[1]、布线B[j]、布线B[n]、布线B_{ref}、布线WD[1]、布线WD[j]、布线WD[n]、布线WD_{ref}、布线VR、布线RW[1]、布线RW[i]、布线RW[m]、布线WW[1]、布线WW[i]以及布线WW[m]。未示出其他电路、布线、元件以及其附图标记。

[0093] 注意,本发明的一个实施方式的结构不局限于图1所示的半导体装置100的结构。根据状况、情况或需要,可以改变半导体装置100的结构。例如,根据半导体装置100的电路结构,不单独配置布线WD[j]和布线VR而可以在它们之间共同使用一个布线。此外,根据半导体装置100的电路结构,不单独配置布线ORP和布线OSP而可以在它们之间共同使用一个布线。

[0094] 《偏置电路110》

[0095] 接着,说明可以应用于偏置电路110的电路结构的例子。图2示出作为偏置电路110的一个例子的偏置电路111。

[0096] 偏置电路111电连接于布线VDDL及布线VSSL,以被供应电源电压。具体而言,列输出电路OUT[1]至列输出电路OUT[n]都电连接于布线VDDL及布线VSSL,而参考列输出电路C_{ref}电连接于布线VDDL。此外,后面描述的电流镜电路CM也有时电连接于布线VSSL。布线VDDL供应高电平电位。布线VSSL供应低电平电位。

[0097] 以下说明列输出电路OUT[j]的内部的电路结构。列输出电路OUT[j]包括恒流电路CI、晶体管Tr1至晶体管Tr3、电容元件C1以及布线OL[j]。列输出电路OUT[1]至列输出电路OUT[n]和参考列输出电路C_{ref}之间共同使用电流镜电路CM。

[0098] 恒流电路CI包括端子CT1及端子CT2。端子CT1被用作恒流电路CI的输入端子,而端子CT2被用作恒流电路CI的输出端子。由列输出电路OUT[1]至列输出电路OUT[n]和参考列输出电路C_{ref}之间共同使用的电流镜电路CM包括端子CT5[1]至端子CT5[n]、端子CT6[1]至端子CT6[n]、端子CT7以及端子CT8。

[0099] 恒流电路CI具有保持使从端子CT1流过端子CT2的电流量保持恒定的功能。

[0100] 在列输出电路OUT[j]中,晶体管Tr1的第一端子电连接于布线OL[j],晶体管Tr1的第二端子电连接于布线VSSL,并且晶体管Tr1的栅极电连接于电容元件C1的第一端子。晶体

管Tr2的第一端子电连接于布线OL[j],晶体管Tr2的第二端子电连接于电容元件C1的第一端子,并且晶体管Tr2的栅极电连接于布线OSP。晶体管Tr3的第一端子电连接于电容元件C1的第一端子,晶体管Tr3的第二端子电连接于布线VSSL,并且晶体管Tr3的栅极电连接于布线ORP。电容元件C1的第二端子电连接于布线VSSL。

[0101] 此外,晶体管Tr1至晶体管Tr3优选都是0S晶体管。再者,晶体管Tr1至晶体管Tr3的每一个的沟道形成区更优选由包含钢、元素M(M为铝、镓、钇或锡中的任一种)以及锌中的至少一个的氧化物形成。更优选的是,晶体管Tr1至晶体管Tr3具有实施方式5所示的晶体管的结构。

[0102] 0S晶体管具有关态电流(off-state current)极小的特性。由此,在0S晶体管处于非导通状态时,可以大幅度减少源极-漏极间流过的泄漏电流量。通过使用0S晶体管作为晶体管Tr1至晶体管Tr3,可以抑制晶体管Tr1至晶体管Tr3的泄漏电流,由此可能会实现计算精确度高的积和运算电路。

[0103] 在列输出电路OUT[j]中,恒流电路CI的端子CT1电连接于布线VDDL,恒流电路CI的端子CT2电连接于电流镜电路CM的端子CT5[j]。电流镜电路CM的端子CT6[j]电连接于输出端子OT[j]。

[0104] 此外,布线OL[j]是通过电流镜电路CM的端子CT5[j]及端子CT6[j]使恒流电路CI的端子CT2和输出端子OT[j]电连接的布线。

[0105] 接着,说明参考列输出电路 C_{ref} 。参考列输出电路 C_{ref} 包括恒流电路 CI_{ref} 和布线 OL_{ref} 。如上所述,参考列输出电路 C_{ref} 包括与列输出电路OUT[1]至列输出电路OUT[n]共同使用的电流镜电路CM。

[0106] 恒流电路 CI_{ref} 包括端子CT3及端子CT4。端子CT3被用作恒流电路 CI_{ref} 的输入端子,而端子CT4被用作恒流电路 CI_{ref} 的输出端子。

[0107] 恒流电路 CI_{ref} 具有保持使从端子CT3流过端子CT4的电流量保持恒定的功能。

[0108] 在参考列输出电路 C_{ref} 中,恒流电路 CI_{ref} 的端子CT3电连接于布线VDDL,恒流电路 CI_{ref} 的端子CT4电连接于电流镜电路CM的端子CT7。电流镜电路CM的端子CT8电连接于输出端子 OT_{ref} 。

[0109] 此外,布线 OL_{ref} 是通过电流镜电路CM的端子CT7及端子CT8使恒流电路 CI_{ref} 的端子CT4和输出端子 OT_{ref} 电连接的布线。

[0110] 在电流镜电路CM中,端子CT5[j]电连接于端子CT6[j],而端子CT7电连接于端子CT8。再者,布线IL[j]电连接于端子CT5[j]与端子CT6[j]之间,而布线 IL_{ref} 电连接于端子CT7与端子CT8之间。此外,端子CT7-端子CT8间与布线 IL_{ref} 的连接部分是节点 NCM_{ref} 。电流镜电路CM具有根据节点 NCM_{ref} 的电位使流过布线 IL_{ref} 的电流量与流过布线IL[1]至布线IL[n]的每一个的电流量相等的功能。

[0111] 在图2的偏置电路111中,只示出如下构成要素:列输出电路OUT[1]、列输出电路OUT[j]、列输出电路OUT[n]、参考列输出电路 C_{ref} 、恒流电路CI、恒流电路 CI_{ref} 、电流镜电路CM、输出端子OT[1]、输出端子OT[j]、输出端子OT[n]、输出端子 OT_{ref} 、端子CT1、端子CT2、端子CT3、端子CT4、端子CT5[1]、端子CT5[j]、端子CT5[n]、端子CT6[1]、端子CT6[j]、端子CT6[n]、端子CT7、端子CT8、晶体管Tr1、晶体管Tr2、晶体管Tr3、电容元件C1、布线OL[1]、布线OL[j]、布线OL[n]、布线 OL_{ref} 、布线ORP、布线OSP、布线B[1]、布线B[j]、布线B[n]、布线 B_{ref} 、布

线IL[1]、布线IL[j]、布线IL[n]、布线IL_{ref}、节点NCM_{ref}、布线VDDL以及布线VSSL。未示出其他电路、布线、元件以及其附图标记。

[0112] 注意,本发明的一个实施方式的结构不局限于图2中的偏置电路111的结构。根据状况、情况或需要,可以改变偏置电路111的结构。

[0113] [恒流电路CI及CI_{ref}]

[0114] 接着,说明恒流电路CI及恒流电路CI_{ref}的内部结构的例子。

[0115] 图3所示的偏置电路112是示出包括在图2所示的偏置电路111中的恒流电路CI及恒流电路CI_{ref}的内部结构的例子。

[0116] 在列输出电路OUT[j]中,恒流电路CI包括晶体管Tr4。晶体管Tr4具有包括第一栅极和第二栅极的双栅结构。

[0117] 注意,在本说明书中,将具有双栅结构的晶体管的第一栅极表示为前栅极,并且可以将“第一栅极”换称为“栅极”。另一方面,将具有双栅结构的晶体管的第二栅极表示为背栅极,并且可以将“第二栅极”换称为“背栅极”。

[0118] 晶体管Tr4的第一端子电连接于恒流电路CI的端子CT1。晶体管Tr4的第二端子电连接于恒流电路CI的端子CT2。晶体管Tr4的栅极电连接于恒流电路CI的端子CT2。晶体管Tr4的背栅极电连接于布线BG[j]。

[0119] 在参考列输出电路C_{ref}中,恒流电路CI_{ref}包括晶体管Tr6。晶体管Tr6具有包括栅极和背栅极的双栅结构。

[0120] 晶体管Tr6的第一端子电连接于恒流电路CI_{ref}的端子CT3。晶体管Tr6的第二端子电连接于恒流电路CI_{ref}的端子CT4。晶体管Tr6的栅极电连接于恒流电路CI_{ref}的端子CT4。晶体管Tr6的背栅极电连接于布线BG_{ref}。

[0121] 根据上述连接结构,在对布线BG[j]及布线BG_{ref}施加电位时,可以控制晶体管Tr4及晶体管Tr6的阈值电压。

[0122] 晶体管Tr4和晶体管Tr6优选都是0S晶体管。再者,晶体管Tr4及Tr6的每一个的沟道形成区更优选由包含锗、元素M以及锌中的至少一个的氧化物形成。更优选的是,晶体管Tr4及晶体管Tr6具有实施方式5所示的晶体管的结构。

[0123] 通过使用0S晶体管作为晶体管Tr4及晶体管Tr6,可以抑制晶体管Tr4及晶体管Tr6的泄漏电流,由此可能会实现计算精确度高的积和运算电路。

[0124] 在图3的偏置电路112中,只示出如下构成要素:列输出电路OUT[1]、列输出电路OUT[j]、列输出电路OUT[n]、参考列输出电路C_{ref}、恒流电路CI、恒流电路CI_{ref}、电流镜电路CM、输出端子OT[1]、输出端子OT[j]、输出端子OT[n]、输出端子OT_{ref}、端子CT1、端子CT2、端子CT3、端子CT4、端子CT5[1]、端子CT5[j]、端子CT5[n]、端子CT6[1]、端子CT6[j]、端子CT6[n]、端子CT7、端子CT8、晶体管Tr1、晶体管Tr2、晶体管Tr3、晶体管Tr4、晶体管Tr6、电容元件C1、布线OL[1]、布线OL[j]、布线OL[n]、布线OL_{ref}、布线ORP、布线OSP、布线B[1]、布线B[j]、布线B[n]、布线B_{ref}、布线BG[1]、布线BG[j]、布线BG[n]、布线BG_{ref}、布线IL[1]、布线IL[j]、布线IL[n]、布线IL_{ref}、节点NCM_{ref}、布线VDDL以及布线VSSL。未示出其他电路、布线、元件以及其附图标记。

[0125] [电流镜电路CM]

[0126] 接着,将说明电流镜电路CM的内部结构的例子。

[0127] 图4示出的偏置电路113是包括在图2所示的偏置电路111中的电流镜电路CM的内部结构的例子的电路图。

[0128] 在电流镜电路CM中,列输出电路OUT[1]至列输出电路OUT[n]的每一个包括晶体管Tr5,并且参考列输出电路 C_{ref} 包括晶体管Tr7。

[0129] 列输出电路OUT[j]中的晶体管Tr5的第一端子电连接于电流镜电路CM的端子CT5[j]及端子CT6[j]。列输出电路OUT[j]中的晶体管Tr5的第二端子电连接于布线VSSL。列输出电路OUT[j]中的晶体管Tr5的栅极电连接于电流镜电路CM中的端子CT7及端子CT8。

[0130] 参考列输出电路 C_{ref} 中的晶体管Tr7的第一端子电连接于电流镜电路CM的端子CT7及端子CT8。参考列输出电路 C_{ref} 中的晶体管Tr7的第二端子电连接于布线VSSL。参考列输出电路 C_{ref} 中的晶体管Tr7的栅极电连接于电流镜电路CM的端子CT7及端子CT8。

[0131] 在上述连接结构中,可以对列输出电路OUT[1]至列输出电路OUT[n]的每一个中的晶体管Tr5的栅极施加节点 NCM_{ref} 的电位,并且使得晶体管Tr7的源极-漏极间的电流量与列输出电路OUT[1]至列输出电路OUT[n]的每一个中的晶体管Tr5的源极-漏极间流过的电流量相等。

[0132] 晶体管Tr5和晶体管Tr7优选都是0S晶体管。再者,晶体管Tr5及晶体管Tr7的每一个的沟道形成区更优选由包含铟、元素M以及锌中的至少一个的氧化物形成。更优选的是,晶体管Tr5及晶体管Tr7具有实施方式5所示的晶体管的结构。

[0133] 通过使用0S晶体管作为晶体管Tr5及晶体管Tr7,可以抑制晶体管Tr5及晶体管Tr7的泄漏电流,由此可能会实现计算精确度高的积和运算电路。

[0134] 在图4的偏置电路113中,只示出如下构成要素:列输出电路OUT[1]、列输出电路OUT[j]、列输出电路OUT[n]、参考列输出电路 C_{ref} 、恒流电路CI、恒流电路 CI_{ref} 、电流镜电路CM、输出端子OT[1]、输出端子OT[j]、输出端子OT[n]、输出端子 OT_{ref} 、端子CT1、端子CT2、端子CT3、端子CT4、端子CT5[1]、端子CT5[j]、端子CT5[n]、端子CT6[1]、端子CT6[j]、端子CT6[n]、端子CT7、端子CT8、晶体管Tr1、晶体管Tr2、晶体管Tr3、晶体管Tr5、晶体管Tr7、电容元件C1、布线OL[1]、布线OL[j]、布线OL[n]、布线 OL_{ref} 、布线ORP、布线OSP、布线B[1]、布线B[j]、布线B[n]、布线 B_{ref} 、布线IL[1]、布线IL[j]、布线IL[n]、布线 IL_{ref} 、节点 NCM_{ref} 、布线VDDL以及布线VSSL。未示出其他电路、布线、元件以及其附图标记。

[0135] 《存储单元阵列120》

[0136] 接着,说明可以应用于存储单元阵列120的电路结构的例子。图5示出作为存储单元阵列120的一个例子的存储单元阵列121。

[0137] 存储单元阵列121包括存储单元AM和存储单元 AM_{ref} 。存储单元阵列121所具有的存储单元AM的每一个包括晶体管Tr11、晶体管Tr12以及电容元件C2。存储单元 AM_{ref} [1]至存储单元 AM_{ref} [m]的每一个包括晶体管Tr11、晶体管Tr12以及电容元件C2。

[0138] 着眼于存储单元AM[i, j]说明存储单元阵列121的连接结构。晶体管Tr11的第一端子电连接于晶体管Tr12的栅极及电容元件C2的第一端子。晶体管Tr11的第二端子电连接于布线WD[j]。晶体管Tr11的栅极电连接于布线WW[i]。晶体管Tr12的第一端子电连接于布线B[j],而晶体管Tr12的第二端子电连接于布线VR。电容元件C2的第二端子电连接于布线RW[i]。

[0139] 在存储单元AM[i, j]中,晶体管Tr11的第一端子、晶体管Tr12的栅极以及电容元件

C2的第一端子的连接部分为节点N[i, j]。在本发明的一个实施方式中,在节点N[i, j]中保持对应于第一模拟数据的电位。

[0140] 接着,着眼于存储单元AM_{ref}[i]进行说明。晶体管Tr11的第一端子电连接于晶体管Tr12的栅极及电容元件C2的第一端子。晶体管Tr11的第二端子电连接于布线WD_{ref}。晶体管Tr11的栅极电连接于布线WW[i]。晶体管Tr12的第一端子电连接于布线B_{ref}。晶体管Tr12的第二端子电连接于布线VR。电容元件C2的第二端子电连接于布线RW[i]。

[0141] 在存储单元AM_{ref}[i]中,晶体管Tr11的第一端子、晶体管Tr12的栅极以及电容元件C2的第一端子的连接部分为节点N_{ref}[i]。

[0142] 注意,晶体管Tr11和晶体管Tr12优选都是0S晶体管。再者,晶体管Tr11及晶体管Tr12的每一个的沟道形成区更优选由包含铜、元素M以及锌中的至少一个的氧化物形成。更优选的是,晶体管Tr11及晶体管Tr12具有实施方式5所示的晶体管的结构。

[0143] 通过使用0S晶体管作为晶体管Tr11及晶体管Tr12,可以抑制晶体管Tr11及晶体管Tr12的泄漏电流,由此可能会实现计算精确度高的积和运算电路。此外,通过使用0S晶体管作为晶体管Tr11,可以使晶体管Tr11处于非导通状态时,从保持节点向写入字线的泄漏电流流量变得非常小。也就是说,可以减少保持节点的刷新工作的频率,由此可以降低半导体装置的功耗。

[0144] 再者,在晶体管Tr1至晶体管Tr7、晶体管Tr11以及晶体管Tr12都是0S晶体管时,可以缩短半导体装置的制造工序。由此,可以缩短半导体装置的生产时间,而可以增加某个时间段内的生产个数。

[0145] 注意,除非特别叙述,晶体管Tr1、晶体管Tr4至晶体管Tr7以及晶体管Tr12在饱和区域中工作。也就是说,对晶体管Tr1、晶体管Tr4至晶体管Tr7、晶体管Tr12的栅极电压、源极电压以及漏极电压进行适当的偏压,使得该晶体管在饱和区域中工作。注意,即使晶体管Tr1、晶体管Tr4至晶体管Tr7以及晶体管Tr12的工作偏离理想的饱和区域中的工作,只要输出数据的精确度在于所希望的范围,就看作对各晶体管的栅极电压、源极电压以及漏极电压进行了适当的偏压。

[0146] 在图5所示的存储单元阵列121中,只示出如下构成要素:存储单元AM[1, 1]、存储单元AM[i, 1]、存储单元AM[m, 1]、存储单元AM[1, j]、存储单元AM[i, j]、存储单元AM[m, j]、存储单元AM[1, n]、存储单元AM[i, n]、存储单元AM[m, n]、存储单元AM_{ref}[1]、存储单元AM_{ref}[i]、存储单元AM_{ref}[m]、布线RW[1]、布线RW[i]、布线RW[m]、布线WW[1]、布线WW[i]、布线WW[m]、布线WD[1]、布线WD[j]、布线WD[n]、布线WD_{ref}、布线B[1]、布线B[j]、布线B[n]、布线B_{ref}、布线VR、输出端子SPT[1]、输出端子SPT[j]、输出端子SPT[n]、节点N[1, 1]、节点N[i, 1]、节点N[m, 1]、节点N[1, j]、节点N[i, j]、节点N[m, j]、节点N[1, n]、节点N[i, n]、节点N[m, n]、节点N_{ref}[1]、节点N_{ref}[i]、节点N_{ref}[m]、晶体管Tr11、晶体管Tr12以及电容元件C2。未示出其他电路、布线、元件以及其附图标记。

[0147] 本发明的一个实施方式的半导体装置可以根据情况、状况或需要而具有组合了上述结构例子的结构。

[0148] <工作例子>

[0149] 说明本发明的一个实施方式的半导体装置100的工作的一个例子。注意,在本工作例子中的半导体装置100中,包括图6所示的偏置电路150作为偏置电路110及图7所示的存

储单元阵列160作为半导体装置100的存储单元阵列120。

[0150] 图6所示的偏置电路150具有图3所示的偏置电路112的恒流电路CI、恒流电路 CI_{ref} 以及图4所示的偏置电路113的电流镜电路CM。通过使用图6所示的结构,偏置电路150中的所有晶体管可以具有同一极性。为了说明本工作例子,图6示出列输出电路OUT[j]、列输出电路OUT[j+1]以及参考列输出电路 C_{ref} 。

[0151] 在图6中, $I_C[j]$ 表示从列输出电路OUT[j]的恒流电路CI中的晶体管Tr4的第一端子流过第二端子的电流, $I_C[j+1]$ 表示从列输出电路OUT[j+1]的恒流电路CI中的晶体管Tr4的第一端子流过第二端子的电流,并且 I_{Cref} 表示从参考列输出电路 C_{ref} 的恒流电路 CI_{ref} 中的晶体管Tr6的第一端子流过第二端子的电流。在电流镜电路CM中,通过列输出电路OUT[j]中的布线IL[j]流过晶体管Tr5的第一端子的电流、通过列输出电路OUT[j+1]中的布线IL[j+1]流过晶体管Tr5的第一端子的电流以及通过参考列输出电路 C_{ref} 中的布线 IL_{ref} 流过晶体管Tr7的电流都以 I_{CM} 表示。再者, $I_{CP}[j]$ 表示从列输出电路OUT[j]中的布线OL[j]流过晶体管Tr1或Tr2的第一端子的电流,并且 $I_{CP}[j+1]$ 表示从列输出电路OUT[j+1]中的布线OL[j+1]流过晶体管Tr1或Tr2的第一端子的电流。此外, $I_B[j]$ 表示从列输出电路OUT[j]的输出端子OT[j]输出到布线B[j]的电流, $I_B[j+1]$ 表示从列输出电路OUT[j+1]的输出端子OT[j+1]输出到布线B[j+1]的电流,并且 I_{Bref} 表示从参考列输出电路 C_{ref} 的输出端子 OT_{ref} 输出到布线 B_{ref} 的电流。

[0152] 图7所示的存储单元阵列160具有与图5所示的存储单元阵列121同样的结构。为了说明本工作例子,图7示出存储单元AM[i,j]、存储单元AM[i+1,j]、存储单元AM[i,j+1]、存储单元AM[i+1,j+1]、存储单元 $AM_{ref}[i]$ 以及存储单元 $AM_{ref}[i+1]$ 。

[0153] 在图7中, $I_B[j]$ 表示从布线B[j]输入的电流, $I_B[j+1]$ 表示从布线B[j+1]输入的电流, I_{Bref} 表示从布线 B_{ref} 输入的电流。此外, $\Delta I_B[j]$ 表示从电连接于布线B[j]的输出端子SPT[j]输出的电流, $\Delta I_B[j+1]$ 表示从电连接于布线B[j+1]的输出端子SPT[j+1]输出的电流。

[0154] 图8和图9是半导体装置100的工作例子的时序图。图8的时序图示出布线WW[i]、布线WW[i+1]、布线WD[j]、布线WD[j+1]、布线 WD_{ref} 、节点N[i,j]、节点N[i,j+1]、节点N[i+1,j]、节点N[i+1,j+1]、节点 $N_{ref}[i]$ 、节点 $N_{ref}[i+1]$ 、布线RW[i]、布线RW[i+1]、布线OSP以及布线ORP的时间T01至时间T08的电位的变动。该时序图还示出时间T01至时间T08的电流 $\Sigma I[i,j]$ 、电流 $\Sigma I[i,j+1]$ 以及电流 I_{Bref} 中的变动量。注意,电流 $\Sigma I[i,j]$ 是流过存储单元AM[i,j]的晶体管Tr12中的电流的值,其通过对i从1至m求和而得。并且,电流 $\Sigma I[i,j+1]$ 是流过存储单元AM[i,j+1]的晶体管Tr12中的电流的总量,其通过对i从1至m求和而得。图9示出除了图8的时序图中的工作之外的时间T09至时间T14的工作例子。在时间T09以后,布线WW[i]、布线WW[i+1]、布线ORP以及布线OSP的电位一直保持为低电平电位而不变动,并且布线WD[j]、布线WD[j+1]以及布线 WD_{ref} 的电位一直保持为接地电位而不变动。由此在图9的时序图中,不示出布线WW[i]、布线WW[i+1]、布线WD[j]、布线WD[j+1]、布线 WD_{ref} 、布线ORP以及布线OSP的电位的变动。此外,图9的时序图示出如下所述的 $\Delta I_B[j]$ 、 $\Delta I_B[j+1]$ 的电流量的变动。

[0155] 《时间T01至时间T02》

[0156] 在时间T01至时间T02的期间中,布线WW[i]被施加高电平电位(在图8中记为High),而布线WW[i+1]被施加低电平电位(在图8中记为Low)。再者,布线WD[j]被施加比接

地电位(在图8中记为GND)高 $V_{PR}-V_X[i, j]$ 的电位,布线WD[j+1]被施加比接地电位高 $V_{PR}-V_X[i, j+1]$ 的电位,并且布线WD_{ref}被施加比接地电位高 V_{PR} 的电位。再者,布线RW[i]及布线RW[i+1]被施加参考电位(在图8中记为REFP)。

[0157] 电位 $V_X[i, j]$ 及电位 $V_X[i, j+1]$ 都对应于第一模拟数据。电位 V_{PR} 对应于参考模拟数据。

[0158] 在该期间中,存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]中的晶体管Tr11的栅极被施加高电平电位,由此存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]中的晶体管Tr11成为导通状态。由此,在存储单元AM[i, j]中,布线WD[j]与节点N[i, j]彼此电连接,而节点N[i, j]的电位成为 $V_{PR}-V_X[i, j]$ 。在存储单元AM[i, j+1]中,布线WD[j+1]与节点N[i, j+1]彼此电连接,而节点N[i, j+1]的电位成为 $V_{PR}-V_X[i, j+1]$ 。在存储单元AM_{ref}[i]中,布线WD_{ref}与节点N_{ref}[i]彼此电连接,而节点N_{ref}[i]的电位成为 V_{PR} 。

[0159] 考察从存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]的每一个中的晶体管Tr12的第一端子流过第二端子的电流。从布线B[j]通过存储单元AM[i, j]的晶体管Tr12的第一端子流过第二端子的电流 $I_0[i, j]$ 可以由如下算式表示。

$$[0160] \quad I_0[i, j] = k(V_{PR} - V_X[i, j] - V_{th})^2 \cdot \dots \quad (E1)$$

[0161] 在算式中,k为取决于晶体管Tr12的沟道长度、沟道宽度、迁移率、栅极绝缘膜的电容等的常数。此外, V_{th} 是晶体管Tr12的阈值电压。

[0162] 此时,从布线B[j]通过存储单元AM[i, j]中的晶体管Tr12的第一端子流过第二端子的电流为 $I_0[i, j]$ 。

[0163] 从布线B[j+1]通过存储单元AM[i, j+1]的晶体管Tr12的第一端子流过第二端子的电流 $I_0[i, j+1]$ 可以由如下算式表示。

$$[0164] \quad I_0[i, j+1] = k(V_{PR} - V_X[i, j+1] - V_{th})^2$$

[0165] 此时,从布线B[j+1]通过存储单元AM[i, j+1]的晶体管Tr12的第一端子流过第二端子的电流为 $I_0[i, j+1]$ 。

[0166] 从布线B_{ref}通过存储单元AM_{ref}[i]中的晶体管Tr12的第一端子流过第二端子的电流 $I_{ref0}[i]$ 可以由如下算式表示。

$$[0167] \quad I_{ref0}[i] = k(V_{PR} - V_{th})^2 \cdot \dots \quad (E2)$$

[0168] 此时,从布线B_{ref}通过存储单元AM_{ref}[i]的晶体管Tr12的第一端子流过第二端子的电流为 $I_{ref0}[i]$ 。

[0169] 注意,存储单元AM[i+1, j]、存储单元AM[i+1, j+1]以及存储单元AM_{ref}[i+1]中的晶体管Tr11的栅极被施加低电平电位,由此存储单元AM[i+1, j]、存储单元AM[i+1, j+1]以及存储单元AM_{ref}[i+1]中的晶体管Tr11成为非导通状态。由此,电位不被保持在节点N[i+1, j]、节点N[i+1, j+1]以及节点N_{ref}[i+1]中。

[0170] 《时间T02至时间T03》

[0171] 在时间T02至时间T03的期间中,布线WW[i]被施加低电平电位。此时,存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]中的晶体管Tr11的栅极被施加低电平电位,由此存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]中的晶体管Tr11成为非导通状态。

[0172] 布线WW[i+1]从时间T02以前继续被施加低电平电位。由此,存储单元AM[i+1, j]、

存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]中的晶体管Tr11从时间T02以前继续为非导通状态。

[0173] 因为存储单元AM[i,j]、存储单元AM[i,j+1]、存储单元AM[i+1,j]、存储单元AM[i+1,j+1]、存储单元AM_{ref}[i]以及存储单元AM_{ref}[i+1]中的晶体管Tr11都为非导通状态,所以在时间T02至时间T03的期间中,节点N[i,j]、节点N[i,j+1]、节点N[i+1,j]、节点N[i+1,j+1]、节点N_{ref}[i]以及节点N_{ref}[i+1]的电位被保持。

[0174] 尤其是,如在对半导体装置100的电路结构的说明中所描述,通过将0S晶体管应用于存储单元AM[i,j]、存储单元AM[i,j+1]、存储单元AM[i+1,j]、存储单元AM[i+1,j+1]、存储单元AM_{ref}[i]以及存储单元AM_{ref}[i+1]中的每一个晶体管Tr11,可以减少晶体管Tr11的源极-漏极间流过的泄漏电流,由此可以长时间在节点保持电位。

[0175] 在时间T02至时间T03的期间中,布线WD[j]、布线WD[j+1]以及布线WD_{ref}被施加接地电位。存储单元AM[i,j]、存储单元AM[i,j+1]、存储单元AM[i+1,j]、存储单元AM[i+1,j+1]、存储单元AM_{ref}[i]以及存储单元AM_{ref}[i+1]中的晶体管Tr11都为非导通状态,由此不会因来自布线WD[j]、布线WD[j+1]以及布线WD_{ref}的电位的施加而改写在存储单元AM[i,j]、存储单元AM[i,j+1]、存储单元AM[i+1,j]、存储单元AM[i+1,j+1]、存储单元AM_{ref}[i]以及存储单元AM_{ref}[i+1]中的节点中保持的电位。

[0176] 《时间T03至时间T04》

[0177] 在时间T03至时间T04的期间中,布线WW[i]被施加低电平电位,而布线WW[i+1]被施加高电平电位。再者,布线WD[j]被施加比接地电位高 $V_{PR}-V_X[i+1,j]$ 的电位,布线WD[j+1]被施加比接地电位高 $V_{PR}-V_X[i+1,j+1]$ 的电位,并且布线WD_{ref}被施加比接地电位高 V_{PR} 的电位。再者,布线RW[i]及布线RW[i+1]从时间T02以前继续被施加参考电位。

[0178] 此外,电位 $V_X[i+1,j]$ 及电位 $V_X[i+1,j+1]$ 都为对应于第一模拟数据的电位。

[0179] 在该期间中,存储单元AM[i+1,j]、存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]中的晶体管Tr11的栅极被施加高电平电位,由此存储单元AM[i+1,j]、存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]中的晶体管Tr11都成为导通状态。由此,存储单元AM[i+1,j]中的N[i+1,j]与布线WD[j]与节点电连接,而节点N[i+1,j]的电位成为 $V_{PR}-V_X[i+1,j]$ 。在存储单元AM[i+1,j+1]中,布线WD[j+1]与节点N[i+1,j+1]彼此电连接,而节点N[i+1,j+1]的电位成为 $V_{PR}-V_X[i+1,j+1]$ 。在存储单元AM_{ref}[i+1]中,布线WD_{ref}与节点N_{ref}[i+1]彼此电连接,而节点N_{ref}[i+1]的电位成为 V_{PR} 。

[0180] 考察从存储单元AM[i+1,j]、存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]的每一个中的晶体管Tr12的第一端子流过第二端子的电流。从布线B[j]通过存储单元AM[i+1,j]的晶体管Tr12的第一端子流过第二端子的电流 $I_0[i+1,j]$ 可以由如下算式表示。

$$[0181] \quad I_0[i+1,j] = k(V_{PR}-V_X[i+1,j]-V_{th})^2$$

[0182] 此时,从布线B[j]通过存储单元AM[i+1,j]中的晶体管Tr12的第一端子流过第二端子的电流为 $I_0[i,j]+I_0[i+1,j]$ 。

[0183] 从布线B[j+1]通过存储单元AM[i+1,j+1]的晶体管Tr12的第一端子流过第二端子的电流 $I_0[i+1,j+1]$ 可以由如下算式表示。

$$[0184] \quad I_0[i+1,j+1] = k(V_{PR}-V_X[i+1,j+1]-V_{th})^2$$

[0185] 此时,从布线B[j+1]通过存储单元AM[i+1,j+1]中的晶体管Tr12的第一端子流过

第二端子的电流为 $I_0[i, j+1]+I_0[i+1, j+1]$ 。

[0186] 从布线 B_{ref} 通过存储单元 $AM_{ref}[i+1]$ 的晶体管Tr12的第一端子流过第二端子的电流 $I_{ref0}[i+1]$ 可以由如下算式表示。

$$[0187] \quad I_{ref0}[i+1] = k(V_{PR} - V_{th})^2$$

[0188] 此时,从参考列输出电路 C_{ref} 的输出端子 OT_{ref} 流过布线 B_{ref} 的电流为 $I_{ref0}[i]+I_{ref0}[i+1]$ 。

[0189] 《时间T04至时间T05》

[0190] 在时间T04至时间T05的期间中,与时间T01至时间T02的期间中的工作及时间T03至时间T04的期间中的工作同样,其他存储单元AM也被写入对应于第一模拟数据的电位,且其他存储单元 AM_{ref} 也被写入电位 V_{PR} 。由此,流过所有存储单元AM中的晶体管Tr12的电流总量对应于从列输出电路OUT[j]的输出端子 $OT[j]$ 流过布线 $B[j]$ 的电流,由 $\sum I_0[i, j]$ (\sum 表示对i从1至m求和而得的电流)表示。

[0191] 这里,着眼于参考列输出电路 C_{ref} 。流过存储单元 $AM_{ref}[1]$ 至 $AM_{ref}[m]$ 中的晶体管Tr12的电流总量流入参考列输出电路 C_{ref} 的布线 B_{ref} 。也就是说,电流 $I_{Bref} = \sum I_{ref0}[i]$ (\sum 表示对i从1至m求和而得的电流)流过布线 B_{ref} 。

[0192] 虽然在图6中将流过布线 IL_{ref} 的电流记为 I_{CM} ,在本说明书中,将在时间T09以前流过布线 IL_{ref} 的电流记为 I_{CM0} 。

[0193] 从恒流电路 CI_{ref} 的端子CT4输出电流 I_{Cref} 。由此,通过以满足以下算式的方式设定晶体管Tr7的栅极的电位(节点 NCM_{ref} 的电位)决定 I_{CM0} 。

$$[0194] \quad I_{Cref} - I_{CM0} = \sum_i I_{ref0}[i] \cdots \quad (E3)$$

[0195] 此外,因为电流镜电路CM参照晶体管Tr7的栅极的电位(节点 NCM_{ref} 的电位),所以电流 I_{CM0} 还流过列输出电路OUT[1]至OUT[n]的布线 $IL[1]$ 至 $IL[n]$ 。

[0196] 《时间T05至时间T06》

[0197] 在时间T05至时间T06的期间中,布线ORP为高电平电位。此时,列输出电路OUT[1]至OUT[n]中的晶体管Tr3的栅极被施加高电平电位,由此晶体管Tr3成为导通状态。同时,列输出电路OUT[1]至OUT[n]中的电容元件C1的第一端子被施加低电平电位,由此电容元件C1的电位被初始化。在时间T06开始时,布线ORP被施加低电平电位,使得列输出电路OUT[1]至OUT[n]中的晶体管Tr3成为非导通状态。

[0198] 《时间T06至时间T07》

[0199] 在时间T06至时间T07的期间中,布线ORP为低电平电位。如上所述,列输出电路OUT[1]至OUT[n]中的晶体管Tr3的栅极被施加低电平电位,由此晶体管Tr3为非导通状态。

[0200] 《时间T07至时间T08》

[0201] 在时间T07至时间T08的期间中,布线OSP为高电平电位。如上所述,列输出电路OUT[1]至OUT[n]中的晶体管Tr2的栅极被施加高电平电位,由此晶体管Tr2成为导通状态。此时,电流从晶体管Tr2的第一端子通过晶体管Tr2的第二端子流过电容元件C1的第一端子,而电位在电容元件C1中被保持。由此,晶体管Tr1的栅极的电位被保持,在晶体管Tr1的源极-漏极间流过对应于晶体管Tr1的栅极的电位的电流。

[0202] 在时间T08开始时,布线OSP被施加低电平电位,使得列输出电路OUT[1]至OUT[n]

中的晶体管Tr2成为非导通状态。晶体管Tr1的栅极的电位被保持在电容元件C1中,由此即使在时间T08以后也继续在晶体管Tr1的源极-漏极间流过相同量的电流。

[0203] 这里,着眼于列输出电路OUT[j]。在列输出电路OUT[j]中, $I_{CP}[j]$ 表示晶体管Tr1的源极-漏极间流过的电流, $I_C[j]$ 表示恒流电路CI的晶体管Tr4的源极-漏极间流过的电流。通过电流镜电路CM,晶体管Tr5的源极-漏极间的电流为 I_{CM0} 。假设在从时间T1至时间T8的期间从输出端子SPT[j]不输出电流的情况下,在列输出电路OUT[j]的布线B[j]中流过存储单元AM[1]至AM[n]中的每一个晶体管Tr12的电流总量。也就是说,在布线B[j]中流过电流 $\Sigma I_0[i, j]$ (Σ 表示对i从1至m求和而得的电流)。由此,以上满足如下算式。

$$[0204] \quad I_C[j] - I_{CM0} - I_{CP}[j] = \sum_i I_0[i, j] \cdots \quad (E4)$$

[0205] 《时间T09至时间T10》

[0206] 参照图9说明时间T09以后的工作。在时间T09至时间T10的期间,布线RW[i]被施加比参考电位(在图9中记为REFP)高 $V_w[i]$ 的电位。此时,存储单元AM[i, 1]至AM[i, n]及存储单元AM_{ref}[i]中的电容元件C2的第二端子被施加电位 $V_w[i]$,由此晶体管Tr12的栅极的电位上升。

[0207] 注意,电位 $V_w[i]$ 为对应于第二模拟数据的电位。

[0208] 晶体管Tr12的栅极的电位的增加量相当于布线RW[i]的电位变化量乘以由存储单元的结构决定的电容耦合系数的电位。该电容耦合系数根据电容元件C2的电容、晶体管Tr2的栅极电容以及寄生电容而算出。在本工作例子中,为了避免复杂说明,布线RW[i]的电位的增加量与晶体管Tr12的栅极的电位的增加量相等,这对应于将存储单元AM和存储单元AM_{ref}的电容耦合系数都设定为1的情况。

[0209] 假设电容耦合系数为1,当对存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]中的电容元件C2的第二端子施加电位 $V_w[i]$ 时,节点N[i, j]、节点N[i, j+1]以及节点N_{ref}[i]的电位都上升 $V_w[i]$ 。

[0210] 考察从存储单元AM[i, j]、存储单元AM[i, j+1]以及存储单元AM_{ref}[i]的每一个中的晶体管Tr12的第一端子流过第二端子的电流。从布线B[j]通过存储单元AM[i, j]的晶体管Tr12的第一端子流过第二端子的电流 $I[i, j]$ 可以由如下算式表示。

$$[0211] \quad I[i, j] = k(V_{PR} - V_X[i, j] + V_w[i] - V_{th})^2 \cdots \quad (E5)$$

[0212] 也就是说,通过对布线RW[i]施加电位 $V_w[i]$,从布线B[j]通过存储单元AM[i, j]中的晶体管Tr12的第一端子流过第二端子的电流增加 $I[i, j] - I_0[i, j]$ (在图9中记为 $\Delta I[i, j]$)。

[0213] 从布线B[j+1]通过存储单元AM[i, j+1]的晶体管Tr12的第一端子流过第二端子的电流 $I[i, j+1]$ 可以由如下算式表示。

$$[0214] \quad I[i, j+1] = k(V_{PR} - V_X[i, j+1] + V_w[i] - V_{th})^2$$

[0215] 也就是说,通过对布线RW[i]施加电位 $V_w[i]$,从布线B[j+1]通过存储单元AM[i, j+1]中的晶体管Tr12的第一端子流过第二端子的电流增加 $I[i, j+1] - I_0[i, j+1]$ (在图9中记为 $\Delta I[i, j+1]$)。

[0216] 再者,从布线B_{ref}通过存储单元AM_{ref}[i]的晶体管Tr12的第一端子流过第二端子的电流 $I_{ref}[i]$ 可以由如下算式表示。

$$[0217] \quad I_{\text{ref}}[i] = k(V_{\text{PR}} + V_{\text{W}}[i] - V_{\text{th}})^2 \cdots \quad (\text{E6})$$

[0218] 也就是说,通过对布线RW[i]施加电位 $V_{\text{W}}[i]$,从布线 B_{ref} 通过存储单元 $AM_{\text{ref}}[i]$ 中的晶体管Tr12的第一端子流过第二端子的电流增加 $I_{\text{ref}}[i] - I_{\text{ref0}}[i]$ (在图9中记为 $\Delta I_{\text{ref}}[i]$)。

[0219] 这里,着眼于参考列输出电路 C_{ref} 。存储单元 $AM_{\text{ref}}[1]$ 至 $AM_{\text{ref}}[m]$ 中的晶体管Tr12的电流总量流入参考列输出电路 C_{ref} 的布线 B_{ref} 。也就是说,电流 $I_{\text{Bref}} = \sum I_{\text{ref0}}[i]$ 流过布线 B_{ref} 。

[0220] 从恒流电路 CI_{ref} 的端子CT4输出电流 I_{Cref} 。由此,通过以满足以下算式的方式设定晶体管Tr7的栅极的电位(节点 NCM_{ref} 的电位)决定 I_{CM} 。

$$[0221] \quad I_{\text{Cref}} - I_{\text{CM}} = \sum_i I_{\text{ref}}[i] \cdots \quad (\text{E7})$$

[0222] 这里,着眼于从布线B[j]输出的电流 $\Delta I_{\text{B}}[j]$ 。在时间T08至时间T09中,满足算式(E4),而从布线B[j]不输出电流 $\Delta I_{\text{B}}[j]$ 。

[0223] 在时间T09至时间T10的期间中,布线RW[i]被施加比参考电位高 $V_{\text{W}}[i]$ 的电位,使得存储单元 $AM[i, j]$ 的晶体管Tr12的源极-漏极间的电流变化。由此,从电连接于布线B[j]的输出端子SPT[j]输出电流 $\Delta I_{\text{B}}[j]$ 。具体而言,在列输出电路OUT[j]中,从恒流电路CI的端子CT2输出电流 $I_{\text{C}}[j]$,在晶体管Tr5的源极-漏极间有电流 I_{CM} ,且在晶体管Tr1的源极-漏极间有电流 $I_{\text{CP}}[j]$ 。由此,电流 $\Delta I_{\text{B}}[j]$ 可以使用 $\sum I[i, j]$ 的如下算式表示,在存储单元 $AM[i, j]$ 的晶体管Tr12的源极-漏极间的该电流通过对i从1至m求和而得。

$$[0224] \quad \Delta I_{\text{B}}[j] = (I_{\text{C}}[j] - I_{\text{CM}} - I_{\text{CP}}[j]) - \sum_i I[i, j] \cdots \quad (\text{E8})$$

[0225] 通过对算式(E8)使用算式(E1)至(E7),可以得到如下算式。

$$[0226] \quad \Delta I_{\text{B}}[j] = 2k \sum_i (V_{\text{X}}[i, j] V_{\text{W}}[i]) \cdots \quad (\text{E9})$$

[0227] 根据算式(E9),电流 $\Delta I_{\text{B}}[j]$ 为对应于作为第一模拟数据的电位 $V_{\text{X}}[i, j]$ 与作为第二模拟数据的电位 $V_{\text{W}}[i]$ 的积之和的值。由此,当算出电流 $\Delta I_{\text{B}}[j]$ 时,可以得到对第一模拟数据与第二模拟数据求积之和的值。

[0228] 在时间T09至时间T10的期间,当布线RW[i]以外的布线RW[1]至布线RW[m]的每一个的电位被设定为参考电位时,其关系为 $V_{\text{W}}[g] = 0$ (g为1以上且m以下并为i以外的整数)。由此根据算式(E9),输出 $\Delta I_{\text{B}}[j] = 2kV_{\text{X}}[i, j]V_{\text{W}}[i]$ 。也就是说,从电连接于布线B[j]的输出端子SPT[j]输出如下数据,该数据对应于储存在存储单元 $AM[i, j]$ 中的第一模拟数据与相当于被供应到布线RW[i]的选择信号的第二模拟数据的积。

[0229] 此外,从电连接于布线B[j+1]的输出端子SPT[j+1]输出的差值电流为 $\Delta I_{\text{B}}[j+1] = 2kV_{\text{X}}[i, j+1]V_{\text{W}}[i]$ 。从电连接于布线B[j+1]的输出端子SPT[j+1]输出如下数据,该数据对应于储存在存储单元 $AM[i, j+1]$ 中的第一模拟数据与相当于被供应到布线RW[i]的选择信号的第二模拟数据的积。

[0230] 《时间T10至时间T11》

[0231] 在时间T10至时间T11的期间中,布线RW[i]被施加接地电位。存储单元 $AM[i, 1]$ 至 $AM[i, n]$ 以及存储单元 $AM_{\text{ref}}[i]$ 中的电容元件C2的第二端子被施加接地电位。由此节点N[i,

1]至N[i,n]以及节点N_{ref}[i]的电位回到为时间T08至时间T09的期间的电位。

[0232] 《时间T11至时间T12》

[0233] 在时间T11至时间T12的期间中,将布线RW[i+1]以外的布线RW[1]至RW[m]的电位设定为参考电位,而布线RW[i+1]被施加比参考电位高V_w[i+1]的电位。此时,如时间T09至时间T10的期间中的工作那样,存储单元AM[i+1,1]至AM[i+1,n]以及存储单元AM_{ref}[i+1]中的电容元件C2的第二端子被施加电位V_w[i+1],由此晶体管Tr12的栅极的电位上升。

[0234] 此外,电位V_w[i+1]对应于第二模拟数据。

[0235] 如上所述,存储单元AM和存储单元AM_{ref}的电容耦合系数都为1。在对存储单元AM[i+1,j]、存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]中的电容元件C2的第二端子施加电位V_w[i+1]时,节点N[i+1,j]、节点N[i+1,j+1]以及节点N_{ref}[i+1]的电位都上升V_w[i+1]。

[0236] 在节点N[i+1,j]、节点N[i+1,j+1]以及节点N_{ref}[i+1]的电位都上升V_w[i+1]时,存储单元AM[i+1,j]、存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]中的每一个晶体管Tr12的电流增加。在存储单元AM[i+1,j]中的晶体管Tr12中流过的电流为I[i+1,j]的情况下,从列输出电路OUT[j]的输出端子OT[j]流过布线B[j]的电流增加I[i+1,j]-I₀[i+1,j] (在图9中记为ΔI[i+1,j])。在存储单元AM[i+1,j+1]中的晶体管Tr12中流过的电流为I[i+1,j+1]的情况下,从列输出电路OUT[j+1]的输出端子OT[j+1]流过布线B[j+1]的电流增加I[i+1,j+1]-I₀[i+1,j+1] (在图9中记为ΔI[i+1,j+1])。在存储单元AM_{ref}[i+1]中的晶体管Tr12中流过的电流为I_{ref}[i+1]的情况下,从参考列输出电路C_{ref}的输出端子OT_{ref}流过布线B_{ref}的电流增加I_{ref}[i+1]-I_{ref0}[i+1] (在图9中记为ΔI_{ref}[i+1])。

[0237] 时间T11至时间T12的期间中的工作可以类似于时间T09至时间T10的期间中的工作。由此,当对时间T11至时间T12的期间中的工作使用算式(E9)时,将从布线B[j]输出的差值电流表示为ΔI_B[j]=2kV_x[i+1,j+1]V_w[i+1]。也就是说,从电连接于布线B[j]的输出端子SPT[j]输出如下数据,该数据对应于储存在存储单元AM[i+1,j]中的第一模拟数据与相当于供应到布线RW[i+1]的选择信号的第二模拟数据的积。

[0238] 此外,将从布线B[j+1]输出的差值电流表示为ΔI_B[j+1]=2kV_x[i+1,j+1]V_w[i+1]。从电连接于布线B[j+1]的输出端子SPT[j+1]输出数据,该数据对应于储存在存储单元AM[i+1,j+1]中的第一模拟数据与相当于供应到布线RW[i+1]的选择信号的第二模拟数据的积。

[0239] 《时间T12至时间T13》

[0240] 在时间T12至时间T13的期间中,布线RW[i+1]被施加接地电位。此时,存储单元AM[i+1,1]至AM[i+1,n]以及存储单元AM_{ref}[i+1]中的电容元件C2的第二端子被施加接地电位,而节点N[i+1,1]至N[i+1,n]以及节点N_{ref}[i+1]的电位回到为时间T10至时间T11的期间的电位。

[0241] 《时间T13至时间T14》

[0242] 在时间T13至时间T14的期间中,将布线RW[i]及RW[i+1]以外的布线RW[1]至RW[m]的电位设定为参考电位,布线RW[i]被施加比参考电位高V_{w2}[i]的电位,并且布线RW[i+1]被施加比参考电位低V_{w2}[i+1]的电位。此时,如时间T09至时间T10的期间中的工作那样,存储单元AM[i,1]至AM[i,n]以及存储单元AM_{ref}[i]中的电容元件C2的第二端子被施加电位V_{w2}[i],由此存储单元AM[i,1]至AM[i,n]以及存储单元AM_{ref}[i]中的晶体管Tr12的栅极的电位

上升。与此同时,存储单元AM[i+1,1]至AM[i+1,n]以及存储单元AM_{ref}[i+1]中的电容元件C2的第二端子被施加电位 $-V_{w2}[i+1]$,由此存储单元AM[i+1,1]至AM[i+1,n]以及存储单元AM_{ref}[i+1]中的晶体管Tr12的栅极的电位下降。

[0243] 电位 $V_{w2}[i]$ 及电位 $V_{w2}[i+1]$ 对应于第二模拟数据。

[0244] 注意,存储单元AM和存储单元AM_{ref}的电容耦合系数都为1。在对存储单元AM[i,j]、存储单元AM[i,j+1]以及存储单元AM_{ref}[i]中的电容元件C2的第二端子施加电位 $V_{w2}[i]$ 时,节点N[i,j]、节点N[i,j+1]以及节点N_{ref}[i]的电位都上升 $V_{w2}[i]$ 。在对存储单元AM[i+1,j]、存储单元AM[i+1,j+1]以及存储单元AM_{ref}[i+1]中的电容元件C2的第二端子施加电位 $-V_{w2}[i+1]$ 时,节点N[i+1,j]、节点N[i+1,j+1]以及节点N_{ref}[i+1]的电位都下降 $V_{w2}[i+1]$ 。

[0245] 在节点N[i,j]、节点N[i,j+1]以及节点N_{ref}[i]的电位都上升 $V_{w2}[i]$ 时,存储单元AM[i,j]、存储单元AM[i,j+1]以及存储单元AM_{ref}[i]中的每一个晶体管Tr12的电流增加。在此,将存储单元AM[i,j]中的晶体管Tr12中流过的电流记为 $I[i,j]$,将存储单元AM[i,j+1]中的晶体管Tr12中流过的电流记为 $I[i,j+1]$,并且将存储单元AM_{ref}[i]中的晶体管Tr12中流过的电流记为 $I_{ref}[i]$ 。

[0246] 在节点N[i+1,j]、节点N[i+1,j+1]以及节点N_{ref}[i+1]的电位都下降 $V_{w2}[i+1]$,存储单元AM[i+1,j]、存储单元AM[i+1,j+1]及存储单元AM_{ref}[i+1]中的每一个晶体管Tr12的电流减少。在此,将存储单元AM[i+1,j]的晶体管Tr12中流过的电流记为 $I_2[i,j]$,将存储单元AM[i+1,j+1]中的晶体管Tr12中流过的电流记为 $I_2[i,j+1]$,并且将存储单元AM_{ref}[i+1]中的晶体管Tr12中流过的电流记为 $I_{2ref}[i+1]$ 。

[0247] 此时,从列输出电路OUT[j]的输出端子OT[j]流过布线B[j]的电流增加 $(I_2[i,j]-I_0[i,j])+(I_2[i+1,j]-I_0[i+1,j])$ (在图9中记为 $\Delta I[j]$)。从列输出电路OUT[j+1]的输出端子OT[j+1]流过布线B[j+1]的电流增加 $(I_2[i,j+1]-I_0[i,j+1])+(I_2[i+1,j+1]-I_0[i+1,j+1])$ (在图9中记为 $\Delta I[j+1]$,该 $\Delta I[j+1]$ 为负电流)。从参考列输出电路C_{ref}的输出端子OT_{ref}流过布线B_{ref}的电流增加 $(I_{2ref}[i,j]-I_{ref0}[i,j])+(I_{2ref}[i+1,j]-I_{ref0}[i+1,j])$ (在图9中记为 ΔI_{Bref})。

[0248] 时间T13至时间T14的期间中的工作可以类似于时间T09至时间T10的期间中的工作。当对时间T13至时间T14的期间中的工作使用算式(E9)时,将从布线B[j]输出的差值电流表示为 $\Delta I_B[j]=2k\{V_X[i,j]V_{w2}[i]-V_X[i+1,j]V_{w2}[i+1]\}$ 。由此,将从电连接于布线B[j]的输出端子SPT[j]输出如下数据,该数据对应于储存在存储单元AM[i,j]及存储单元AM[i+1,j]的每一个中的第一模拟数据与相当于供应到布线RW[i]及布线RW[i+1]的每一个的选择信号的第二模拟数据的积之和。

[0249] 将从布线B[j+1]输出的差值电流表示为 $\Delta I_B[j+1]=2k\{V_X[i,j+1]V_{w2}[i]-V_X[i+1,j+1]V_{w2}[i+1]\}$ 。从电连接于布线B[j+1]的输出端子SPT[j+1]输出如下数据,该数据对应于储存在存储单元AM[i,j+1]及存储单元AM[i+1,j+1]的每一个中的第一模拟数据与相当于供应到布线RW[i]及布线RW[i+1]的每一个的选择信号的第二模拟数据的积。

[0250] 《时间T14以后》

[0251] 在时间T14以后,对布线RW[i]及布线RW[i+1]施加接地电位。此时,存储单元AM[i,1]至AM[i,n]、存储单元AM[i+1,1]至AM[i+1,n]、存储单元AM_{ref}[i]以及存储单元AM_{ref}[i+1]的电容元件C2的第二端子被施加接地电位。由此,节点N[i,1]至N[i,n]、节点N[i+1,1]至N

[i+1,n]、节点 $N_{ref}[i]$ 以及节点 $N_{ref}[i+1]$ 的电位回到为时间T12至时间T13的期间的电位。

[0252] 通过构成图1所示的电路,可以同时进行多个积和运算处理。由此,可以提供一种实现高速积和运算处理的半导体装置。

[0253] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0254] 实施方式2

[0255] 在本实施方式中,参照图10A至10E说明将上述实施方式所示的半导体装置用于电子构件的应用例子。

[0256] <电子构件>

[0257] 图10A示出将上述实施方式所说明的半导体装置作为存储装置应用于电子构件的例子。注意,电子构件也被称为半导体封装或IC用封装。该电子构件根据端子取出方向或端子的形状具有多个规格和名称。由此,在本实施方式中,说明该电子构件的例子。

[0258] 通过将可拆卸构件集成在印刷电路板上的组装工序(后工序),完成包括实施方式1所示的晶体管的半导体装置。

[0259] 后工序可以经过图10A所示的工序完成。具体而言,在前工序中得到的元件衬底完成(步骤STP1)之后,研磨衬底的背面(步骤STP2)。在该阶段中使衬底薄膜化,以减少在前工序中的翘曲等并减少构件本身的尺寸。

[0260] 在研磨衬底的背面之后,进行将衬底分成多个芯片的切割(dicing)工序(步骤STP3)。然后,进行将被切割的芯片安装于引线框架上并实现接合的芯片接合(die bonding)工序(步骤STP4)。在该芯片接合工序中,芯片与引线框架的粘接可以根据产品合适的方法,如利用树脂或胶带的粘接。注意,在芯片接合工序中,芯片也可以安装于插入物(interposer)上而接合。

[0261] 注意,在本实施方式中,在衬底的一个表面形成有元件的情况下,将另一个表面(该衬底的没形成有元件一侧的表面)称为背面。

[0262] 接着,进行将引线框架的引线与芯片上的电极通过金属细线电连接的引线键合(步骤STP5)。作为金属细线可以使用银线或金线。引线键合可以使用球键合或楔键合。

[0263] 对进行了引线键合后的芯片实施由环氧树脂等密封的模塑工序(步骤STP6)。通过进行模塑工序,使电子构件的内部被树脂填充,可以降低因机械外力对安装于电子构件内部的电路部及金属细线造成的损伤,还可以降低因水分或灰尘而导致的特性劣化。

[0264] 接着,对引线框架的引线进行电镀处理。并且对引线进行切断及成型加工(步骤STP7)。该电镀处理防止引线生锈并确实地进行后面工序中的将引线安装于印刷电路板时的焊接。

[0265] 接着,对封装表面实施印记处理(步骤STP8)。在经过最终的检验工序(步骤STP9)后完成电子构件(步骤STP10)。

[0266] 上面说明的电子构件可以包括上述实施方式所说明的半导体装置。因此,可以得到高可靠性的电子构件。

[0267] 图10B是完成的电子构件的透视示意图。图10B是作为电子构件的一个例子的四侧引脚扁平封装(QFP:Quad Flat Package)的透视示意图。图10B所示的电子构件4700包括引线4701及电路部4703。图10B所示的电子构件4700例如安装于印刷电路板4702。通过组合多个电子构件4700并使其在印刷电路板4702上彼此电连接,可以安装于电子设备。完成的电

路衬底4704设置于电子设备等中。

[0268] 本发明的一个实施方式不局限于上述电子构件4700的形状,还包括在步骤STP1中所制造的元件衬底。此外,本发明的一个实施方式的元件衬底还包括被进行了步骤STP2的衬底背面的研磨处理的元件衬底。此外,本发明的一个实施方式的元件衬底包括被进行了步骤STP3的切割工序的元件衬底。例如,图10C所示的半导体晶片4800等相当于该元件衬底。在半导体晶片4800中,在晶片4801的顶面形成有多个电路部4802。在晶片4801的顶面上没有电路部4802的部分相当于空隙4803,其为用于切割的区域。

[0269] 沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序,优选以多个划分线SCL1彼此平行,多个划分线SCL2彼此平行,且划分线SCL1与划分线SCL2彼此垂直相交的方式设置空隙4803。

[0270] 通过切割工序,可以从半导体晶片4800切割出图10D所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。注意,空隙4803a优选尽可能小。在此情况下,优选的是相邻的电路部4802之间的空隙4803的宽度基本上与划分线SCL1或划分线SCL2的划分用余白的长度相等。

[0271] 本发明的一个实施方式的元件衬底的形状不局限于图10C所示的半导体晶片4800的形状。例如,也可以为图10E所示的矩形状的半导体晶片4810。此外,可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0272] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0273] 实施方式3

[0274] 在本实施方式中说明在实施方式1中说明的半导体装置的应用例子。

[0275] 因为半导体装置100被用作积和运算电路,所以有时可以将半导体装置100用作人工神经网络的构成要素之一。人工神经网络是以神经网络为模型的信息处理系统,其能够在计算机上实现脑功能的特性。

[0276] 人工神经网络具有以神经元为模型的单元通过以神经突触为模型的单元彼此结合的结构。在此被人为改变结合的强度时人工神经网络学习各种输入类型,而可以高速执行类型识别、联想记忆、数据挖掘等。尤其是,有时通过使用人工神经网络可以实现利用音频、声音、音乐、图像或视频等的类型识别的新颖的电子设备。

[0277] 在实施方式1所示的半导体装置中,通过以多个第一模拟数据为权重数据并使多个第二模拟数据对应于神经元输出,可以并列进行对各神经元输出的权重累加运算。由此作为该输出信号可以得到对应于权重运算的结果的数据,即神经突触输入。

[0278] <电子设备>

[0279] 这里,说明利用上述人工神经网络的电子设备或系统。

[0280] 图11A为平板电脑型信息终端,其包括外壳5221、显示部5222、操作按钮5223及扬声器5224。此外,可以对显示部5222使用附加了位置输入功能的显示装置。注意,可以通过在显示装置中设置触摸面板来附加位置输入功能。或者,也可以通过在显示装置的像素部设置被称为光电传感器的光电转换元件来附加位置输入功能。另外,可以将操作按钮5223用作打开信息终端的电源开关、操作信息终端的应用程序的按钮、音量调整按钮、使显示部5222启动或关闭的开关等中的任一个。图11A示出信息终端包括四个操作按钮5223的例子,但是信息终端所具有的操作按钮的个数及配置不局限于该例子。虽然未图示,但是图11A所

示的信息终端也可以设置有相机。虽然未图示,但是图11A所示的信息终端也可以包括用于快门灯或照明的发光装置。虽然未图示,但是图11A所示的信息终端可以在外壳5221的内部包括传感器(该传感器测量力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味、红外线等)。尤其是,当设置具有陀螺仪或加速度传感器等检测倾斜度的传感器的检测装置时,通过判断图11A所示的信息终端的方向(相对于垂直方向的信息终端的方向)而将显示部5222的画面显示根据信息终端的方向自动切换。在设置用来取得指纹、静脉、虹膜或声纹等生物信息的装置的情况下,可以实现具有生物识别功能的信息终端。尤其是,将人工神经网络用于该生物识别,有时可以构成精确度高的识别系统。此外,对信息终端的人工神经网络的应用不局限于识别系统。例如,在利用人工神经网络的信息终端中,有时可以进行语音解释。通过语音解释功能,信息终端可以具有通过语音识别操作平板型信息终端的功能、解释发言或会话而制作发言或会话记录等。由此,例如可以使用平板型信息终端用来学习外语的教科书。或者,例如该平板型信息终端可以应用于制造会议记录等。

[0281] 注意,本发明的一个实施方式不局限于图11A的平板型信息终端,而也可以是图11B所示的将减少了图11A的信息终端的尺寸且附加了通话功能的手机(智能手机)。图11B的手机包括框体5501、显示部5502、麦克风5503、扬声器5504以及操作按钮5505。与图11A所示的信息终端同样,当设置用来取得指纹、静脉、虹膜或声纹等生物信息的装置时,有时可以实现具有利用人工神经网络的生物识别功能的信息终端。此外,与图11A所示的信息终端同样,也可以具有利用人工神经网络的语音解释功能。

[0282] 图11C示出视频摄像机,该视频摄像机包括第一外壳5801、第二外壳5802、显示部5803、操作键5804、透镜5805以及连接部5806等。本发明的一个实施方式的半导体装置可用于视频摄像机的各种集成电路。操作键5804及透镜5805设置在第一外壳5801中,而显示部5803设置在第二外壳5802中。第一外壳5801和第二外壳5802由连接部5806连接,由连接部5806可以改变第一外壳5801和第二外壳5802之间的角度。显示部5803的图像也可以根据连接部5806处的第一外壳5801和第二外壳5802之间的角度切换。

[0283] 当记录由摄像机拍摄的图像时,需要进行根据数据记录方式的编码。通过在编码时进行利用人工神经网络的类型识别,计算出前一次拍摄的图像数据与这一次拍摄的图像数据的差异,以可以压缩数据。

[0284] 图11D示出掌纹识别装置,包括框体5431、显示部5432、掌纹读取部5433以及布线5434。并且,图11D示出取得手5435的掌纹的情况。本发明的一个实施方式不局限于掌纹识别装置,而也可以是取得指纹、静脉、脸、虹膜、声纹或基因等生物信息以进行生物识别的装置。

[0285] 图12示意性地示出广播系统中的数据传输。图12示出从广播电台6561发送的电波(广播信号)传送到各家庭的电视机(TV)6560的路径。TV6560具备接收器及显示装置。作为人造卫星6562,例如可以举出通信卫星(CS)和广播卫星(BS)等。作为天线6564,例如可以举出BS/110°C S天线和CS天线等。天线6565的例子可以包括特高频(UHF:Ultra High Frequency)天线。

[0286] 电波6566A、6566B为卫星广播信号。人造卫星6562在接收电波6566A时向地面发送电波6566B。各家庭通过用天线6564接收电波6566B,就可以用TV6560收看卫星TV广播。或

者,其他的广播电台的天线接收电波6566B并用广播电台内的接收器将该电波6566B加工为能通过光缆传输的信号。广播电台利用光缆网发送广播信号至各家庭的TV6560。电波6567A、6567B为地面广播信号。电波塔6563放大所接收的电波6567A并发送电波6567B。各家庭通过用天线6565接收电波6567B,就可以用TV6560收看地面TV广播。

[0287] 在从广播电台6561发送电波电波6566A或电波6567A之前,由广播电台6561中的电子设备进行视频数据的编码处理。此时,通过进行利用人工神经网络的类型识别,计算出前一次拍摄的图像数据与这一次拍摄的图像数据的差异,以可以压缩数据。

[0288] 本实施方式的视频传输系统不局限于TV广播系统。所发送的视频数据可以为动态图像数据或静态图像数据。

[0289] 例如,也可以通过高速IP网络发送摄像机的视频数据。例如,在医疗现场视频数据的传输系统可以用于远程诊断和远程诊疗。为了进行正确的图像诊断和医疗行为,需要更高分辨率的图像。由此,医疗用途的图像需要8K、4K和2K图像等高分辨率图像。图13示意性地示出利用视频数据分发系统的急救医疗系统。

[0290] 紧急车辆(救护车)6600与医疗机构6601之间以及医疗机构6601与医疗机构6602之间的通信通过高速网络6605进行。救护车6600具备摄像机6610、编码器6611及通信装置6612。

[0291] 摄像机6610拍摄运往医疗机构6601的患者。用摄像机6610取得的视频数据6615可以用通信装置6612以非压缩的形式发送。由此,可以以较少的延迟将高分辨率的视频数据6615发送到医疗机构6601。在不能利用高速网络6605进行救护车6600与医疗机构6601之间的通信的情况下,也可以用编码器6611对视频数据进行编码并发送编过码的视频数据6616。此时,通过进行利用人工神经网络的类型识别,可以与上述电视系统同样地压缩视频数据。

[0292] 在在医疗机构6601内,通信装置6620接收从救护车6600发来的视频数据。在所接收的视频数据为非压缩数据时,将该数据经过通信装置6620发送并在显示装置6623上显示。在视频数据为压缩数据时,该数据被译码器6621解压,然后发送到服务器6622及显示装置6623。根据显示装置6623上的图像的判断,医生向救护车6600的急救人员或者医疗机构6601内的医务人员发出指示。图13的传输系统能够传送高清晰度图像,因此医疗机构6601内的医生能够确认到急救运送途中的患者的详细情况。因此,医生可以在短时间内向急救人员或医疗机构内的医务人员发出更准确的指示,从而可以提高患者的生存率。

[0293] 医疗机构6601与医疗机构6602之间的视频数据的通信可以与上述同样地进行。可以将用医疗机构6601的成像诊断装置(如CT或MRI)取得的医疗图像发送到医疗机构6602。在此,以救护车6600为运送患者的手段的例子,但是也可以使用直升机等航空机器或船舶。

[0294] 本实施方式所示的电子设备或系统可以与其他电子设备或系统适当地组合。

[0295] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0296] 实施方式4

[0297] 在本实施方式中,对可以用于在实施方式3中说明的图11A所示的平板型终端或图11B所示的手机等的输入/输出装置进行说明。

[0298] 图14A、图14B-1、图14B-2以及图14C示出可以用于输入/输出装置的触摸面板700TP1的结构。图14A是触摸面板的俯视图。图14B-1是说明触摸面板的输入部的一部分的

示意图。图14B-2是说明图14B-1的结构的一部分的示意图。图14C是说明触摸面板所包括的显示部的一部分的示意图。

[0299] 图15A是说明图14C所示的触摸面板中的像素的结构的一部分的底面图。图15B是省略图15A中示出的结构的一部分的底面图。

[0300] 图16A和图16B以及图17A和图17B是说明触摸面板的结构的截面图。图16A是沿着图14A的粗线Z1-Z2、粗线Z3-Z4、粗线Z5-Z6的截面图。图16B说明图16A的一部分。

[0301] 图17A是沿着图14A的粗线Z7-Z8、粗线Z9-Z10、粗线Z11-Z12的截面图。图17B说明图17A的一部分。

[0302] 图18A至图18C都是说明可以用于触摸面板的像素中的反射膜的形状的示意图。

[0303] 图19是说明触摸面板的输入部的结构的方框图。

[0304] 图20是输入/输出装置所具备的像素电路的结构的电路图。

[0305] <输入/输出装置的结构例子>

[0306] 本实施方式所说明的输入/输出装置包括触摸面板700TP1(参照图14A)。注意,触摸面板包括显示部及输入部。

[0307] 《显示部的结构例子》

[0308] 显示部包括显示面板,该显示面板包括像素702(i,j)。

[0309] 像素702(i,j)包括第二导电膜、第一导电膜、第二绝缘膜501C及第一显示元件750(i,j)(参照图17A)。

[0310] 第二导电膜与像素电路530(i,j)电连接。例如,可以将具有被用作像素电路530(i,j)的开关SW1的晶体管的源电极或漏电极的功能的导电膜512B用作第二导电膜(参照图17A及图20)。

[0311] 第一导电膜具有与第二导电膜重叠的区域。例如,可以将第一导电膜用于第一显示元件750(i,j)的第一电极751(i,j)。

[0312] 第二绝缘膜501C具有夹在第二导电膜与第一导电膜之间的区域。在夹在第一导电膜与第二导电膜之间的区域中具有开口591A。另外,第二绝缘膜501C具有夹在第一绝缘膜501A与导电膜511B之间的区域。再者,第二绝缘膜501C在夹在第一绝缘膜501A与导电膜511B之间的区域中具有开口591B。第二绝缘膜501C在夹在第一绝缘膜501A与导电膜511C之间的区域中具有开口591C(参照图16A及图17A)。

[0313] 第一导电膜在开口591A中与第二导电膜电连接。例如,第一电极751(i,j)与导电膜512B电连接。将在设置于第二绝缘膜501C的开口591A中与第二导电膜电连接的第一导电膜可以称为贯穿电极。

[0314] 第一显示元件750(i,j)与第一导电膜电连接。

[0315] 第一显示元件750(i,j)包括反射膜并具有控制反射膜所反射的光的强度的功能。例如,作为第一显示元件750(i,j)的反射膜,可以使用第一导电膜或第一电极751(i,j)等。与此同样,作为第一显示元件750(i,j+1)的反射膜,可以使用第一导电膜、第一电极751(i,j+1)等,作为第一显示元件750(i,j+2)的反射膜,可以使用第一导电膜或第一电极751(i,j+2)等(参照图18A)。此外,下面描述的图18B示出作为反射膜的第一电极751(i,j)、第一电极751(i+1,j)以及第一电极751(i+2,j)。

[0316] 第二显示元件550(i,j)具有向第二绝缘膜501C发射光的功能(参照图16A)。

[0317] 反射膜具有包括不遮断第二显示元件550(i, j)所发射的光的区域的形状。

[0318] 本实施方式所说明的显示面板的像素702(i, j)所具备的反射膜具有一个或多个开口751H(参照图18A至图18C)。

[0319] 第二显示元件550(i, j)具有向开口751H发射光的功能。注意,开口751H使第二显示元件550(i, j)所发射的光透过。

[0320] 与像素702(i, j)邻接的像素702(i, j+1)的开口751H不配置于经过像素702(i, j)的开口751H的在行方向(附图中的以箭头Ro1表示的方向)上延伸的线上(参照图18A)。或者,例如,与像素702(i, j)邻接的像素702(i+1, j)的开口751H不配置于经过像素702(i, j)的开口751H的在列方向(附图中的以箭头Co1表示的方向)上延伸的线上(参照图18B)。

[0321] 例如,像素702(i, j+2)的开口751H配置于经过像素702(i, j)的开口751H的在行方向上延伸的线上(参照图18A)。另外,像素702(i, j+1)的开口751H配置于与像素702(i, j)的开口751H和像素702(i, j+2)的开口751H之间的上述的线正交的线上。

[0322] 或者,例如,像素702(i+2, j)的开口751H配置于经过像素702(i, j)的开口751H的在列方向上延伸的线上(参照图18B)。另外,例如,像素702(i+1, j)的开口751H配置于与像素702(i, j)的开口751H和像素702(i+2, j)的开口751H之间的上述的线正交的线上。

[0323] 由此,可以容易与靠近第二显示元件地配置显示与第二显示元件不同的颜色的第三显示元件。其结果是,可以提供一种具有高方便性或高可靠性的显示面板。

[0324] 例如,将具有以形成有不遮断第二显示元件550(i, j)所发射的光的区域751E的方式其端部被切除的材料的形状的材料可以用于反射膜(参照图18C)。具体而言,可以将以缩短列方向(附图中的以箭头Co1表示的方向)上的长度的方式其端部被切除的第一电极751(i, j)用作反射膜。注意,除了第一电极751(i, j)之外,在图18C中示出第一电极751(i, j+1)。

[0325] 由此,例如可以使用能够通过同一工序形成的像素电路驱动第一显示元件、与第一显示元件不同的方法进行显示的第二显示元件。具体而言,通过将反射型显示元件用作第一显示元件,可以降低功耗。另外,可以在外光亮的环境下以高对比度良好地显示图像。另外,可以使用发射光的第二显示元件在暗环境下良好地显示图像。另外,可以使用第二绝缘膜抑制第一显示元件与第二显示元件之间的杂质扩散或第一显示元件与像素电路之间的杂质扩散。再者,被供应根据控制数据而被控制的电压的第二显示元件所发射的光的一部分不被第一显示元件所具有的反射膜遮蔽。其结果是,可以提供一种具有高方便性或高可靠性的显示装置。

[0326] 本实施方式所说明的输入/输出装置的像素所包括的第二显示元件550(i, j)以在能够看到使用第一显示元件750(i, j)的显示的范围的一部分中能够看到的方式设置。例如,在图17A中以虚线的箭头表示入射到第一显示元件750(i, j)而被反射的光的方向,该第一显示元件750(i, j)通过控制反射外光的强度进行显示。此外,在图16A中以实线的箭头表示第二显示元件550(i, j)向能够看到使用第一显示元件750(i, j)的显示的范围的一部分发射光的方向。

[0327] 由此,从能够看到使用第一显示元件的显示的区域的一部分,能够看到使用第二显示元件的显示。或者,使用者能够以不改变显示面板的姿态等的方式看到显示。其结果是,可以提供一种具有高方便性或高可靠性的显示面板。

[0328] 像素电路530(i, j)与信号线Sig1(j)电连接。注意,导电膜512A与信号线Sig1(j)

电连接(参照图17A及图20)。例如,作为像素电路530(i, j)的开关SW1,可以使用将第二导电膜用于被用作源电极或漏电极的导电膜512B的晶体管。

[0329] 本实施方式所说明的显示面板包括第一绝缘膜501A(参照图16A)。

[0330] 第一绝缘膜501A具有第一开口592A、第二开口592B及开口592C(参照图16A或图17A)。

[0331] 第一开口592A包括与第一中间膜754A及第一电极751(i, j)重叠的区域或与第一中间膜754A及第二绝缘膜501C重叠的区域。

[0332] 第二开口592B包括与第二中间膜754B及导电膜511B重叠的区域。此外,开口592C包括与中间膜754C及导电膜511C重叠的区域。

[0333] 第一绝缘膜501A沿着第一开口592A的边缘包括被夹在第一中间膜754A与第二绝缘膜501C之间的区域。第一绝缘膜501A沿着第二开口592B的边缘还包括被夹在第二中间膜754B与导电膜511B之间的区域。

[0334] 本实施方式所说明的显示面板包括扫描线G2(i)、布线CSCOM、第三导电膜AN0及信号线Sig2(j)(参照图20)。

[0335] 本实施方式所说明的显示面板的第二显示元件550(i, j)包括第三电极551(i, j)、第四电极552以及包含发光性材料的层553(j)(参照图16A)。注意,第三电极551(i, j)分别与第三导电膜AN0及第四电极552与第四导电膜VCOM2电连接(参照图20)。

[0336] 第四电极552包括与第三电极551(i, j)重叠的区域。

[0337] 包含发光性材料的层553(j)包括被夹在第三电极551(i, j)和第四电极552之间的区域。

[0338] 第三电极551(i, j)在连接部522中与像素电路530(i, j)电连接。

[0339] 本实施方式所说明的显示面板的第一显示元件750(i, j)包括包含液晶材料的层753、第一电极751(i, j)以及第二电极752。第二电极752以在第二电极752与第一电极751(i, j)之间发生控制液晶材料的取向的电场的方式设置(参照图16A及图17A)。

[0340] 本实施方式所说明的显示面板包括取向膜AF1及取向膜AF2。取向膜AF2以在取向膜AF1与取向膜AF2之间夹有包含液晶材料的层753的方式设置。

[0341] 此外,本实施方式所说明的显示面板包括第一中间膜754A以及第二中间膜754B。

[0342] 第一中间膜754A包括在与第二绝缘膜501C之间夹有第一导电膜的区域。第一中间膜754A包括与第一电极751(i, j)接触的区域。第二中间膜754B包括与导电膜511B接触的区域。

[0343] 本实施方式所说明的显示面板包括遮光膜BM、绝缘膜771、功能膜770P以及功能膜770D、着色膜CF1及着色膜CF2。

[0344] 遮光膜BM在与第一显示元件750(i, j)重叠的区域包括开口。着色膜CF2设置在第二绝缘膜501C与第二显示元件550(i, j)之间,并包括与开口751H重叠的区域(参照图16A)。

[0345] 绝缘膜771包括被夹在着色膜CF1与包含液晶材料的层753之间或遮光膜BM与包含液晶材料的层753之间的区域。绝缘膜771可以使因着色膜CF1的厚度产生的凹凸。或者,可以抑制从遮光膜BM、着色膜CF1等扩散到包含液晶材料的层753的杂质。

[0346] 功能膜770P包括与第一显示元件750(i, j)重叠的区域。

[0347] 功能膜770D包括与第一显示元件750(i, j)重叠的区域。功能膜770D以在功能膜

770D与第一显示元件750(i, j)之间夹有衬底770的方式设置。由此,例如可以扩散第一显示元件750(i, j)所反射的光。

[0348] 本实施方式所说明的显示面板包括衬底570、衬底770以及功能层520。

[0349] 衬底770包括与衬底570重叠的区域。

[0350] 功能层520包括被夹在衬底570和衬底770之间的区域。功能层520包括像素电路530(i, j)、第二显示元件550(i, j)、绝缘膜521以及绝缘膜528。此外,功能层520包括绝缘膜518及绝缘膜516(参照图16A和图16B)。

[0351] 绝缘膜521包括被夹在像素电路530(i, j)和第二显示元件550(i, j)之间的区域。

[0352] 绝缘膜528设置在绝缘膜521和衬底570之间,并在与第二显示元件550(i, j)重叠的区域中包括开口。

[0353] 沿着第三电极551(i, j)的边缘形成的绝缘膜528防止第三电极551(i, j)和第四电极之间的短路。

[0354] 绝缘膜518包括被夹在绝缘膜521和像素电路530(i, j)之间的区域。绝缘膜516包括被夹在绝缘膜518和像素电路530(i, j)之间的区域。

[0355] 此外,本实施方式所说明的显示面板包括接合层505、密封剂705以及结构体KB1。

[0356] 接合层505包括被夹在功能层520和衬底570之间的区域,并具有使功能层520和衬底570贴合在一起的功能。

[0357] 密封剂705包括被夹在功能层520和衬底770之间的区域,并具有使功能层520和衬底770贴合在一起的功能。

[0358] 结构体KB1具有在功能层520和衬底770之间提供指定的空隙的功能。

[0359] 本实施方式所说明的显示面板包括端子519B及端子519C。

[0360] 端子519B包括导电膜511B及中间膜754B。中间膜754B包括与导电膜511B接触的区域。端子519B例如与信号线Sig1(j)电连接。

[0361] 端子519B使用导电材料ACF1可以与柔性印刷电路板FPC1电连接。

[0362] 端子519C包括导电膜511C及中间膜754C,并且中间膜754C包括与导电膜511C接触的区域。导电膜511C例如与布线VCOM1电连接。

[0363] 导电材料CP被夹在端子519C和第二电极752之间,并具有使端子519C和第二电极752电连接的功能。例如,可以将导电粒子用于导电材料CP。

[0364] 本实施方式所说明的显示面板包括驱动电路GD及驱动电路SD(参照图14A)。

[0365] 驱动电路GD与扫描线G1(i)电连接。驱动电路GD例如包括晶体管MD(参照图16A)。具体而言,可以将包括能够通过像素电路530(i, j)所包括的晶体管所具有的半导体膜相同的工序形成的半导体膜的晶体管用作晶体管MD。

[0366] 驱动电路SD与信号线Sig1(j)电连接。驱动电路SD例如与端子519B电连接。

[0367] 《输入部的结构例子》

[0368] 输入部包括与显示面板重叠的区域(参照图14A、图14B-1、图14B-2、图14C、图16A或图17A)。

[0369] 输入部包括衬底710、功能层720、接合层709、端子719(参照图16A及图17A)。

[0370] 输入部包括控制线CL(g)、检测信号线ML(h)及检测元件775(g, h)(参照图14B-2)。

[0371] 功能层720包括被夹在衬底770和衬底710之间的区域。功能层720包括检测元件

775 (g, h) 及绝缘膜706。

[0372] 接合层709设置在功能层720和衬底770之间,并具有使功能层720和衬底770贴合在一起的功能。

[0373] 检测元件775 (g, h) 与控制线CL (g) 及检测信号线ML (h) 电连接。

[0374] 控制线CL (g) 具有供应控制信号的功能。

[0375] 检测元件775 (g, h) 接收控制信号,并具有供应控制信号及根据检测元件775 (g, h) 与靠近重叠于显示面板的区域的物体之间的距离而变化的检测信号的功能。

[0376] 检测信号线ML (h) 具有接收检测信号的功能。

[0377] 检测元件775 (g, h) 具有透光性。

[0378] 检测元件775 (g, h) 包括电极C (g) 及电极M (h) 。

[0379] 电极C (g) 与控制线CL (g) 电连接。

[0380] 电极M (h) 与检测信号线ML (h) 电连接,并以电极M (h) 与电极C (g) 之间发生电场的方式配置,该电场的一部分被靠近与显示面板重叠的区域的物体遮蔽。

[0381] 由此,可以在在显示面板上显示图像数据的同时检测出靠近与显示面板重叠的区域的物体。

[0382] 本实施方式所说明的输入部包括衬底710及接合层709(参照图16A及图17A)。

[0383] 衬底710以在衬底710与衬底770之间夹有检测元件775 (g, h) 的方式设置。

[0384] 接合层709设置在衬底770与检测元件775 (g, h) 之间,并具有使衬底770与检测元件775 (g, h) 贴合在一起的功能。

[0385] 功能膜770P以在其与第一显示元件750 (i, j) 之间夹有检测元件775 (g, h) 的方式设置。由此,例如可以降低检测元件775 (g, h) 所反射的光的强度。

[0386] 本实施方式所说明的输入部包括一群检测元件775 (g, 1) 至检测元件775 (g, q) 及另一群检测元件775 (1, h) 至检测元件775 (p, h) (参照图19)。注意, g是1以上且p以下的整数, h是1以上且q以下的整数, 并且p及q是1以上的整数。

[0387] 一群检测元件775 (g, 1) 至检测元件775 (g, q) 包括检测元件775 (g, h) 并配置在行方向(以附图中的箭头Ro2表示)上。

[0388] 另一群检测元件775 (1, h) 至检测元件775 (p, h) 包括检测元件775 (g, h) 并配置在与行方向交叉的列方向(以附图中的箭头Co2表示)上。

[0389] 设置在行方向上的一群检测元件775 (g, 1) 至检测元件775 (g, q) 包括与控制线CL (g) 电连接的电极C (g) 。

[0390] 配置在列方向上的另一群检测元件775 (1, h) 至检测元件775 (p, h) 包括与检测信号线ML (h) 电连接的电极M (h) 。

[0391] 本实施方式所说明的触摸面板的控制线CL (g) 包括导电膜BR (g, h) (参照图16A)。导电膜BR (g, h) 具有与检测信号线ML (h) 重叠的区域。

[0392] 绝缘膜706包括被夹在检测信号线ML (h) 与导电膜BR (g, h) 之间的区域。由此,可以防止检测信号线ML (h) 与导电膜BR (g, h) 之间的短路。

[0393] 本实施方式所说明的触摸面板包括振荡电路OSC及检测电路DC(参照图19)。

[0394] 振荡电路OSC与控制线CL (g) 电连接,并具有供应控制信号的功能。例如,可以将矩形波、锯齿形波、三角形波等用于控制信号。

[0395] 检测电路DC与检测信号线ML(h)电连接,并具有根据检测信号线ML(h)的电位变化供应检测信号的功能。

[0396] 下面说明触摸面板的各构成要素。注意,这些构成要素无法明确区分,一个构成要素可能兼作其他构成要素或包含其他构成要素的一部分。

[0397] 例如,第一导电膜可以用作第一电极751(i,j)。第一导电膜还可以用作反射膜。

[0398] 另外,第二导电膜可以用作具有晶体管的源电极或漏电极的功能的导电膜512B。

[0399] 例如,端子719使用导电材料ACF2可以电连接到柔性线路板FPC2。此外,端子719与检测元件775(g,h)电连接。

[0400] 《像素电路的结构例子》

[0401] 以下参照图20说明像素电路的结构例子。像素电路530(i,j)与信号线Sig1(j)、信号线Sig2(j)、扫描线G1(i)、扫描线G2(i)、布线CSCOM及第三导电膜ANO电连接。与此同样,像素电路530(i,j+1)与信号线Sig1(j+1)、信号线Sig2(j+1)、扫描线G1(i)、扫描线G2(i)、布线CSCOM及第三导电膜ANO电连接。

[0402] 像素电路530(i,j)和像素电路530(i,j+1)都包括开关SW1及电容元件C11。

[0403] 像素电路530(i,j)和像素电路530(i,j+1)都包括开关SW2、晶体管M及电容元件C12。

[0404] 例如,可以将包括与扫描线G1(i)电连接的栅电极及与信号线Sig1(j)电连接的第一电极的晶体管用作开关SW1。

[0405] 电容元件C11包括与用作开关SW1的晶体管的第二电极电连接的第一电极以及与布线CSCOM电连接的第二电极。

[0406] 例如,可以将包括与扫描线G2(i)电连接的栅电极及与信号线Sig2(j)电连接的第一电极的晶体管用作开关SW2。

[0407] 晶体管M包括与用作开关SW2的晶体管的第二电极电连接的栅电极及与第三导电膜ANO电连接的第一电极。

[0408] 此外,可以将包括以在栅电极与导电膜之间夹着半导体膜的方式设置的该导电膜的晶体管用作晶体管M。例如,作为导电膜,可以使用与能够供应与晶体管M的栅电极相同的电位的布线电连接的导电膜。

[0409] 电容元件C12包括与用作开关SW2的晶体管的第二电极电连接的第一电极以及与晶体管M的第一电极电连接的第二电极。

[0410] 此外,在像素电路530(i,j)中,第一显示元件750(i,j)的第一电极与用作开关SW1的晶体管的第二电极电连接,第一显示元件750(i,j)的第二电极与布线VCOM1电连接。由此,可以驱动第一显示元件750。与此同样,在像素电路530(i,j+1)中,第一显示元件750(i,j+1)的第一电极与用作开关SW1的晶体管的第二电极电连接,第一显示元件750(i,j+1)的第二电极与布线VCOM1电连接。由此,可以驱动第一显示元件750。

[0411] 此外,在像素电路530(i,j)中,第二显示元件550(i,j)的第一电极与晶体管M的第二电极电连接,第二显示元件550(i,j)的第二电极与第四导电膜VCOM2电连接。由此,可以驱动第二显示元件550(i,j)。与此同样,在像素电路530(i,j+1)中,第二显示元件550(i,j+1)的第一电极与晶体管M的第二电极电连接,第二显示元件550(i,j+1)的第二电极与第四导电膜VCOM2电连接。由此,可以驱动第二显示元件550(i,j+1)。

[0412] 《晶体管的结构例子》

[0413] 例如,可以将底栅型或顶栅型等晶体管用作开关SW1、晶体管M、晶体管MD等。

[0414] 例如,可以利用包括包含第14族元素的半导体的晶体管。具体而言,可以将包含硅的半导体用于半导体膜。例如,可以使用包含半导体膜中的单晶硅、多晶硅、微晶硅、非晶硅等的晶体管。

[0415] 例如,可以利用包含半导体膜中的氧化物半导体的晶体管。具体而言,可以将包含铟的氧化物半导体或包含铟、镓及锌的氧化物半导体用于半导体膜。

[0416] 例如,可以将与包含半导体膜中的非晶硅的晶体管相比关闭状态下的泄漏电流更小的晶体管用作开关SW1、晶体管M、晶体管MD等。具体而言,可以将包含半导体膜508中的氧化物半导体的晶体管用作开关SW1、晶体管M、晶体管MD等。

[0417] 由此,与利用将非晶硅用于半导体膜的晶体管的像素电路相比,可以使像素电路能够保持的图像信号的时间长。具体而言,可以抑制闪烁的发生,并以低于30Hz、优选为低于1Hz、更优选为低于1次/分的频率供应选择信号。其结果是,可以降低数据处理装置的使用者的眼疲劳,并且可以降低伴随驱动的功耗。

[0418] 在以下实施方式5中将详细地描述包含半导体膜中的氧化物半导体的晶体管。

[0419] 能够用作开关SW1的晶体管包括半导体膜508及具有与半导体膜508重叠的区域的导电膜504(参照图17B)。另外,能够用作开关SW1的晶体管包括与半导体膜508电连接的导电膜512A及导电膜512B。

[0420] 注意,导电膜504具有栅电极的功能,绝缘膜506具有栅极绝缘膜的功能。导电膜512A具有源电极的功能和漏电极的功能中的一个,导电膜512B具有源电极的功能和漏电极的功能中的另一个。

[0421] 此外,可以将导电膜504和导电膜524之间夹着半导体膜508的晶体管用作晶体管M(参照图16B)。

[0422] 通过将上述输入/输出装置应用于在实施方式3中说明的图11A所示的平板型终端或图11B所示的手机等,可以得到可见度、方便性或可靠性优异的电子设备。

[0423] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0424] 实施方式5

[0425] 在本实施方式中,参照图21A至图21C、图22A至图22C、图23A至图23C、图24A至图24C、图25A至图25C、图26A至图26C、以及图27A至图27C对半导体装置的一个方式进行说明。

[0426] 本发明的一个实施方式的晶体管优选都具有实施方式6所说明的nc-OS或CAAC-OS。

[0427] <晶体管结构1>

[0428] 下面,对根据本发明的一个实施方式的晶体管的一个例子进行说明。图21A至图21C是根据本发明的一个实施方式的晶体管的俯视图及截面图。图21A是俯视图。图21B是沿着图21A所示的点划线X1-X2的截面图。图21C是沿着图21A所示的点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以将点划线Y1-Y2方向称为沟道宽度方向。注意,在图21A的俯视图中,为了明确起见,省略附图中的部分构成要素。

[0429] 晶体管1200A包括:被用作背栅电极的导电体1205(导电体1205a及导电体1205b)、被用作栅电极的导电体1260、被用作栅极绝缘层的绝缘体1220、绝缘体1222、绝缘体1224、

绝缘体1250、具有其中形成沟道的区域的氧化物1230(氧化物1230a、氧化物1230b及氧化物1230c)、被用作源极和漏极中的一个的导体1240a、被用作源极和漏极中的另一个的导体1240b、包含过剩氧的绝缘体1280以及具有阻挡性的绝缘体1282。

[0430] 氧化物1230包括氧化物1230a、氧化物1230a上的氧化物1230b、以及氧化物1230b上的氧化物1230c。当使晶体管1200A导通时,电流主要流过氧化物1230b(形成沟道)。另一方面,虽然有时通过在与氧化物1230b和氧化物1230a及氧化物1230c之间的界面附近(有时成为混合区域)电流流过,但是除了氧化物1230a及氧化物1230c之外的区域有时被用作绝缘体。

[0431] 此外,如图21A至图21C所示,优选以覆盖氧化物1230a及氧化物1230b的侧面的方式设置氧化物1230c。通过在绝缘体1280与包括形成有沟道的区域的氧化物1230b之间存在有氧化物1230c,可以抑制氢、水及卤素等杂质从绝缘体1280扩散到氧化物1230b。

[0432] 被用作背栅电极的导体1205可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钽、铟中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钼膜、氮化钛膜、氮化钼膜、氮化钨膜)等。尤其是,氮化钼膜等金属氮化物膜具有对氢或氧的阻挡性,并且不容易氧化(耐氧化性高),所以是优选的。或者,可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、或者添加有氧化硅的铟锡氧化物等导电材料。

[0433] 例如,作为导体1205a可以使用作为具有对氢的阻挡性的导体的氮化钼等,作为导体1205b可以层叠导电性高的钨。通过使用该组合,可以在保持作为布线的导电性的同时抑制氢扩散到氧化物1230。在图21A至图21C中,示出导体1205a和导体1205b的两层结构,但是导体1205的结构不局限于此,也可以使用单层结构或三层以上的叠层结构。例如,具有阻挡性的导体与导电性高的导体的结构也可以采用具有阻挡性的导体以及与导电性高的导体之间的紧密性高的导体。

[0434] 绝缘体1220及1224优选为氧化硅膜或氧氮化硅膜等包含氧的绝缘体。尤其是,作为绝缘体1224优选使用包含过剩氧(含有超过化学计量组成的氧)的绝缘体。通过以与构成晶体管1200A中的氧化物1230接触的方式设置上述包含过剩氧的绝缘体,可以填补氧化物1230中的氧空位。绝缘体1222及绝缘体1224不一定需要使用相同材料而形成。

[0435] 作为绝缘体1222,例如优选使用氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)或(Ba,Sr) TiO_3 (BST)等的绝缘体的单层或叠层。尤其是,作为绝缘体1222,优选使用氧化铝膜及氧化钪膜等具有对氧或氢的阻挡性的绝缘膜。由这种材料形成的绝缘体1222被用作防止从金属氧化物1230释放氧或从外部混入氢等杂质的层。

[0436] 或者,例如也可以对这些绝缘体添加氧化铝、氧化钪、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钼、氧化锆。此外,也可以对这些绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0437] 注意,绝缘体1220、绝缘体1222及绝缘体1224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0438] 当在绝缘体1220和绝缘体1224之间包括包含high-k材料的绝缘体1222时,在特定条件下,绝缘体1222俘获电子,可以增大阈值电压。就是说,绝缘体1222有时带负电。

[0439] 例如,当将氧化硅用于绝缘体1220及绝缘体1224,将氧化铪、氧化铝、氧化钽等电子俘获态多的材料用于绝缘体1222时,在比半导体装置的工作温度或保存温度高的温度(例如,125℃以上且450℃以下,典型的是150℃以上且300℃以下)下保持导电体1205的电位高于源电极及漏电极的电位的状态10毫秒以上,典型是1分钟以上。由此电子从构成晶体管1200A中的氧化物1230向导电体1205移动。此时,移动的电子的一部分被绝缘体1222的电子俘获能级俘获。

[0440] 在绝缘体1222的电子俘获态俘获所需要的电子的晶体管中,阈值电压向正一侧漂移。通过控制导电体1205的电压可以控制电子的俘获量,由此可以控制阈值电压。通过采用该结构,晶体管1200A成为在栅极电压为0V的情况下也处于非导通状态(也称为关闭状态)的常关闭型晶体管。

[0441] 另外,俘获电子的处理在晶体管的制造过程中进行即可。例如,在形成与晶体管的源极导电体或漏极导电体连接的导电体之后、前工序(晶圆处理)结束之后、晶圆切割(wafer dicing)工序之后或者封装之后等发货之前进行上述处理。

[0442] 此外,通过适当地调整绝缘体1220、绝缘体1222及绝缘体1224的厚度,能够控制阈值电压。例如,在减少绝缘体1220、绝缘体1222及绝缘体1224的厚度总和时,高效率地施加有来自导电体1205的电压,由此可以提供一种功耗低的晶体管。绝缘体1220、绝缘体1222及绝缘体1224的厚度总和为65nm以下,优选为20nm以下。

[0443] 因此,可以提供一种关闭状态时的泄漏电流小的晶体管。另外,可以提供一种具有稳定的电特性的晶体管。另外,可以提供一种通态电流大的晶体管。另外,可以提供一种亚阈值摆幅值小的晶体管。另外,可以提供一种可靠性高的晶体管。

[0444] 氧化物1230a、氧化物1230b及氧化物1230c使用In-M-Zn氧化物(M为Al、Ga、Y或Sn)等金属氧化物形成。或者,作为氧化物1230,也可以使用In-Ga氧化物、In-Zn氧化物。

[0445] 下面说明根据本发明的氧化物1230。

[0446] 用于氧化物1230的氧化物优选至少包含铟或锌。特别优选包含铟及锌。另外,优选的是,还包含铝、镓、钇或锡等。另外,也可以包含硼、硅、钛、铁、镍、锆、钼、镧、铈、钕、钐、钨或镁等中的一种或多种。

[0447] 在此考虑氧化物包含铟、元素M及锌的情况。元素M为铝、镓、钇或锡等。作为可用作元素M的其他元素,有硼、硅、钛、铁、镍、锆、钼、镧、铈、钕、钐、钨、镁等。注意,作为元素M可以组合多个上述元素。

[0448] 接着,参照图28A至图28C对本发明的氧化物所包含的铟、元素M及锌的优选的原子数比的优选的范围进行说明。注意,在图28A至图28C中,没有记载氧的原子数比。将氧化物中的铟、元素M及锌的原子数比的各项分别称为[In]、[M]及[Zn]。

[0449] 在图28A至图28C中,虚线表示原子数比[In]:[M]:[Zn]为 $(1+\alpha):(1-\alpha):1$ 的线,其中 α 是-1以上且1以下的实数、原子数比[In]:[M]:[Zn]为 $(1+\alpha):(1-\alpha):2$ 的线、原子数比[In]:[M]:[Zn]为 $(1+\alpha):(1-\alpha):3$ 的线、原子数比[In]:[M]:[Zn]为 $(1+\alpha):(1-\alpha):4$ 的线及原子数比[In]:[M]:[Zn]为 $(1+\alpha):(1-\alpha):5$ 的线。

[0450] 点划线表示原子数比[In]:[M]:[Zn]为 $1:1:\beta$ 的线,其中 β 是0以上的实数、原子数比[In]:[M]:[Zn]为 $1:2:\beta$ 的线、原子数比[In]:[M]:[Zn]为 $1:3:\beta$ 的线、原子数比[In]:[M]:[Zn]为 $1:4:\beta$ 的线、原子数比[In]:[M]:[Zn]为 $2:1:\beta$ 的线及原子数比[In]:[M]:[Zn]为 $5:1:$

β的线。

[0451] 图28A至图28C所示的具有 $[\text{In}]:[\text{M}]:[\text{Zn}]=0:2:1$ 的原子数比或其近似值的原子数比的金属氧化物容易具有尖晶石型结晶结构。

[0452] 图28A和图28B示出本发明的一个实施方式的氧化物所包含的铟、元素M及锌的优选的原子数比范围的例子。

[0453] 作为一个例子,图29示出 $[\text{In}]:[\text{M}]:[\text{Zn}]$ 为1:1:1的 InMZnO_4 的结晶结构。图29是在从平行于b轴的方向上观察时的 InMZnO_4 的结晶结构。注意,图29所示的包含M、Zn、氧的层(以下、(M,Zn)层)中的金属元素表示元素M或锌。此时,元素M和锌的比例相同。元素M和锌可以相互置换,其排列不规则。

[0454] 注意, InMZnO_4 具有层状结晶结构(也称为层状结构),如图29所示,相对于每两个包含元素M、锌及氧的(M,Zn)层有一个包含铟及氧的层(下面称为In层)。

[0455] 铟和元素M可以相互置换。因此,当以铟取代(M,Zn)层中的元素M时,也可以将该层表示为(In,M,Zn)层。在此情况下,得到相对于每两个(In,M,Zn)层有一个包含In层的层状结构。

[0456] 原子数比 $[\text{In}]:[\text{M}]:[\text{Zn}]$ 为1:1:2的氧化物具有相对于一个In层包括三个(M,Zn)层的层状结构。就是说,当[Zn]相对于[In]及[M]增大时,在氧化物晶化的情况下,相对于In层的(M,Zn)层的比例增加。

[0457] 注意,在氧化物中,相对于一个In层的(M,Zn)层的个数为非整数时,该氧化物有时具有相对于一个In层的(M,Zn)层的个数为整数的多种层状结构。例如,在 $[\text{In}]:[\text{M}]:[\text{Zn}]=1:1:1.5$ 的情况下,该氧化物有时具有如下结构:相对于一个In层的两个(M,Zn)层的层状结构及相对于一个In层的三个(M,Zn)层的层状结构。

[0458] 例如,当使用溅射装置形成氧化物时,形成其原子数比与靶材的原子数比错开的膜。尤其是,根据成膜时的衬底温度,有时膜的[Zn]小于靶材的[Zn]。

[0459] 有时在氧化物中,多个相共存(例如,二相共存或三相共存等)。例如,当原子数比 $[\text{In}]:[\text{M}]:[\text{Zn}]$ 近于0:2:1时,尖晶石型结晶结构和层状结晶结构的二相容易共存。另外,当原子数比 $[\text{In}]:[\text{M}]:[\text{Zn}]$ 近于1:0:0时,方铁锰矿型结晶结构和层状结晶结构的二相容易共存。当在氧化物中多个相共存时,在不同的结晶结构之间有时形成晶界。

[0460] 再者,以较高的比率包含铟的氧化物可以具有较高的载流子迁移率(电子迁移率)。这是因为:在包含铟、元素M及锌的氧化物中,重金属的s轨道主要有助于载流子传导,在增高氧化物中的铟时,铟原子的s轨道的重叠增大,由此铟含量高的氧化物的载流子迁移率比铟含量低的氧化物高。

[0461] 另一方面,氧化物的铟含量及锌含量变低时,载流子迁移率变低。因此,当原子数比为 $[\text{In}]:[\text{M}]:[\text{Zn}]=0:1:0$ 及其附近值时(例如,图28C中的区域C),绝缘性变高。

[0462] 因此,本发明的一个实施方式的氧化物优选具有图28A的以区域A表示的原子数比。由于该原子数比,容易得到载流子迁移率高且晶界少的层状结构。

[0463] 图28B中的区域B示出 $[\text{In}]:[\text{M}]:[\text{Zn}]=4:2:3$ 或 $4:2:4.1$ 的原子数比及其附近值。“附近”包含 $[\text{In}]:[\text{M}]:[\text{Zn}]=5:3:4$ 的原子数比。具有以区域B表示的原子数比的氧化物尤其是具有高的结晶性及优异的载流子迁移率。

[0464] 注意,氧化物形成层状结构的条件不是根据原子数比唯一决定的。根据原子数比,

形成层状结构的难以度不同。即使在原子数比相同的情况下,根据形成条件,有时具有层状结构,有时不具有层状结构。因此,图示的区域是表示氧化物具有层状结构时的原子数比的区域,区域A至区域C的边界不清楚。

[0465] 接着,说明将上述氧化物用于晶体管的情况。

[0466] 通过将氧化物用于晶体管,可以减少晶界中的载流子散射等,因此可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0467] 此外,优选将载流子密度低的氧化物用于晶体管。例如,氧化物的载流子密度可以低于 $8 \times 10^{11} \text{cm}^{-3}$,优选为低于 $1 \times 10^{11} \text{cm}^{-3}$,更优选为低于 $1 \times 10^{10} \text{cm}^{-3}$ 且 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。

[0468] 另外,因为高纯度本征或实质上高纯度本征的氧化物的载流子发生源较少,所以载流子密度低。此外,因为高纯度本征或实质上高纯度本征的金属氧化物具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0469] 此外,被氧化物的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物中形成有沟道区域的晶体管的电特性不稳定。

[0470] 因此,为了使晶体管的电特性稳定,降低氧化物中的杂质浓度是有效的。为了降低氧化物中的杂质浓度,优选还降低与氧化物邻近的膜中的杂质浓度。作为杂质的例子有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0471] 在此,说明氧化物中的各杂质的影响。

[0472] 在氧化物包含第14族元素之一的硅或碳时,形成缺陷态。因此,将氧化物中的硅或碳的浓度、与氧化物的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS: Secondary Ion Mass Spectrometry)测得的浓度)设定为 $2 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0473] 当氧化物包含碱金属或碱土金属时,有时形成缺陷态而形成载流子。因此,使用包含碱金属或碱土金属的氧化物的晶体管容易成为常开启。由此,优选降低氧化物中的碱金属或碱土金属的浓度。具体而言,使通过SIMS测得的金属氧化物中的碱金属或碱土金属的浓度为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0474] 当氧化物包含氮时,产生作为载流子的电子,并载流子密度增加,而氧化物容易被n型化。其结果是,将含有氮的氧化物用于其半导体的晶体管容易成为常开启。因此,优选尽可能地减少氧化物中的氮,例如,将利用SIMS测得的氧化物中的氮浓度设定为小于 $5 \times 10^{19} \text{atoms/cm}^3$ 、优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,进一步优选为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0475] 包含在氧化物中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时产生作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含氢的氧化物的晶体管容易成为常开启。由此,优选尽可能减少氧化物中的氢。具体而言,将利用SIMS测得的氧化物中的氢浓度设定为低于 $1 \times 10^{20} \text{atoms/cm}^3$,优选低于 $1 \times 10^{19} \text{atoms/cm}^3$,更优选低于 $5 \times 10^{18} \text{atoms/cm}^3$,进一步优选低于 $1 \times 10^{18} \text{atoms/cm}^3$ 。

[0476] 通过将杂质浓度充分得到降低的氧化物用于晶体管中的沟道区域,该晶体管可以具有稳定的电特性。

[0477] 接着,对该氧化物具有两层结构或三层结构的情况进行说明。参照图30A至图30C

说明氧化物S1、氧化物S2和氧化物S3的叠层结构及与叠层结构接触的绝缘体的能带图、氧化物S1和氧化物S2的叠层结构及与叠层结构接触的绝缘体的能带图以及氧化物S2和氧化物S3的叠层结构及与叠层结构接触的绝缘体的能带图。

[0478] 图30A是包括绝缘体I1、氧化物S1、氧化物S2、氧化物S3和绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。另外,图30B是包括绝缘体I1、氧化物S2、氧化物S3和绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。另外,图30C是包括绝缘体I1、氧化物半导体S1、氧化物半导体S2和绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。注意,为了便于理解,能带图示出绝缘体I1、氧化物S1、氧化物S2、氧化物S3及绝缘体I2的导带底的能级(E_c)。

[0479] 优选的是,氧化物S1、氧化物S3的各导带底的能级比氧化物S2更靠近真空能级。典型的是,氧化物S2的导带底的能级低于氧化物S1、氧化物S3的各导带底的能级。具体而言,氧化物S2的导带底的能级与氧化物S1、氧化物S3的各导带底的能级之差优选为0.15eV以上且2eV以下,更优选为0.5eV以上且1eV以下。就是说,优选的是,氧化物S2的电子亲和势大于氧化物S1及氧化物S3的各电子亲和势即可,并且,氧化物S1、氧化物S3的各电子亲和势与氧化物S2的电子亲和势之差优选为0.15eV以上且2eV以下,更优选为0.5eV以上且1eV以下。

[0480] 如图30A至图30C所示,在每个氧化物S1至氧化物S3中,导带底的能级平滑地变化。换言之,导带底的能级连续地变化或者连续地接合。为了实现这种能带图,优选降低形成在氧化物半导体S1与氧化物半导体S2的界面或者氧化物半导体S2与氧化物半导体S3的界面的混合层的缺陷态密度。

[0481] 具体而言,通过使氧化物S1和氧化物S2或者氧化物S2和氧化物S3除了氧之外还包含同一元素(主要成分),可以形成缺陷态密度低的混合层。例如,在氧化物S2为In-Ga-Zn氧化物的情况下,作为氧化物S1及氧化物S3优选使用In-Ga-Zn氧化物、Ga-Zn氧化物、氧化镓等。

[0482] 此时,载流子的主要路径成为氧化物S2。因为可以降低氧化物S1与氧化物S2的界面以及氧化物S2与氧化物S3的界面的缺陷态密度,所以界面散射给载流子传导带来的影响小,从而可以得到大通态电流。

[0483] 在电子被陷阱态俘获时,被俘获的电子像固定电荷那样动作,因此晶体管的阈值电压向正方向漂移。通过设置氧化物S1及氧化物S3,可以使陷阱态远离氧化物S2。通过采用该结构,可以防止晶体管的阈值电压向正方向漂移。

[0484] 氧化物S1及氧化物S3使用与氧化物S2相比导电率充分低的材料。此时,氧化物S2、氧化物S2与氧化物S1的界面以及氧化物S2与氧化物S3的界面主要用作沟道区域。例如,作为氧化物S1、氧化物S3,都使用具有在图28C中以区域C表示的原子数比的绝缘性高的氧化物。注意,图28C所示的区域C表示 $[In]:[M]:[Zn]=0:1:0$ 或其附近的原子数比。

[0485] 当作为氧化物S2采用以区域A表示的原子数比的氧化物时,优选作为氧化物S1及氧化物S3都使用原子数比 $[M]/[In]$ 为1以上(优选为2以上)的氧化物。另外,作为氧化物S3,适当地使用能够得到充分高的绝缘性的原子数比 $[M]/([Zn]+[In])$ 为1以上的氧化物。

[0486] 作为绝缘体1250,例如可以使用包含氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钪、氧化铌、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或 $(Ba,Sr)TiO_3$ (BST)等所谓的high-k材料的绝缘体的单层或叠层。或者,例如也可以对这些绝缘体添加氧化铝、氧化铍、氧化锆、

氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外,也可以对这些绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0487] 另外,与绝缘体1224同样,作为绝缘体1250优选使用其氧含量超过满足化学计量组成中的氧化物绝缘体。通过以与氧化物1230接触的方式设置上述包含过剩氧的绝缘体,可以减少氧化物1230中的氧空位。

[0488] 绝缘体1250可以使用氧化铝、氧氮化铝、氧化镓、氧氮化镓、氧化铋、氧氮化铋、氧化铪、氧氮化铪、氮化硅等具有对氧及氢的阻挡性的绝缘膜。由这种材料形成的绝缘体1250被用作防止从氧化物1230释放氧或从外部混入氢等杂质的层。

[0489] 绝缘体1250也可以具有与绝缘体1220、绝缘体1222及绝缘体1224同样的叠层结构。当绝缘体1250具有在电子俘获态俘获所需要的电子的绝缘体时,晶体管1200A的阈值电压可以向正一侧漂移。通过采用该结构,晶体管1200A成为在栅极电压为0V的情况下也处于非导通状态(也称为关闭状态)的常关闭型晶体管。

[0490] 另外,在图21A至图21C所示的半导体装置中,可以在氧化物1230和导体1260之间除了绝缘体1250以外还可以设置阻挡膜。氧化物1230c也可以具有阻挡性。

[0491] 例如,通过以与氧化物1230接触的方式设置包含过剩氧的绝缘膜,且由阻挡膜包围这些膜,可以使氧化物为与化学计量组成大致一致的状态或者超过化学计量组成的氧的过饱和状态。此外,可以防止对氧化物1230侵入氢等杂质。

[0492] 导体1240a和导体1240b中的一个被用作源电极,而其中的另一个被用作漏电极。

[0493] 导体1240a、导体1240b都可以使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨等金属或者以这些元素为主要成分的合金。尤其是,氮化钽膜等金属氮化物膜对氢或氧具有阻挡性,且耐腐蚀性较高,所以是优选的。

[0494] 此外,虽然附图中示出单层结构,但是也可以采用两层以上的叠层结构。例如,优选层叠氮化钽膜及钨膜。另外,优选层叠钛膜及铝膜。另外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0495] 另外,例如,可以举出:形成钛膜或氮化钛膜,在该钛膜或氮化钛膜上层叠铝膜或铜膜,在该铝膜或铜膜上层叠钛膜或氮化钛膜的三层结构;形成钼膜或氮化钼膜,在该钼膜或氮化钼膜上层叠铝膜或铜膜,在该铝膜或铜膜层叠钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0496] 被用作栅电极的导体1260例如可以使用选自铝、铬、铜、钼、钛、钽、钨中的金属、以上述金属为成分的合金或组合上述金属的合金等而形成。尤其是,氮化钽膜等金属氮化物膜因为对氢或氧具有阻挡性且具有高耐腐蚀性,所以是优选的。另外,也可以使用选自锰、锆中的一个或多个的金属。此外,也可以使用以掺杂有磷等杂质元素的多晶硅为代表的半导体、镍硅化物等硅化物。虽然在附图中示出单层结构,但是也可以采用两层以上的叠层结构。

[0497] 例如,优选采用在铝膜上层叠钛膜的两层结构。另外,也可以采用在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜或氮化钨膜上层叠钨膜的两层结构。

[0498] 此外,在形成钛膜,在该钛膜上层叠铝膜,并且在该铝膜上形成钛膜的三层结构等。此外,也可以使用包含铝与选自钛、钽、钨、钼、铬、钆、铈中的一种或多种的合金膜或氮化膜。

[0499] 此外,作为导电体1260,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等具有透光性的导电材料。另外,也可以采用上述透光的导电材料和上述金属的叠层结构。

[0500] 接着,在晶体管1200A的上方设置绝缘体1280及绝缘体1282。

[0501] 绝缘体1280优选包含含有超过化学计量组成的氧的氧化物。就是说,在绝缘体1280中,优选形成有比满足化学计量组成的氧多的氧存在的区域(以下,也称为过剩氧区域)。尤其是,在晶体管1200A中使用氧化物半导体时,在晶体管1200A附近的层间膜等中设置具有过剩氧区域的绝缘体时,降低晶体管1200A的氧化物1230的氧空位,而可以提高可靠性。

[0502] 作为具有过剩氧区域的绝缘体,具体而言,优选使用由于加热而一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS分析中换算为氧原子的氧的脱离量为 1.0×10^{18} atoms/cm³以上,优选为 3.0×10^{20} atoms/cm³以上的氧化物膜。注意,上述TDS分析时的膜的表面温度优选为100℃以上且700℃以下或100℃以上且500℃以下。

[0503] 例如,作为这种材料,优选使用包含氧化硅或氧氮化硅的材料。另外,也可以使用金属氧化物。注意,在本说明书中,“氧氮化硅”是指氧含量多于氮含量的材料,“氮氧化硅”是指氮含量多于氧含量的材料。

[0504] 覆盖晶体管1200A的绝缘体1280也可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0505] 绝缘体1282优选使用氧化铝及氧化铪等具有对氧或氢的阻挡性的绝缘膜。使用这种材料形成的绝缘体1282被用作防止从金属氧化物1230释放氧或从外部混入氢等杂质的层。

[0506] 通过上述结构,可以提供一种包含氧化物半导体的通态电流大的晶体管。另外,可以提供一种包含氧化物半导体的关态电流小的晶体管。另外,在半导体装置中具有上述结构的晶体管,可以降低半导体装置的电特性变动,并且其可靠性得到提高。另外,可以提供一种功耗低的半导体装置。

[0507] <晶体管结构2>

[0508] 图22A至图22C示出与图21A至图21C所示的晶体管不同的结构的一个例子。图22A示出晶体管1200B的顶面。为了明确起见,在图22A中省略一部分的膜。图22B是沿着图22A中的点划线X1-X2的截面图。图22C是沿着点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以点划线Y1-Y2方向称为沟道宽度方向。

[0509] 注意,在图22A至图22C所示的晶体管1200B中,对具有与图21A至图21C所示的晶体管1200A相同的的功能的结构要素附加相同附图标记。

[0510] 在图22A至图22C所示的结构中,导电体1260具有导电体1260a及导电体1260b的两层结构。在两层结构中,可以使用相同材料而形成叠层。例如,导电体1260a利用热CVD法、MOCVD法或ALD法形成。尤其是,优选利用ALD法形成导电体1260a。通过利用ALD法等,可以降

低进行沉积时对绝缘体1250造成的损伤。再者,因为可以提高覆盖性,所以优选利用ALD法等形成导电体1260a。因此,可以提供一种可靠性高的晶体管。

[0511] 接着,利用溅射法形成导电体1260b。此时,通过在绝缘体1250上设置导电体1260a,可以抑制进行导电体1260b的沉积时的损伤影响到绝缘体1250。由于溅射法的成膜速度比ALD法快,所以成品率高,从而可以提高生产率。

[0512] 在图22A至22C所示的结构中,绝缘体1270设置为覆盖导电体1260。当使用使氧脱离的氧化物材料形成绝缘体1280时,绝缘体1270使用具有对氧的阻挡性的物质,以防止由于脱离的氧导电体1260b氧化。

[0513] 例如,作为绝缘体1270可以使用氧化铝等金属氧化物。以防止导电体1260的氧化的程度的厚度形成绝缘体1270。例如,以1nm以上且10nm以下、优选为3nm以上且7nm以下的厚度形成绝缘体1270。

[0514] 通过采用该结构,可以扩大导电体1260的材料的选择范围。例如,可以使用铝等耐腐蚀性低且导电性高的材料。另外,例如可以使用容易进行成膜或加工的导电体。

[0515] 因此,可以抑制导电体1260的氧化,并且可以将从绝缘体1280脱离的氧高效率地供应到氧化物1230。此外,通过作为导电体1260使用导电性高的导电体,由此可以提供一种功耗低的晶体管。

[0516] <晶体管结构3>

[0517] 图23A至图23C示出与图21A至图21C及图22A至图22C所示的晶体管不同的结构的一个例子。图23A示出晶体管1200C的顶面。注意,为了明确起见,在图23A中省略一部分的膜。图23B是沿着图23A中的点划线X1-X2的截面图。图23C是沿着点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以将点划线Y1-Y2方向称为沟道宽度方向。

[0518] 注意,在图23A至图23C所示的晶体管1200C中,对具有与图21A至图21C所示的晶体管1200A相同的的功能的结构要素附加相同附图标记。

[0519] 在图23A至图23C所示的结构中,被用作栅电极的导电体1260包括导电体1260a、导电体1260b及导电体1260c。绝缘体1224上的氧化物1230c只要覆盖氧化物1230b的侧面,就可以被切断。

[0520] 导电体1260a利用热CVD法、MOCVD法或ALD法形成。尤其是,优选利用ALD法形成。通过利用ALD法等,可以降低进行沉积时对绝缘体1250造成的等离子体损伤。再者,因为可以提高覆盖性,所以优选利用ALD法等形成导电体1260a。因此,可以提供一种可靠性高的晶体管。

[0521] 另外,导电体1260b使用钽、钨、铜、铝等导电性高的材料形成。形成在导电体1260b上的导电体1260c优选使用氮化钨等耐腐蚀性高的导电体形成。

[0522] 例如,在作为绝缘体1280使用使氧脱离的氧化物材料的情况下,通过作为与具有过剩氧区域的绝缘体1280接触的面积大的导电体1260c使用耐腐蚀性高的导电体,可以抑制从过剩氧区域脱离的氧被导电体1260吸收。因此,可以抑制导电体1260的氧化,并且可以将从绝缘体1280脱离的氧高效率地供应到金属氧化物1230。此外,通过作为导电体1260b使用导电性高的导电体,由此可以提供一种功耗低的晶体管。

[0523] 如图23C所示,在晶体管的沟道宽度方向上,氧化物1230b被导电体1260覆盖。通过

使绝缘体1224的凸部的存在,氧化物半导体1230b的侧面也可以被导体1260覆盖。例如,通过调整绝缘体1224的凸部的形状,在氧化物1230b的侧面上,导体1260的底面优选比氧化物1230b的底面更接近于衬底。也就是说,晶体管1200C具有可以由导体1260的电场电围绕氧化物1230b的结构。将由导体的电场电围绕氧化物1230b的结构称为surrounded channel (s-channel) 结构。在s-channel结构的晶体管1200C中,也可以在氧化物1230b整体(块体)中形成沟道。在s-channel结构中,使晶体管的漏极电流增大,来可以得到更大的通态电流(在晶体管处于开启状态时流在源极与漏极之间的电流)。此外,也可以由导体1260的电场使形成在氧化物1230b的沟道形成区域的整个区域耗尽化。因此,可以进一步降低s-channel结构的晶体管的关态电流。通过缩短沟道宽度,可以提高增大通态电流且减少关态电流的s-channel结构的效果等。

[0524] <晶体管结构4>

[0525] 图24A至图24C示出与图21A至图21C、图22A至图22C及图23A至图23C所示的晶体管不同的结构的一个例子。图24A示出晶体管1200D的顶面。注意,为了明确起见,在图24A中省略一部分的膜。另外,图24B是沿着图24A中的点划线X1-X2的截面图,图24C是沿着点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以将点划线Y1-Y2方向称为沟道宽度方向。

[0526] 注意,在图24A至图24C所示的晶体管1200D中,对具有与图21A至图21C所示的晶体管1200A相同的的功能的结构要素附加相同附图标记。

[0527] 在图24A至图24C所示的结构中,被用作源极或漏极的导体具有叠层结构。作为导体1240a及导体1240b优选使用与氧化物1230b的紧密性高的导体,作为导体1241a及导体1241b优选使用导电性高的材料。优选利用ALD法形成导体1240a及导体1240b。通过利用ALD法等形成导体1240a及导体1240b,可以提高覆盖性。

[0528] 例如,在作为氧化物1230b使用包含钼的金属氧化物的情况下,作为导体1240a及导体1240b可以使用氮化钛等。通过作为导体1241a及导体1241b使用钽、钨、铜、铝等导电性高的材料,可以提供一种可靠性高且功耗低的晶体管。

[0529] 如图24B及图24C所示,在晶体管的沟道宽度方向上,氧化物1230b被导体1205及导体1260覆盖。通过使绝缘体1222具有凸部,由此氧化物1230b的侧面也可以被导体1260覆盖。

[0530] 在此,在作为绝缘体1222使用氧化铪等high-k材料的情况下,因为绝缘体1222具有高相对介电常数,所以可以减小等效氧化物(SiO_2)厚度(EOT:Equivalent Oxide Thickness)。因此,由于绝缘体1222的物理上的厚度而可以扩大导体1205与氧化物1230之间的距离,而不使施加到氧化物1230的来自导体1205的电场的影响减弱。因此,通过调整绝缘体1222的厚度,可以调整导体1205与氧化物1230之间的距离。

[0531] 例如,通过调整绝缘体1224的凸部的形状,在氧化物1230b的侧面上,导体1260的底面优选比氧化物1230b的底面更接近于衬底。也就是说,晶体管1200D具有可以由导体1260的电场电围绕氧化物半导体1230b的结构。因此,与晶体管1200C同样,晶体管1200D具有s-channel结构。在具有s-channel结构的晶体管1200D中,也可以在氧化物半导体1230b整体(块体)中形成沟道。在s-channel结构中,使晶体管的漏极电流增大,来可以得到更大的通态电流(在晶体管处于开启状态时流在源极与漏极之间的电流)。此外,也可以由

导电体1260的电场使形成在氧化物1230b中的沟道形成区域的整个区域耗尽化。因此,可以进一步降低s-channel结构的晶体管的关态电流。通过缩短沟道宽度,可以提高增大通态电流且减少关态电流的s-channel结构的效果等。

[0532] <晶体管结构5>

[0533] 图25A至图25C示出与图21A至图21C、图22A至图22C、图23A至图23C及图24A至图24C所示的晶体管不同的结构的一个例子。图25A示出晶体管1200E的顶面。注意,为了明确起见,在图25A中省略一部分的膜。另外,图25B是沿着图25A中的点划线X1-X2的截面图。图25C是沿着点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以将点划线Y1-Y2方向称为沟道宽度方向。

[0534] 注意,在图25A至图25C所示的晶体管1200E中,对具有与图21A至图21C所示的晶体管1200A相同的功能的结构要素附加相同附图标记。

[0535] 在图25A至图25C所示的晶体管1200E中,在形成于绝缘体1280的开口中形成有氧化物1230c、绝缘体1250及导电体1260。另外,导电体1240a和导电体1240b的每一个的端部与形成在绝缘体1280中的开口的端部一致。再者,导电体1240a及导电体1240b的每一个的端部与氧化物1230的端部的一部分一致。由此,可以在与绝缘体1280的开口同时形成导电体1240a及导电体1240b。由此,可以减少掩模及工序的数量,而提高成品率及生产率。

[0536] 另外,导电体1240a、导电体1240b、氧化物1230c以及氧化物1230d隔着氧化物1230d接触于具有过剩氧区域的绝缘体1280。由此,通过在绝缘体1280与包括形成有沟道的区域的氧化物1230b之间存在有氧化物1230d,可以抑制氢、水及卤素等杂质从绝缘体1280扩散到氧化物1230b。

[0537] 由于图25A至图25C所示的晶体管1200E具有导电体1240a及导电体1240b与导电体1260几乎不重叠的结构,所以可以减小导电体1260的寄生电容。由此,可以提供一种工作频率高的晶体管。

[0538] <晶体管结构6>

[0539] 图26A至图26C示出与图21A至图21C、图22A至图22C、图23A至图23C、图24A至图24C及图25A至图25C所示的晶体管不同的结构的一个例子。图26A示出晶体管1200F的顶面。注意,为了明确起见,在图26A中省略一部分的膜。另外,图26B是沿着图26A中的点划线X1-X2的截面图,图26C是沿着点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以将点划线Y1-Y2方向称为沟道宽度方向。

[0540] 注意,在图26A至图26C所示的晶体管1200F中,对具有与图25A至图25C所示的晶体管1200E相同的功能的结构要素附加相同附图标记。

[0541] 在绝缘体1282上形成有绝缘体1285及绝缘体1286。

[0542] 在形成于绝缘体1280、绝缘体1282以及绝缘体1285的开口中形成有氧化物1230c、绝缘体1250及导电体1260。另外,导电体1240a和导电体1240b的每一个的端部与形成在绝缘体1280中的开口的端部一致。再者,导电体1240a及导电体1240b的每一个的端部与氧化物1230c的端部的一部分一致。由此,可以在与绝缘体1280的开口同时形成导电体1240a及导电体1240b。由此,可以减少掩模及工序的数量,而提高成品率及生产率。

[0543] 另外,导电体1240a、导电体1240b、氧化物1230c以及氧化物1230b隔着氧化物1230d接触于具有过剩氧区域的绝缘体1280。由此,通过在绝缘体1280与包括形成有沟道的

区域的氧化物1230b之间存在有氧化物1230d,可以抑制氢、水及卤素等杂质从绝缘体1280扩散到氧化物1230b。

[0544] 另外,在图26A至图26C所示的晶体管1200F中不形成高电阻的偏置(offset)区域,因此可以增大晶体管的通态电流。

[0545] <晶体管结构7>

[0546] 图27A至图27C示出与图21A至图21C、图22A至图22C、图23A至图23C、图24A至图24C、图25A至图25C及图26A至图26C所示的晶体管不同的结构的一个例子。图27A示出晶体管1200G的顶面。注意,为了明确起见,在图27A中省略一部分的膜。另外,图27B是沿着图27A中的点划线X1-X2的截面图,图27C是沿着点划线Y1-Y2的截面图。另外,也可以将点划线X1-X2方向称为沟道长度方向,也可以将点划线Y1-Y2方向称为沟道宽度方向。

[0547] 注意,在图27A至图27C所示的晶体管1200G中,对具有与图21A至图21C所示的晶体管1200A相同的功能的结构要素附加相同附图标记。

[0548] 图27A至图27C所示的晶体管1200G不包括氧化物1230d。例如,在作为导电体1240a及导电体1240b使用抗氧化性高的导电体的情况下,不一定需要设置氧化物1230d。由此,可以减少掩模及工序的数量,而提高成品率及生产率。

[0549] 绝缘体1224也可以仅设置在与氧化物1230a及氧化物1230b重叠的区域中。此时,可以以绝缘体1222为蚀刻停止层对氧化物1230a、氧化物1230b及绝缘体1224进行加工。其结果,可以提高成品率或生产率。

[0550] 由于图27A至图27C所示的晶体管1200G具有导电体1240a及导电体1240b与导电体1260几乎不重叠的结构,所以可以减小导电体1260的寄生电容。由此,可以提供一种工作频率高的晶体管。

[0551] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0552] 实施方式6

[0553] 在本实施方式中,将说明可以用于上述实施方式所示的氧化物1230的氧化物半导体膜的结构。

[0554] 氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体有c轴取向结晶氧化物半导体(CAAC-OS:c-axis-aligned crystalline oxide semiconductor)、多晶氧化物半导体、纳米晶氧化物半导体(nc-OS:nanocrystalline oxide semiconductor)、a-like氧化物半导体(a-like OS:amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0555] 从其他观点看来,氧化物半导体被分为非晶氧化物半导体和结晶氧化物半导体。作为结晶氧化物半导体,有单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及nc-OS等。

[0556] 一般而言,非晶结构具有如下特征:具有各向同性而不具有不均匀结构;处于亚稳态且原子的配置没有被固定化;键角不固定;具有短程有序而不具有长程有序;等。

[0557] 即,不能将稳定的氧化物半导体称为完全非晶氧化物半导体。另外,不能将不具有各向同性(例如,在微小区域中具有周期结构)的氧化物半导体称为完全非晶氧化物半导体。另一方面,a-like OS不具有各向同性但却是具有空洞的不稳定结构。在不稳定这一点上,a-like OS在物性上接近于非晶氧化物半导体。

[0558] <CAAC-OS>

[0559] 首先,将说明CAAC-OS。

[0560] CAAC-OS是包含多个c轴取向的结晶部(也称为颗粒)的氧化物半导体之一。

[0561] 说明使用X射线衍射(XRD:X-Ray Diffraction)的CAAC-OS的分析。例如,当利用out-of-plane法分析包含分类为空间群R-3m的 InGaZnO_4 结晶的CAAC-OS的结构时,如图31A所示,在衍射角(2θ)为 31° 附近出现峰值。由于该峰值来源于 InGaZnO_4 结晶的(009)面,由此可确认到在CAAC-OS中结晶具有c轴取向性,并且c轴朝向大致垂直于形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的方向。注意,除了 2θ 为 31° 附近的峰值以外,有时在 2θ 为 36° 附近也出现峰值。 2θ 为 36° 附近的峰值起因于分类为空间群Fd-3m的结晶结构。因此,优选的是,CAAC-OS不表示 2θ 为 36° 附近的峰值。

[0562] 另一方面,当利用在平行于被形成面的方向上使X射线入射到CAAC-OS的in-plane法分析CAAC-OS的结构时,在 2θ 为 56° 附近出现峰值。该峰值来源于 InGaZnO_4 结晶的(110)面。并且,当将 2θ 固定为 56° 附近并在以样品面的法线向量为轴(ϕ 轴)旋转样品的条件下进行分析(ϕ 扫描)时,如图31B所示的那样观察不到明确的峰值。另一方面,当对单晶 InGaZnO_4 将 2θ 固定为 56° 附近来进行 ϕ 扫描时,如图31C所示,观察到来源于相等于(110)面的结晶面的六个峰值。因此,由使用XRD的结构分析可以确认到CAAC-OS中的a轴和b轴的取向没有规律性。

[0563] 接着,将说明利用电子衍射的CAAC-OS分析。例如,当对包含 InGaZnO_4 结晶的CAAC-OS在平行于CAAC-OS的被形成面的方向上入射束径为300nm的电子束时,有可能出现图31D所示的衍射图案(也称为选区电子衍射图案)。在该衍射图案中包含起因于 InGaZnO_4 结晶的(009)面的斑点。因此,电子衍射也示出CAAC-OS所包含的颗粒具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS的被形成面或顶面的方向。另一方面,图31E示出对相同的样品在垂直于样品面的方向上入射束径为300nm的电子束时的衍射图案。从图31E观察到环状的衍射图案。因此,使用束径为300nm的电子束的电子衍射也示出CAAC-OS所包含的颗粒的a轴和b轴不具有取向性。可以认为图31E中的第一环起因于 InGaZnO_4 结晶的(010)面和(100)面等。另外,可以认为图31E中的第二环起因于(110)面等。

[0564] 另外,在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察所获取的CAAC-OS的明视场图像与衍射图案的复合分析图像(也称为高分辨率TEM图像)中,可以观察到多个颗粒。然而,即使在高分辨率TEM图像中,有时观察不到颗粒与颗粒之间的明确的边界,即晶界(grain boundary)。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。

[0565] 图32A示出从大致平行于样品面的方向观察所获取的CAAC-OS的截面的高分辨率TEM图像。利用球面像差校正(Spherical Aberration Corrector)功能得到高分辨率TEM图像。尤其将利用球面像差校正功能获取的高分辨率TEM图像称为Cs校正高分辨率TEM图像。例如可以使用日本电子株式会社制造的原子分辨率分析型电子显微镜JEM-ARM200F等观察Cs校正高分辨率TEM图像。

[0566] 从图32A可确认到其中金属原子排列为层状的颗粒。图32A示出一个颗粒的尺寸为1nm以上或者3nm以上。因此,也可以将颗粒称为纳米晶(nc:nanocrystal)。另外,也可以将CAAC-OS称为具有CANC(C-Axis Aligned nanocrystals:c轴取向纳米晶)的氧化物半导体。颗粒反映CAAC-OS的被形成面或顶面的凸凹并平行于CAAC-OS的被形成面或顶面。

[0567] 另外,图32B及图32C示出从大致垂直于样品面的方向观察所获取的CAAC-OS的平面的Cs校正高分辨率TEM图像。图32D及图32E是通过图32B及图32C进行图像处理得到的图像。下面说明图像处理的方法。首先,通过对图32B进行快速傅里叶变换(FFT:Fast Fourier Transform)处理,获取FFT图像。接着,以保留所获取的FFT图像中的离原点 2.8nm^{-1} 至 5.0nm^{-1} 的范围的方式进行掩模处理。在进行掩模处理之后,对FFT图像进行快速傅立叶逆变换(IFFT:Inverse Fast Fourier Transform)处理而获取经过处理的图像。将所获取的图像称为FFT滤波图像。FFT滤波图像是从Cs校正高分辨率TEM图像中提取出周期分量的图像,其示出晶格排列。

[0568] 在图32D中,以虚线示出晶格排列被打乱的部分。由虚线围绕的区域是一个颗粒。并且,以虚线示出的部分是颗粒与颗粒的联结部。虚线呈现六角形,由此可知颗粒为六角形。注意,颗粒的形状并不局限于正六角形,不是正六角形的情况较多。

[0569] 在图32E中,以点线示出晶格排列一致的区域与晶格排列一致的其他区域之间的部分,以虚线示出晶格排列的方向。在点线附近也无法确认到明确的晶界。当以点线附近的晶格点为中心连接周围的晶格点时,可以形成畸变的六角形、五角形和/或七角形等。即,可知通过使晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:在a-b面方向上的氧的原子排列的低密度或因金属元素的取代而使原子间的键合距离产生变化等。

[0570] 如上所示,CAAC-OS具有c轴取向性,其颗粒(纳米晶)在a-b面方向上连结而结晶结构具有畸变。因此,也可以将CAAC-OS称为具有CAA(c-axis-aligned a-b-plane-anchored)结晶的氧化物半导体。

[0571] CAAC-OS是结晶性高的氧化物半导体。氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质及缺陷(氧空位等)少的氧化物半导体。

[0572] 此外,杂质是指氧化物半导体的主要成分以外的元素,诸如氢、碳、硅和过渡金属元素等。例如,与氧的键合力包含在氧化物半导体中的金属元素强的元素(具体而言,硅等)会夺取氧化物半导体中的氧,由此打乱氧化物半导体的原子排列,导致结晶性下降。另外,由于铁或镍等重金属、氫、二氧化碳等的原子半径(或分子半径)大,所以会打乱氧化物半导体的原子排列,导致结晶性下降。

[0573] <nc-OS>

[0574] 接着,对nc-OS进行说明。

[0575] 说明使用XRD的nc-OS的分析。当利用out-of-plane法分析nc-OS的结构时,不出现表示取向性的峰值。换言之,nc-OS的结晶不具有取向性。

[0576] 另外,例如,当在平行于被形成面的方向上使束径为50nm的电子束入射到包含 InGaZnO_4 结晶的薄片化的nc-OS的34nm厚的区域时,观察到如图33A所示的环状衍射图案(纳米束电子衍射图案)。另外,图33B示出将束径为1nm的电子束入射到相同的样品时的衍射图案。从图33B观察到环状区域内的多个斑点。因此,nc-OS在入射束径为50nm的电子束时观察不到秩序性,但是在入射束径为1nm的电子束时确认到秩序性。

[0577] 另外,当使束径为1nm的电子束入射到厚度小于10nm的区域时,如图33C所示,有时观察到斑点被配置为准正六角形的电子衍射图案。由此可知,nc-OS在厚度小于10nm的范围内包含秩序性高的区域,即结晶。注意,因为结晶朝向各种各样的方向,所以有时观察不到

有规律性的电子衍射图案。

[0578] 图33D示出从大致平行于被形成面的方向观察到的nc-OS的截面的Cs校正高分辨率TEM图像。在高分辨率TEM图像中nc-OS有如由图33D的辅助线所示的部分那样观察到结晶部的区域和观察不到明确的结晶部的区域。nc-OS所包含的结晶部的尺寸大多为1nm以上且10nm以下,尤其为1nm以上且3nm以下。注意,有时将其结晶部的尺寸大于10nm且是100nm以下的氧化物半导体称为微晶氧化物半导体(microcrystalline oxide semiconductor)。例如,在nc-OS的高分辨率TEM图像中,有时无法明确地观察到晶界。注意,纳米晶的来源有可能与CAAC-OS中的颗粒相同。因此,下面有时将nc-OS的结晶部称为颗粒。

[0579] 如此,在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的颗粒之间观察不到结晶取向的规律性。因此,在膜整体的取向性有规律性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0580] 如上所述,由于在颗粒(纳米晶)之间结晶取向没有规律性,所以也可以将nc-OS称为包含无规取向纳米晶(RANC:Random Aligned nanocrystals)的氧化物半导体或包含无取向纳米晶(NANC:Non-Aligned nanocrystals)的氧化物半导体。

[0581] nc-OS是规律性比非晶氧化物半导体高的氧化物半导体。因此,nc-OS的缺陷态密度容易比a-like OS或非晶氧化物半导体低。但是,在nc-OS中的不同的颗粒之间没有晶体取向的规律性。所以,nc-OS的缺陷态密度比CAAC-OS高。

[0582] <a-like OS>

[0583] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。

[0584] 图34A和图34B示出a-like OS的高分辨率截面TEM图像。图34A示出电子照射开始时的a-like OS的高分辨率截面TEM图像。图34B示出照射 $4.3 \times 10^8 e^- / nm^2$ 的电子(e^-)之后的a-like OS的高分辨率截面TEM图像。由图34A和图34B可知,a-like OS从电子照射开始时被观察到在纵向方向上延伸的条状明亮区域。另外,可知明亮区域的形状在照射电子之后变化。明亮区域被估计为空洞或低密度区域。

[0585] 由于a-like OS包含空洞,所以其结构不稳定。为了证明与CAAC-OS及nc-OS相比a-like OS具有不稳定的结构,下面示出电子照射所导致的结构变化。

[0586] 作为样品,准备a-like OS、nc-OS和CAAC-OS。每个样品都是In-Ga-Zn氧化物。

[0587] 首先,取得各样品的高分辨率截面TEM图像。由高分辨率截面TEM图像可知,每个样品都具有结晶部。

[0588] 已知 $InGaZnO_4$ 结晶的单位晶格具有所包括的三个In-O层和六个Ga-Zn-O层共计九个层在c轴方向上层叠的结构。这些彼此靠近的层之间的间隔与(009)面的晶格表面间隔(也称为d值)几乎相等,由结晶结构分析求出其值为0.29nm。由此,在下面可以将晶格条纹的间隔为0.28nm以上且0.30nm以下的部分看作 $InGaZnO_4$ 结晶部。各晶格条纹对应于 $InGaZnO_4$ 结晶的a-b面。

[0589] 图35示出调查了各样品的结晶部(22至30处)的平均尺寸的例子。注意,结晶部尺寸对应于上述晶格条纹的长度。由图35可知,在所获得的TEM图像中,a-like OS中的结晶部尺寸根据电子的累积照射量的增大而变大。由图35可知,在利用TEM的观察初期尺寸为1.2nm左右的结晶部(也称为初始晶核)在电子(e^-)的累积照射量为 $4.2 \times 10^8 e^- / nm^2$ 时生长

到1.9nm左右。另一方面,可知nc-OS和CAAC-OS在开始电子照射时到电子的累积照射量为 $4.2 \times 10^8 e^- / nm^2$ 的范围内,结晶部的尺寸都没有变化。由图35可知,无论电子的累积照射量如何,nc-OS及CAAC-OS的结晶部尺寸分别为1.3nm左右及1.8nm左右。此外,使用日立透射电子显微镜H-9000NAR进行电子束照射及TEM的观察。作为电子束照射条件,加速电压为300kV;电流密度为 $6.7 \times 10^5 e^- / (nm^2 \cdot s)$;照射区域的直径为230nm。

[0590] 如此,电子照射引起a-like OS中的结晶部的生长。另一方面,在nc-OS和CAAC-OS中,几乎没有电子照射所引起的结晶部的生长。也就是说,a-like OS与CAAC-OS及nc-OS相比具有不稳定的结构。

[0591] 此外,由于a-like OS包含空洞,所以其密度比nc-OS及CAAC-OS低。具体地,a-like OS的密度为具有相同组成的单晶氧化物半导体的78.6%以上且小于92.3%。nc-OS的密度及CAAC-OS的密度为具有相同组成的单晶氧化物半导体的92.3%以上且小于100%。注意,难以形成其密度小于单晶氧化物半导体的密度的78%的氧化物半导体。

[0592] 例如,在原子数比满足In:Ga:Zn=1:1:1的氧化物半导体中,具有菱方晶系结构的单晶 $InGaZnO_4$ 的密度为 $6.357 g/cm^3$ 。因此,例如,在原子数比满足In:Ga:Zn=1:1:1的氧化物半导体中,a-like OS的密度为 $5.0 g/cm^3$ 以上且小于 $5.9 g/cm^3$ 。另外,例如,在原子数比满足In:Ga:Zn=1:1:1的氧化物半导体中,nc-OS的密度和CAAC-OS的密度为 $5.9 g/cm^3$ 以上且小于 $6.3 g/cm^3$ 。

[0593] 注意,当不存在相同组成的单晶氧化物半导体时,通过以任意比例组合组成不同的单晶氧化物半导体,可以估计出相当于所希望的组成的单晶氧化物半导体的密度。根据组成不同的单晶氧化物半导体的组合比例可以使用加权平均估计出相当于所希望的组成的单晶氧化物半导体的密度即可。注意,优选尽可能减少所组合的单晶氧化物半导体的种类来估计密度。

[0594] 如上所述,氧化物半导体具有各种结构及各种特性。注意,氧化物半导体例如可以是包括非晶氧化物半导体、a-like OS、nc-OS和CAAC-OS中的两种以上的叠层膜。

[0595] <氧化物半导体的载流子密度>

[0596] 接着,对氧化物半导体的载流子密度进行说明。

[0597] 作为影响氧化物半导体的载流子密度的因素的例子包括氧化物半导体中的氧空位(Vo)或及杂质等。

[0598] 氧化物半导体中的氧空位越增多,在氢与该氧空位键合(也可以将该状态称为VoH)时,缺陷态密度也越增高。当氧化物半导体中的杂质增多时,缺陷态密度也增高。由此,可以通过控制氧化物半导体中的缺陷态密度来控制氧化物半导体的载流子密度。

[0599] 下面,对将氧化物半导体用于沟道区域的晶体管进行说明。

[0600] 为了以抑制晶体管的阈值电压的负向漂移或降低晶体管的关态电流,优选减少氧化物半导体的载流子密度。为了以降低氧化物半导体的载流子密度,可以降低氧化物半导体中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征的氧化物半导体的载流子密度低于 $8 \times 10^{15} cm^{-3}$,优选低于 $1 \times 10^{11} cm^{-3}$,更优选低于 $1 \times 10^{10} cm^{-3}$,且为 $1 \times 10^{-9} cm^{-3}$ 以上,即可。

[0601] 另一方面,为了以增加晶体管的通态电流或提高晶体管的场效应迁移率,优选增加氧化物半导体的载流子密度。为了增加氧化物半导体的载流子密度,稍微提高氧化物半

导体的杂质浓度,或者稍微增高氧化物半导体的缺陷态密度即可。或者,优选缩小氧化物半导体的带隙即可。例如,在得到晶体管的 I_d - V_g 特性的导通/截止比的范围中,杂质浓度稍高或缺陷态密度稍高的氧化物半导体可以被看作实质上本征。此外,因电子亲和势大而带隙小的热激发电子(载流子)密度增高的氧化物半导体可以被看作实质上本征。另外,在使用电子亲和势较大的氧化物半导体的情况下,晶体管的阈值电压更低。

[0602] 上述载流子密度增高的氧化物半导体稍微被n型化,因此,也可以将载流子密度增高的氧化物半导体称为“Slightly-n”。

[0603] 实质上本征的氧化物半导体的载流子密度优选为 $1 \times 10^5 \text{ cm}^{-3}$ 以上且低于 $1 \times 10^{18} \text{ cm}^{-3}$,更优选为 $1 \times 10^7 \text{ cm}^{-3}$ 以上且 $1 \times 10^{17} \text{ cm}^{-3}$ 以下,进一步优选为 $1 \times 10^9 \text{ cm}^{-3}$ 以上且 $5 \times 10^{16} \text{ cm}^{-3}$ 以下,还优选为 $1 \times 10^{10} \text{ cm}^{-3}$ 以上且 $1 \times 10^{16} \text{ cm}^{-3}$ 以下,还进一步优选为 $1 \times 10^{11} \text{ cm}^{-3}$ 以上且 $1 \times 10^{15} \text{ cm}^{-3}$ 以下。

[0604] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0605] (关于本说明书等的记载的附记)

[0606] 以下是对上述实施方式中的各结构的附记。

[0607] <关于实施方式中所示的本发明的一个实施方式的附记>

[0608] 各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个实施方式。另外,当在一个实施方式中示出多个结构例子时,可以适当地组合结构例子。

[0609] 另外,可以将实施方式中说明的内容(或其一部分)应用于、组合到或者替换成该实施方式中说明的其他内容和另一个或其他实施方式中说明的内容(或其一部分)。

[0610] 注意,在各实施方式中,该实施方式所说明的内容是利用各种附图所说明的内容或者说明书中的文章所说明的内容。

[0611] 另外,通过将在一个实施方式中示出的附图(或其一部分)与该附图的其他部分、在该实施方式中说明的其他附图(或其一部分)和/或在另一个或其他实施方式中示出的附图(或其一部分)组合,可以构成更多附图。

[0612] <关于序数词的附记>

[0613] 在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,其不是为了限定构成要素的个数或顺序而附加上的。另外,例如,本说明书等的实施方式之一中的“第一”的构成要素有可能在其他的实施方式或权利要求书中被称为“第二”构成要素。另外,本说明书等的实施方式之一中的“第一”构成要素有可能在其他的实施方式或权利要求书中没有序数词。

[0614] <关于附图的说明的附记>

[0615] 参照附图对实施方式进行说明。但是,实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式的说明。注意,在实施方式中的结构中,在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。

[0616] 在本说明书等中,为方便起见,使用了“上”、“下”等表示配置的用语,以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地

改变。因此,表示配置的用语不局限于本说明书中所示的记载,根据情况可以适当地更换表达方式。

[0617] 此外,“上”或“下”这样的用语不限定构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,当记载为“绝缘层A上的电极B”时,不一定必须在绝缘层A上直接接触地形成有电极B,也可以表示绝缘层A与电极B之间设置有其他构成要素的情况。

[0618] 在本说明书等的方框图中,根据功能对构成要素进行分类并以彼此独立的方框表示该构成要素。然而,在实际的电路等中难以根据功能分类构成要素,有时一个电路涉及到多个功能或者多个电路涉及到一个功能。因此,方框图中的方框不需要必须表示说明书中说明的构成要素,而可以根据情况适当地使用其他用语进行说明。

[0619] 在附图中,为便于说明,任意地表示大小、层的厚度或区域。因此,大小、层的厚度或区域不局限于上述尺寸。附图是为了明确起见而示意性地示出的,本发明的一个方式不局限于附图所示的形状或数值等。例如,可以包括噪声或定时偏差所引起的信号、电压或电流的不均匀。

[0620] 在俯视图(也称为平面图、布局图)或透视图等的附图中,为了明确起见,有时未图示部分构成要素。

[0621] 在附图中,有时使用同一附图标记表示同一构成要素、具有相同功能的构成要素、由同一材料构成的构成要素或者同时形成的构成要素等,并且有时省略重复说明。

[0622] <关于可以改称的记载的附记>

[0623] 在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)或“源极和漏极中的另一个”(第二电极或第二端子)的用语。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等而互换的缘故。可以将晶体管的源极和漏极根据情况适当地改称为源极(漏极)端子、源极(漏极)电极等。在本说明书等中,有时将栅极以外的两个端子称为第一端子及第二端子或第三端子及第四端子。在本说明书等中,在晶体管具有两个以上的栅极时(有时将该结构称为双栅极结构),有时将该栅极称为第一栅极和第二栅极或者前栅极和背栅极。此外,“底栅极”是指在形成晶体管时在形成沟道形成区域之前形成的端子,“顶栅极”是指在形成晶体管时在形成沟道形成区域之后形成的端子。

[0624] 晶体管是包括栅极、源极以及漏极这三个端子的元件。栅极被用作控制晶体管的导通状态的控制端子。晶体管的输入/输出端子的功能依赖于类型或者供应到端子的电位的电平,并且两个端子中的一个被用作源极,另一个端子被用作漏极。因此,在本说明书等中,“源极”和“漏极”的用语可以互相调换。在本说明书等中,有时将栅极以外的两个端子称为第一端子及第二端子或第三端子及第四端子。

[0625] 另外,在本说明书等中,“电极”或“布线”这样的词语不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”这样的词语还包括多个“电极”及“布线”被形成为一体的情况等。

[0626] 另外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与参考电位之间的电位差,例如在参考电位为接地电位时,可以将“电压”换称为“电位”。接地电位不一定意味着0V。注意,电位是相对的,对布线等供应的电位有时根据参考电位而变化。在本说明书中,参考电位是指只在某个部分或位置上的参考电位,而不会成为在其他部分或位置

上的参考电位。

[0627] 在本说明书等中,根据情况或状态,可以互相调换“膜”和“层”等用语。例如,有时可以将“导电层”变换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”,或者,根据情况或状态,可以变换为不包括“膜”或“层”的用语。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0628] 在本说明书等中,根据情况或状态,可以互相调换“布线”、“信号线”及“电力供应线”等用语。例如,有时可以将“布线”变换为“信号线”。例如有时可以将“布线”变换为“电源线”。有时可以将“信号线”或“电源线”变换为“布线”。有时可以将“电源线”变换为“信号线”。有时可以将“信号线”变换为“电源线”。根据情况或状态,可以将施加到布线的“电位”变换为“信号”。反之亦然,有时可以将“信号”等变换为“电位”。

[0629] <关于用语的定义的附记>

[0630] 下面,对上述实施方式中涉及到的用语的定义进行说明。

[0631] 《半导体》

[0632] 在本说明书中,例如当导电性充分低时,有时“半导体”有可能具有“绝缘体”的特性。此外,“半导体”和“绝缘体”的边界不太清楚,因此有时不能精确地区别“半导体”和“绝缘体”。由此,有时可以将本说明书所记载的“半导体”换称为“绝缘体”。同样地,有时可以将本说明书所记载的“绝缘体”换称为“半导体”。

[0633] 另外,例如当导电性充分高时,有时“半导体”包括“导电体”的特性。此外,“半导体”和“导电体”的边界不太清楚,因此有时不能精确地区别“半导体”和“导电体”。由此,有时可以将本说明书所记载的“半导体”换称为“导电体”。同样地,有时可以将本说明书所记载的“导电体”换称为“半导体”。

[0634] 注意,半导体的杂质例如是半导体层的主要成分之外的元素。例如,浓度低于0.1atomic%的元素是杂质。有时由于包含杂质而发生在半导体中形成DOS(Density of States:态密度)、载流子迁移率降低或结晶性降低等情况。在半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第一族元素、第二族元素、第十三族元素、第十四族元素、第十五族元素及半导体的主要成分之外的过渡金属等,具体而言,例如有氢(也包含在水中)、锂、钠、硅、硼、磷、碳、氮等。在半导体是氧化物半导体时,例如有时氢等杂质的混入导致氧空位的产生。此外,在半导体是硅层时,作为改变半导体的特性的杂质,例如有氧、除了氢之外的第一族元素、第二族元素、第十三族元素、第十五族元素等。

[0635] 《晶体管》

[0636] 在本说明书中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道形成区域,并电流能够流过源极与漏极之间的沟道形成区域。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0637] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时相互调换。因此,在本说明书等中,“源极”和“漏极”可以互相调换。

[0638] 《开关》

[0639] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关

闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。

[0640] 例如,可以使用电开关或机械开关等。换言之,被用作开关的任何元件只要可以控制电流就没有特定的元件的限定。

[0641] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM)二极管、金属-绝缘体-半导体(MIS)二极管或者二极管接法的晶体管)或者组合这些元件的逻辑电路。

[0642] 当作为开关使用晶体管时,晶体管的“导通状态”是指晶体管的源电极与漏电极在电性上短路的状态。另外,晶体管的“关闭状态”是指晶体管的源电极与漏电极在电性上断开的状态。当仅将晶体管用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0643] 作为机械开关的一个例子,可以举出像数字微镜装置(DMD)那样的利用MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0644] 《沟道长度》

[0645] 在本说明书等中,例如,沟道长度是指在晶体管的俯视图中,半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极重叠的区域或者形成沟道的区域中的源极(源区域或源电极)和漏极(漏区域或漏电极)之间的距离。

[0646] 另外,在一个晶体管中,沟道长度不一定在所有的区域中为相同的值。换言之,一个晶体管的沟道长度有时不局限于一个值。因此,在本说明书中,沟道长度是形成有沟道的区域中的任一个值、最大值、最小值或平均值。

[0647] 《沟道宽度》

[0648] 在本说明书等中,例如,沟道宽度是指在晶体管的俯视图中半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极重叠的区域、或者形成有沟道的区域中的源极和漏极相对的部分的长度。

[0649] 另外,在一个晶体管中,沟道宽度不一定在所有区域中都是相同的值。换言之,一个晶体管的沟道宽度有时不局限于一个值。因此,在本说明书中,沟道宽度是形成有沟道的区域中的任一个值、最大值、最小值或平均值。

[0650] 另外,根据晶体管的结构,有时实际上形成有沟道的区域中的沟道宽度(下面称为实效沟道宽度)不同于晶体管的俯视图所示的沟道宽度(下面称为视在沟道宽度)。例如,在具有立体结构的晶体管中,有时因为实效沟道宽度大于晶体管的俯视图所示的视在沟道宽度,所以不能忽略其影响。例如,在具有微型且立体结构的晶体管中,有时形成在半导体侧面的沟道区域的比例高。在此情况下,实际上形成有沟道的实效沟道宽度大于俯视图所示的视在沟道宽度。

[0651] 在具有立体结构的晶体管中,有时难以通过实测来估计实效沟道宽度。例如,为了根据设计值估计实效的沟道宽度,作为假设条件需要假设已知半导体的形状。因此,当不确定半导体的形状时,难以正确地测定实效的沟道宽度。

[0652] 因此,在本说明书中,有时将在晶体管的俯视图中半导体与栅电极重叠的区域中的源极与漏极相对的部分的长度,即视在沟道宽度称为“围绕沟道宽度(SCW:Surrounded Channel Width)”。此外,在本说明书中,在简单地表示“沟道宽度”时,有时是指围绕沟道宽

度及视在沟道宽度。或者,在本说明书中,在简单地表示“沟道宽度”时,有时表示实效沟道宽度。注意,通过取得截面TEM图像等并对该图像进行分析等,可以决定沟道长度、沟道宽度、实效沟道宽度、视在沟道宽度、围绕沟道宽度等的值。

[0653] 另外,在通过计算求得晶体管的场效应迁移率或每个沟道宽度的电流值等时,有时使用围绕沟道宽度进行计算。在此情况下,该求得的值有时不同于一个将实效沟道宽度用于计算而求得的值。

[0654] 《连接》

[0655] 注意,在本说明书等中,当记载为“X与Y连接”时,包括如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,与元件之间插入的其他元件也可以具有附图或文中所示的连接关系,不局限于特定的连接关系,例如,附图或文中所示的连接关系。

[0656] 在此,X和Y等表示对象物(例如,装置、元件、电路、布线、电极、端子、导电膜和层等)。

[0657] 作为X和Y电连接的情况的例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容元件、电感器、电阻器、二极管、显示元件、发光元件、负载等)。另外,开关具有控制开启和关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。

[0658] 作为X和Y在功能上连接的情况的例子,可以在X和Y之间连接一个以上的能够在功能上连接X和Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、 γ (伽马)校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转换电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲器电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,也可以说X与Y在功能上是连接着的。

[0659] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);X与Y在功能上连接的情况(换言之,以中间夹有其他电路的方式在功能上连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。换言之,明确记载有“X与Y电连接”与明确简单地记载有“X与Y连接”相同。

[0660] 注意,例如,在晶体管的源极(或第一端子等)通过Z1(或没有通过Z1)与X电连接,晶体管的漏极(或第二端子等)通过Z2(或没有通过Z2)与Y电连接的情况下以及在晶体管的源极(或第一端子等)与Z1的一部分直接连接,Z1的另一部分与X直接连接,晶体管的漏极(或第二端子等)与Z2的一部分直接连接,Z2的另一部分与Y直接连接的情况下,可以表示为如下。

[0661] 例如,可以表达为“X、Y、晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)互相电连接,并按X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)及Y的顺序电连接”。或者,可以表达为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,并以X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y的顺序依次电连接”。或者,可以表达为“X通过晶体管的源极(或第一端子等)

及晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置为相互连接”。通过使用与这种例子相同的表达方法规定电路结构中的连接顺序,可以区别晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)而决定技术范围。注意,这些表达方法只是一个例子而已,不局限于上述表达方法。在此,X、Y、Z1及Z2为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0662] 另外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0663] 《平行、垂直》

[0664] 在本说明书中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此也包括该角度为 -5° 以上且 5° 以下的状态。“大致平行”是指两条直线形成的角度为 -30° 以上且 30° 以下的状态。另外,“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态。因此也包括该角度为 85° 以上且 95° 以下的状态。另外,“大致垂直”是指两条直线形成的角度为 60° 以上且 120° 以下的状态。

[0665] 《三方晶系、菱方晶系》

[0666] 在本说明书中,六方晶系包括三方晶系和菱方晶系。

[0667] 符号说明

[0668] OUT[1]:列输出电路,OUT[j]:列输出电路,OUT[n]:列输出电路,OUT[j+1]:列输出电路, C_{ref} :参考列输出电路,AM[1,1]:存储单元,AM[i,1]:存储单元,AM[m,1]:存储单元,AM[1,j]:存储单元,AM[i,j]:存储单元,AM[m,j]:存储单元,AM[1,n]:存储单元,AM[i,n]:存储单元,AM[m,n]:存储单元,AM[i+1,j]:存储单元,AM[i,j+1]:存储单元,AM[i+1,j+1]:存储单元, $AM_{ref}[1]$:存储单元, $AM_{ref}[i]$:存储单元, $AM_{ref}[m]$:存储单元, $AM_{ref}[i+1]$:存储单元,CI:恒流电路, CI_{ref} :恒流电路,CM:电流镜电路,OT[1]:输出端子,OT[j]:输出端子,OT[n]:输出端子,OT[j+1]:输出端子, OT_{ref} :输出端子,SPT[1]:输出端子,SPT[j]:输出端子,SPT[n]:输出端子,SPT[j+1]:输出端子,CT1:端子,CT2:端子,CT3:端子,CT4:端子,CT5[1]:端子,CT5[j]:端子,CT5[n]:端子,CT5[j+1]:端子,CT6[1]:端子,CT6[j]:端子,CT6[n]:端子,CT6[j+1]:端子,CT7:端子,CT8:端子,Tr1:晶体管,Tr2:晶体管,Tr3:晶体管,Tr4:晶体管,Tr5:晶体管,Tr6:晶体管,Tr7:晶体管,Tr11:晶体管,Tr12:晶体管,C1:电容元件,C2:电容元件,OSP:布线,ORP:布线,B[1]:布线,B[j]:布线,B[n]:布线,B[j+1]:布线, B_{ref} :布线,WD[1]:布线,WD[j]:布线,WD[n]:布线,WD[j+1]:布线, WD_{ref} :布线,VR:布线,RW[1]:布线,RW[i]:布线,RW[m]:布线,RW[i+1]:布线,WW[1]:布线,WW[i]:布线,WW[m]:布线,WW[i+1]:布线,OL[1]:布线,OL[j]:布线,OL[n]:布线,OL[j+1]:布线, OL_{ref} :布线,IL[1]:布线,IL[j]:布线,IL[n]:布线,IL[j+1]:布线, IL_{ref} :布线,BG[1]:布线,BG[j]:布线,BG[n]:布线,BG[j+1]:布线, BG_{ref} :布线,VDDL:布线,VSSL:布线, NCM_{ref} :节点,N[1,1]:节点,N[i,1]:节点,N[m,1]:节点,N[1,j]:节点,N[i,j]:节点,N[m,j]:节点,N[1,n]:节点,N[i,n]:节点,N[m,n]:节点,N[i+1,j]:节点,N[i,j+1]:节点,N[i+1,j+1]:节点, $N_{ref}[1]$:节点, $N_{ref}[i]$:节点, $N_{ref}[m]$:节点, $N_{ref}[i+1]$:节点,Co1:箭头,Co2:箭头,Ro1:箭头,Ro2:箭头,SW1:开关,SW2:开关,M:晶体管,MD:晶体管,C11:电容元件,C12:电容元件,Sig1(j):信号线,Sig2(j):信号线,

Sig1(j+1):信号线,Sig2(j+1):信号线,G1(i):扫描线,G2(i):扫描线,CL(g):控制线,ML(h):检测信号线,C(g):电极,M(h):电极,BR(g,h):导电膜,CSCOM:布线,VCOM1:布线,VCOM2:第四导电膜,ANO:第三导电膜,FPC1:柔性印刷电路板,FPC2:柔性印刷电路板,ACF1:导电材料,ACF2:导电材料,AF1:取向膜,AF2:取向膜,BM:遮光膜,CF1:着色膜,CF2:着色膜,KB1:结构体,CP:导电材料,GD:驱动电路,SD:驱动电路,OSC:振荡电路,DC:检测电路,I1:绝缘体,I2:绝缘体,S1:氧化物,S2:氧化物,S3:氧化物,100:半导体装置,110:偏置电路,111:偏置电路,112:偏置电路,113:偏置电路,120:存储单元阵列,121:存储单元阵列,150:偏置电路,160:存储单元阵列,501A:第一绝缘膜,501C:第二绝缘膜,504:导电膜,506:绝缘膜,505:接合层,508:半导体膜,511B:导电膜,511C:导电膜,512A:导电膜,512B:导电膜,516:绝缘膜,518:绝缘膜,519B:端子,519C:端子,520:功能层,521:绝缘膜,522:连接部,524:导电膜,528:绝缘膜,530(i,j):像素电路,530(i,j+1):像素电路,550(i,j):第二显示元件,550(i,j+1):第二显示元件,551(i,j):第三电极,552:第四电极,553(j):层,570:衬底,591A:开口部,591B:开口部,591C:开口部,592A:第一开口部,592B:第二开口部,592C:开口部,700TP1:触摸面板,702(i,j):像素,702(i,j+1):像素,702(i+1,j):像素,702(i+2,j):像素,705:密封剂,706:绝缘膜,709:接合层,710:衬底,719:端子,750(i,j):第一显示元件,750(i,j+1):第一显示元件,750(i,j+2):第一显示元件,751(i,j):第一电极,751(i,j+1):第一电极,751(i,j+2):第一电极,751(i+1,j):第一电极,751(i+2,j):第一电极,751E:区域,751H:开口部,752:第二电极,753:层,754A:第一中间膜,754B:第二中间膜,754C:中间膜,770:衬底,770P:功能膜,770D:功能膜,771:绝缘膜,775(g,h):检测元件,775(g,1):检测元件,775(g,q):检测元件,775(1,h):检测元件,775(p,h):检测元件,1200A:晶体管,1200B:晶体管,1200C:晶体管,1200D:晶体管,1200E:晶体管,1200F:晶体管,1200G:晶体管,1205:导电体,1205a:导电体,1205b:导电体,1220:绝缘体,1222:绝缘体,1224:绝缘体,1230:氧化物,1230a:氧化物,1230b:氧化物,1230c:氧化物,1230d:氧化物,1240a:导电体,1240b:导电体,1241a:导电体,1241b:导电体,1250:绝缘体,1260:导电体,1260a:导电体,1260b:导电体,1260c:导电体,1270:绝缘体,1280:绝缘体,1282:绝缘体,1285:绝缘体,1286:绝缘体,4700:电子构件,4701:引线,4702:印刷电路板,4703:电路部,4704:电路衬底,4800:半导体晶片,4800a:芯片,4801:晶片,4801a:晶片,4802:电路部,4803:空隙,4803a:空隙,4810:半导体晶片,5221:框体,5222:显示部,5223:操作按钮,5224:扬声器,5431:框体,5432:显示部,5433:掌纹读取部,5434:布线,5435:手,5501:框体,5502:显示部,5503:麦克风,5504:扬声器,5505:操作按钮,5801:第一框体,5802:第二框体,5803:显示部,5804:操作按钮,5805:透镜,5806:连接部,6560:TV,6561:播放局,6562:人工卫星,6563:电波塔,6564:天线,6565:天线,6566A:电波,6566B:电波,6567A:电波,6567B:电波,6600:救护车,6601:医疗机构,6602:医疗机构,6605:高速网络,6610:摄像机,6611:编码器,6612:通讯装置,6615:视频数据,6616:视频数据,6620:通讯装置,6621:译码器,6622:服务器,6623:显示装置

[0669] 本申请基于2016年3月18日提交到日本专利局的日本专利申请No.2016-055281,通过引用将其完整内容并入在此。

100

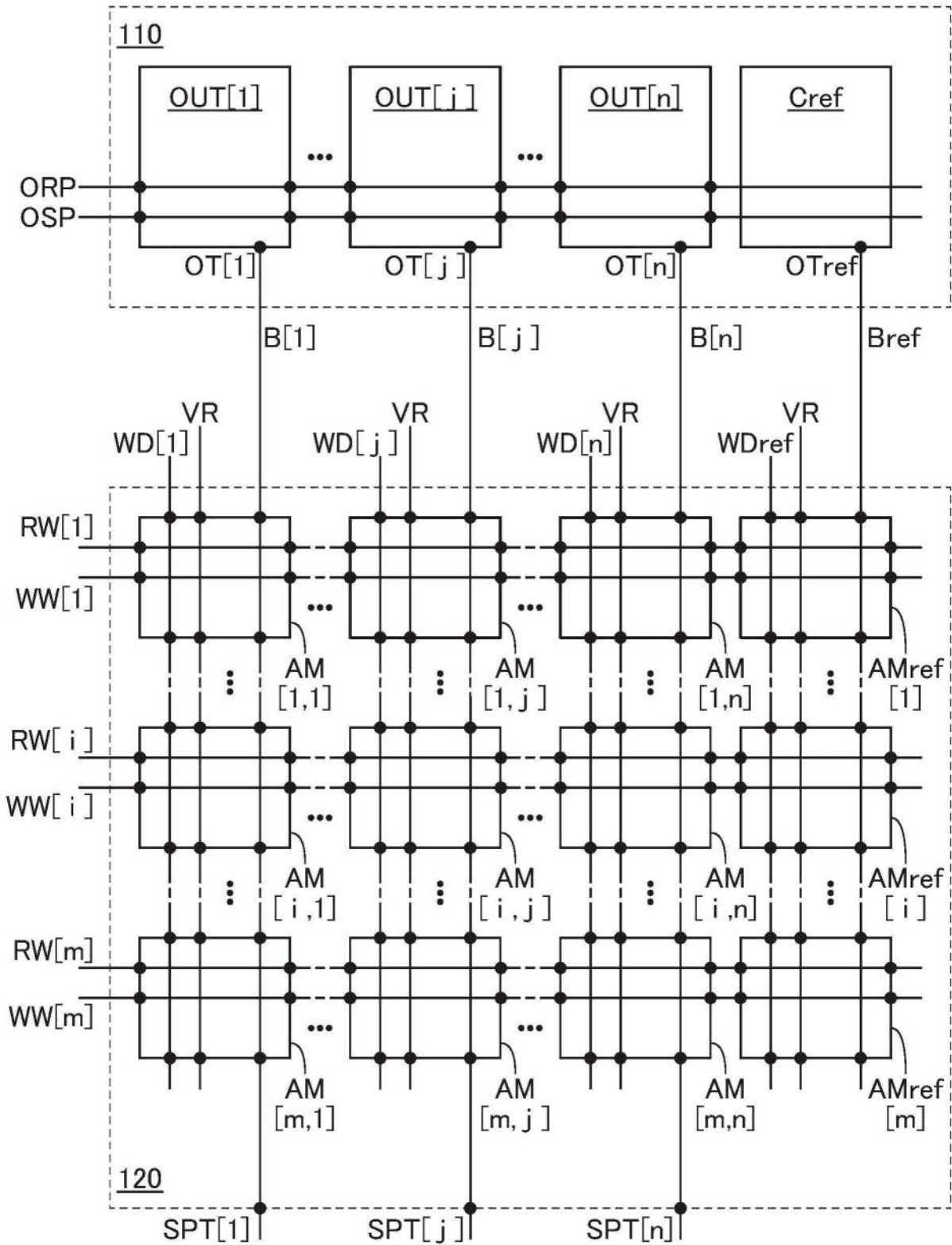


图1

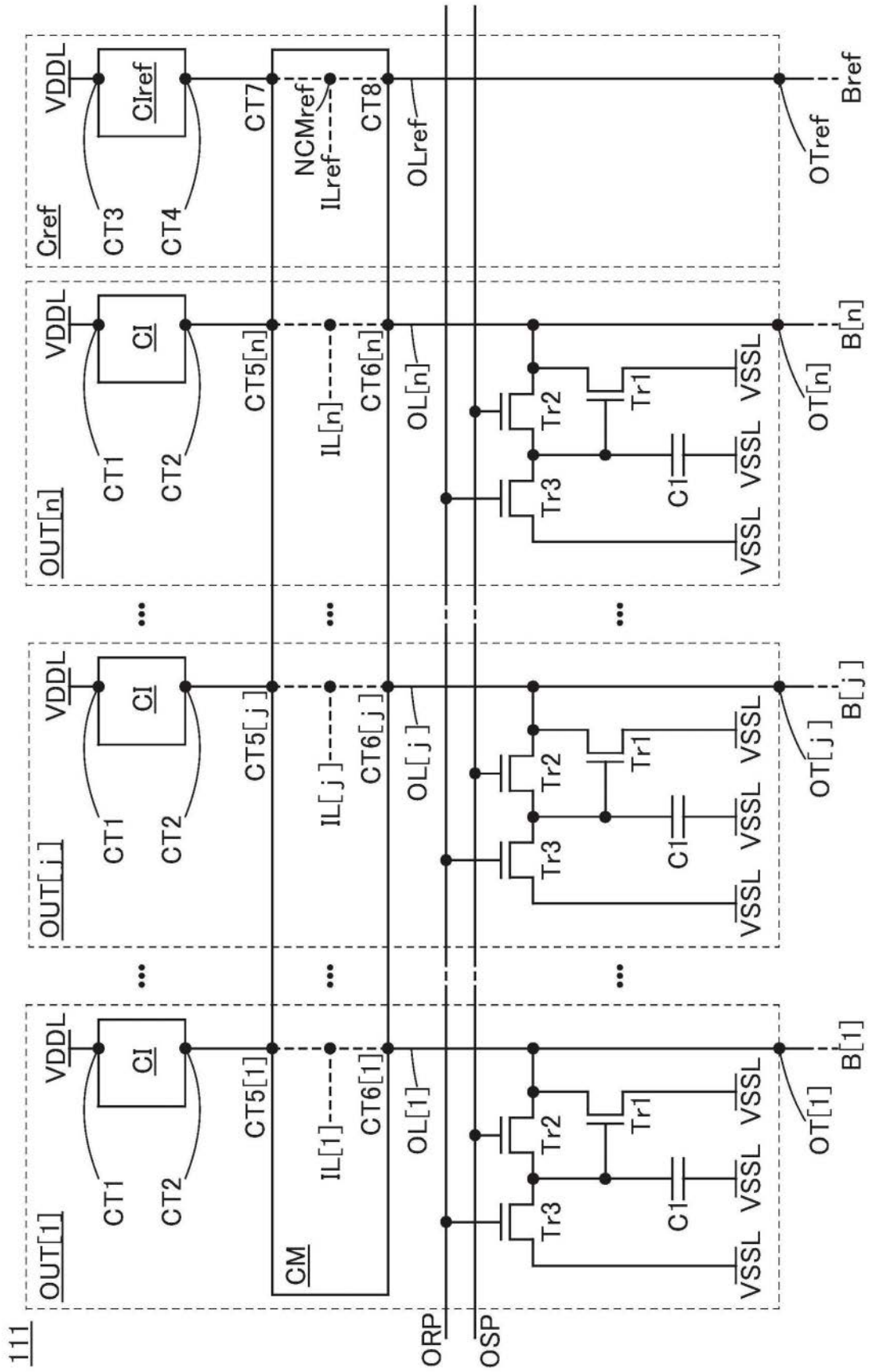
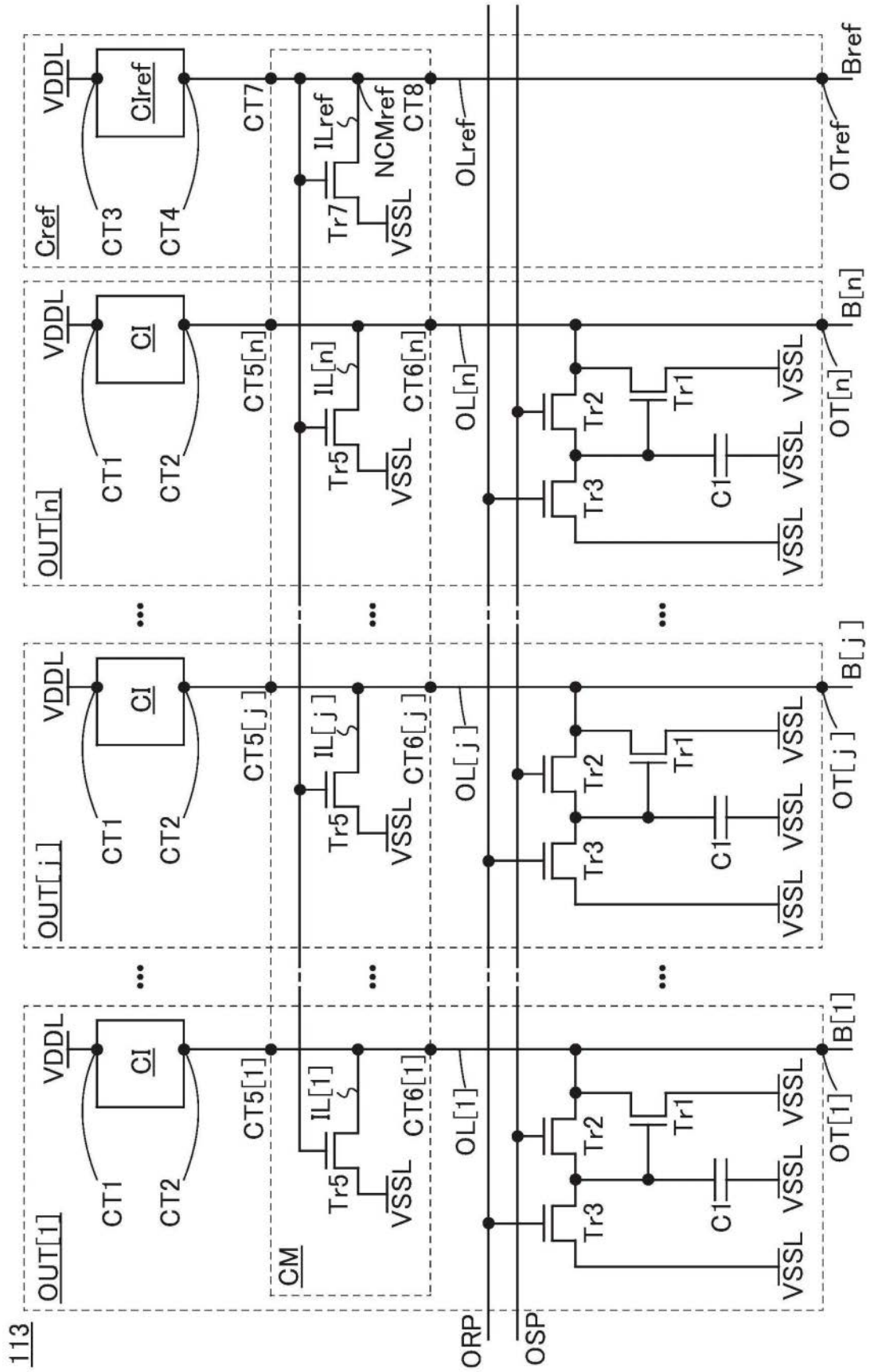


图2



113

图4

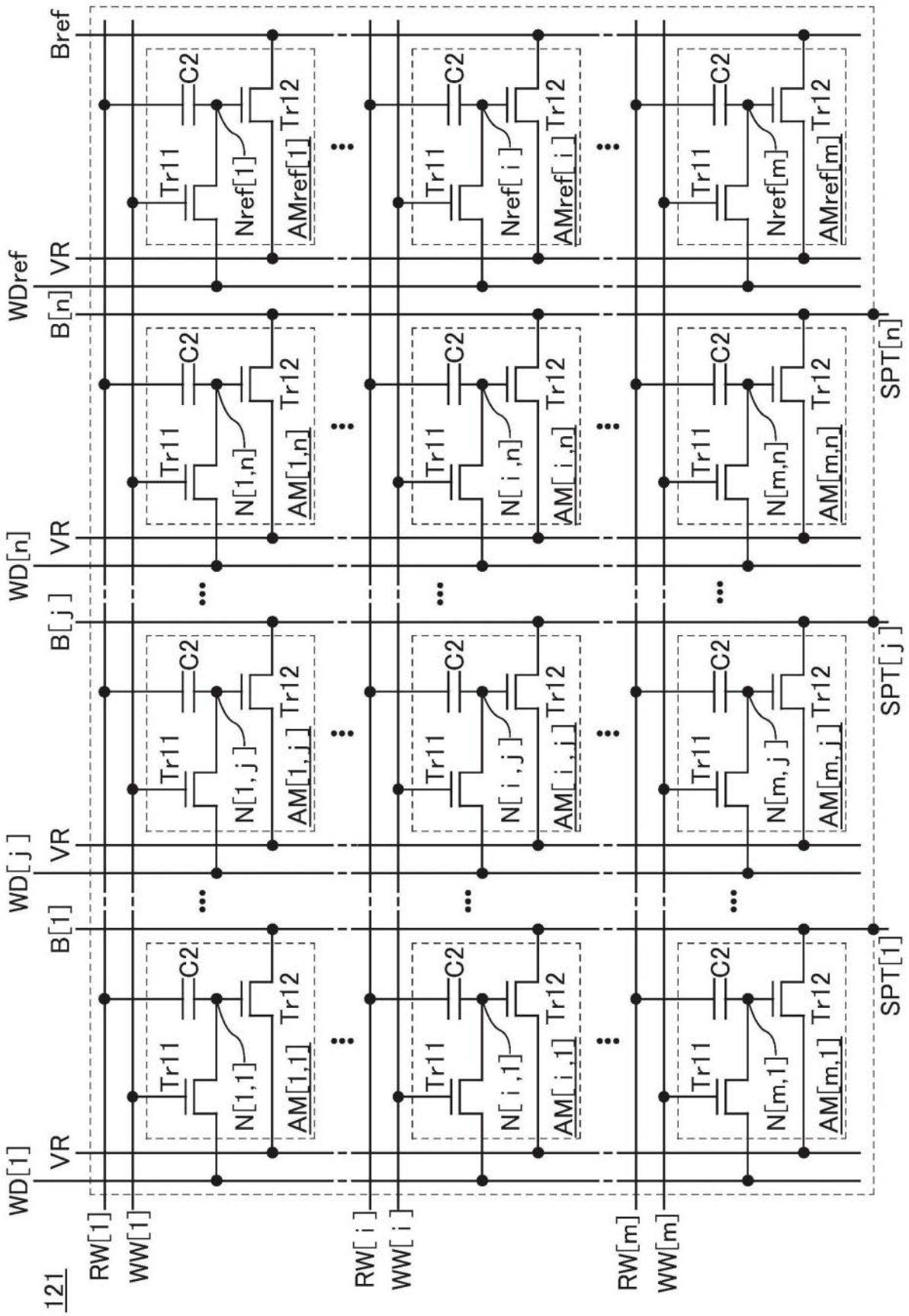


图5

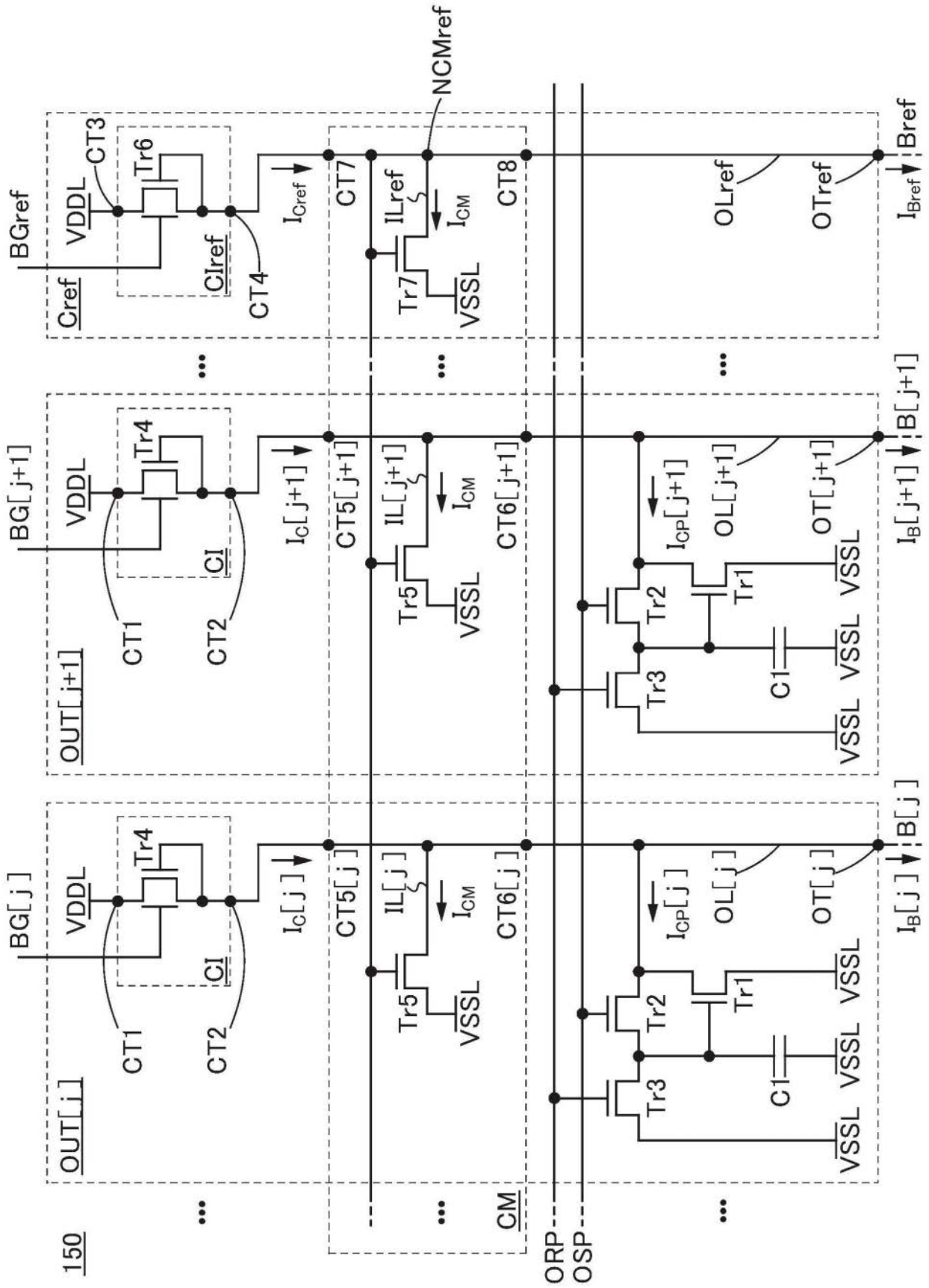


图6

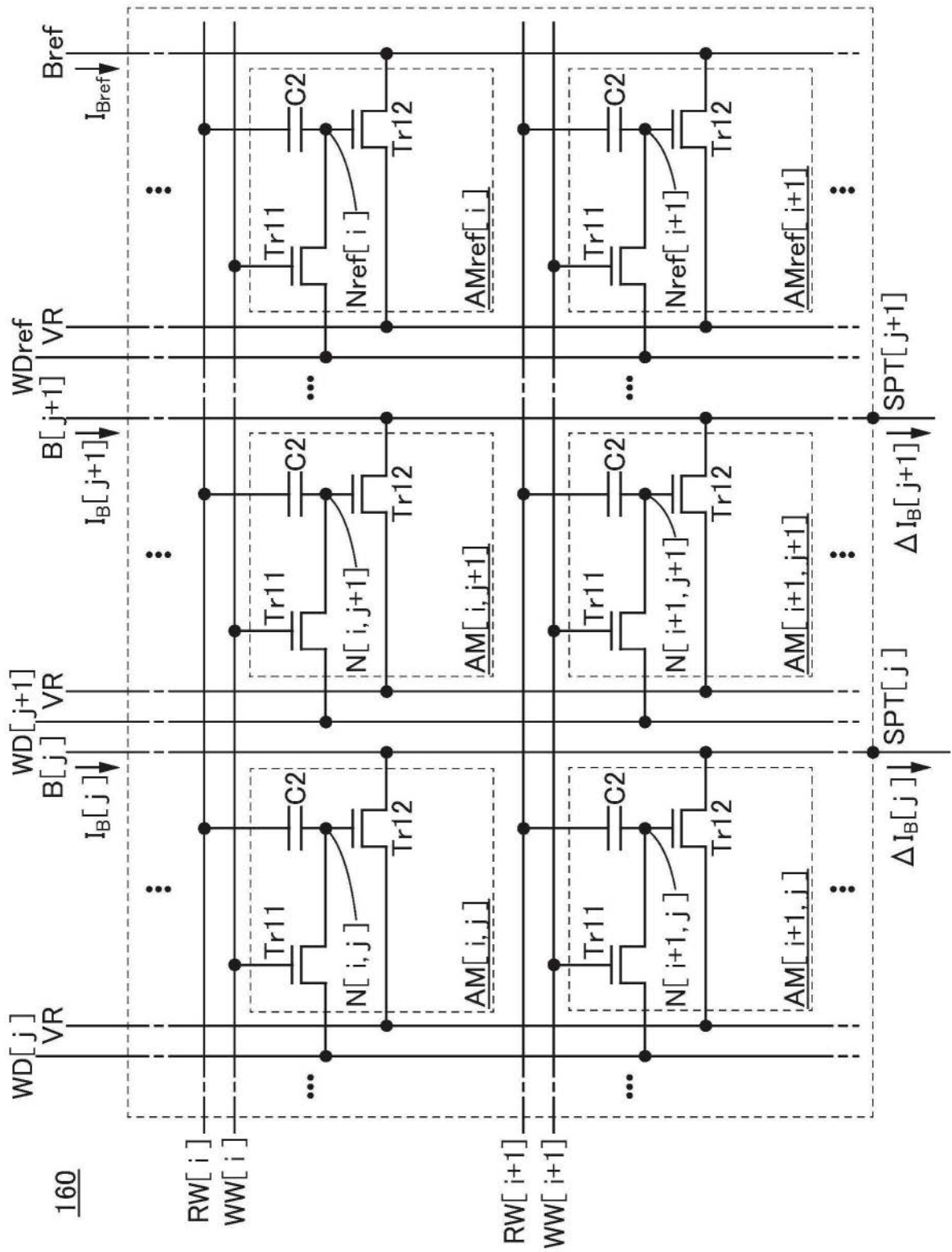


图7

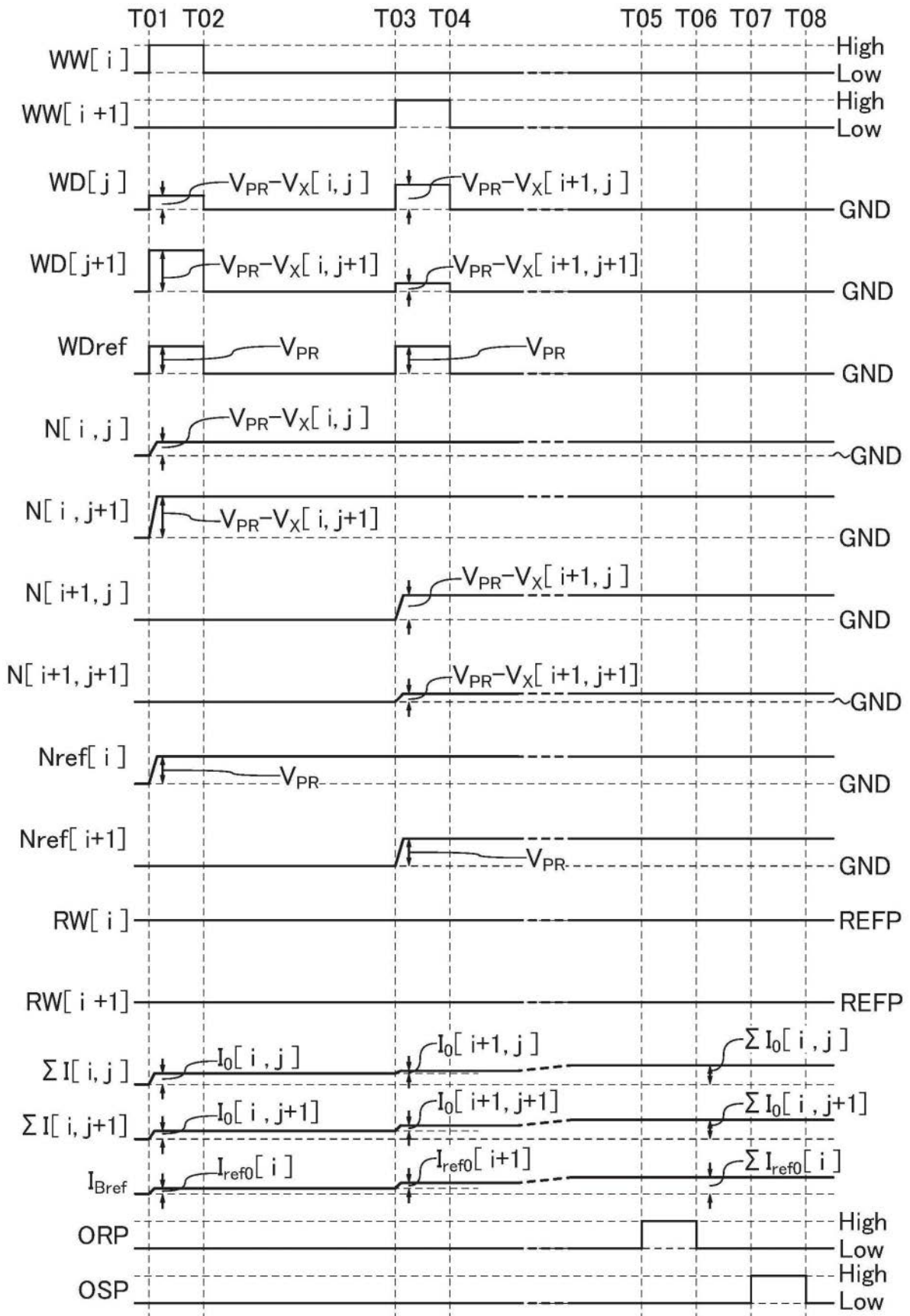


图8

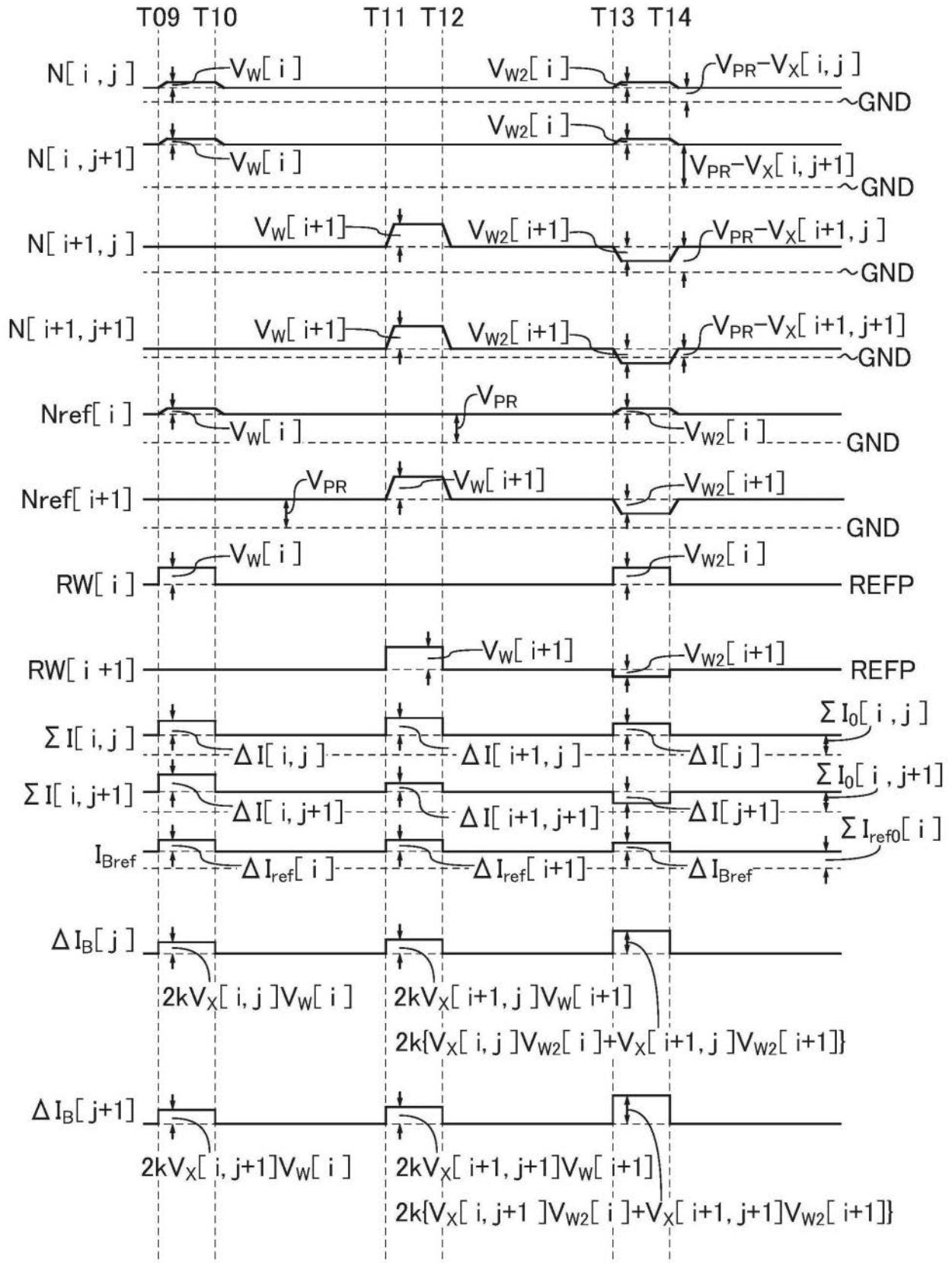


图9

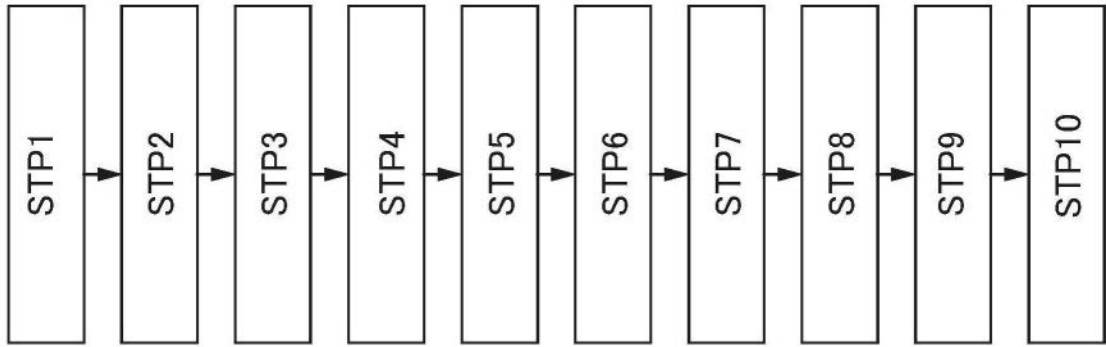


图10A

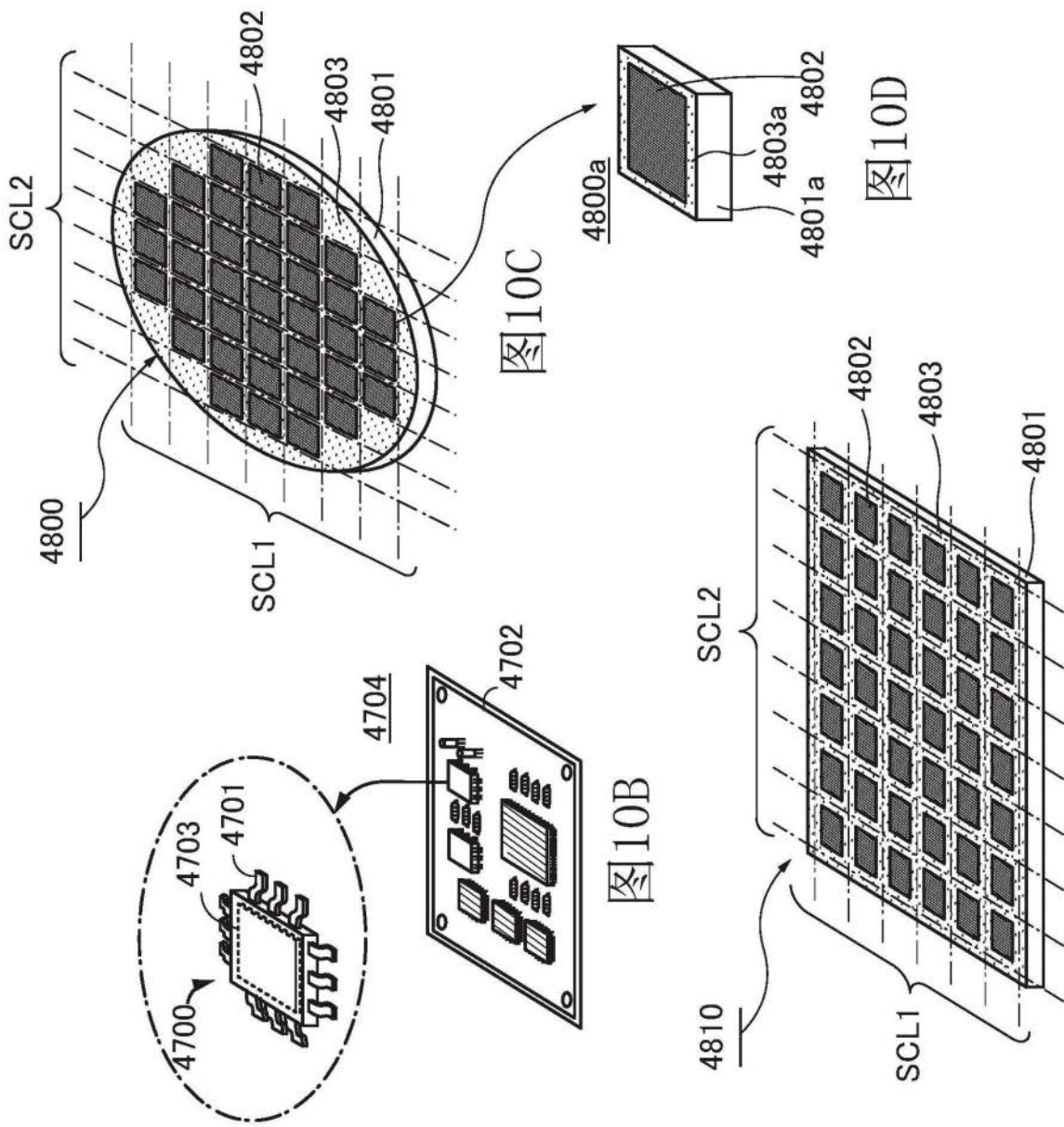


图10C

图10B

图10D

图10E

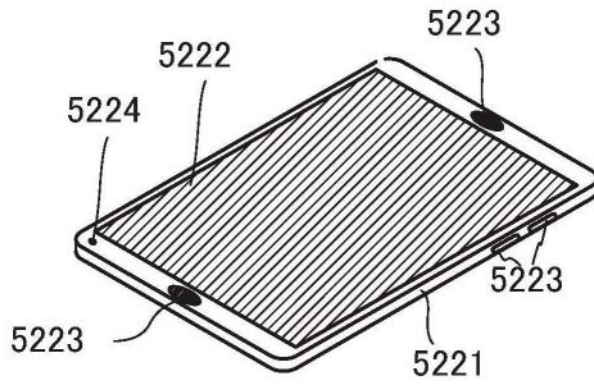


图11A

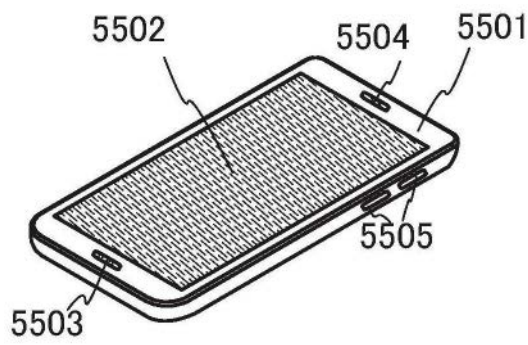


图11B

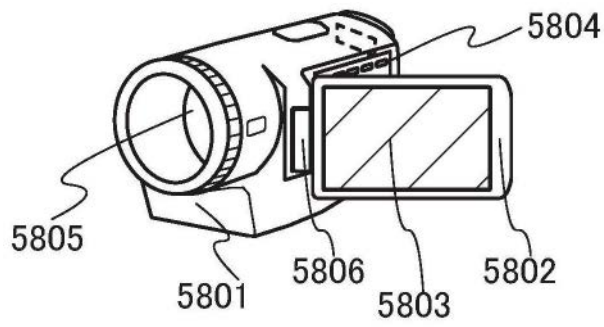


图11C

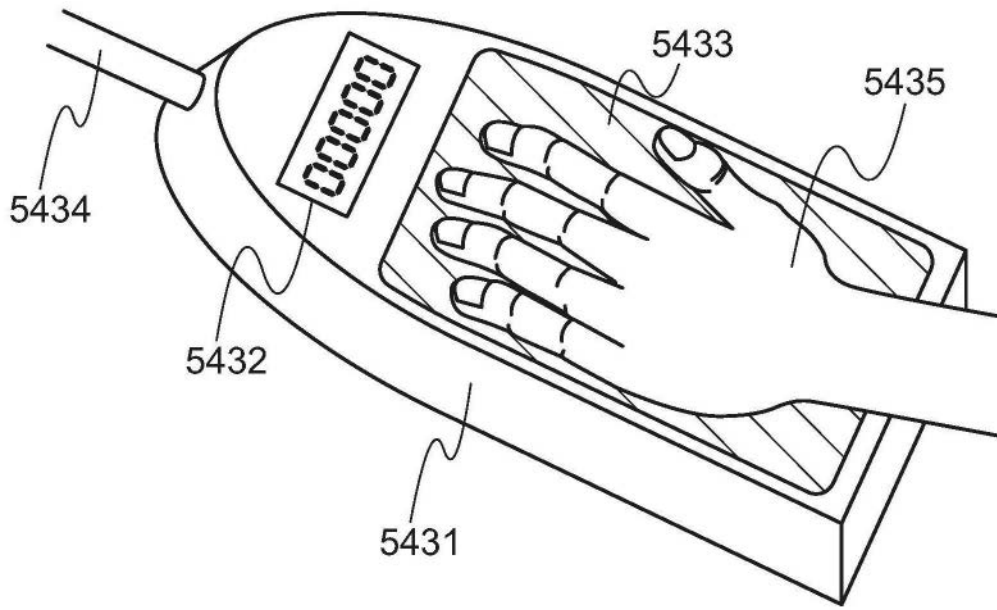


图11D

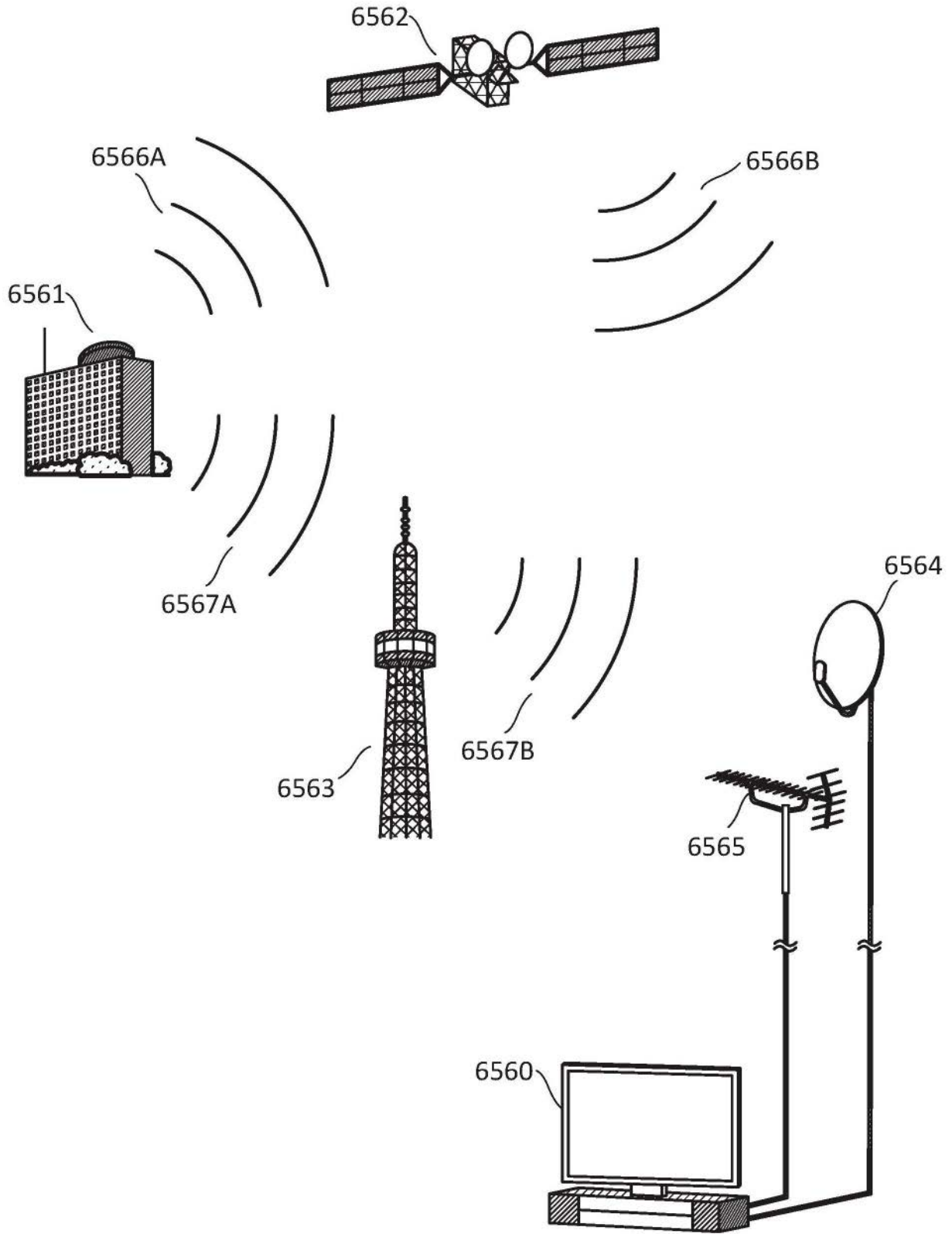


图12

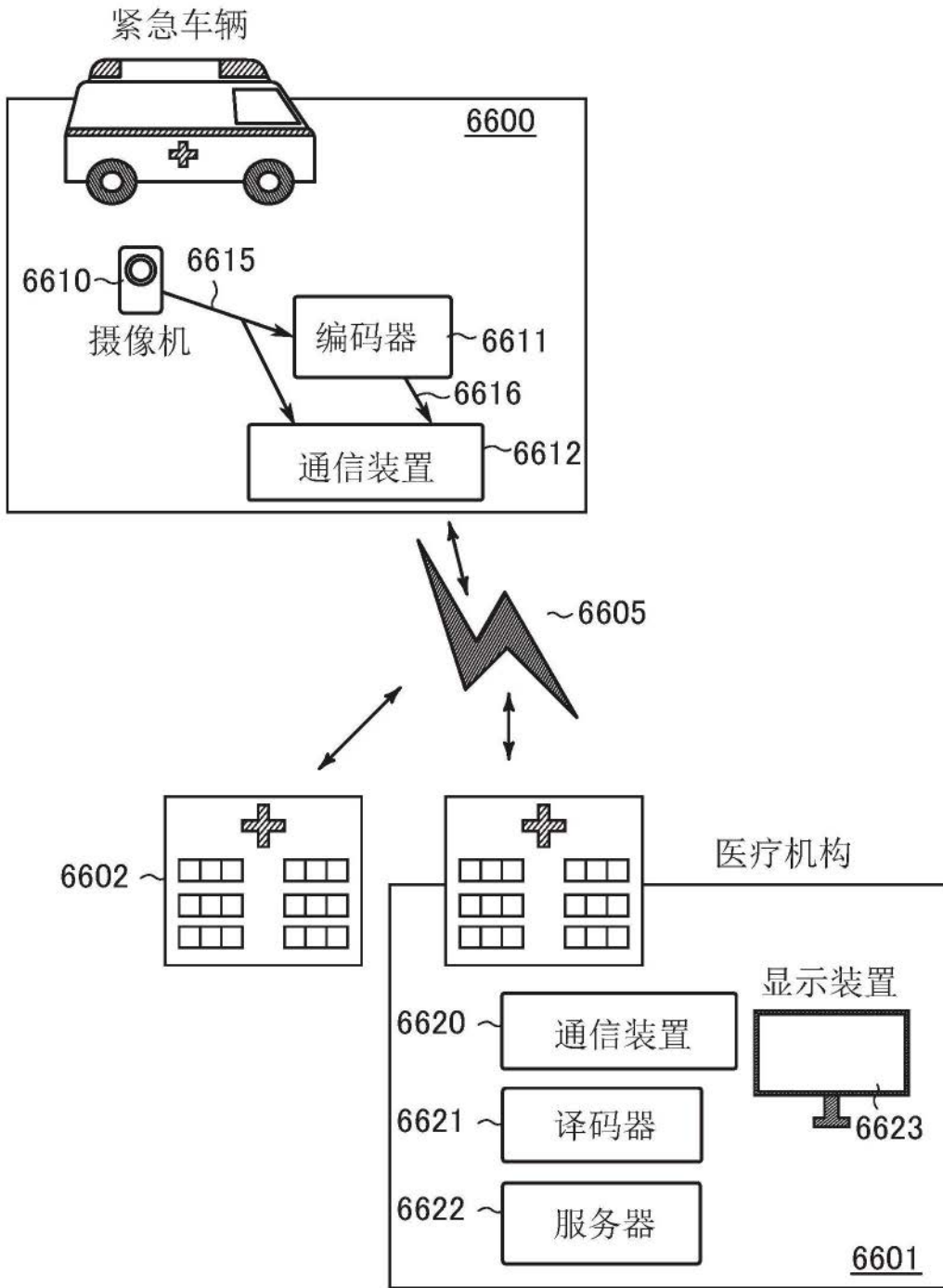


图13

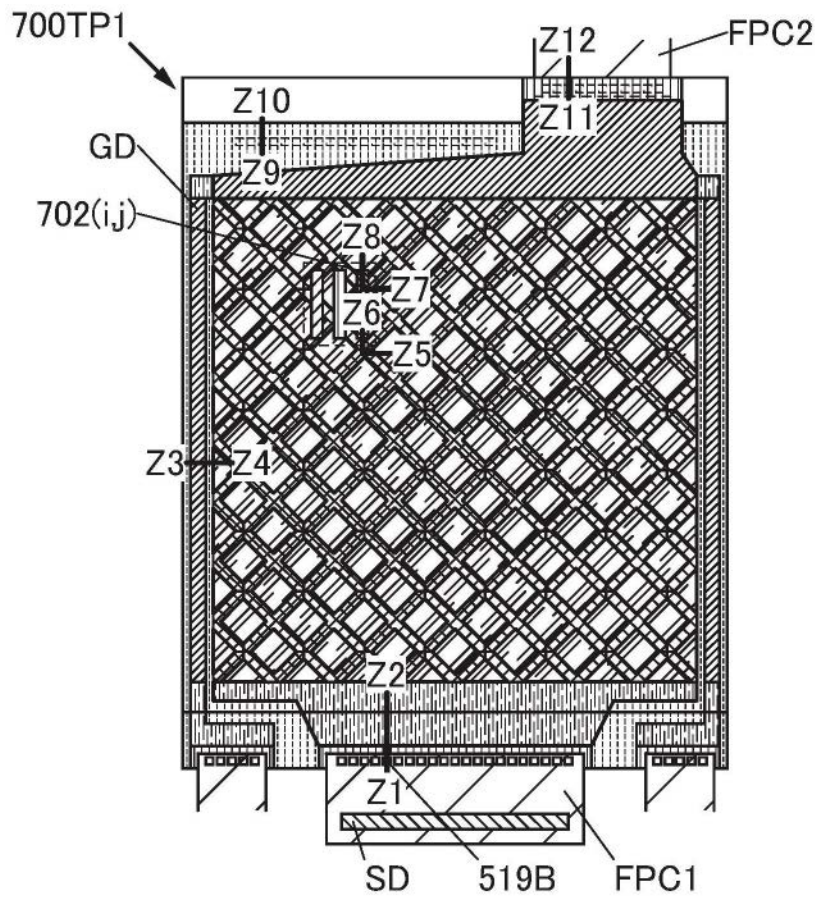


图14A

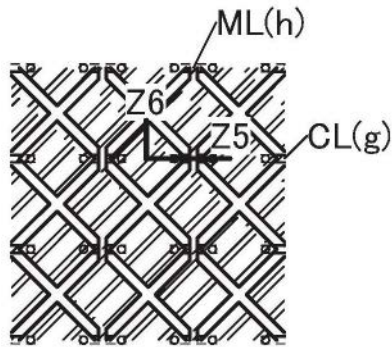


图14B-1

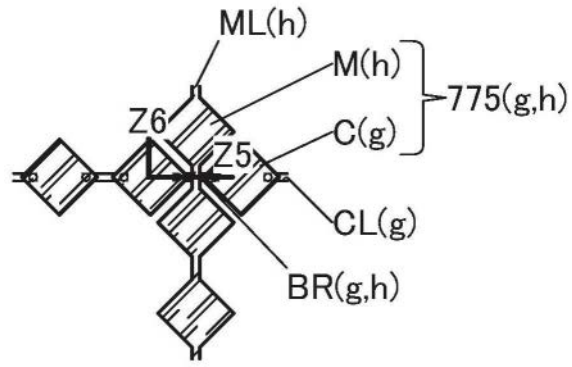


图14B-2

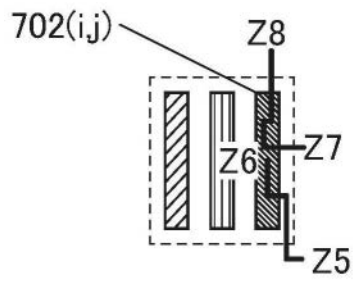


图14C

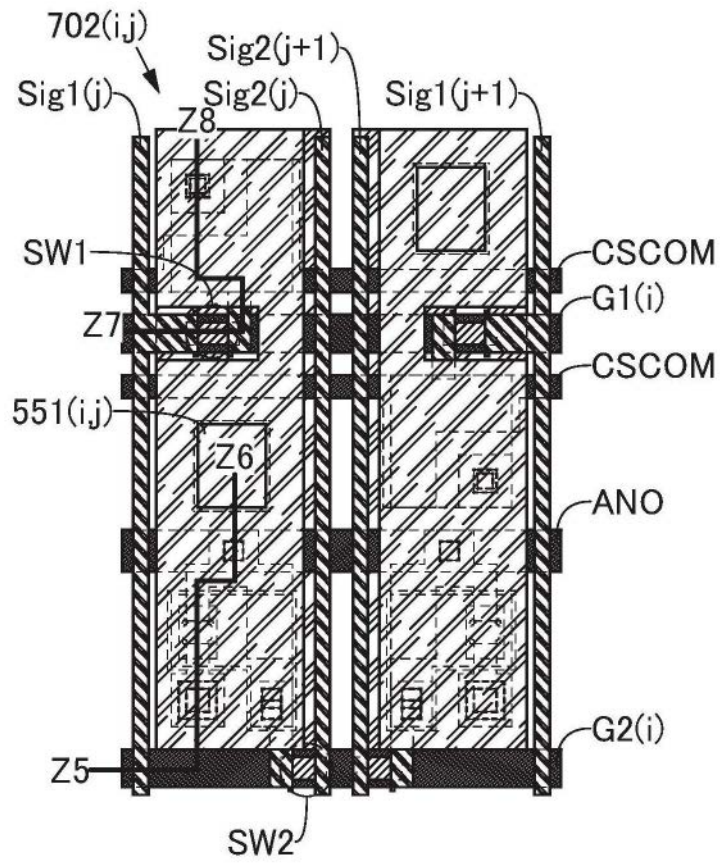


图15A

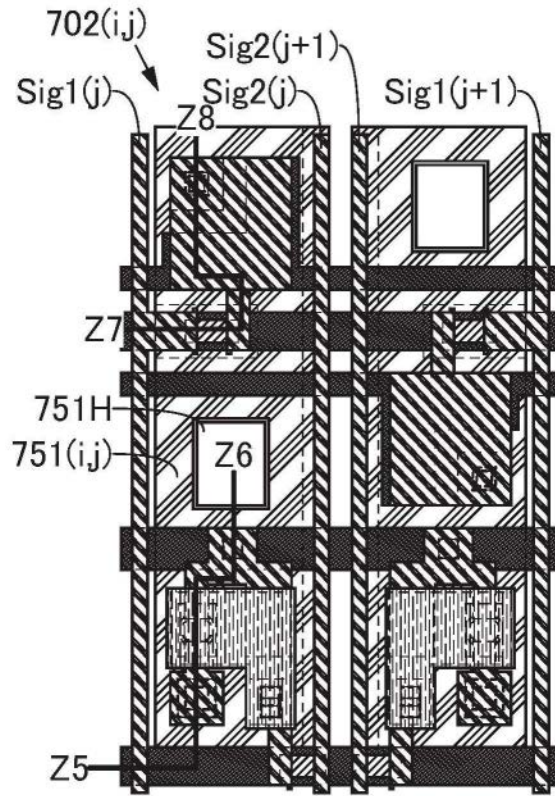


图15B

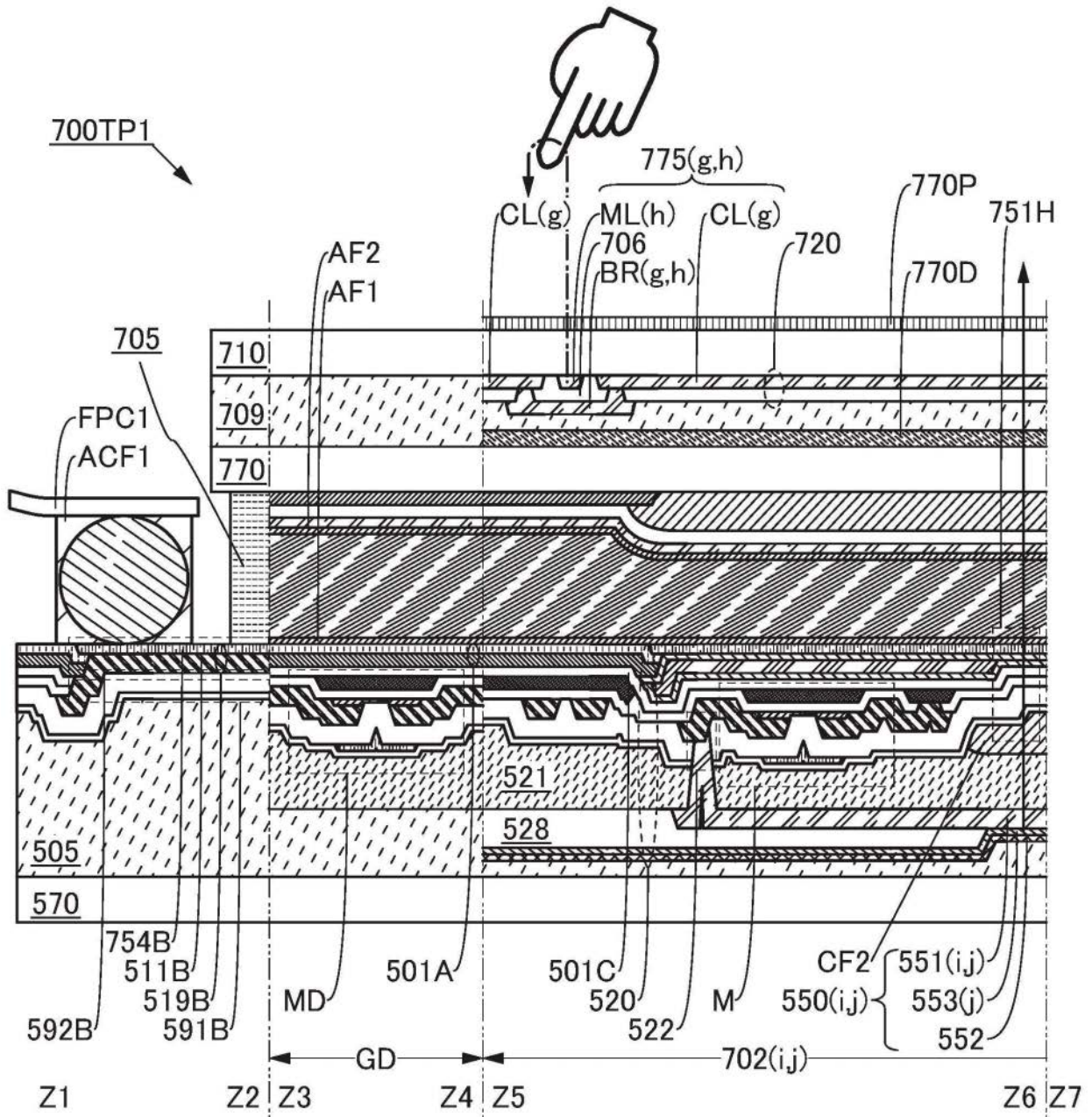


图16A

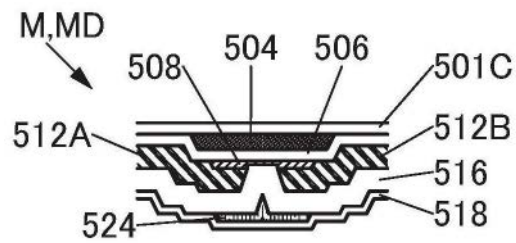


图16B

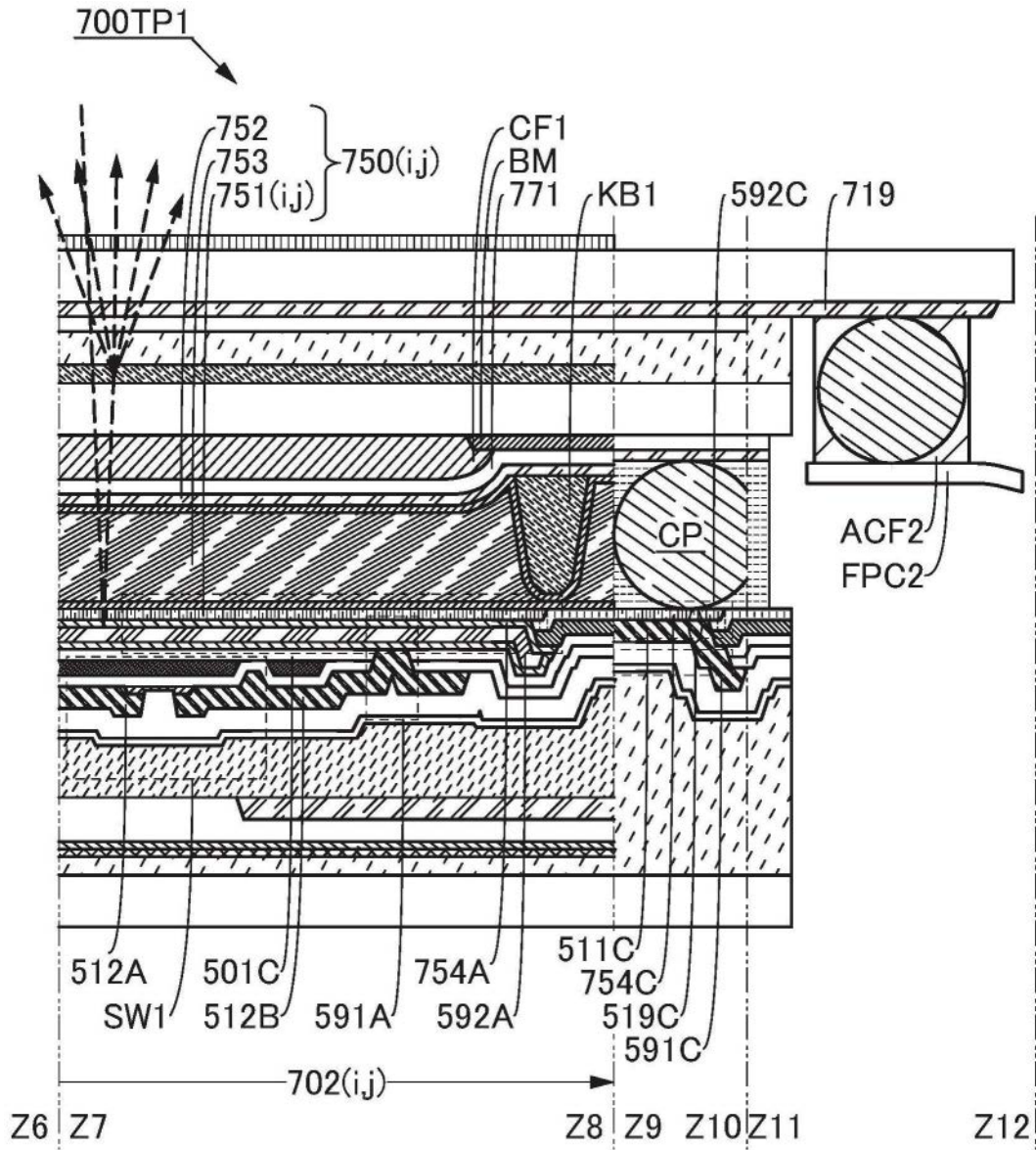


图17A

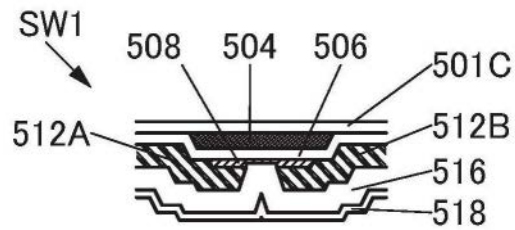


图17B

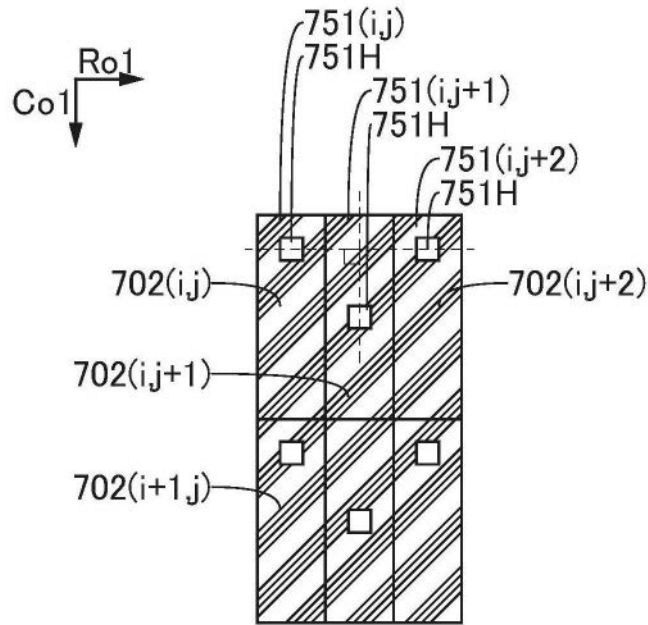


图18A

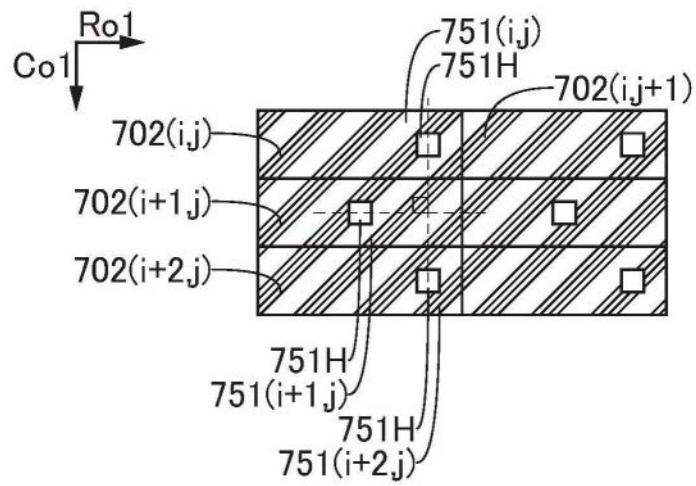


图18B

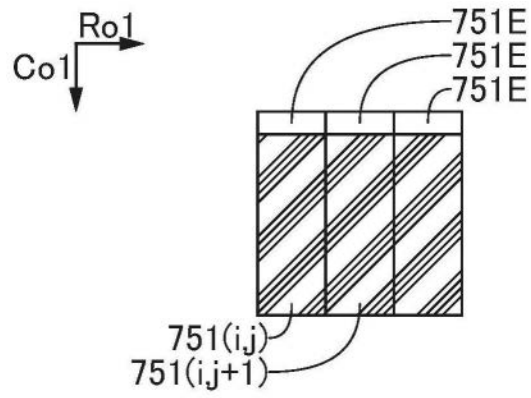


图18C

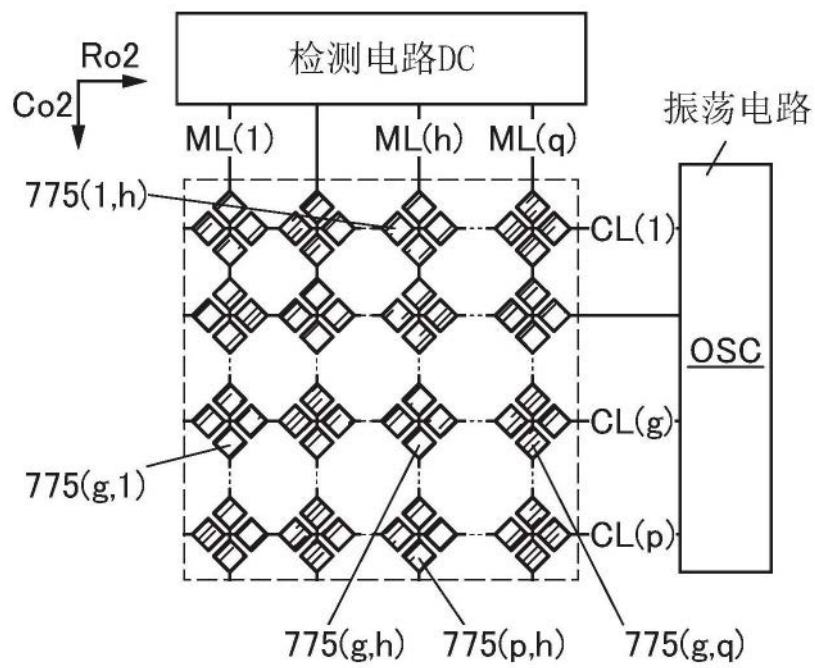


图19

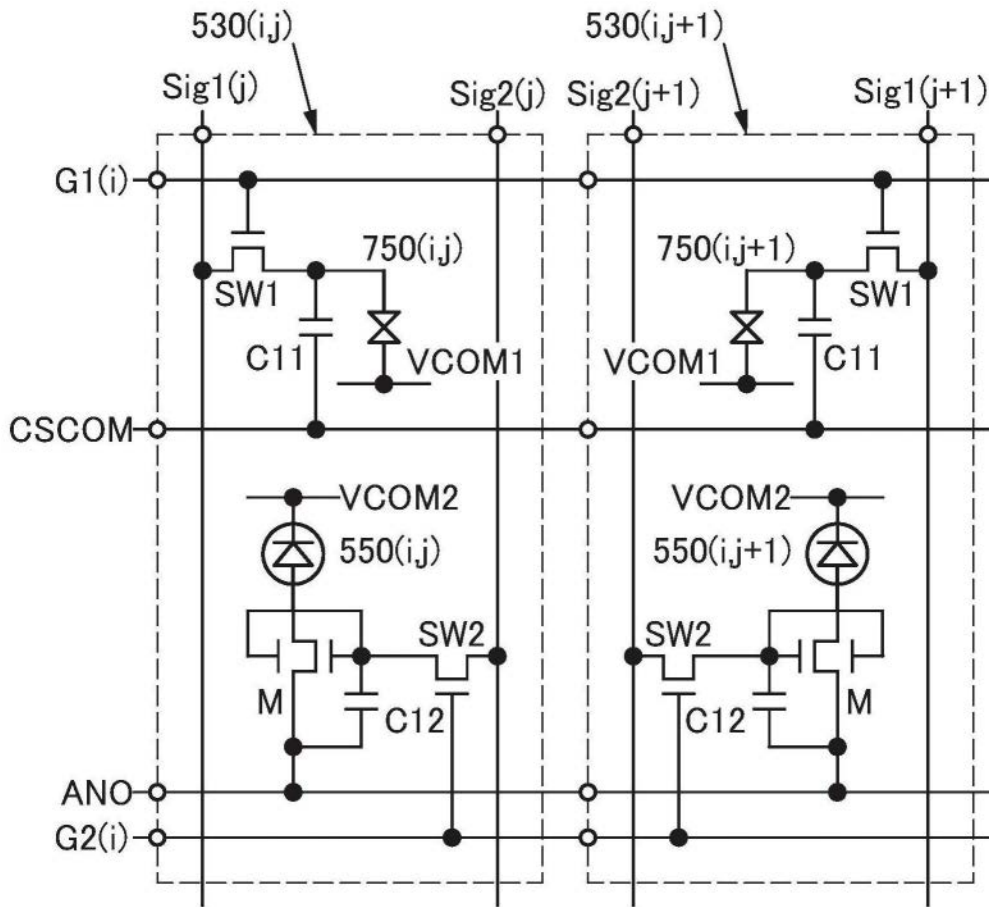


图20

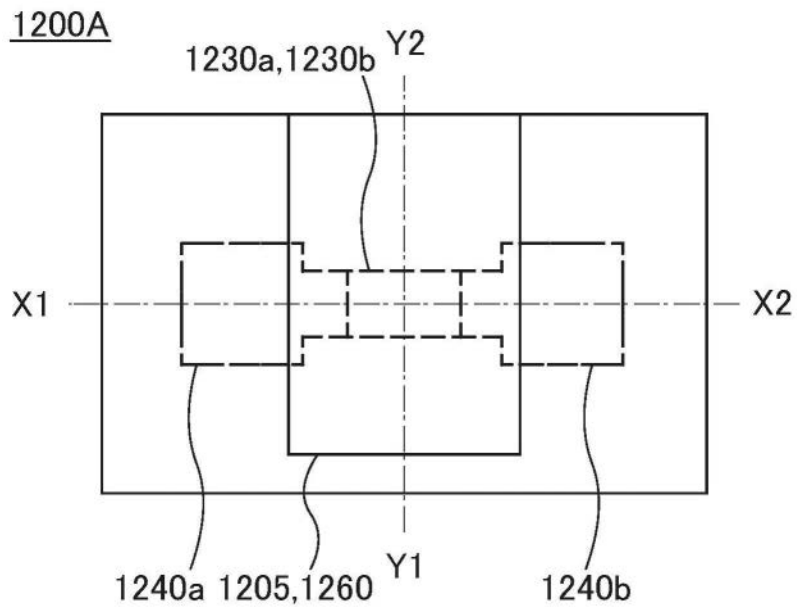


图21A

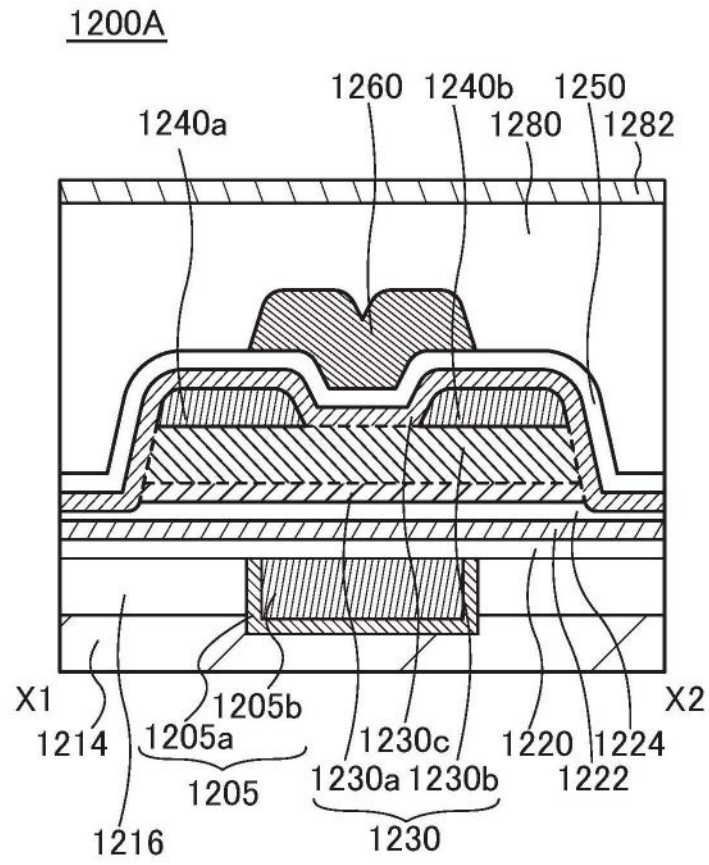


图21B

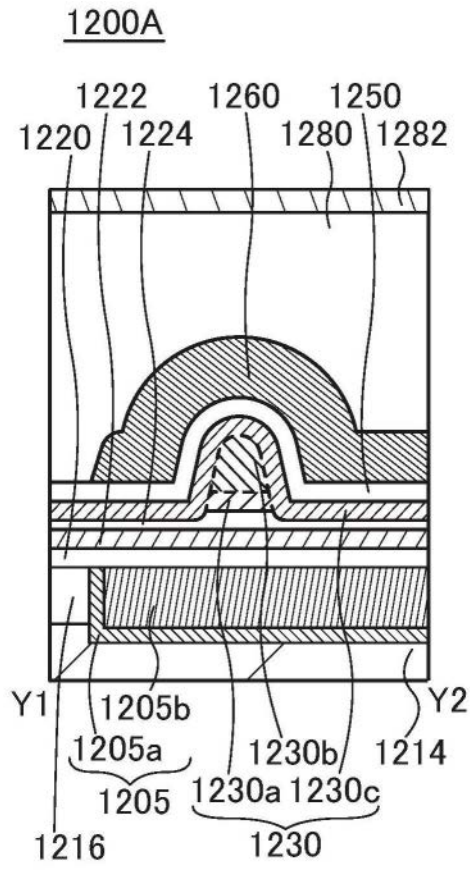


图21C

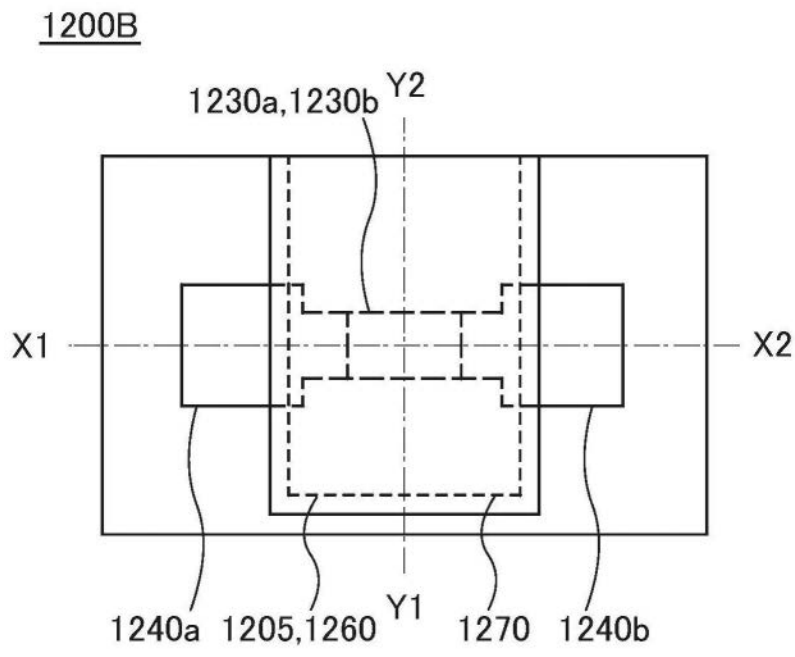


图22A

1200B

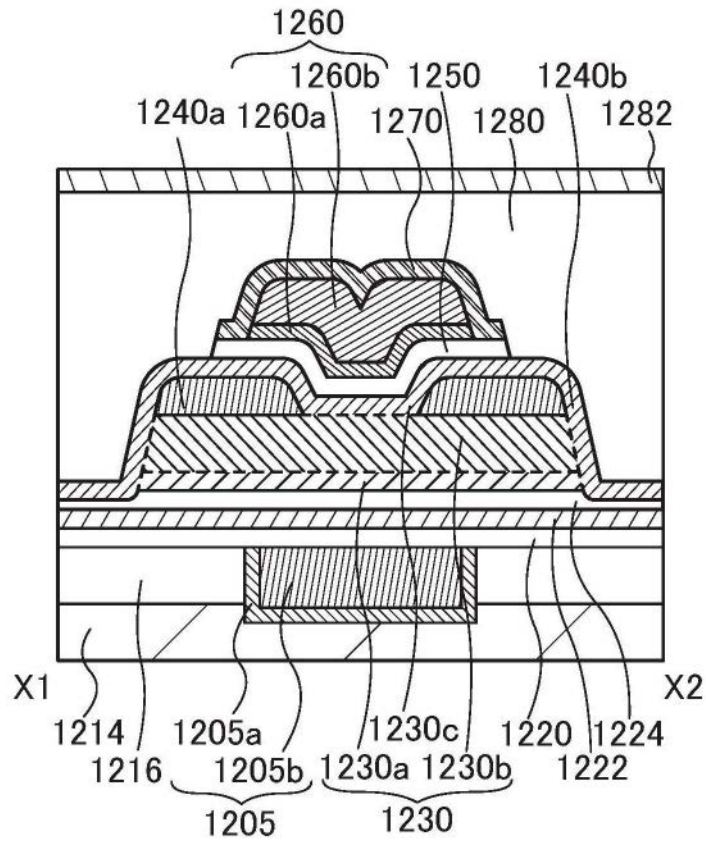


图22B

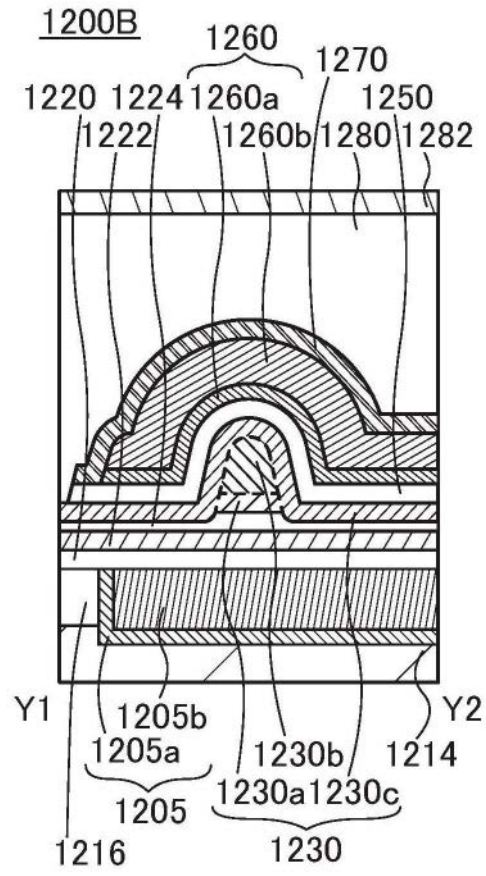


图22C

1200C

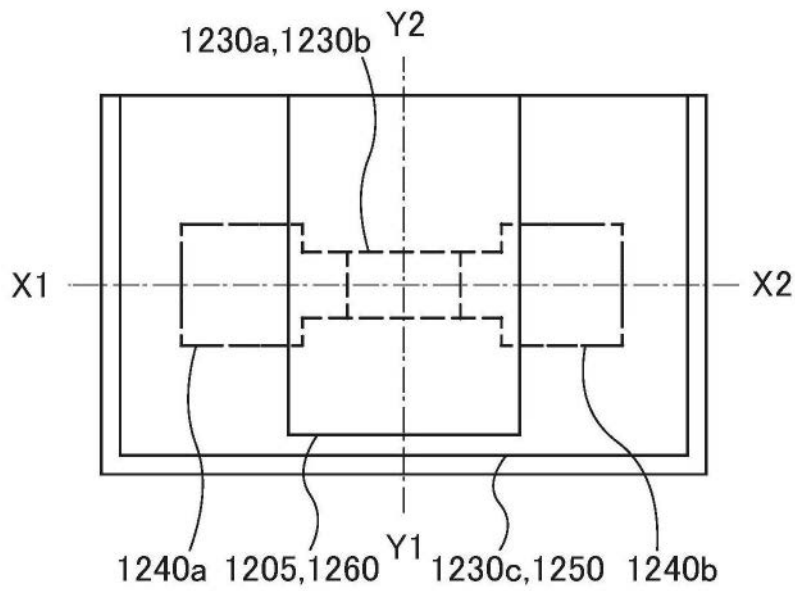


图23A

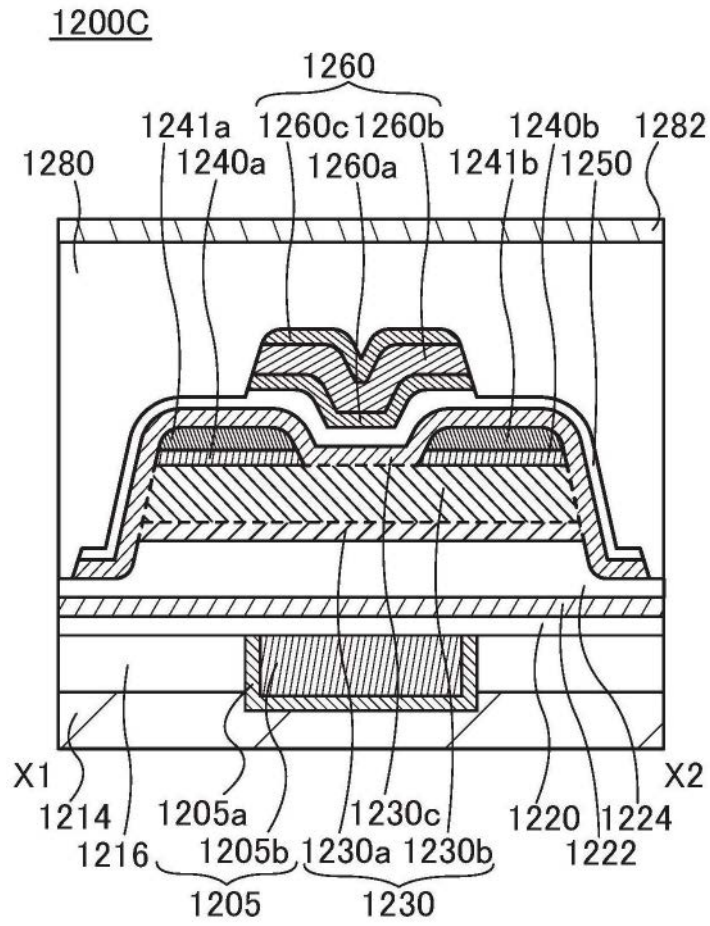


图23B

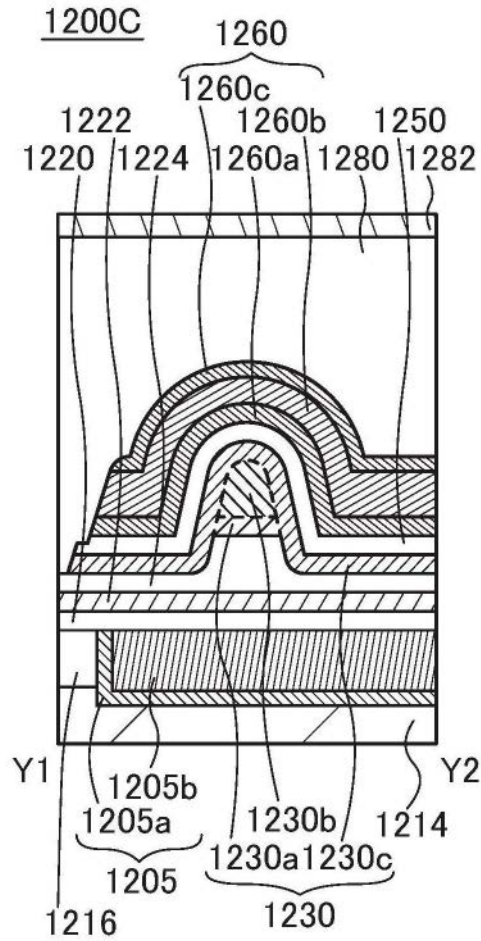


图23C

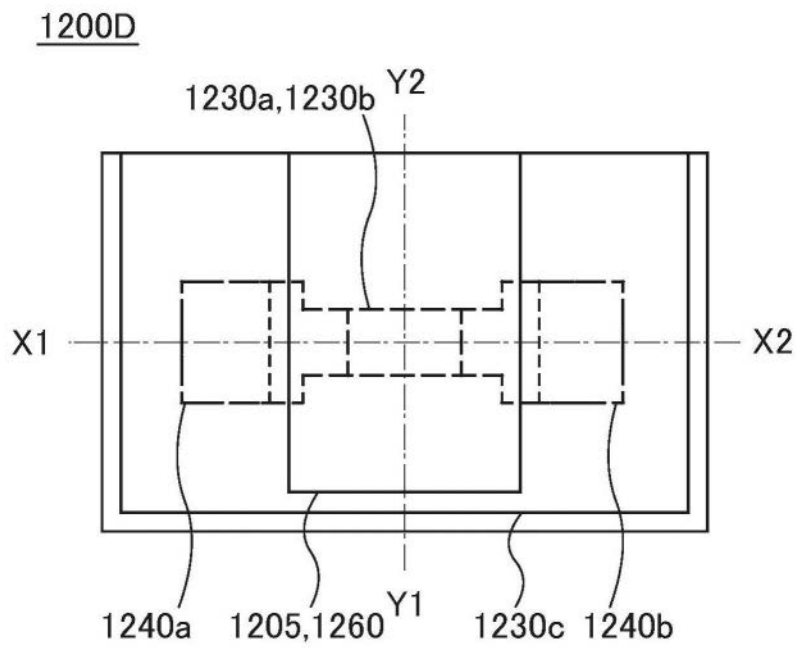


图24A

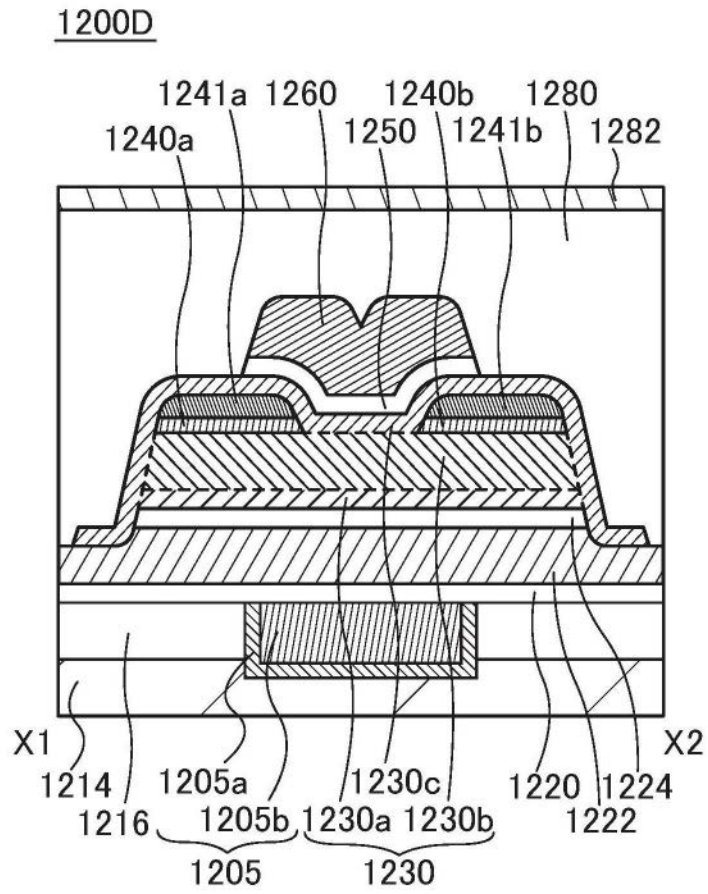


图24B

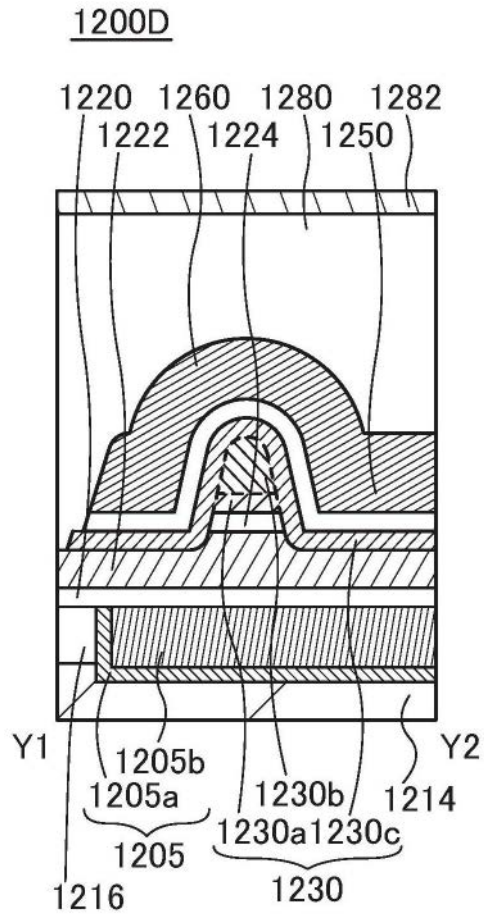


图24C

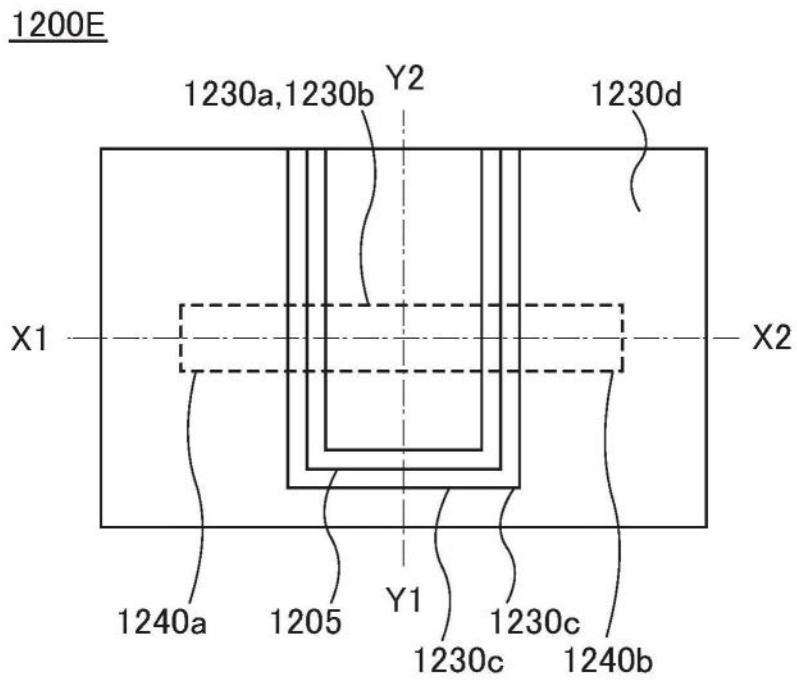


图25A

1200E

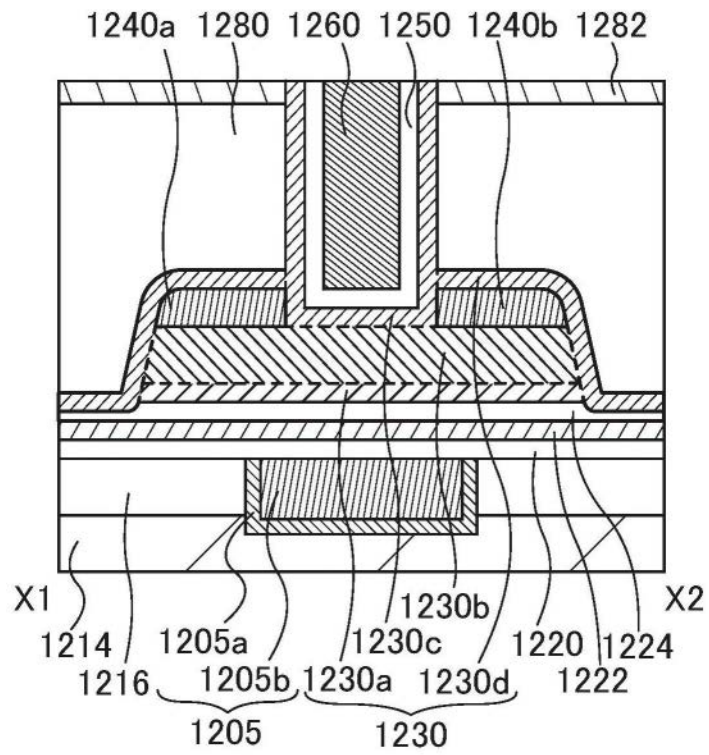


图25B

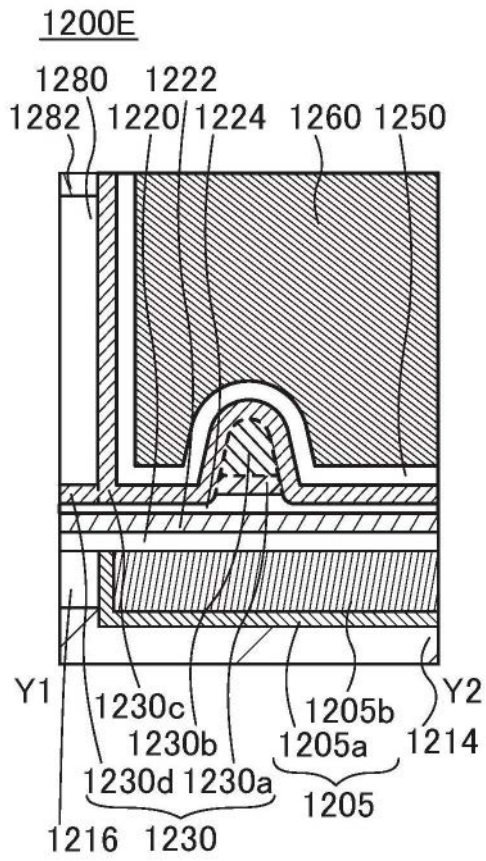


图25C

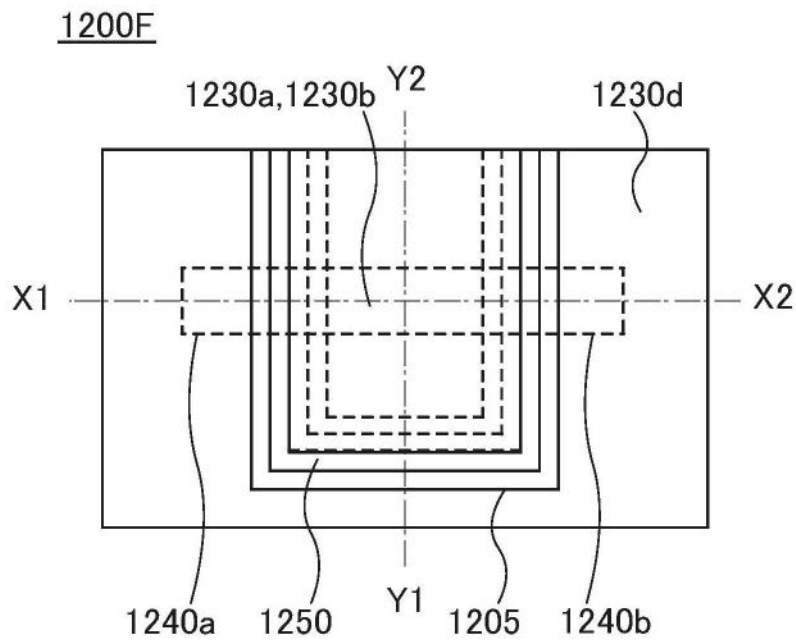


图26A

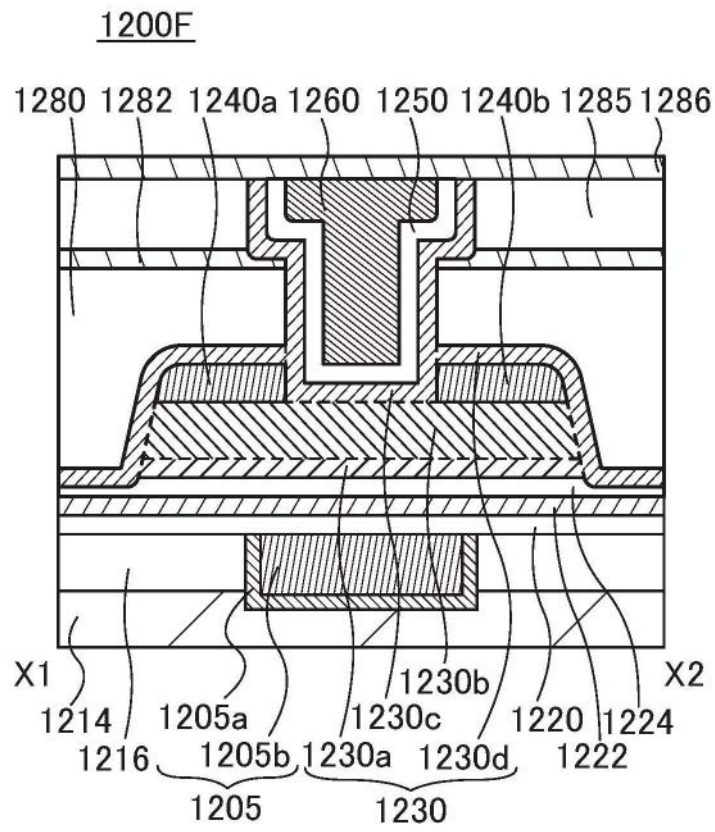


图26B

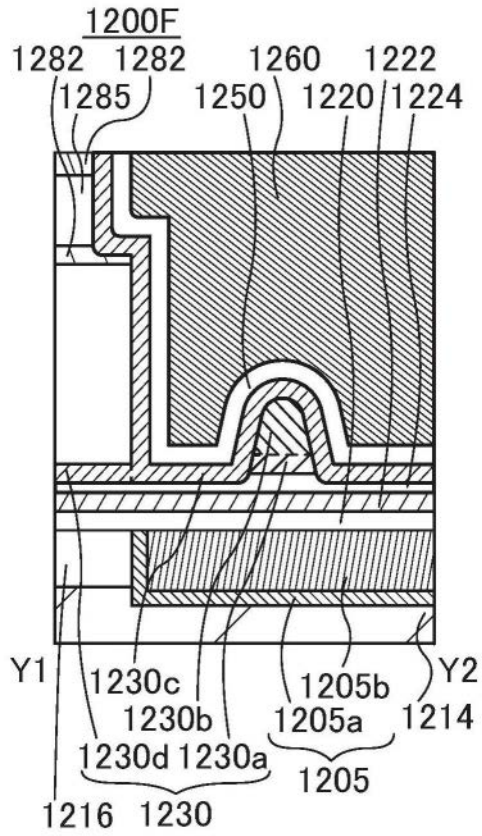


图26C

1200G

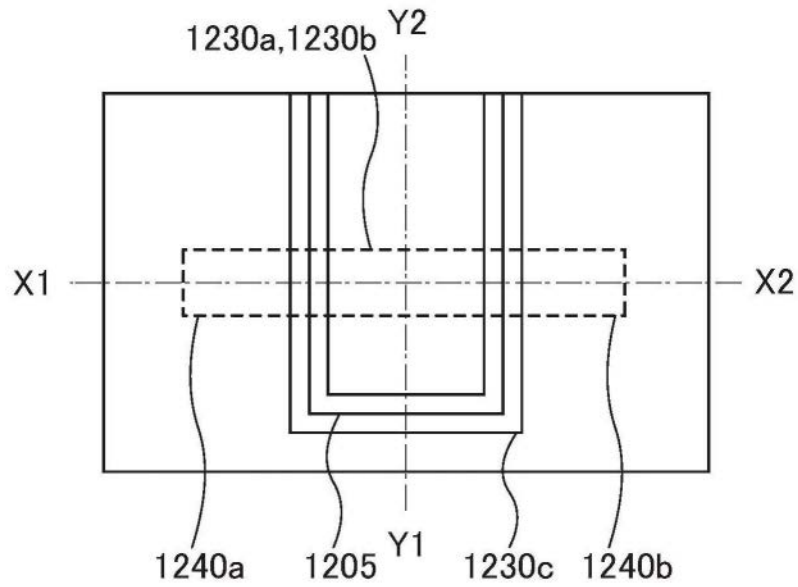


图27A

1200G

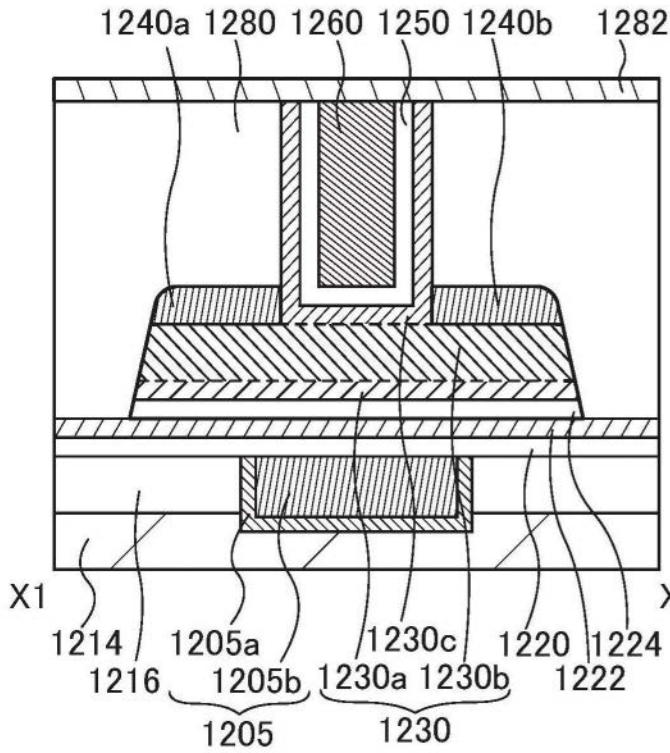


图27B

1200G

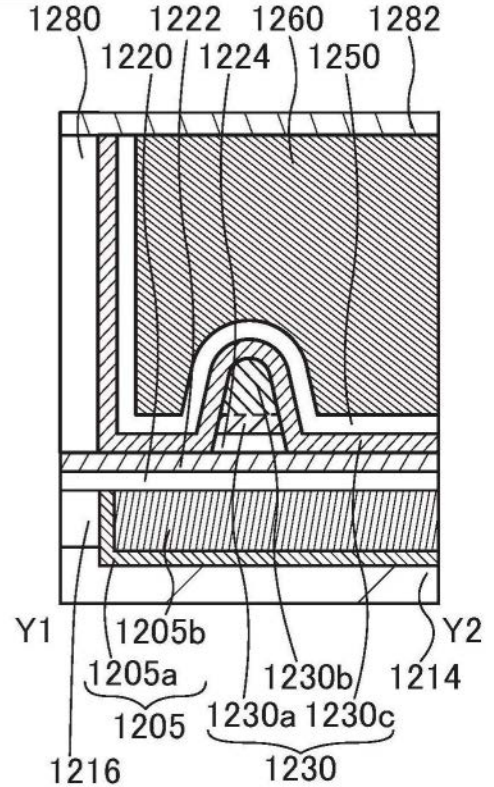


图27C

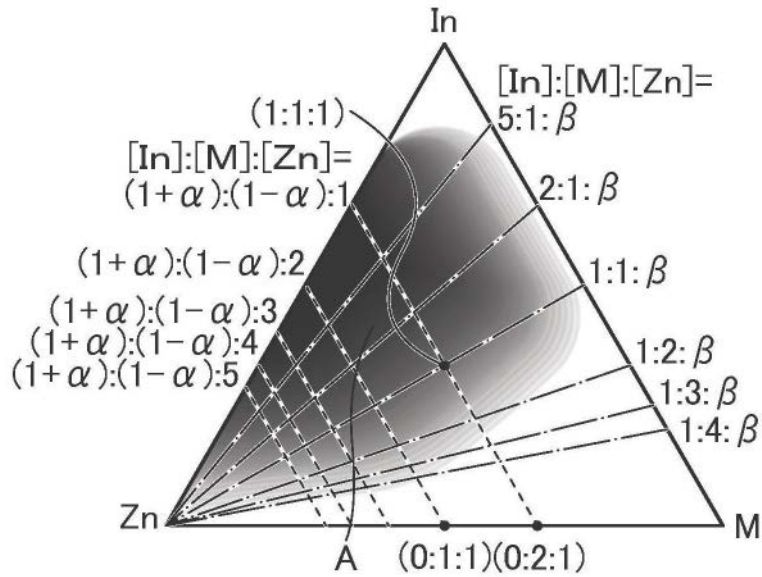


图28A

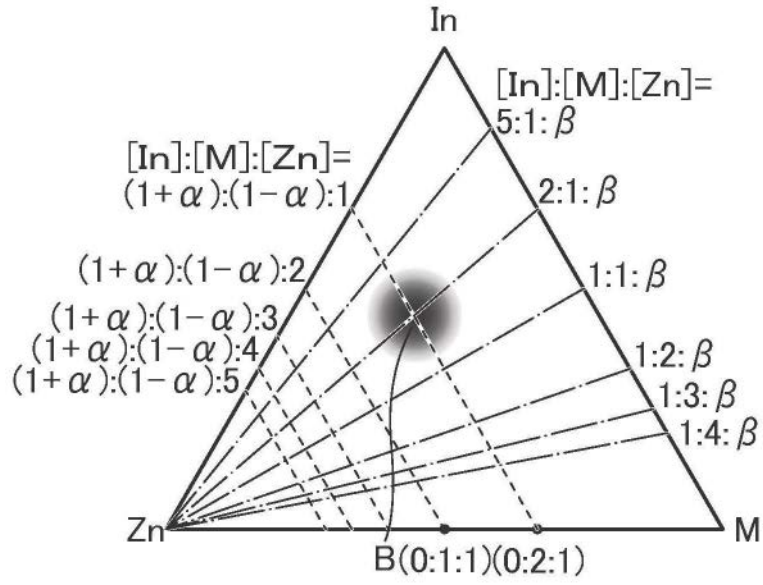


图28B

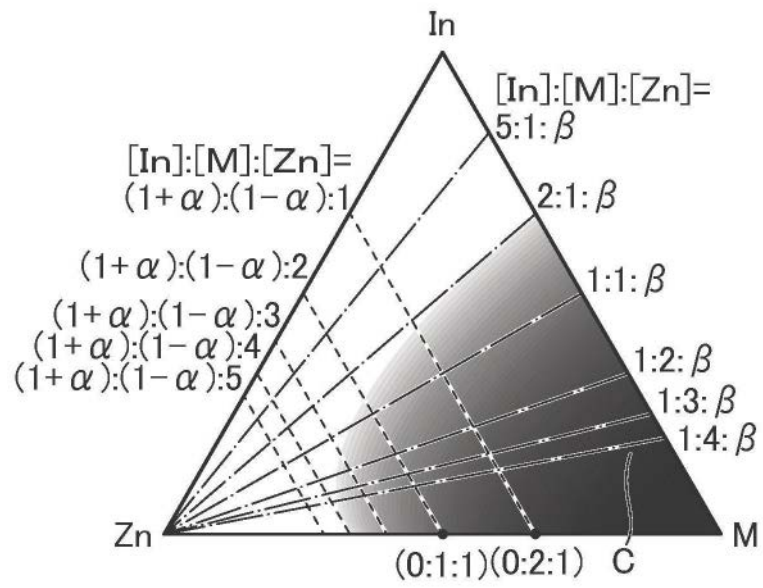


图28C

InMZnO₄的结晶结构

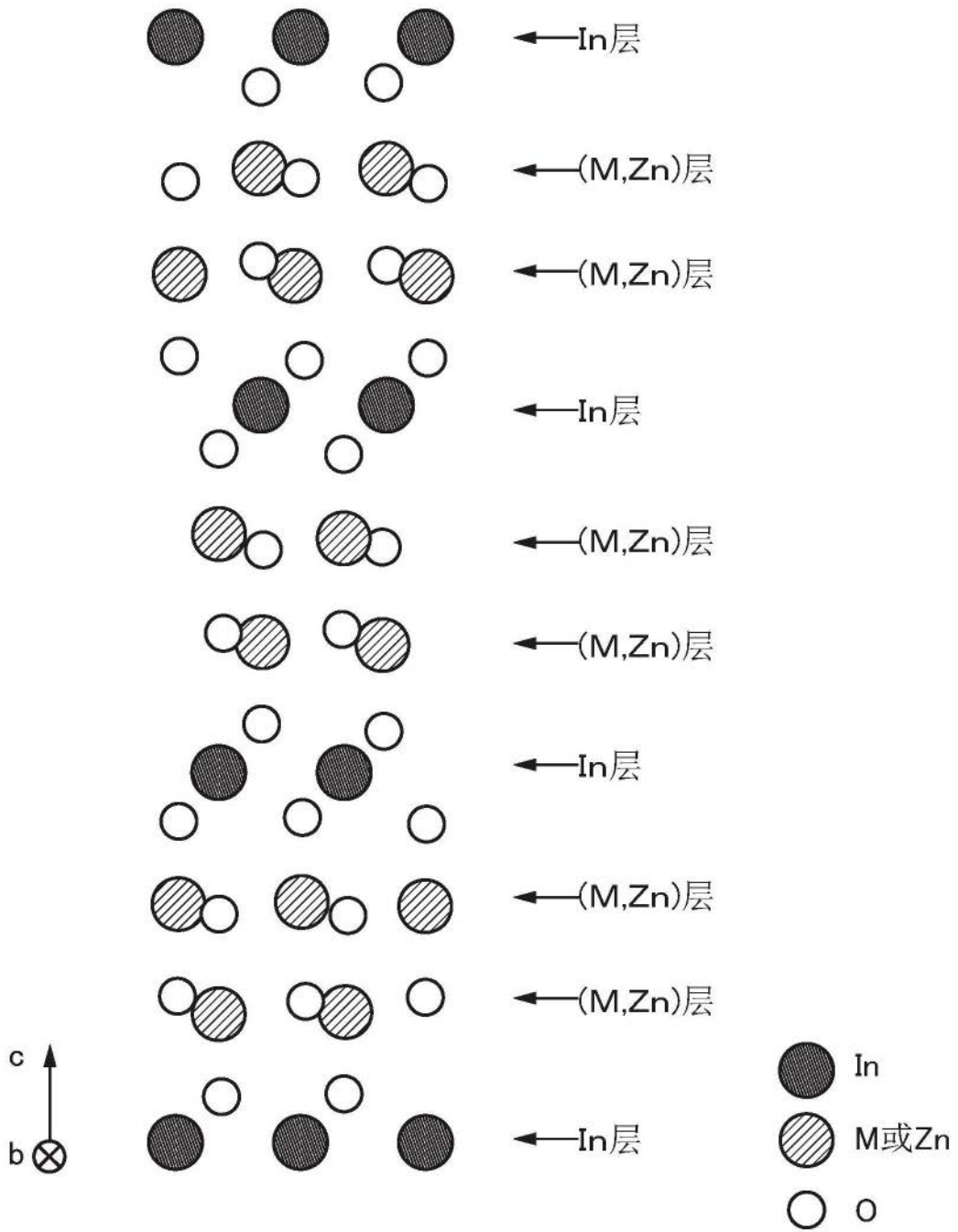


图29

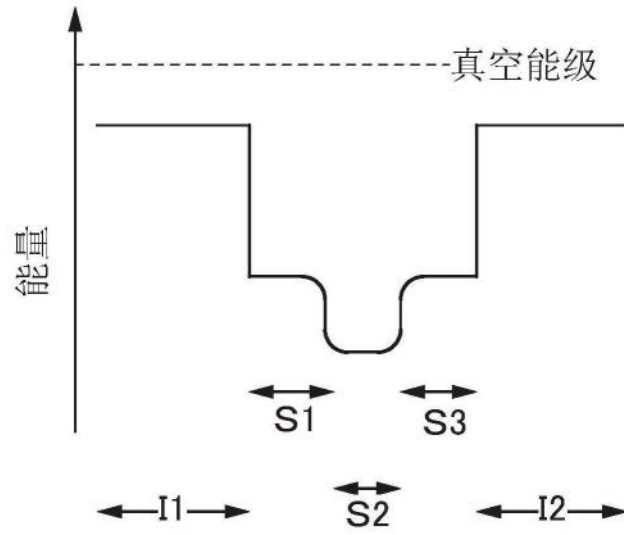


图30A

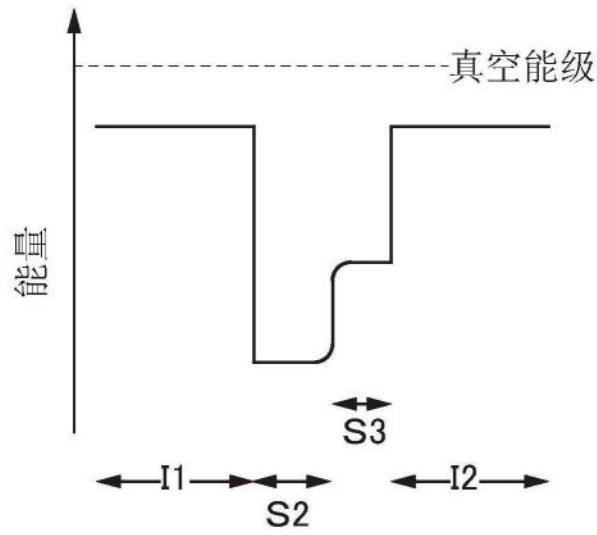


图30B

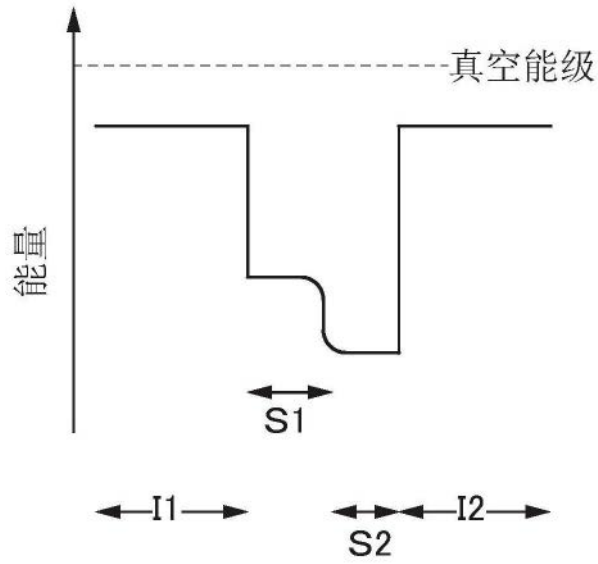


图30C

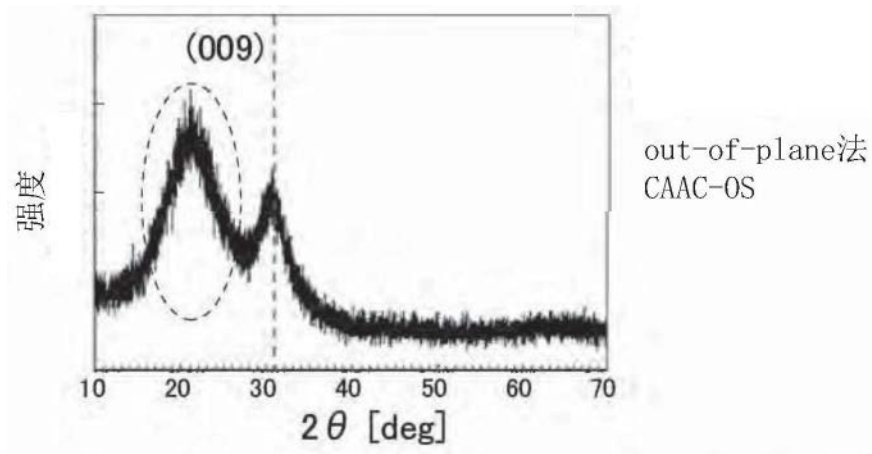


图31A

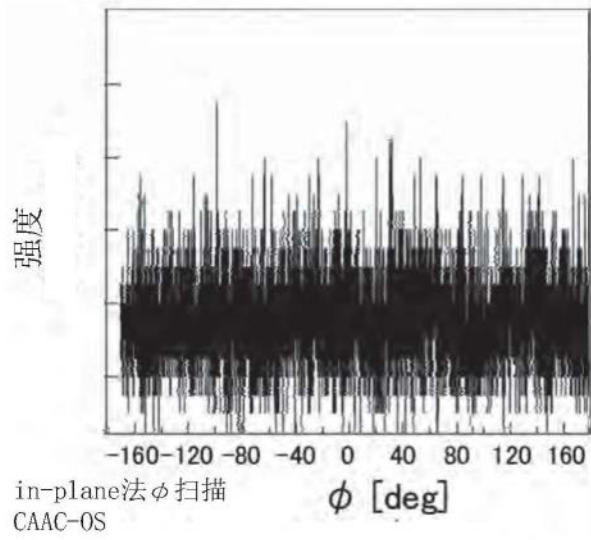


图31B

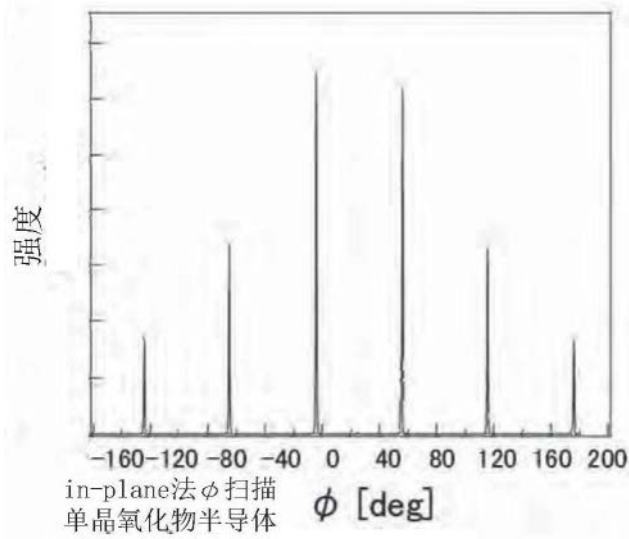


图31C

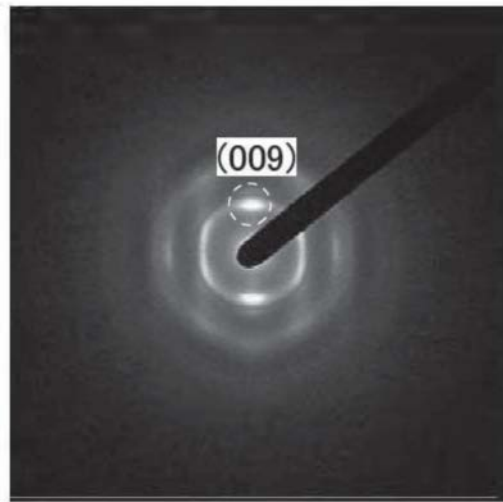


图31D

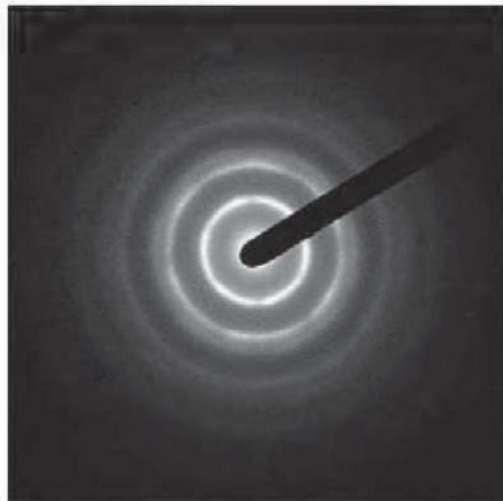


图31E

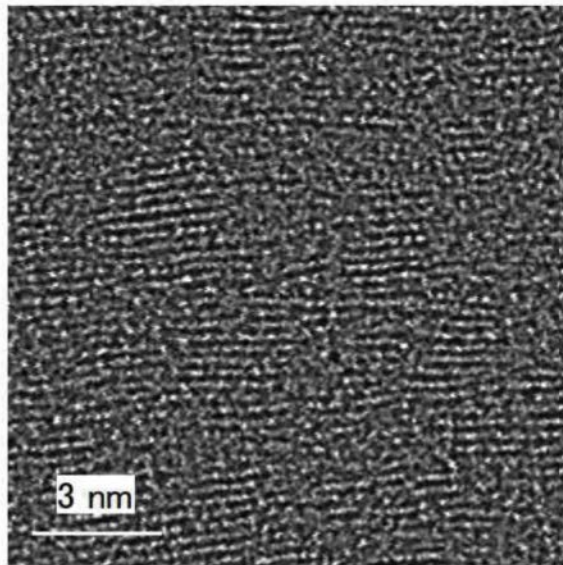


图32A

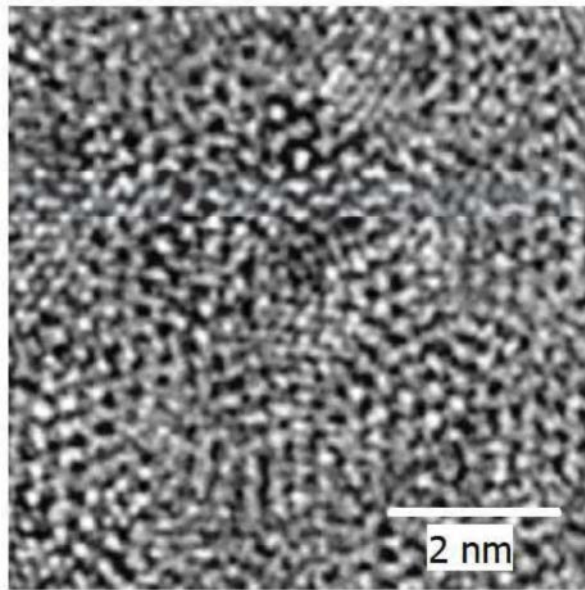


图32B

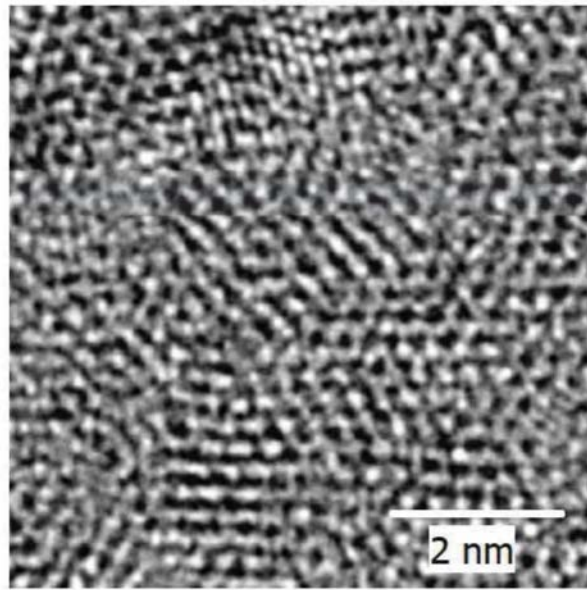


图32C

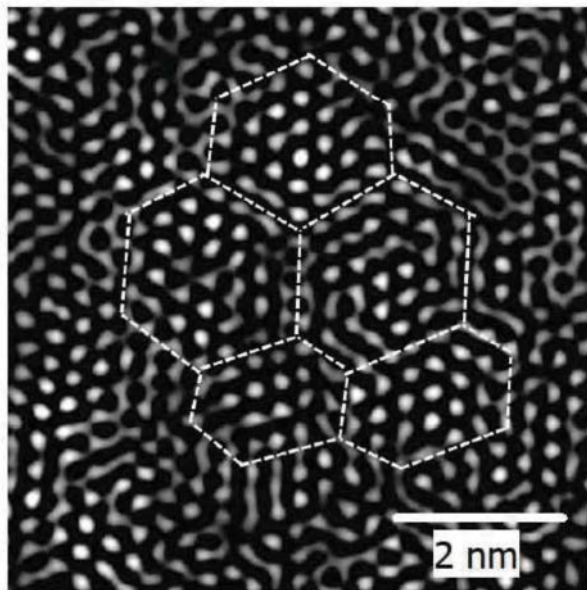


图32D

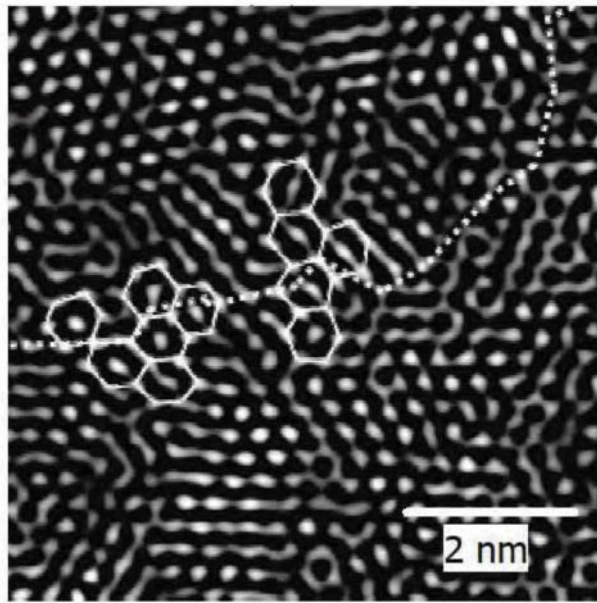


图32E

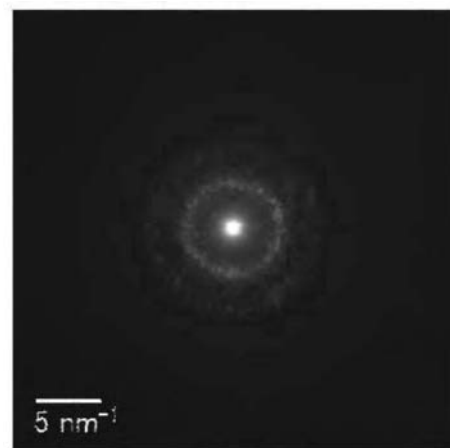


图33A

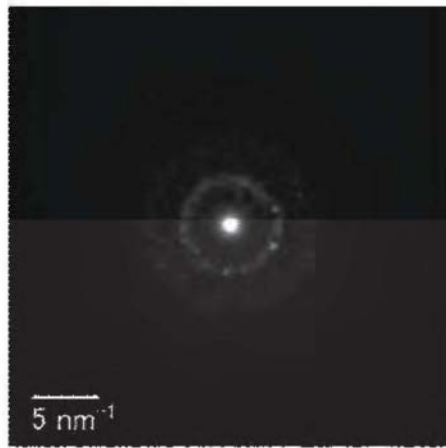


图33B

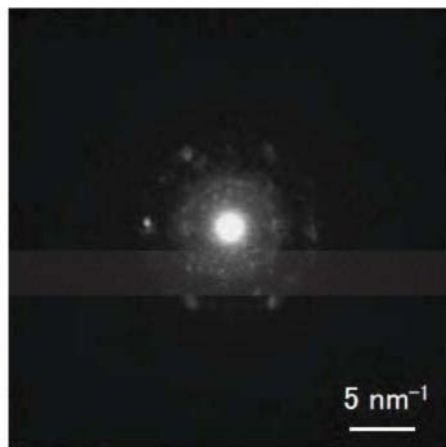


图33C

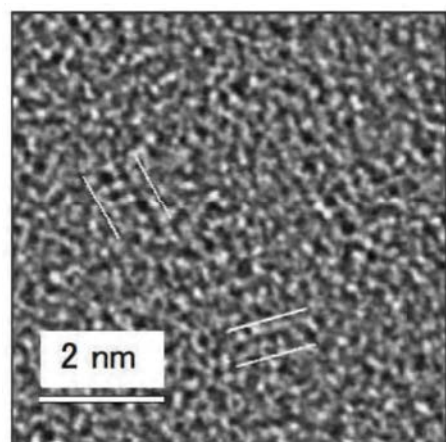


图33D

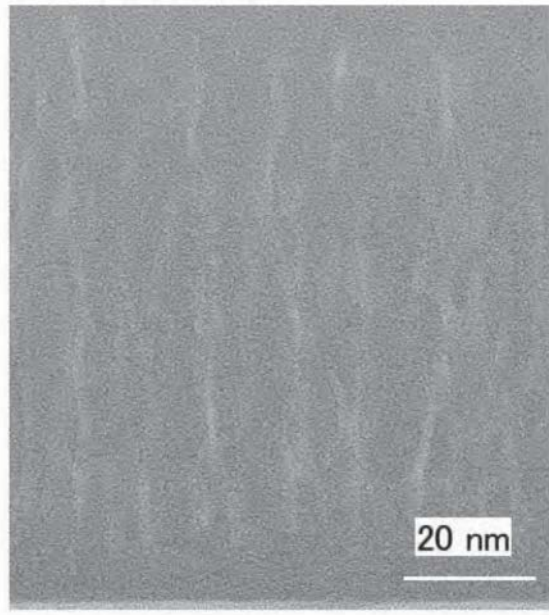


图34A

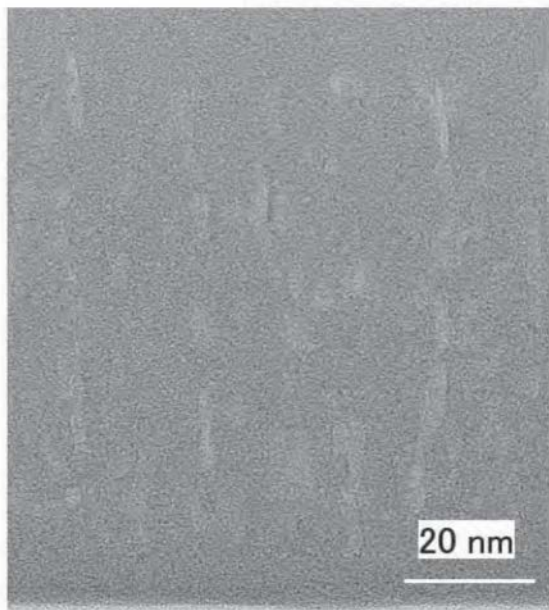


图34B

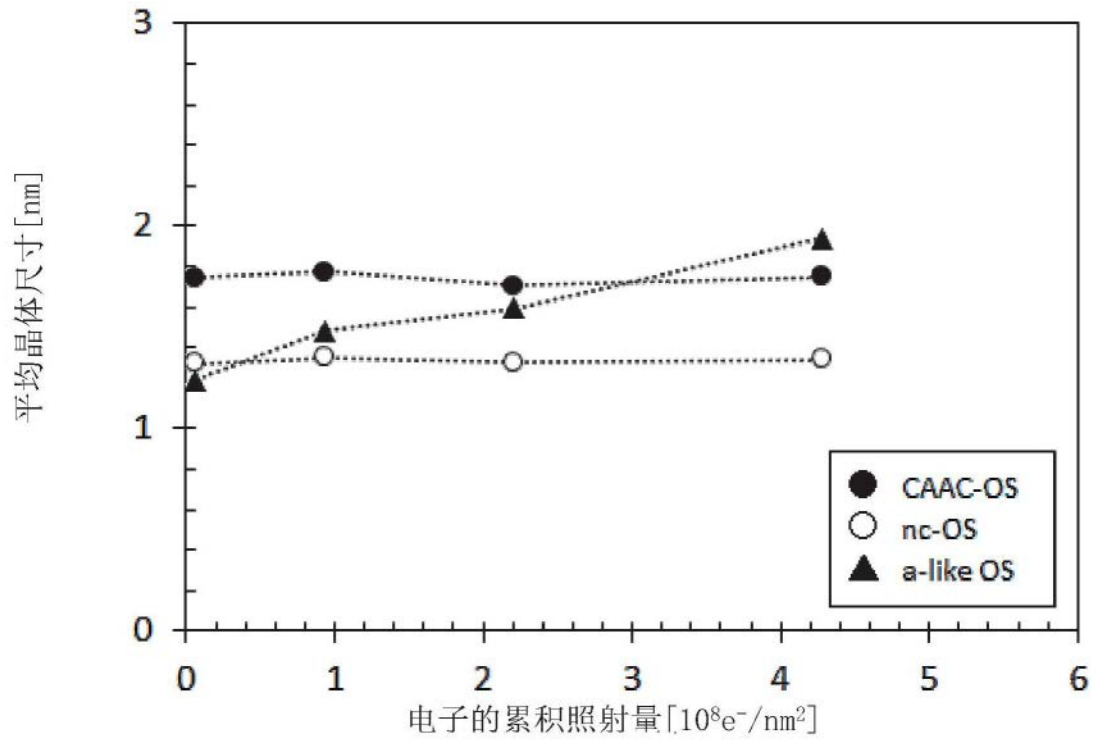


图35