

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/401 (2006.01)

G11C 11/407 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510112863.9

[43] 公开日 2006年12月13日

[11] 公开号 CN 1877736A

[22] 申请日 2005.10.14

[21] 申请号 200510112863.9

[30] 优先权

[32] 2005. 6. 7 [33] JP [31] 2005 - 166782

[71] 申请人 富士通株式会社

地址 日本神奈川县

[72] 发明人 藤冈伸也 江口康之 助野淳

佐藤光德

[74] 专利代理机构 北京东方亿思知识产权代理有限
责任公司
代理人 赵淑萍

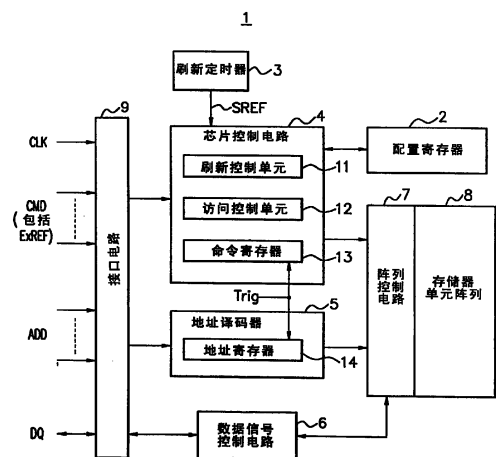
权利要求书 3 页 说明书 21 页 附图 12 页

[54] 发明名称

半导体存储器器件和信息处理系统

[57] 摘要

本发明公开了一种半导体存储器器件和信息处理系统。通过刷新控制单元，在存储器单元阵列处用于保持存储在存储器单元中的数据的数据的刷新操作被使得能够被切换为是基于从外部输入的外部刷新请求还是内部生成的内部刷新请求而被执行，因此，当基于外部刷新请求执行刷新操作时，可以仅以执行根据访问请求的操作所需的时间，而不包括执行刷新操作所需的时间，来执行对于存储器单元阵列的根据来自外部的访问请求的访问操作。



1. 一种半导体存储器器件，包括：

存储器单元阵列，其中布置了存储数据的多个存储器单元；

刷新控制单元，所述刷新控制单元能够切换用于保持在所述存储器单元中存储的数据的刷新操作是基于从外部输入的外部刷新请求，还是基于内部生成的内部刷新请求而被执行，并且指示根据刷新请求的刷新操作的执行；和

阵列控制单元，所述阵列控制单元基于来自所述刷新控制单元的指示，执行在所述存储器单元阵列处的刷新操作；并且

其中，所述刷新控制单元具有刷新请求选择器，所述刷新请求选择器根据所述半导体存储器器件的工作状态，选择外部刷新请求或者内部刷新请求，并且

其中，所述刷新请求选择器从输入外部刷新请求到输入允许自刷新操作的自刷新允许请求期间，选择外部刷新请求，并且在其他时段，选择内部刷新请求。

2. 根据权利要求 1 所述的半导体存储器器件，

其中，当外部刷新请求和内部刷新请求竞争时，所述刷新控制单元基于在前的刷新请求指示刷新操作的执行，并且在后刷新请求将被忽略。

3. 根据权利要求 1 所述的半导体存储器器件，还包括：

内部刷新请求单元，所述内部刷新请求单元具有定时器功能，并且每次当经过预定时段时，产生并输出内部刷新请求。

4. 根据权利要求 1 所述的半导体存储器器件，还包括：

等待时间控制单元，所述等待时间控制单元依赖于刷新操作是基于外部刷新请求还是内部刷新请求而被执行，控制与对所述存储器单元阵列的来自外部的访问请求有关的等待时间。

5. 根据权利要求 4 所述的半导体存储器器件，

其中，所述等待时间控制单元具有测量处理来自外部的访问请求所需时间的第一计数器和测量处理刷新操作所需时间的第二计数器，并且根据

执行刷新操作所依据的刷新请求，切换除了所述第一计数器之外，是否使用所述第二计数器。

6. 根据权利要求 1 所述的半导体存储器器件，

其中，节电模式可以被设置为一种操作模式，在所述节电模式中，仅对预先设置的所述存储器单元阵列的局部区域中的存储器单元执行刷新操作。

7. 根据权利要求 6 所述的半导体存储器器件，

其中，当工作状态从所述节电模式转移到正常操作模式时，所述刷新控制单元基于内部刷新请求指示刷新操作的执行，而不管在转变到所述节电模式之前的工作状态如何。

8. 根据权利要求 6 所述的半导体存储器器件，

其中，当工作状态从所述节电模式转移到正常操作模式时，所述刷新控制单元基于与在转变到所述节电模式之前的工作状态中选择的刷新请求相同的刷新请求，指示刷新操作的执行。

9. 根据权利要求 1 所述的半导体存储器器件，

其中，所述外部刷新请求通过将新提供的信号与现有命令信号相组合而被发出。

10. 根据权利要求 1 所述的半导体存储器器件，

其中，异步操作模式和同步操作模式可以被设置和切换为所述工作状态，在所述异步操作模式中，对所述存储器单元阵列的来自外部的访问操作与被输入的时钟信号异步地执行，在所述同步操作模式中，访问操作与时钟信号同步地执行，并且

其中，所述刷新控制单元仅在所述同步操作模式中，能够切换刷新操作是基于外部刷新请求还是内部刷新请求而被执行。

11. 根据权利要求 10 所述的半导体存储器器件，

其中，工作状态能够任意从所述同步操作模式切换到所述异步操作模式，并且所述刷新操作基于所述异步操作模式中的外部刷新请求而被执行。

12. 根据权利要求 10 所述的半导体存储器器件，

其中，所述刷新控制单元在所述异步操作模式中也能够切换刷新操作是基于外部刷新请求还是内部刷新请求而被执行。

13. 一种信息处理系统，包括：

根据权利要求 6 所述的半导体存储器器件；

控制器件，所述控制器件控制和管理所述半导体存储器器件的工作状态，并且能够向所述半导体存储器器件输出外部刷新请求。

14. 根据权利要求 13 所述的信息处理系统，

其中，所述半导体存储器器件的工作状态是根据所述信息处理系统的工作状态而被控制的。

半导体存储器器件和信息处理系统

技术领域

本发明涉及半导体存储器器件和信息处理系统，尤其适合于用于伪 SRAM（静态随机存取存储器）。

背景技术

作为半导体存储器器件中的一种的伪 SRAM 是这样的存储器，其中用于存储数据的存储器单元由与 DRAM（静态随机存取存储器）类似的单元组成，并且其外部接口与 SRAM 兼容。伪 SRAM 具有与 SRAM 相比位成本低、容量大的 DRAM 的特点，以及与 SRAM 等同的适用性，并且可以实现大容量和容易的系统设计。例如，低功率（低功耗）伪 SRAM 被用作例如蜂窝电话或者 PDA（个人数字助理）的存储器（RAM）。

图 11 是示出了传统伪 SRAM 111 的配置的框图。伪 SRAM 111 具有存储器单元阵列 112、阵列控制电路 113、刷新控制电路 114、芯片控制电路 115、地址译码器 116、数据信号控制电路 117 和接口电路 118。

存储器单元阵列 112 由在行方向和列方向以阵列形式布置的多个存储器单元组成。如上所述，各存储器单元是 1T-1C 型（一个晶体管一个电容器型）的存储器单元，类似于 DRAM。阵列控制电路 113 执行存储器单元阵列 112 中的存储器单元的数据读操作、数据写操作和刷新操作。

刷新控制电路 114 根据其内部所包含的定时器的值，输出为保持存储器单元中所存储的数据所需的刷新操作请求。

芯片控制电路 115 译码经由接口电路 118 提供的来自外部的命令信号 CMD（外部命令），并基于来自刷新控制电路 114 的刷新请求，将译码后的结果和控制信号提供到阵列控制电路 113。如后面将描述的，命令信号 CMD 是由芯片使能信号/CE、地址有效信号/ADV、输出使能信号/OE 和写使能信号/WE 组成的（添加到每个信号的符号上的标记“/”表示该信号是

负逻辑)。

此外，芯片控制电路 115 执行命令信号 CDM 的访问请求（数据读和写）与刷新请求之间的仲裁（仲裁处理）。在该仲裁中，在先产生的请求被优先处理。

地址译码器 116 译码经由接口电路 118 提供的来自外部的地址信号 ADD，并将译码结果输出到阵列控制电路 113。

在根据命令信号 CMD 执行的读操作和写操作中，数据信号控制电路 117 控制存储器内部和外部之间的数据信号的发送和接收。

顺便提及，用于使命令信号 CMD 和数据信号 DQ 的输入/输出定时同步的时钟信号 CLK 被从外部输入到接口电路 118，并且被提供到伪 SRAM 111 中的每个功能单元。

参考图 12A 和图 12B 描述传统的伪 SRAM 的操作。在图 12A 和图 12B 中，核心操作是存储器单元阵列 112 的选择操作，换句话说，是阵列控制电路 113 对存储器单元阵列 112 执行的操作。此外，外围操作是与存储器单元阵列 112（阵列控制电路 113）有关的诸如芯片控制电路 115 和数据信号控制电路 117 之类的外围电路的操作。

图 12A 是说明传统伪 SRAM 中的数据读操作的时序图。首先，在时刻 T31，使得器件（伪 SRAM）处于工作状态的芯片使能信号/CE、表示地址信号 ADD 有效的地址有效信号/ADV、输出使能信号/OE 变为“L”。芯片控制电路 115 对命令信号 CMD 译码，并判断来自外部的访问请求是数据读操作 RD (A)。此外，地址译码器 116 获取地址信号 ADD，并对其译码。

但是，如果在当接收到来自外部的访问请求时的时刻 T31 之前产生了来自刷新控制单元 114 的刷新请求，则在存储器单元阵列 112 处执行刷新操作 REF（时刻 T32）。接着，从当刷新操作 REF 终止时的时刻 T33 开始，在存储器单元阵列 112 处执行数据读操作 RD (A)，并且与地址译码器 116 处的译码结果相对应的存储器单元的数据 1A、2A 和 3A 被顺序读取，以输出为数据信号 DQ。

在时刻 T34，当芯片使能信号/CE 变为“H”时，芯片控制电路 115 向

阵列控制电路 113 指示数据读操作 RD (A) 终止。这样，存储器单元阵列 112 处的数据读操作 RD (A) 终止（时刻 T35）。

此外，在时刻 T35，当芯片使能信号/CE 和地址有效信号/ADV 变为“L”时，芯片控制电路 115 译码此时的命令信号 CMD，并判断来自外部的访问请求是数据读操作 RD (B)。此外，地址译码器 116 获取地址信号 ADD，并对其译码。

接着，在当从时刻 T35 经过了刷新进入期间 TREN 时的时刻 T36，在存储器单元阵列 112 处执行数据读操作 RD (B)，并且数据 1B、2B、3B、4B 和 5B 被输出为数据信号 DQ。顺便提及，在根据来自外部的访问请求的数据读/写操作之间，刷新进入期间 TREN 被恒定地提供，使得当产生刷新请求时，可以在存储器单元阵列 112 处执行刷新操作。

随后，与数据读操作 RD (A) 相同，芯片使能信号/CE 在时刻 T37 变为“H”，从而，在存储器单元阵列 112 处执行的数据读操作 RD (B) 终止（时刻 T38）。

图 12B 是说明传统伪 SRAM 中的数据写操作的时序图。除了写使能信号/WE 变为“L”，输出使能信号/OE 保持“H”，并且被提供作为数据信号 DQ 的数据 1A 到 3A 和 1B 到 5B 被写入存储器单元这几点之外（图 12B 中的时刻 T41 到 T48 分别对应于图 12A 中的时刻 T31 到 T38），图 12B 所示的数据写操作与图 12A 所示的数据读操作相同，因此，不对其进行说明。

在传统伪 SRAM 中，如图 12A 和图 12B 所示地执行数据读操作、数据写操作等。

此外，近年来，涉及运动图像数据等的大容量和实时的数据通信被执行，因此，对于被用作包括蜂窝电话等的数据通信设备的存储器的伪 SRAM，需要更高速的操作。

[专利文献 1]日本专利申请早期公布 No. 平 11-16346

[专利文献 2]国际申请公布 No. 98/56004 小册子

但是，在如图 12A 和图 12B 所示的传统伪 SRAM 中，刷新进入期间 TREN 被恒定地提供，因此，作为等待时间，有关来自外部的访问请求的

访问时间被定义为使得包括作为最坏情况的当刷新请求在先发生时的情况。

作为在伪 SRAM 中实现高速操作（访问）的方法，可以想到缩短等待时间以降低访问时间的方法。但是，如果等待时间被缩短，则根据来自外部的访问请求的数据读/写操作之间的时间间隔变短，可能不能保证与刷新进入期间 TREN 相对应的期间。即，如果等待时间被缩短，就有可能即使产生了刷新请求，在与来自外部的访问请求有关的操作之间也不能执行刷新操作，因此，存储器单元中所存储的数据可能丢失。

发明内容

本发明的一个目的是实现伪 SRAM 的高速访问操作。

本发明的半导体存储器器件包括：存储器单元阵列，其中布置了存储数据的多个存储器单元；刷新控制单元，其根据刷新请求，指示用于保持在存储器单元中存储的数据的刷新操作的执行；和阵列控制单元，其基于来自刷新控制单元的指示，执行在存储器单元阵列处的刷新操作。刷新请求选择器从输入外部刷新请求到输入自刷新允许请求期间，选择外部刷新请求，并且在其他时段，选择在其自身内部生成的内部刷新请求。刷新控制单元使能切换在存储器单元阵列处的刷新操作是基于外部刷新请求还是内部刷新请求而被执行。

根据上述配置，当基于外部刷新请求执行存储器单元阵列处的刷新操作时，当执行根据来自外部的对于存储器单元阵列的访问请求的操作时，在访问时间中不需要保证执行刷新操作所需的时间。

附图说明

图 1 是示出了根据本发明一个实施例的半导体存储器器件的配置示例的框图；

图 2 是用于说明根据本实施例的半导体存储器器件的状态控制的示图；

图 3A 和图 3B 是示出了刷新控制电路的配置示例的示图；

图 4 是示出了等待时间计数器的配置示例的示图；

图 5 是示出了阵列控制电路的配置示例的示图；

图 6A 是示出了存储器单元阵列中的存储器单元和外围电路的配置示例的示图；

图 6B 是示出了有关存储器单元的数据读序列的示图；

图 7A 和图 7B 是示出了根据实施例的半导体存储器器件的操作示例的时序图；

图 8 是示出了根据本实施例的半导体存储器器件的命令示例的示图；

图 9A 和图 9B 是用于说明应用根据本实施例的半导体存储器器件的信息处理系统的示图；

图 10 是用于说明根据本实施例的半导体存储器器件的状态控制的另一示例的示图；

图 11 是示出了传统伪 SRAM 的配置的框图；以及

图 12A 和图 12B 是示出了传统伪 SRAM 的操作的时序图。

具体实施方式

下面将参考附图描述本发明的实施例。

图 1 是示出了根据本发明一个实施例的半导体存储器器件 1 的配置示例的框图。半导体存储器器件 1 是伪 SRAM，并且具有配置寄存器 2、刷新定时器 3、芯片控制电路 4、地址译码器 5、数据信号控制电路 6、阵列控制电路 7、存储器单元阵列 8 以及接口电路 9。

配置寄存器 2 是用于设置半导体存储器器件 1 的操作模式（工作状态）的寄存器。基于配置寄存器 2 的设置，异步模式与同步模式之间的切换以及功率降低模式下的操作被控制。

这里，异步模式是与被输入到半导体存储器器件 1（芯片）中的时钟信号（系统时钟信号）异步操作的操作模式，同步模式是与时钟信号同步操作的操作模式。异步模式和同步模式例如具有不同的命令信号 CMD 的触发。在异步模式中，例如访问时间（等待时间）的操作时段不是由时钟数等定义的，而是由绝对时间定义的，并且半导体存储器器件 1 基于当信

号（命令信号等）被取反（negated）或者断言（asserted）时的时刻而被操作。而在同步模式中，例如访问时间（等待时间）的操作时段通过使用时钟来定义。

刷新定时器 3 通过使用诸如计数器的测量装置来测量时间，并且每当经过预定时段，就向芯片控制电路 4 输出自刷新（内部刷新）信号 SREF。自刷新信号 SREF 是这样的信号，其用于请求刷新操作以保持存储器单元阵列 8 中的各个存储器单元中所存储的数据。刷新定时器 3 对应于本发明中的刷新请求单元，并且自刷新信号 SREF 对应于本发明中的内部刷新请求。

芯片控制电路 4 具有刷新控制单元 11、访问控制单元 12 以及命令寄存器 13，并实现对半导体存储器器件 1 中的各个电路的操作的总的控制。具体地说，芯片控制电路 4 具有未示出的译码器，并对经由接口电路 9 提供的来自外部的命令信号 CMD（外部命令）译码。此外，芯片控制电路 4 基于命令信号 CMD 的译码结果和来自刷新定时器 3 的自刷新信号 SREF，向阵列控制电路 7 输出控制信号。此外，当半导体存储器器件 1 的工作状态处于执行自刷新的自刷新模式时，芯片控制电路 4 执行与根据外部命令 CMD 的数据读/写有关的访问请求与根据自刷新信号 SREF 的刷新请求之间的仲裁（仲裁处理）。

刷新控制单元 11 实现与在存储器单元阵列 8 处执行的用于保持所存储的数据的刷新操作有关的控制。基于经由接口电路 9 输入的来自外部的命令信号 CMD（更详细地说，外部刷新信号（命令）ExREF CMD）以及来自刷新定时器 3 的自刷新信号 SREF，刷新控制单元 11 向阵列控制电路 7 输出关于刷新操作的控制信号。这里，外部刷新命令 ExREF CMD 对应于本发明中的外部刷新请求。

访问控制单元 12 实现与基于经由接口电路 9 提供的来自外部的命令信号 CMD 的对存储器单元阵列 8 的数据读操作和数据写操作有关的控制。命令寄存器 13 是这样的寄存器，其用于保存通过对来自外部的命令信号 CMD 译码得到的译码结果。

地址译码器 5 译码经由接口电路 9 提供的来自外部的地址信号 ADD，

并基于译码结果，向阵列控制电路 7 输出选择地址信号。此外，地址译码器 5 具有地址寄存器 14，该地址寄存器 14 保存对地址信号 ADD 译码得到的译码结果。地址寄存器 14 中所保存的译码结果与命令寄存器 13 中所保存的译码结果是关于同一请求的，并且，命令寄存器 13 和地址寄存器 14 中所保存的译码结果基于触发信号 Trig 被同步输出。

在根据来自外部的命令信号 CMD 执行的对于存储器单元阵列 8 的读操作和写操作中，数据信号控制电路 6 控制半导体存储器器件 1 的内部和外部之间经由接口电路 9 的数据信号 DQ 的发送/接收。

阵列控制电路 7 基于从芯片控制电路 4 提供的控制信号和从地址译码器 5 提供的选择地址信号，执行对于存储器单元阵列 8 中的存储器单元的读操作、写操作和刷新操作。

存储器单元阵列 8 具有在行方向和列方向上以阵列形式布置的多个存储器单元。具体地说，存储器单元阵列 8 具有多条位线和被提供为与位线相交的多条字线，并且存储器单元布置在位线和字线的相交部分。各个存储器单元由 1T-1C 型（一个晶体管一个电容器型）存储器单元组成，这与 DRAM 是相同的，并且它们分别存储一位的数据。此外，存储器单元阵列 8 具有与位线相对应地提供的读出放大器。

接口电路 9 用于在半导体存储器器件 1 的内部和外部之间发送和接收每个信号。命令信号 CMD 和地址信号 ADD 从外部输入到接口电路 9，数据信号 DQ 从/向外部输入/输出。此外，用于使命令信号 CMD 和数据信号 DQ 的输入/输出定时同步的时钟信号 CLK 从外部被输入，并被提供到半导体存储器器件 1 中的各个电路。

下面描述根据本实施例的半导体存储器器件 1 的操作模式（工作状态）。图 2 是用于说明半导体存储器器件 1 的状态控制的示图。顺便提及，在下面的说明中，请求对于半导体存储器器件 1（存储器单元阵列 8）的读操作和写操作的来自外部的命令信号 CMD 被称作读命令和写命令。此外，用于以低功耗运行半导体存储器器件 1（将操作模式设置到节电模式，其功耗低于正常操作模式）的来自外部的命令信号 CMD 被称作功率降低命令，并且用于返回正常操作模式的来自外部的命令信号 CMD

被称作功率降低解除命令。

在开始供电（Power On）之后，即在激活时，半导体存储器器件 1 变为异步模式的待机状态（Async. Standby w/ Self-Refresh）21A。在该异步模式中，所谓的自刷新操作被执行，其中基于来自半导体存储器器件 1 内的刷新定时器 3 的自刷新信号 SREF，执行存储器单元阵列 8 中的刷新操作。

当半导体存储器器件 1 在状态 21A 中接收到读命令或者写命令时，它执行相应的读操作或者写操作（Read/Write）21B，并且在操作终止之后，返回待机状态 21A。当半导体存储器器件 1 在待机状态 21A 中接收到功率降低命令（PD Entry）时，它转移到功率降低模式（Power Down，节电模式）21C，其中执行低功耗操作。当在功率降低模式 21C 中接收到功率降低解除命令（PD Exit）时，它转移到异步模式的待机状态 21A。

此外，当在异步模式的待机状态 21A 中与配置寄存器设置（CR-set）命令 22 一同输入了预定的设置代码，并且配置寄存器 2 的设置从而被改变到预定设置时，半导体存储器器件 1 转移到具有自刷新的同步模式（下文中也称为“自刷新模式”）的待机状态（Sync. Standby w/ Self-Refresh）23A。这里，自刷新模式是同步模式，并且是这样的操作模式，其中存储器单元阵列 8 中的刷新操作基于来自半导体存储器器件 1 内部的刷新定时器 3 的自刷新信号 SREF 而被执行。顺便提及，也可以类似地在自刷新模式的待机状态 23A 中，通过使用配置寄存器设置命令 22 将配置寄存器 2 的设置改变到预定设置，来将半导体存储器器件 1 的操作模式转移到异步模式的待机状态 21A。

当在自刷新模式的待机状态 23A 中接收到读命令或者写命令时，半导体存储器器件 1 执行相应的读操作或者写操作（Read/Write）23B，并且在操作终止之后返回待机状态 23A。此外，当在待机状态 23A 中接收到功率降低命令（PD Entry），半导体存储器器件 1 转移到功率降低模式（Power Down）23C，并且当在功率降低模式 23C 中接收到功率降低解除命令（PD Exit）时，它转移到自刷新模式的待机状态 23A。

此外，当在自刷新模式的待机状态 23A 中接收到外部刷新命令

(ExREF CMD)，半导体存储器器件 1 在存储器单元阵列 8 处执行刷新操作 (Refresh) 24C，此后，半导体存储器器件 1 自动转移到不带自刷新的同步模式 (下文中也成为“外部刷新模式”) 的待机状态 (Sync. Standby w/o Self-Refresh) 24A。这里，外部刷新命令 (ExREF CMD) 是请求半导体存储器器件 1 (存储器单元阵列 8) 处的刷新操作的来自外部的命令信号 CMD。此外，外部刷新模式是同步模式，并且是这样的操作模式，其基于来自半导体存储器器件 1 外部的外部刷新命令 (ExREF CMD) 在存储器单元阵列 8 处执行刷新操作。在该外部刷新模式中，存储器单元阵列 8 处的刷新操作仅通过外部刷新命令而执行，并且不执行由外部刷新命令之外的其他命令所请求的刷新操作，例如自刷新操作。

当在外部刷新模式的待机状态 24A 中接收到读命令或者写命令时，半导体存储器器件 1 执行相应的读操作或者写操作 (Read/Write) 24B，并且在操作结束之后返回待机状态 24A。此外，当在待机状态 24A 中接收到外部刷新命令 (ExREF CMD) 时，半导体存储器器件 1 在存储器单元阵列 8 处执行刷新操作 24C，并返回待机状态 24A。

当在外部刷新模式的待机状态 24A 中接收到功率降低命令 (PD Entry) 时，半导体存储器器件 1 转移到功率降低模式 23C，与当在自刷新模式中接收到功率降低命令时的情形相同。即，当在外部刷新模式的待机状态 24A 中接收到功率降低命令时，半导体存储器器件 1 转移到带自刷新的功率降低模式 23C。从而，当在这之后接收到功率降低解除命令 (PD Exit) 时，半导体存储器器件 1 转移到自刷新模式的待机状态 23A。

此外，当在外部刷新模式的待机状态 24A 中接收到用于执行自刷新操作的自刷新使能命令 (SREFEN CMD) 时，半导体存储器器件 1 转移到自刷新模式的待机状态 23A。

此外，半导体存储器器件 1 在自刷新模式和外部刷新模式中被初始化 (配置寄存器被初始化)，因此，半导体存储器器件 1 转移到异步模式 (图中的 Reset to Async)。即，当系统在同步模式中被初始化时，半导体存储器器件 1 转移到带有或者不带自刷新的异步模式。

这里，本实施例的半导体存储器器件 1 中的功率降低模式 21C 和 23C

是用于执行自刷新以仅保持在配置寄存器 2 所设置的容量的数据的操作模式，并且有两种类型的功率降低模式：“局部刷新功率降低”和“深度功率降低”。“局部刷新功率降低”例如对存储器单元阵列 8 中的全部位容量的四分之一或者八分之一的预定区域的存储器单元执行刷新操作，而“深度功率降低”根本不执行刷新操作。

图 3A 是示出了图 1 所示的刷新控制单元 11 的配置的框图。

刷新控制单元 11 具有 RS 触发器 (flip-flop) 31、刷新控制器 32 以及开关 SWA0 和 SWA1。

外部刷新命令 ExREF CMD 被输入到 RS 触发器 31 的置位输入端 (S)，自刷新使能命令 SREFEN CMD 和功率降低命令 PD Entry 被输入到 RS 触发器 31 的复位输入端 (R)。RS 触发器 31 的输出被提供到开关 SWA0 和 SWA1。

此外，外部刷新命令 ExREF CMD 能够经由开关 SWA0 被输入到刷新控制器 32。来自刷新定时器 3 的自刷新信号 SREF 能够经由开关 SWA1 被输入到刷新控制器 32。刷新控制器 32 的输出被输出到阵列控制电路 7，作为用于在存储器单元阵列 8 处执行刷新操作的刷新执行信号 REFE。

开关 SWA0 和 SWA1 的接通和关断通过 RS 触发器 31 的输出被控制 (开/关控制)。开关 SWA0 和 SWA1 被构造使得根据 RS 触发器 31 的输出，它们其中的一个被接通，换句话说，互斥地接通。这里，RS 触发器 31 以及开关 SWA0 和 SWA1 构成本发明的刷新请求选择器。

图 3B 是示出了刷新控制器 32 的配置的示图。刷新控制器 32 具有 NOR (逻辑和取反的操作) 电路 33、34，和脉宽扩展电路 35。

外部刷新命令 ExREF CMD 和自刷新信号 SREF 能够经由开关 SWA0 和 SWA1 被输入到 NOR 电路 33。此外，NOR 电路 34 的输出被输入到 NOR 电路 33。表示对存储器单元阵列 8 的操作终止的存储器核心操作终止信号 CTER，以及 NOR 电路 33 的输出被输入到 NOR 电路 34。即，NOR 电路 33、34 构成了 RS 触发器，外部刷新命令 ExREF CMD 和自刷新信号 SREF 被输入作为其置位输入，存储器核心操作终止信号 CTER 被输入作为复位输入。

此外，NOR 电路 33（由 NOR 电路 33、34 构成的 RS 触发器）的输出经由脉宽扩展电路 35 被输出为刷新执行信号 REFE。这里，脉宽扩展电路 35 防止当输入信号变为须状（whisker state）时输入信号通过并被原样输出，并且输入信号的脉宽被放大以输出。顺便提及，并非限制于脉宽扩展电路 35，而是如果能够防止须状的输入信号照这样被输出就是适合的，并且可以使用去除须状脉冲的脉冲滤波器。

这里，半导体存储器器件 1（存储器单元阵列 8）中的刷新操作通过从外部输入的外部刷新命令 ExREF CMD，或者通过来自半导体存储器器件 1 内部的刷新定时器 3 的自刷新信号 SREF 作为触发而被执行。在图 3A 和图 3B 所示的刷新控制单元 11 处，执行对外部刷新命令 ExREF CMD 和自刷新信号 SREF 的选择，即，作为刷新的触发的命令（信号）的切换。

首先，RS 触发器 31 被初始化，使得开关 SWA0 关断，开关 SWA1 接通，并且自刷新信号 SREF 将作为刷新操作的触发。该状态被维持，直到接收到外部刷新命令 ExREF CMD。从而，自刷新信号 SREF 被选择，并被输出到刷新控制器 32，直到在半导体存储器器件 1 中从外部输入了外部刷新命令 ExREF CMD。

当输入了外部刷新命令 ExREF CMD 时，RS 触发器 31 被置位，并且通过其输出，开关 SWA0 被接通，开关 SWA1 被关断。这样，外部刷新命令 ExREF CMD 作为刷新操作的触发变为有效，并被输入到刷新控制器 32。

接着，当自刷新使能命令 SREFEN CMD 被输入时，RS 触发器 31 被复位，并且通过其输出，开关 SWA0 被关断，开关 SWA1 被接通。这样，自刷新信号 SREF 作为刷新操作的触发变为有效，并被输入到刷新控制器 32。顺便提及，当功率降低命令 PD Entry 代替自刷新使能命令 SREFEN CMD 被输入时，也是一样的。

如上所述，当外部刷新命令 ExREF CMD 或者自刷新信号 SREF 被选择并被输入到刷新控制器 32 时，其被由 NOR 电路 33、34 构成的 RS 触发器锁存。因此，刷新执行信号 REFE 经由脉宽扩展电路 35 从由 NOR 电路 33、34 构成的 RS 触发器输出。随后，当根据刷新执行信号 REFE 在存储

器单元阵列 8 处的刷新操作终止时，存储器核心操作终止信号 CTER 被输入，并且由 NOR 电路 33、34 构成的 RS 触发器被复位。

这里，当通过在自刷新模式中输入外部刷新命令 ExREF CMD，半导体存储器器件 1 的操作模式从自刷新模式转移到外部刷新模式时，可以想到外部刷新命令 ExREF CMD 和自刷新信号 SREF 可能彼此竞争。如果根据各命令（信号）的刷新操作被执行，则有负面效果，即刷新所需的时间变为正常情况的两倍，并且来自外部的命令信号 CMD 所请求的访问在该时段中必须等待。因此，在本实施例中，通过刷新控制单元 11 进行控制，使得在先命令（信号）有效，并且重复的命令（在先命令随后的命令）被忽略。

具体地说，当外部刷新命令 ExREF CMD 和自刷新信号 SREF 彼此竞争时，各命令（信号）被输入到刷新控制器 32 中的由 NOR 电路 33、34 构成的 RS 触发器的置位输入端。在经过足够的时段以通过外部刷新命令 ExREF CMD 调整由 NOR 电路 33、34 构成的 RS 触发器的状态之后，用于控制开关 SWA0 和 SWA1 的 RS 触发器 31 的输出被激活。在相应的核心操作终止之后，由刷新控制器 32 中的 RS 触发器锁存的命令被复位，但是因为在复位之后开关 SWA0 接通并且 SWA1 关断，所以自刷新信号 SREF 并不输入到刷新控制器 32。

顺便提及，当自刷新使能命令 SREFEN CMD 或者功率降低命令 PD Entry 输入之后，存在这样的情况：当开关 SWA0 和 SWA1 开/关的同时，自刷新信号 SREF 是激活的。但是，在该情况中，不能确保在控制器 32 中由 NOR 电路 33、34 构成的 RS 触发器能够响应的脉宽将被保证，须状的输入信号可能通过该 RS 触发器。因此提供脉宽扩展电路 35 来防止在随后所连接的电路中出现问题。

如上所述，在自刷新模式中，基于来自半导体存储器器件 1 内部的刷新定时器 3 的自刷新信号 SREF 执行刷新操作。即，刷新定时在半导体存储器器件 1 内部产生，并且刷新操作被执行。因此，刷新定时对于半导体存储器器件 1 的外部来说是未知的，因而，当输入了来自外部的命令信号 CMD 并且发出了读操作或者写操作的访问请求时，对保证执行刷新所需

时间的等待时间（访问时间）是假设刷新请求被预先产生而要求的。因此，访问时间变为下述两个时间的和：与刷新相对应的核心操作时间，以及从输入了关于读操作或者写操作的来自外部的命令信号 CMD 的时刻开始的数据读或写所需的时间。

另一方面，在外部刷新模式中，基于从半导体存储器器件 1 外部输入的外部刷新命令 ExREF CMD 执行刷新操作，因而，根据来自外部的命令信号 CMD 的读操作或者写操作的访问时间不必包括执行刷新所需的时间。因此，外部刷新模式中的访问时间仅是来自外部的命令信号 CMD 所请求的数据读或写所需的时间，相比于自刷新模式，等待时间可以被缩短与刷新相对应的核心操作时间的大小，因而，可以在半导体存储器器件 1 中实现高速访问操作。

同步模式中（自刷新模式、外部刷新模式）的这种等待时间控制是通过使用图 4 所示的等待时间计数器实现的。

图 4 是示出了等待时间计数器的配置的框图，该等待时间计数器例如被设置在图 1 所示的访问控制单元 12 中。等待时间计数器具有 RS 触发器 41、等待时间计数器 A 42、等待时间计数器 R 43 以及开关 SWB0 和 SWB1。

外部刷新命令 ExREF CMD 被输入到 RS 触发器 41 的置位输入端（S），自刷新使能命令 SREFEN CMD 和功率降低命令 PD Entry 被输入到 RS 触发器 41 的复位输入端（R）。RS 触发器 41 的输出被提供到开关 SWB0 和 SWB1。

等待时间计数器 A 42 是用于对执行根据来自外部的命令信号 CMD 的访问操作所需的时间进行计数的计数器，并且半导体存储器器件 1 内部所用的系统时钟信号 INT-CLK 被输入。等待时间计数器 A 42 的输出能够经由开关 SWB0 被输入到等待时间计数器 R 43，并且还能够在经由开关 SWB1 被输出作为数据时钟 DQ-CLK。

此外，等待时间计数器 R 43 是用于对执行刷新操作所需的时间进行计数的计数器，并且其输出能够被输出作为数据时钟 DQ-CLK。顺便提及，数据时钟 DQ-CLK 是在读操作或者写操作期间，表示数据信号 DQ 变为有

效时的时刻的信号。

开关 SWB0 和 SWB1 通过 RS 触发器 41 的输出得到接通/关断控制（开/关控制），并且它们被构成为使得根据 RS 触发器 41 的输出，它们中的一个被接通，换句话说，被互斥地接通。

在初始状态中，RS 触发器 41 被初始化，使得开关 SWB0 被接通，开关 SWB1 被关断。该状态被维持，直到接收到外部刷新命令 ExREF CMD，并且在图 4 所示的等待时间计数器处，执行等待时间计数器 A 42 和等待时间计数器 R 43 的计数。因此，执行访问操作所要求的等待时间和执行刷新操作所要求的等待时间被计数，直到在半导体存储器器件 1 中，从外部输入了外部刷新命令 ExREF CMD。

当输入了外部刷新命令 ExREF CMD 时，RS 触发器 41 被置位，并且通过其输出，开关 SWB0 被关断，开关 SWB1 被接通。这样，由等待时间计数器 R 43 对执行刷新操作所需的时间进行的计数变得不必要，在图 4 所示的等待时间计数器处，仅执行由等待时间计数器 A 42 进行的计数。即，执行访问操作所需的等待时间被计数。

此外，当自刷新使能命令 SREFEN CMD 或者功率降低命令 PD Entry 被输入时，RS 触发器 41 被复位，并且通过其输出，开关 SWB0 被接通，开关 SWB1 被关断。因此，在图 4 所示的等待时间计数器处，执行通过等待时间计数器 A 42 和等待时间计数器 R 43 的计数，并且执行访问操作所需的等待时间和执行刷新操作所需的等待时间被计数。

如上所述，在外部刷新模式中，执行由来自外部的命令信号 CMD 所请求的访问操作所需的等待时间被计数，并且在除了外部刷新模式之外的操作模式中，除了执行所请求的访问操作所需的等待时间之外，执行刷新操作所需的等待时间也被计数。即，在除了外部刷新模式之外的操作模式（具体地说，自刷新模式）中，刷新过程被包括在访问过程中，而在外部刷新模式中，刷新过程未包括在访问过程中，因此，在外部刷新模式中可以实现被其他操作模式更高速的访问操作。

图 5 是示出了图 1 所示的阵列控制电路 7 的配置示例的框图，并且如图 5 所示，除了存储器单元阵列 8 以外，阵列控制电路 7 还具有各个电路

51 到 61。

在图 5 中，块选择指示电路 51、字线（WL）选择指示电路 52、读出放大器（SA）选择指示电路 53、列线（CL）选择指示电路 54 和放大器（AMP）激活指示电路 55 分别相应地控制块选择电路 56、字线选择电路 57、读出放大器激活电路 58、列线选择电路 59 和放大器激活控制电路 60 的操作定时。

块选择电路 56 根据从地址译码器 5 提供的块选择地址信号 BLSA，有选择地激活位线传输信号 BT，并使预充电信号线 BRS 去除激活。字线选择电路 57 根据从地址译码器 5 提供的字线选择地址信号 WLSA，有选择地激活字线 WL。读出放大器激活电路 58 激活读出放大器驱动信号线 LE。

列线选择电路 59 根据从地址译码器 5 提供的列线选择地址信号 CLSA，有选择地激活列线 CL。放大器激活控制电路 60 激活用于驱动放大器 61 的放大器驱动信号线 AEN。放大器 61 放大并输出从存储器单元阵列 8 读取的数据到数据信号控制电路 6。

这里，基于来自各个对应的指示电路 51 到 55 的指示，顺序执行上述各个电路 56 到 60 激活信号线的操作（包括选择操作）。

具体地说，首先，基于从芯片控制电路 4 提供的控制信号和从地址译码器 5 提供的阵列选择地址信号 ARSA，从块选择指示电路 51 向块选择电路 56 发出指示。接着，在从块选择指示电路 51 发出了指示的情况下，从字线选择指示电路 52 向字线选择电路 57 发出指示。

接着，类似地，从读出放大器选择指示电路 53 向读出放大器激活电路 58、从列线选择指示电路 54 向列线选择电路 59、从放大器激活指示电路 55 向放大器激活控制电路 60 顺序发出指示。但是，在来自读出放大器选择指示电路 53 和列线选择指示电路 54 的指示都被发出的情况下，从放大器激活指示电路 55 向放大器激活控制电路 60 发出指示。

图 6A 是示出了图 1 所示的存储器单元阵列 8 的配置的电路图，并且在图中示出了由多个存储器单元组成的存储器单元阵列 8 中的一个存储器单元及其外围电路。图 6B 是说明图 6A 所示的电路中的数据读操作的时序

图。

在图 6A 中，C1 指代电容，NT1 到 NT17 指代 N 沟道型晶体管，PT1 到 PT3 指代 P 沟道型晶体管。电容 C1 和晶体管 NT1 构成一个存储器单元（1T1C 型存储器单元）。晶体管 NT3 到 NT5 的组和晶体管 NT13 到 NT15 的组分别构成预充电电路 72 和 75。晶体管 NT11、NT12、PT2 和 PT3 构成读出放大器 73。参考标号 74 指代反相器。

一位的信息被存储在存储器单元 71 的电容 C1 中。下面参考图 6B 描述当该存储器单元 71（电容 C1）中所存储的数据被读取时的操作。

顺便提及，当没有执行数据读操作、数据写操作或者刷新操作时，位线传输信号线 BT0、BT1 和预充电信号线 BRS0、BRS1 被激活，并且它们处于“H”状态。因此，预充电电路 72、75 中的晶体管 NT3 到 NT5、NT13 到 NT15 以及晶体管 NT6、NT7、NT16 和 NT17 被导通，并且位线 BL 和 /BL 的电势变为相等电势。

当数据被读取时，首先，除了与存储器单元 71 相对应的位线传输信号线 BT0 之外的位线传输信号线（图 6A 所示的电路中的位线传输信号线 BT1）和预充电信号线 BRS0 被去除激活，变为“L”。因此，预充电电路 72 变为非工作状态，晶体管 NT16、NT17 变为非导通状态（读出放大器 73 的复位状态的解除）。位线传输信号线 BT0 维持为“H”。

接着，当字线 WL 被有选择地激活以变为“H”时，晶体管 NT1 被导通，并且电容 C1 中所存储的数据被读出到位线 BL。这样，位线 BL 的电势根据电容 C1 中所存储的数据而改变（SQ1）。这里，晶体管 NT6、NT7 处于导通状态，晶体管 NT16、NT17 处于非导通状态，因此，位线 BL、/BL 的数据（电势）经由晶体管 NT6、NT7 被提供到读出放大器 73。

接着，当读出放大器驱动信号线 LE 被激活以变为“H”时，晶体管 NT8、PT1 被导通，以执行供电，并且读出放大器 73 操作，从而放大位线 BL、/BL 的数据（SQ2）。接着，当列线 CL 被有选择地激活以变为“H”时，作为列选通器的晶体管 NT9、NT10 被导通，位线 BL、/BL 的经放大的数据被输出到数据总线 DB、/DB（SQ3）。

接着，列线 CL 被去除激活以变为“L”，执行所读取的数据向存储器

单元 71（电容 C1）的重写，并且此后，字线 WL 被去除激活以变为“L”。此外，在通过将读出放大器驱动信号线 LE 去除激活以变为“L”来将读出放大器 73 变为非工作状态之后，通过将全部位线传输信号线 BT0、BT1 以及预充电信号线 BRS0、BRS1 去除激活，数据读操作终止。

顺便提及，对存储器单元 71 的数据写操作与传统方式相同，将不给出对其的说明。

图 7A 和图 7B 是示出了根据本实施例的半导体存储器器件 1 的操作示例的时序图。在图 7A 和图 7B 中，作为示例示出了当根据来自外部的命令信号 CMD 执行读操作时的情况。

图 7A 是示出了自刷新模式中的读操作的时序图。

当在时刻 T10 接收到来自外部的命令信号 CMD 的读操作访问请求时，半导体存储器器件 1 执行所请求的读操作。这里，当在接收到命令信号 CMD 的访问请求时的时刻，基于来自刷新定时器 3 的自刷新信号 SREF 请求或者执行存储器单元阵列 8 处的刷新操作时，半导体存储器器件 1 在刷新操作完成之后执行所请求的读操作。

因此，如图 7A 所示，自刷新模式中的读操作的等待时间 LTS 是由用于执行刷新操作的刷新操作时段（所示示例中的四个周期）和根据来自外部的命令信号 CMD 执行读操作的时段（所示示例中的三个周期）组成的。因此，当从时刻 T10 经过了等待时间 LTS 时的时刻 T17 开始，通过读操作而读取的数据 1A、2A 和 3A 从半导体存储器器件 1 被输出作为数据信号 DQ，其中时刻 T10 是当接收到命令信号 CMD 的访问请求时的时刻。

图 7B 是示出了外部刷新模式中的读操作的时序图。

当在时刻 T20 接收到来自外部的命令信号 CMD 的读操作访问请求时，半导体存储器器件 1 立即执行所请求的读操作。在外部刷新模式中，基于来自外部的外部刷新命令执行在存储器单元阵列 8 处的刷新操作。因此，不必考虑与通过命令信号 CMD 的读操作有关的刷新操作，并且使得刷新操作可执行的时段不是必需的。

因此，外部刷新模式中的读操作的等待时间 LTE 仅由执行根据来自外

部的命令信号 CMD 的读操作的时段（所示示例中的三个周期）组成，如图 7B 所示。因此，从时刻 T23 开始，通过读操作被读取的数据 1A、2A 和 3A 被从半导体存储器器件 1 输出为数据信号 DQ，其中时刻 T23 是当从时刻 T20 经过等待时间 LTE 时的时刻，时刻 T20 是当接收到命令信号 CMD 的访问请求时的时刻。

图 8 是示出了根据本实施例的半导体存储器器件 1 的命令示例的示意图。

在图 8 中，CLK 指代系统时钟信号，CE2 指代第二芯片使能信号，/CE1 指代第一芯片使能信号，/RF 指代刷新信号，/ADV 指代地址有效信号，/OE 指代输出使能信号，/WE 指代写使能信号，/UB 指代高位字节使能信号，/LB 指代低位字节使能信号。在半导体存储器器件 1 处提供有用于输入各个信号的输入端子。顺便提及，添加到信号的符号上的标记“/”表示该信号是负逻辑。

这里，第一芯片使能信号/CE1 对应于传统公知的 SRAM 或伪 SRAM 中的芯片使能信号/CE，第二芯片使能信号 CE2 用于控制是否使功率降低模式有效，也被称作信号“ZZ”。

在本实施例中，新提供了外部刷新命令 ExREF CMD 和自刷新使能命令 SREFEN CMD。这些命令通过新添加刷新信号/RF 的输入端子，并将刷新信号/RF 的极性与诸如读和写（合法命令）的现有命令相组合而实现。这样，当不存在外部刷新时，保持了与现有命令等同的命令系统，并且可以使用现有的译码电路（译码逻辑）等。因此，可以以很小的变化量，即对现有命令少量的设计，来添加外部刷新命令 ExREF CMD 和自刷新使能命令 SREFEN CMD。

图 9A 是示出了安装了根据本实施例的半导体存储器器件 1 的信息处理系统 91 的配置示例的框图。信息处理系统 91 被构成为具有图 1 所示的半导体存储器器件（存储器）1、存储器控制器 92 和处理器（CPU）93。

存储器控制器 92 基于来自处理器（CPU）93 等的请求，控制半导体存储器器件 1。例如，当存储器控制器 92 从处理器 93 接收对半导体存储器器件 1 的访问请求（数据读或写）时，它根据对半导体存储器器件 1 的

访问请求，输出命令信号 CMD 和地址信号 ADD。

处理器 93 实现信息处理系统 91 的总的控制，并向存储器控制器 92 发出对于半导体存储器器件 1 的访问请求。此外，在信息处理系统 91 中，根据其所应用的蜂窝电话系统等的用途等，设置有其他外围电路 94，并且处理器 93 还实现对外围电路 94 的控制等。在外围电路 94 中，例如有基带处理电路、图形处理电路等。

如图 9B 所示，当在图 9A 所示的信息处理系统 91 中，其系统级的工作状态从活动状态变到待机状态时，处理器 93 将自刷新使能命令 SREFEN CMD 输入半导体存储器器件 1 (98)，并控制使得半导体存储器器件 1 的操作模式成为自刷新模式 (96)。此外，当系统级的工作状态从待机状态变到活动状态时，处理器 93 将外部刷新命令 ExREF CMD 输入到半导体存储器器件 1 (99)，并控制使得半导体存储器器件 1 的操作模式成为外部刷新模式 (97)。

如上所述，半导体存储器器件 1 的操作模式根据信息处理系统 91 的系统级工作状态被控制。当系统级工作状态处于待机状态时，执行自刷新操作，并且当系统级工作状态处于活动状态时，执行外部刷新操作，从而缩短等待时间，并实现高速访问操作。

顺便提及，在上述描述中，当在外部刷新模式 24A 中接收到功率降低命令 (PD Entry) 时，根据本实施例的半导体存储器器件 1 转移到带有自刷新的功率降低模式 23C，这与当在自刷新模式中接收到功率降低命令时的情况一样，并且此后，当接收到功率降低解除命令 (PD Exit) 时，它转移到自刷新模式 23A。即，当在功率降低模式中接收到功率降低解除命令 (PD Exit) 时，根据本实施例的半导体存储器器件 1 被控制为转移到自刷新模式 23A，而不论在其转移到功率降低模式之前的状态如何。

因此，需要输入功率降低解除命令 (PD Exit) 和外部刷新命令 (ExREF CMD) 两个命令，以控制半导体存储器器件 1 在其从外部刷新模式转移到功率降低模式之后，再次转移到外部刷新模式。

因此，如图 10 所示，可以这样配置：对应于外部刷新模式的功率降低模式 24D 还被提供使得当在功率降低模式 24D 中接收到功率降低解除命

令 (PD Exit) 时, 可以转移到外部刷新模式 24A。即, 可以配置使得当在功率降低模式中接收到功率降低解除命令 (PD Exit) 时, 转移到在向功率降低模式转移之前的操作模式。

图 10 是用于解释根据本实施例的半导体存储器器件 1 的状态控制的另一示例的示图。在图 10 中, 与图 2 相同的参考标号和符号被用于指代相同和相应的元件, 并且将不给出重复的描述。

在图 10 所示的示图中, 当在外部刷新模式的待机状态 24A 中接收到功率降低命令 (PD Entry) 时, 转移到功率降低模式 (Power Down) 24D, 当在功率降低模式 24D 中接收到功率降低解除命令 (PD Exit) 时, 转移到外部刷新模式的待机状态 24A, 这一点与图 2 所示的示图中不同。顺便提及, 在功率降低模式 24D 中, 在半导体存储器器件 1 内部执行自刷新操作。

如上所述, 提供了对应于外部刷新模式的功率降低模式 24D, 从而可以在半导体存储器器件 1 从外部刷新模式转移到功率降低模式之后, 仅通过输入功率降低解除命令 (PD Exit) 一个命令, 就可以控制半导体存储器器件 1 再次转移到外部刷新模式。

顺便提及, 当半导体存储器器件 1 的状态控制如图 10 所示那样设置时, 不向图 3A 所示的刷新控制单元 11 和图 4 所示的等待时间计数器中的各个 RS 触发器 31、41 的复位输入端 (R) 输入功率降低命令 PD Entry, 而仅输入自刷新使能命令 SREFEN CMD。这样, RS 触发器 31、41 的输出端不被功率降低命令 PD Entry 复位, 并且即使输入了功率降低命令 PD Entry, 也可以保持在转变到功率降低模式之前的状态。

此外, 在同步模式中通常要求高速访问, 因此, 在上面的描述中, 自刷新模式与外部刷新模式之间的切换, 换句话说, 用于基于自刷新信号 SREF 还是外部刷新命令 ExREF CMD 来执行刷新操作的切换仅在同步模式中是可能的, 但是也可以设置使得该切换在异步模式中也是可能的。

具体地说, 除了其中基于自刷新信号 SREF 执行刷新操作的自刷新模式之外, 其中基于外部刷新命令 ExREF CMD 执行刷新操作的外部刷新模式也被新提供在异步模式中, 并且与同步模式中一样地实现状态控制。在

该情况中，在异步模式中也可以通过缩短访问时间，实现高速访问操作。

此外，图 3A 所示的刷新控制单元 11 和图 4 所示的等待时间计数器中的各个开关 SWA0、SWA1、SWB0 和 SWB1 例如可以由传输门构成。此外，开关 SWA0、SWA1、SWB0 和 SWB1 实现选择操作，并且选择操作可以通过使用选择器或者逻辑电路实现，而不限于开关。

根据本发明，当刷新操作是将基于来自外部的刷新请求而被执行时，可以仅以用于执行根据访问请求的操作的必要时间，而不包括执行刷新操作所需的时间，来根据来自外部的访问请求执行对存储器单元阵列的访问操作。因此，当刷新操作是将基于来自外部的刷新请求而被执行时，可以缩短与来自外部的对于存储器单元阵列的访问请求有关的等待时间，相比于当刷新操作是基于内部刷新请求而被执行时的情况，缩短了执行刷新操作所需的时间，从而，可以实现半导体存储器器件的高速访问操作。

顺便提及，上述的本实施例在全部方面都将被认为是示例性的，而非限定性的，并且落入权利要求的等同物的范围和含义中的全部改变都因而被认为包含在其中。本发明可以以其他具体形式体现，而不脱离其实质特征的精神。

本申请基于 2005 年 6 月 7 日递交的在先日本专利申请 No. 2005-166782，并要求享受其优先权，其全部内容通过引用结合于此。

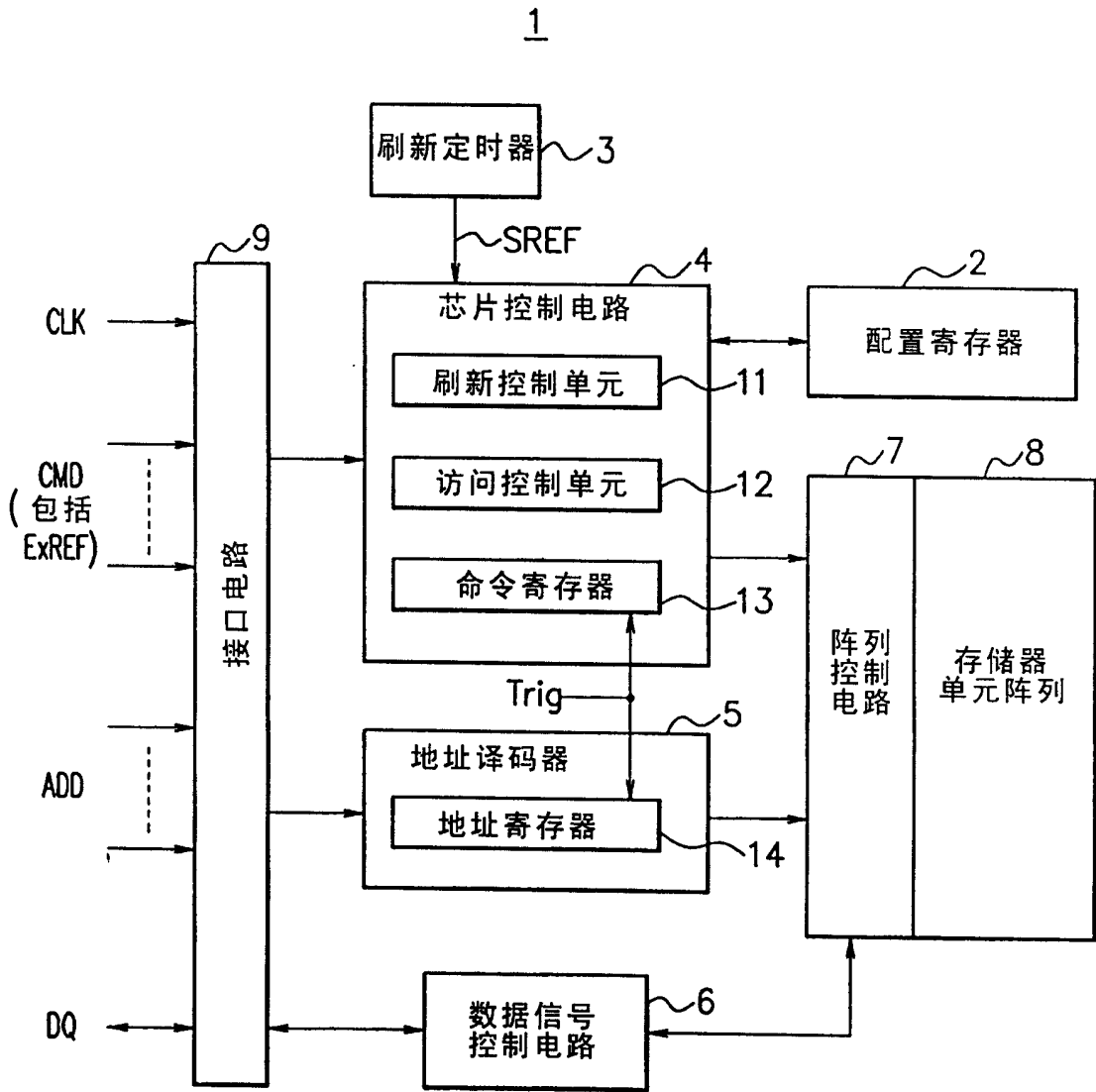
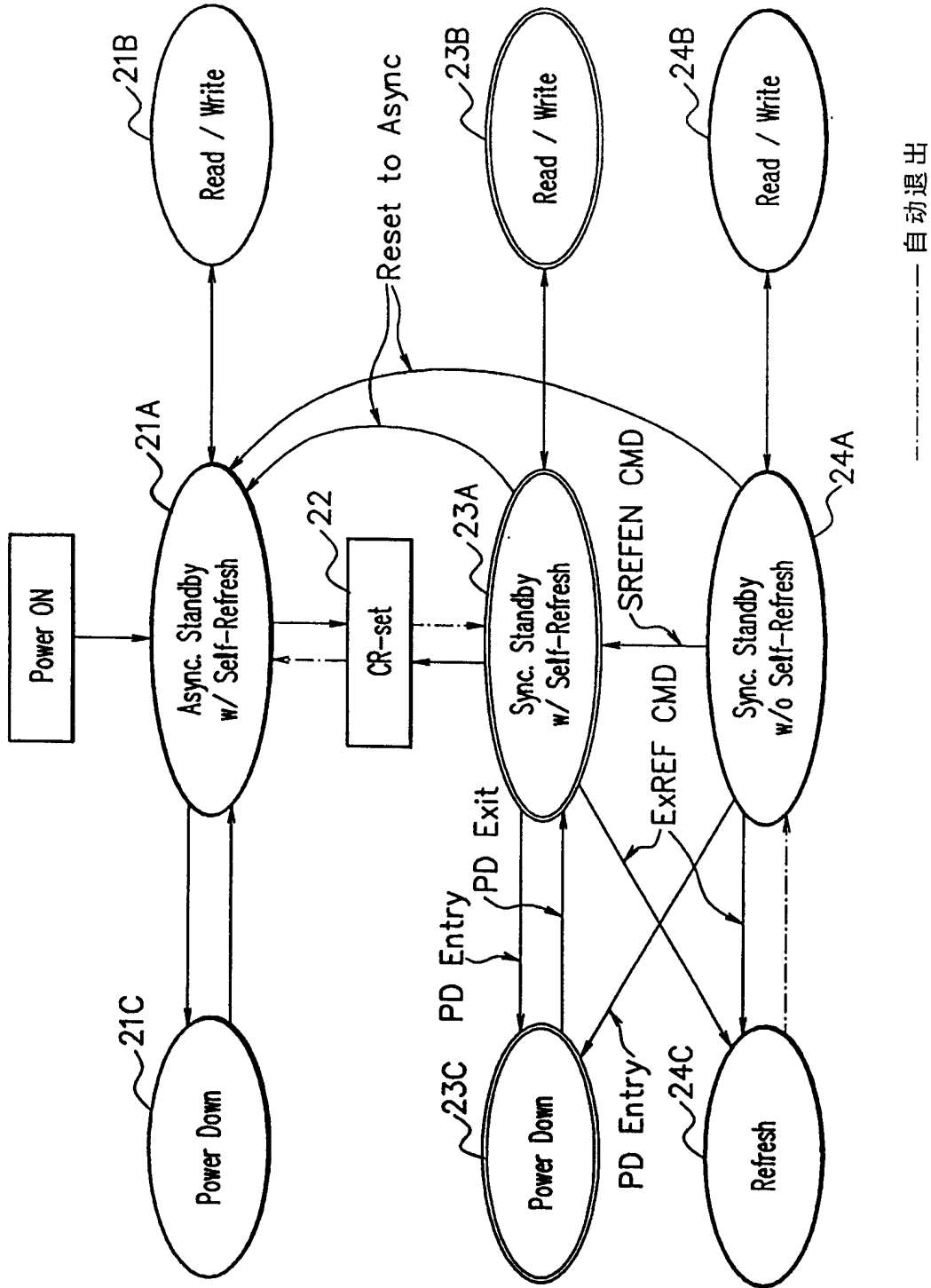


图1



----- 自动退出

图2

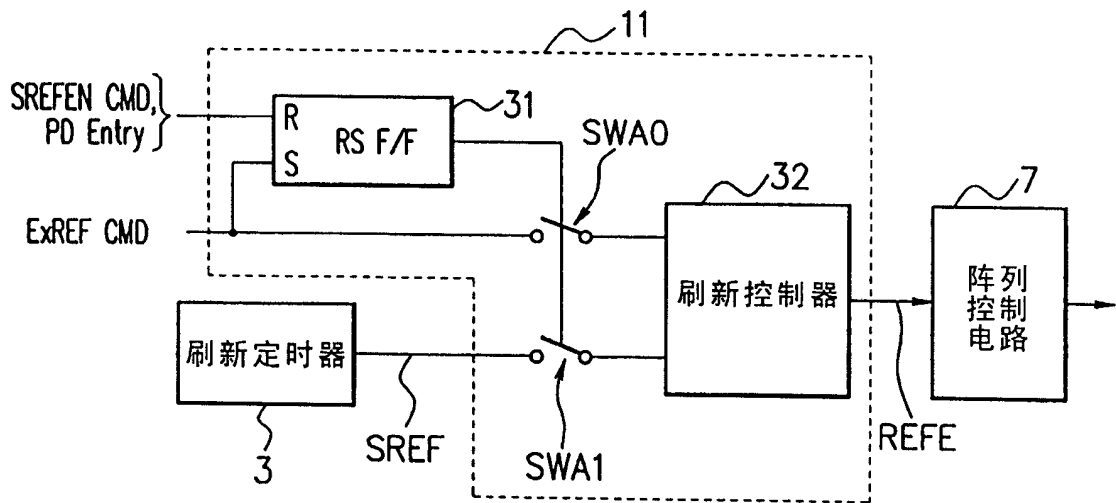


图3A

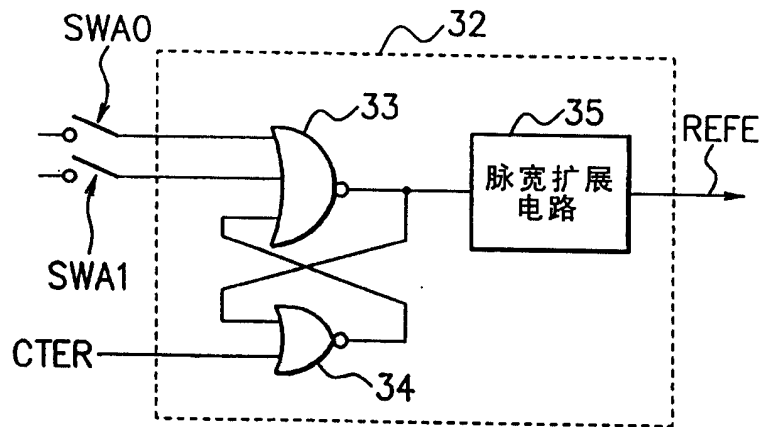


图3B

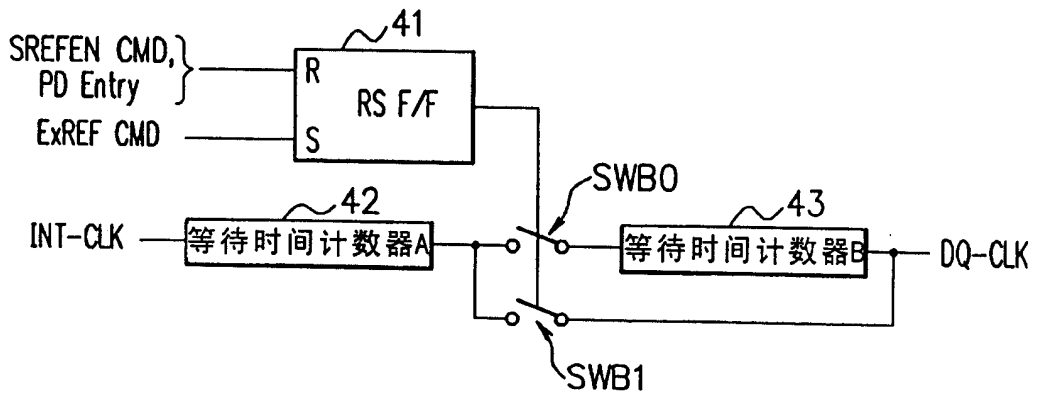


图4

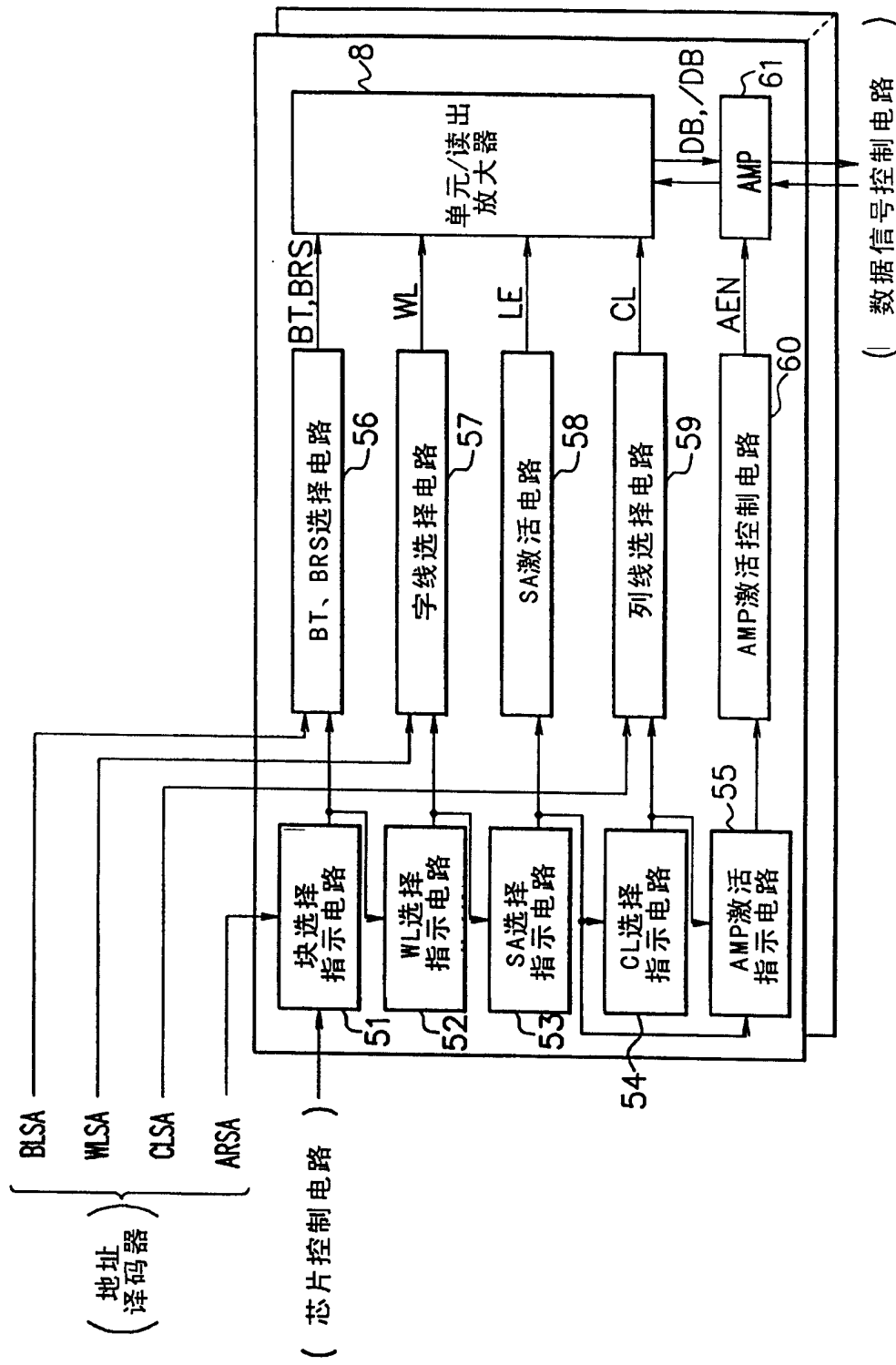


图5

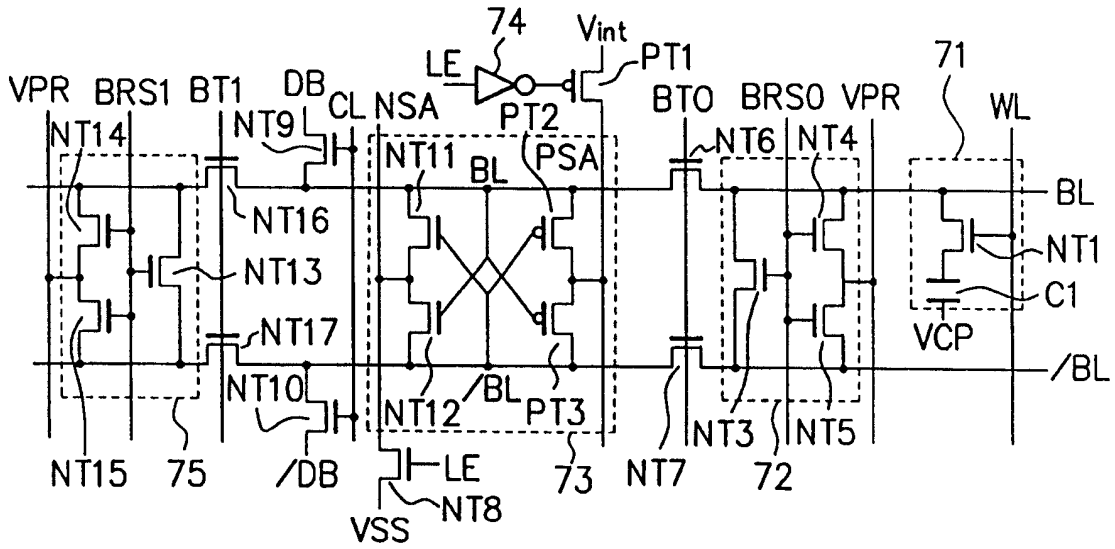


图6A

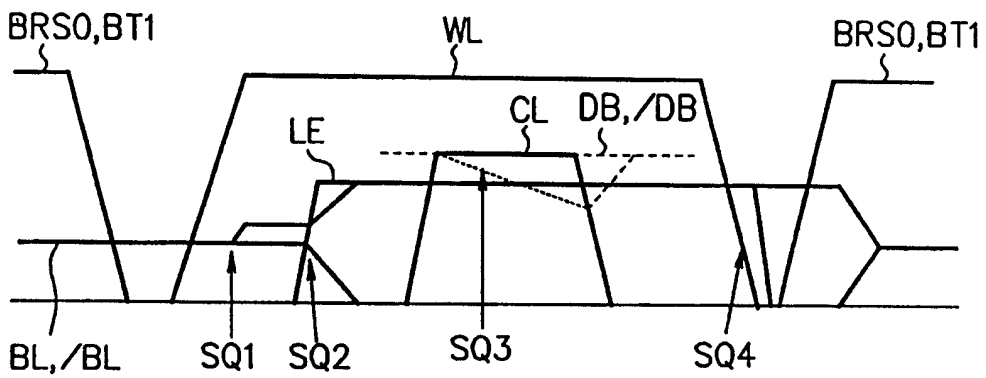


图6B

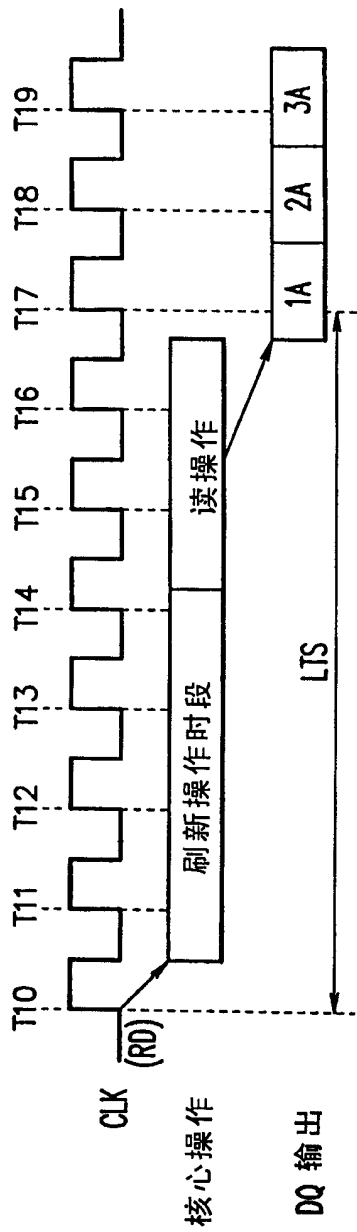


图7A

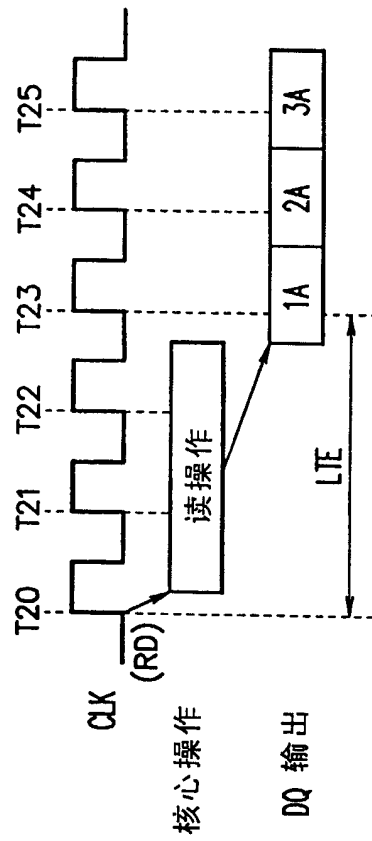


图7B

	CLK	CE2	/CE1	/RF	/ADV	/OE	/WE	/UB	/LB
读	↑	H	L	H	L	L	H	-	-
写	↑	H	L	H	L	H	L	-	-
ExREF	↑	H	L	L	H	H	L	H	H
SREFEN	↑	H	L	L	H	L	H	H	H
PD Entry	x	L	x	x	x	x	x	x	x
PD Exit	x	H	H	x	x	x	x	x	x

x:不关心

图8

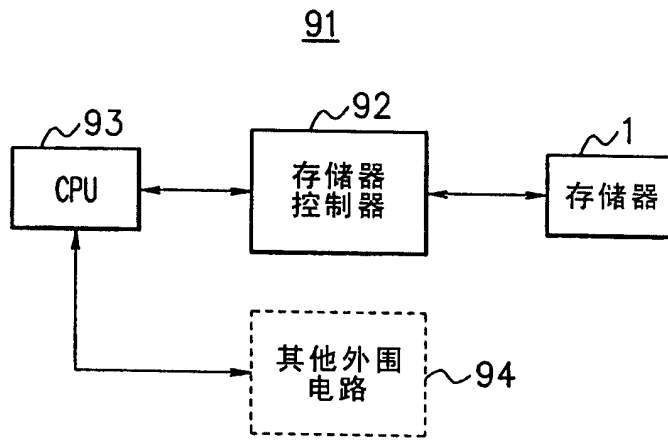


图9A

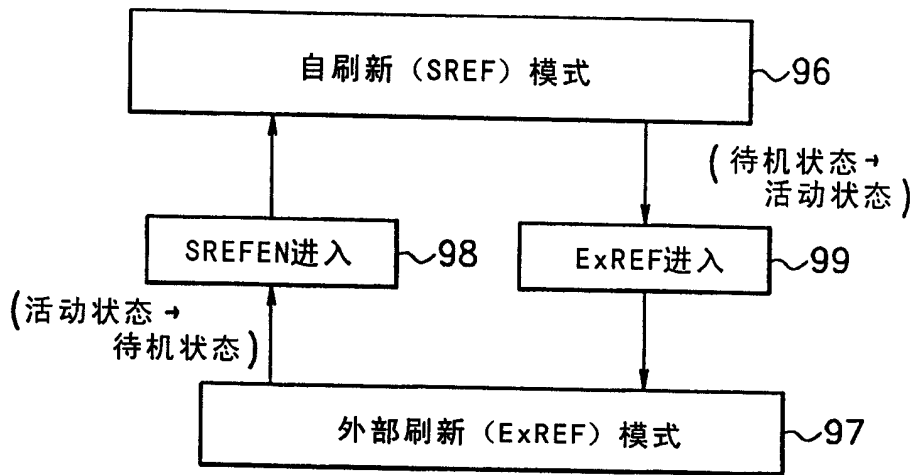


图9B

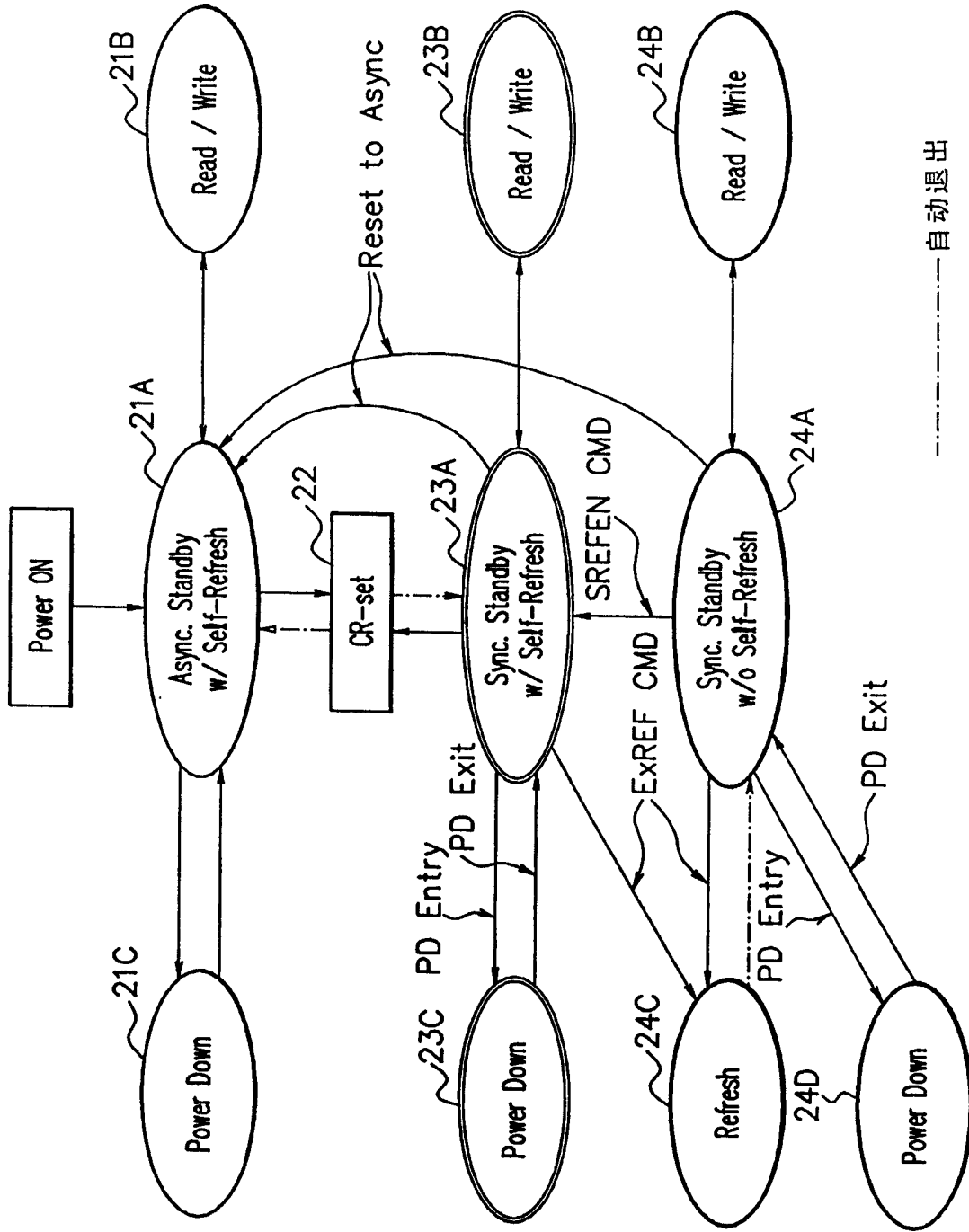


图10

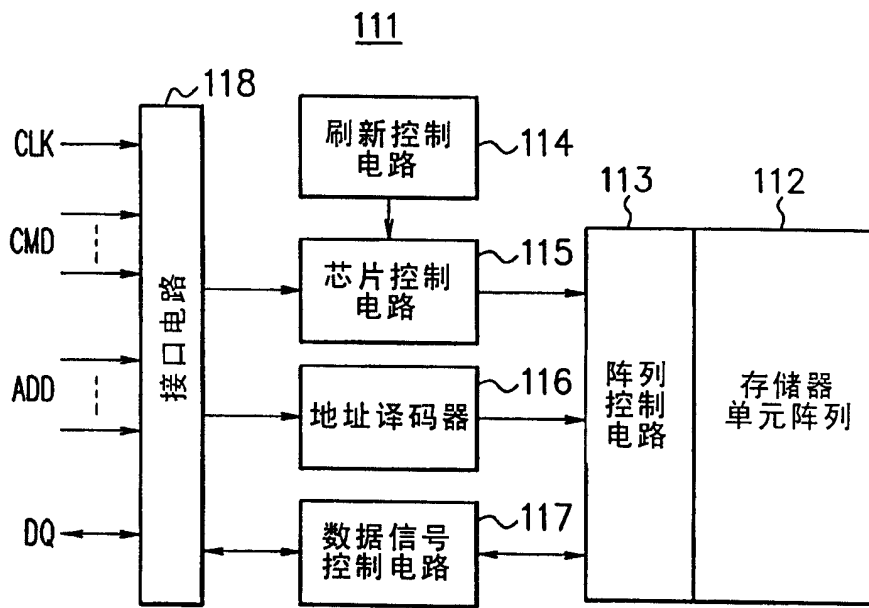


图11

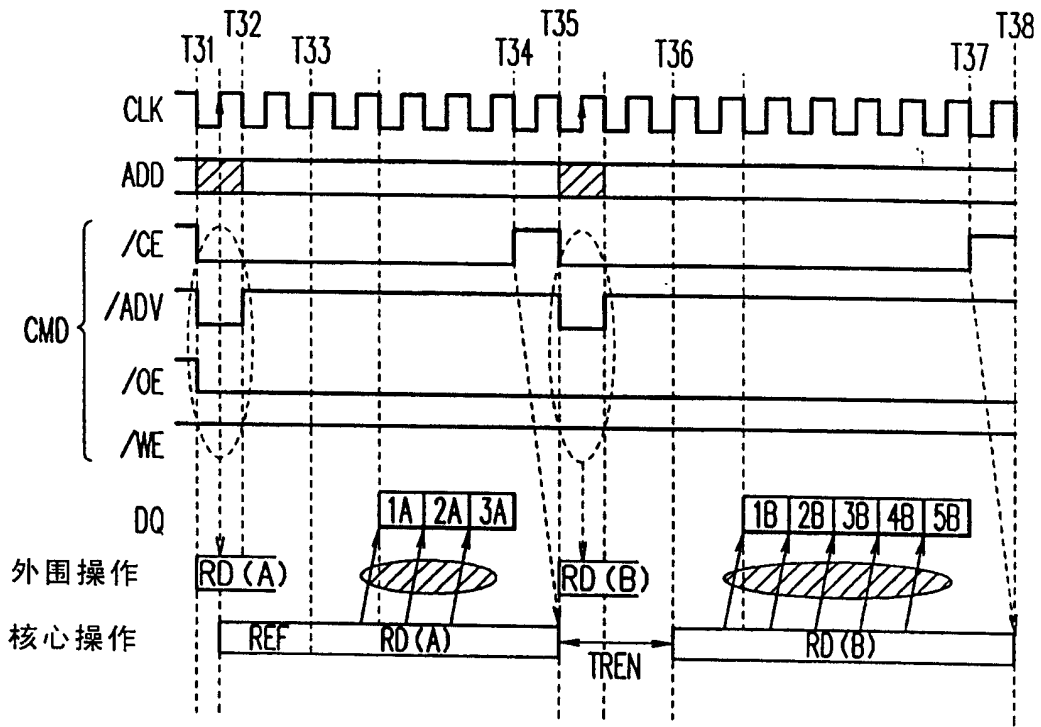


图12A

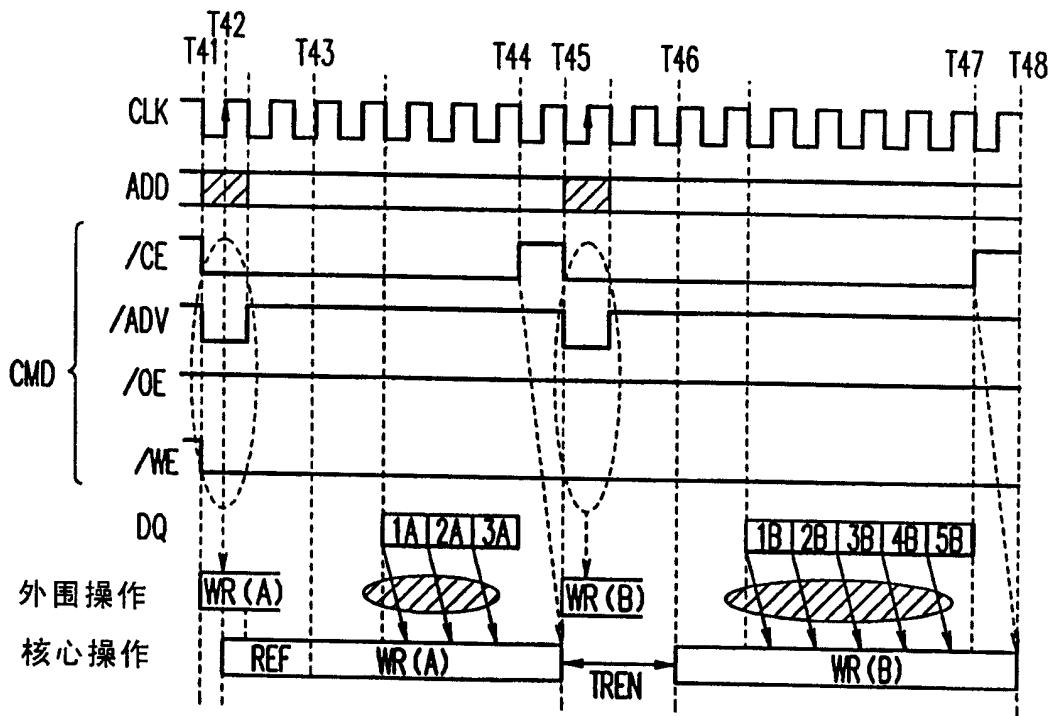


图12B