



(21)申請案號：110121315 (22)申請日：中華民國 110 (2021) 年 06 月 11 日

(51)Int. Cl. : H01L23/60 (2006.01) H01L27/04 (2006.01)

(30)優先權：2020/06/15 美國 63/039,293
2021/04/07 美國 17/224,671

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72)發明人：王智弘 WANG, CHIH-HUNG (TW)；李明軒 LI, MING-SHUAN (TW)；葉致鏞
YEH, CHIH-CHIEH (TW)；蘇子昂 SU, ZI-ANG (TW)；周佳儒 CHOU, CHIA-JU
(TW)

(74)代理人：洪澄文

(56)參考文獻：

TW	201503377A	TW	201730938A
TW	201830651A	TW	202013531A
US	2019/0027470A1		

審查人員：林永昌

申請專利範圍項數：11 項 圖式數：25 共 70 頁

(54)名稱

靜電放電裝置及半導體裝置的製造方法

(57)摘要

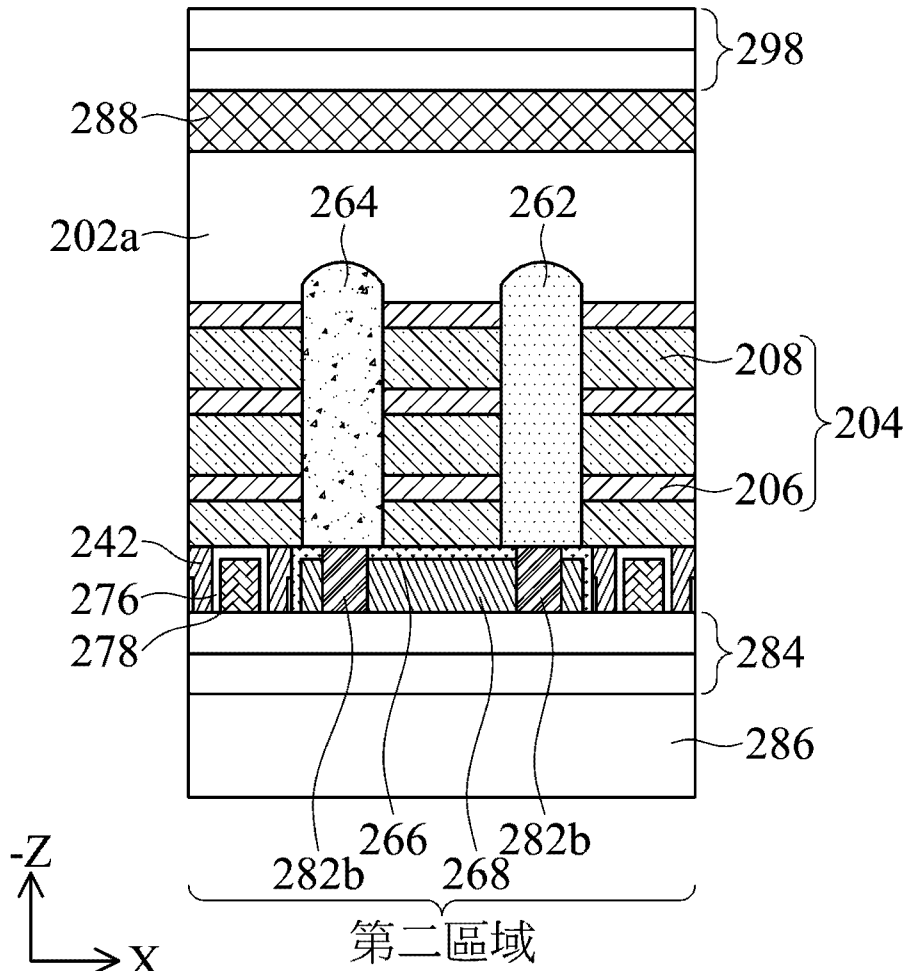
一種半導體裝置的製造方法，包括提供具有前側及後側的結構，上述結構包括基板及複數第一類型磊晶層與複數第二類型磊晶層的堆疊，第一類型磊晶層與第二類型磊晶層具有不同的材料組成並且在基板上方交替地堆疊，其中上述堆疊位於上述結構的前側而基板位於上述結構的後側；圖案化上述堆疊，進而在基板上方形成鰭片；佈植第一摻雜物至鰭片的第一區域之中，第一摻雜物具有第一導電型式；佈植第二摻雜物至鰭片的第二區域之中，第二摻雜物具有與第一導電型式相對的第二導電型式；以及在第一區域上形成第一接點，並且在第二區域上形成第二接點。

The present disclosure provides a method of manufacturing a semiconductor device. The method includes providing a structure having a frontside and a backside, the structure including a substrate and a stack of a first type and a second type epitaxial layers having different material compositions alternatively stacked above the substrate, wherein the stack is at the frontside of the structure and the substrate is at the backside of the structure; patterning the stack, thereby forming a fin above the substrate; implanting a first dopant into a first region of the fin, the first dopant having a first conductivity type; implanting a second dopant into a second region of the fin, the second dopant having a second conductivity type opposite the first conductivity type; and forming a first contact on the first region and a second contact on the second region.

指定代表圖：

符號簡單說明：

- 202a: 頂部基板部分
- 204: 磊晶堆疊
- 206: 磊晶層
- 208: 磊晶層
- 242: 閘極間隔物
- 262: N+區域
- 264: P+區域
- 266: 接觸蝕刻停止層
- 268: ILD 層
- 276: 高 k 值閘極介電層
- 278: 閘極電極層
- 282b: 接點
- 284: 金屬佈線層
- 286: 載體
- 288: 介電層
- 298: 金屬佈線層



第二區域
第 23B 圖



I761234

【發明摘要】

【中文發明名稱】靜電放電裝置及半導體裝置的製造方法

【英文發明名稱】ELECTROSTATIC DISCHARGING DEVICE AND

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

【中文】

一種半導體裝置的製造方法，包括提供具有前側及後側的結構，上述結構包括基板及複數第一類型磊晶層與複數第二類型磊晶層的堆疊，第一類型磊晶層與第二類型磊晶層具有不同的材料組成並且在基板上方交替地堆疊，其中上述堆疊位於上述結構的前側而基板位於上述結構的後側；圖案化上述堆疊，進而在基板上方形成鰭片；佈植第一摻雜物至鰭片的第一區域之中，第一摻雜物具有第一導電型式；佈植第二摻雜物至鰭片的第二區域之中，第二摻雜物具有與第一導電型式相對的第二導電型式；以及在第一區域上形成第一接點，並且在第二區域上形成第二接點。

【英文】

The present disclosure provides a method of manufacturing a semiconductor device. The method includes providing a structure having a frontside and a backside, the structure including a substrate and a stack of a first type and a second type epitaxial layers having different material compositions alternatively stacked above the substrate, wherein the stack is at the frontside of the structure and the substrate is at the backside of the structure; patterning the stack, thereby forming a fin above the substrate; implanting a first dopant into a first region of the fin, the first dopant having a first

conductivity type; implanting a second dopant into a second region of the fin, the second dopant having a second conductivity type opposite the first conductivity type; and forming a first contact on the first region and a second contact on the second region.

【指定代表圖】 第23B圖

【代表圖之符號簡單說明】

202a: 頂部基板部分

204: 磊晶堆疊

206: 磊晶層

208: 磊晶層

242: 閘極間隔物

262: N+區域

264: P+區域

266: 接觸蝕刻停止層

268: ILD層

276: 高k值閘極介電層

278: 閘極電極層

282b: 接點

284: 金屬佈線層

286: 載體

288: 介電層

298: 金屬佈線層

【發明說明書】

【中文發明名稱】靜電放電裝置及半導體裝置的製造方法

【英文發明名稱】ELECTROSTATIC DISCHARGING DEVICE AND
MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

【技術領域】

【0001】本申請係有關於一種半導體結構以及製造製程，特別係有關於一種靜電放電(ESD)防護裝置及其製造方法。

【先前技術】

【0002】半導體積體電路(integrated circuit, IC)工業已經歷了指數性的成長。技術在IC材料與設計上的進步已經產生了好幾世代的IC，其中每一世代都具有比先前世代更小且更複雜的電路。在IC發展的過程中，功能密度(即：每單位晶片面積之互連裝置的數量)普遍會增加，同時幾何尺寸(即：使用製造製程所能創建之最小組件(或線段))則會降低。這種微縮過程通常會藉由增加生產效率以及降低相關成本來提供益處。這種微縮還會增加IC在製程以及製造上的複雜度。

【0003】舉例來說，IC技術朝著更小的技術節點前進，多重閘極(multi-gate)裝置已被導入以藉由閘極通道耦合、降低切離狀態(off-state)電流、以及減少短通道效應(short-channel effects, SCE)的方式，來改善閘極的控制。多重閘極裝置通常是指一個裝置其所具有的閘極結構或閘極結構的一部分，被設置在通道區域之多於一個的側面上。閘極全環(gate-all-around, GAA)電晶體即為多重閘極裝

置的範例，閘極全環電晶體已經成為廣受歡迎且備受期待的候選者，以用於高性能以及低漏電的應用。GAA電晶體得名自它的閘極結構可延伸環繞通道區域，在四個側面上提供對堆疊之半導體通道層的存取(access)。與平面電晶體相比，這種配置提供了對通道更好的控制，並且大幅地降低短通道效應(具體來說，藉由降低次臨界漏電(sub-threshold leakage))。

【0004】 一個IC包括所包括的半導體裝置用於不同的功能，例如核心(core)功能以及靜電放電(electrostatic discharging, ESD)功能。這些不同的功能要求半導體裝置具有不同的架構。同時，如果這些半導體裝置在製造上具有相似的製程以及相似的製程窗口(process window)，便能提供降低成本以及增進產量的優點。儘管現行的多重閘極(例如：GAA)電晶體通常已足以滿足對它們的期望的目的，但是它們並非在所有方面都是完全令人滿意的。舉例來說，在IC發展的過程中，除了前側(frontside)互連外，後側(backside)電力導軌(power rail)已被導入，以增加可用於較大電源驅動(power driving)能力以及簡化金屬選路(routing)的金屬軌道(track)數量。如何形成與多重閘極製程相容並且同樣支持後側電力導軌之形成的ESD裝置(例如：ESD二極體)，是半導體工業所面對的挑戰。本揭露旨於解決上述問題以及其他相關問題。

【發明內容】

【0005】 本揭露實施例提供一種半導體裝置的製造方法。上述半導體裝置的製造方法包括提供具有前側以及後側的一結構，上述結構包括基板以及複數第一類型磊晶層與複數第二類型磊晶層的一堆疊，第一類型磊晶層與第二類型磊晶層具有不同的材料組成並且在基板上方交替地堆疊，其中上述堆疊位於上

述結構的前側，而基板位於上述結構的後側；圖案化上述堆疊，進而在基板上方形成鱗片；佈植第一摻雜物至鱗片的第一區域之中，第一摻雜物具有第一導電型式；佈植第二摻雜物至鱗片的第二區域之中，第二摻雜物具有與第一導電型式相對(opposite)的第二導電型式；以及在第一區域上形成第一接點，並且在第二區域上形成第二接點。

【0006】 本揭露實施例提供一種半導體裝置的製造方法。上述半導體裝置的製造方法包括形成自基板突出的鱗片，其中鱗片包括半導體基板上的複數第一類型磊晶層以及複數第二類型磊晶層，複數第一類型磊晶層與複數第二類型磊晶層具有不同的材料組成，並且在垂直方向上被交替地設置；在鱗片上方形成第一閘極結構以及第二閘極結構；以第一導電型式之第一摻雜物摻雜鱗片的第一區域；以第二導電型式之第二摻雜物摻雜鱗片的第二區域，第二導電型式與第一導電型式相對，其中第一區域以及第二區域位於第一閘極結構與第二閘極結構之間；在第一閘極結構以及第二閘極結構的複數側壁上形成介電層；在介電層中形成複數接點孔洞，複數接點孔洞曝露第一區域以及第二區域；以及在複數接點孔洞中形成複數導電接點。

【0007】 本揭露實施例提供一種靜電放電(ESD)裝置。上述靜電放電裝置包括半導體基板；半導體基板上之複數第一類型磊晶層與複數第二類型磊晶層的一堆疊，複數第一類型磊晶層與複數第二類型磊晶層具有不同的材料組成，且複數第一類型磊晶層與複數第二類型磊晶層在垂直方向上被交替地設置；上述堆疊中的第一佈植區域，其中第一佈植區域具有第一導電型式；以及上述堆疊中的第二佈植區域，其中第二佈植區域具有與第一導電型式相對的第二導電型式。

【圖式簡單說明】

【0008】 本揭露自後續實施方式及附圖可更佳理解。須強調的是，依據產業之標準作法，各種特徵並未按比例繪製，並且僅用於說明之目的。事實上，各種特徵之尺寸可能任意增加或減少以清楚論述。

第1A圖、第1B圖以及第1C圖係根據本揭露多種態樣所示，形成具有ESD裝置以及後側電力導軌之半導體結構的方法的流程圖。

第2圖、第3圖以及第4圖係根據本揭露一些實施例所示，半導體裝置之一部分在根據第1A圖至第1C圖之方法的製造製程期間的透視圖。

第5A圖以及第5B圖係根據本揭露一些實施例所示，半導體裝置之一部分在根據第1A圖至第1C圖之方法的製造製程期間的俯視圖。

第6A圖、第7A圖、第8A圖、第9A圖、第10A圖、第11A圖、第12A圖、第13A圖、第14A圖以及第15A圖係根據本揭露一些實施例所示，第5A圖之半導體裝置的一部分在根據第1A圖至第1C圖之方法的製造製程期間，沿著線段A-A的截面圖。

第6B圖、第7B圖、第8B圖、第9B圖、第10B圖、第11B圖、第12B圖、第13B圖、第14B圖以及第15B圖係根據本揭露一些實施例所示，第5A圖之半導體裝置的一部分在根據第1A圖至第1C圖之方法的製造製程期間，沿著線段B-B的截面圖。

第16A圖以及第16B圖係根據本揭露一些實施例所示，半導體裝置之一部分在根據第1A圖至第1C圖之方法的製造製程期間的俯視圖。

第17A圖、第18A圖、第19A圖、第20A圖、第21A圖、第22A圖以及第23A圖係根據本揭露一些實施例所示，第5A圖之半導體裝置的一部分在根據第1A圖

至第1C圖之方法的製造製程期間，沿著線段A-A的截面圖。

第17B圖、第18B圖、第19B圖、第20B圖、第21B圖、第22B圖以及第23B圖係根據本揭露一些實施例所示，第5A圖之半導體裝置的一部分在根據第1A圖至第1C圖之方法的製造製程期間，沿著線段B-B的截面圖。

【實施方式】

【0009】 以下之揭露提供許多不同實施例或範例，用以實施本揭露之不同特徵。本揭露之各部件及排列方式，其特定範例敘述於下以簡化說明。理所當然的，這些範例並非用以限制本揭露。舉例來說，若敘述中有著第一特徵成形於第二特徵之上或上方，其可能包含第一特徵與第二特徵以直接接觸成形之實施例，亦可能包含有附加特徵形成於第一特徵與第二特徵之間，而使第一特徵與第二特徵間並非直接接觸之實施例。此外，本揭露可在多種範例中重複參考數字及/或字母。該重複之目的係為簡化及清晰易懂，且本身並不規定所討論之多種實施例及/或配置間之關係。

【0010】 進一步來說，本揭露可能會使用空間相對術語，例如「在...下方」、「下方」、「低於」、「在...上方」、「高於」及類似詞彙，以便於敘述圖式中一個元件或特徵與其他元件或特徵間之關係。除了圖式所描繪之方位外，空間相對術語亦欲涵蓋使用中或操作中之裝置其不同方位。設備可能會被轉向不同方位(旋轉90度或其他方位)，而此處所使用之空間相對術語則可相應地進行解讀。再進一步來說，除非另有敘述，否則當一數字或一數字範圍以「大約」、「大概」或類似之用語描述時，該用語旨涵蓋所述數字在一定程度變化之內的數字(例如所述數字之 $\pm 10\%$ 或其他變化)，如同本技術領域中具通常知識

者所有鑑於本文所揭露之特定技術所理解的。舉例來說，用語「約5nm(奈米)」可涵蓋的尺寸範圍自4.5nm至5.5nm、自4nm至5nm等。

【0011】本申請係有關於一種半導體結構以及製造製程，特別係有關於一種靜電放電(electrostatic discharge, ESD)防護裝置及其製造方法，其中該製造方法相容於多重閘極電晶體的製程流程。

【0012】眾所周知的，因為靜電電荷(static charge)的累積(vicinity)，可能會在積體電路(IC)附近產生極高的電壓。積體電路的輸入或輸出緩衝器(buffer)可能會產生高電位(potential)，這可能是因為人為觸碰與輸入或輸出緩衝器電性接觸的封裝接腳(package pin)而引起的。當靜電電荷被釋放時，會在積體電路的封裝節點處產生高電流，這被稱為靜電放電(ESD)。ESD對於半導體裝置來說是一個嚴重的問題，因為它有可能會破壞整個積體電路。ESD暫態(transient)的持續時間非常短，通常為奈秒(nanosecond)等級，且傳統的電路斷路器(breaker)無法做出夠快的反應以提供充分的保護。出於這個原因，將ESD裝置整合到IC中已經成為一種已知的做法。在多種實施例中，一個IC可具有設置於提供核心功能(例如：邏輯以及記憶體應用)之核心區域中的多重閘極電晶體(例如：閘極全環(GAA)電晶體及/或鰭式場效電晶體(FinFET))，以及設置於提供ESD防護之ESD區域中的ESD裝置。

【0013】然而，IC發展的最新趨勢之中，除了結構之前面(或前側)上的互連結構(亦可包括電力導軌)之外，還包括在包含電晶體之結構的背面(或後側)上提供電力導軌(或電源選路(power routing))。這增加了結構中可用於直接連接到源極/汲極接點(contact)以及通孔(via)的金屬軌道的數量。與不具備後側電力導軌的現行結構相比，這還增加了閘極密度以實現更大的裝置整合度(integration)。

後側電力導軌所具有的尺寸，可寬於結構之前側上的第一層級(level)金屬(M0)軌道，這有益地降低了電力導軌的電阻。不幸地，這種方法會面臨設計與製程上的問題。具體來說，用於移除體(bulk)半導體基板的後側薄化(thinning)製程，實質上會消除用於ESD裝置的電流路徑，其中ESD裝置包括複數鰭片元件。因此，本技術領域需要一種ESD防護裝置，此ESD防護裝置的形成製程相容於形成多重閘極的製程流程，並且能夠同時克服先前技術的缺陷。

【0014】 本揭露之結構以及製造方法的細節在下文中結合附圖進行討論，下文及圖式根據本揭露實施例呈現了於核心區域中製造GAA裝置並且在ESD區域中製造ESD裝置的製程。GAA裝置是指具有垂直堆疊之水平指向的多重通道電晶體的裝置，例如奈米線(nanowire)電晶體以及奈米片(nanosheet)電晶體。因為GAA裝置具有更好的閘極控制能力、更低的漏電流(leakage current)、並且與FinFET裝置佈局完全相容，因此有望將CMOS推向路線圖(roadmap)的下一個階段。為使說明簡化，本揭露使用GAA裝置作為範例。本揭露技術領域具通常知識者應當理解，他們可輕易地以本揭露為基礎來設計或修改其他結構(例如：FinFET裝置)，以達成與本文所提出之實施例相同的目的，及/或實現與本文所提出之實施例相同的優點。

【0015】 第1A圖至第1C圖所示係半導體製造的方法100，包括與ESD裝置(例如：ESD二極體)一同形成多重閘極電晶體。方法100僅是作為範例，且並非旨於將本揭露限制為不同於發明申請專利範圍所明確敘述的內容。附加的操作可被提供於方法100之前、之中、以及之後，且對於該方法的附加實施例，所述的一些操作可被取代、消除或移動。下文結合第2圖至第23B圖描述方法100。為使說明清晰易懂，第2圖至第23B圖已被簡化，以更好地理解本揭露之創造性概

念。第2圖至第4圖係根據方法100的各種階段所示，半導體裝置(或稱裝置或是結構)200的透視圖。第5A圖、第5B圖、第16A圖以及第16B圖係根據方法100的各種階段所示之裝置200的俯視圖。第6A圖、第7A圖、第8A圖、第9A圖、第10A圖、第11A圖、第12A圖、第13A圖、第14A圖、第15A圖、第17A圖、第18A圖、第19A圖、第20A圖、第21A圖、第22A圖以及第23A圖係根據方法100的各種階段所示，第5A圖之裝置200的一部分沿著線段A-A的截面圖，其中線段A-A位於GAA電晶體的通道區域中且沿著GAA電晶體之通道層的長度方向(lengthwise direction)。第6B圖、第7B圖、第8B圖、第9B圖、第10B圖、第11B圖、第12B圖、第13B圖、第14B圖、第15B圖、第17B圖、第18B圖、第19B圖、第20B圖、第21B圖、第22B圖以及第23B圖係根據方法100的各種階段所示，第5A圖之裝置200的一部分沿著線段B-B的截面圖，其中線段B-B沿著ESD裝置中之鰭片元件(或稱鰭片)的長度方向。

【0016】 在一些實施例中，裝置200是為IC晶片、系統單晶片(system on chip, SoC)、或其一部分的一部分，裝置200包括各種被動(passive)與主動(active)微電子裝置，例如電阻器、電容器、電感器、二極體、p型場效電晶體(PFET)、n型場效電晶體(NFET)、FinFET、奈米片FET、奈米線FET、其他類型之多重閘極FET、金屬氧化物半導體場效電晶體(metal-oxide semiconductor field effect transistor, MOSFET)、互補式金屬氧化物半導體(complementary metal-oxide semiconductor, CMOS)電晶體、雙極性接面電晶體(bipolar junction transistor, BJT)、橫向擴散MOS(laterally diffused MOS, LDMOS)電晶體、高壓(high voltage)電晶體、高頻(high frequency)電晶體、記憶體裝置、其他合適之組件、或其組合。附加的特徵可被新增至裝置200中，且下文所述的一些特徵在裝置200的其他實

施例中可被取代、修改、或是消除。

【0017】 方法100在操作102(第1A圖)中提供(或被提供)裝置200。參照第2圖，裝置200包括用於形成電晶體的第一區域，以及包括用於形成ESD裝置的第二區域。形成於第一區域的電晶體用於核心應用，例如用於形成邏輯電路、記憶體電路、以及其他核心電路。形成於第二區域中的ESD裝置，例如ESD二極體，用於保護裝置200免受靜電放電事件的影響。裝置200包括基板202以及基板202上方的磊晶(epitaxial)堆疊204。基板202以及磊晶堆疊204兩者均自第一區域連續地延伸至第二區域。進一步地，硬遮罩(HM)層212被形成在磊晶堆疊204上方。

【0018】 在一些實施例中，基板202為半導體基板，例如矽基板。基板202可包括各種薄層，包括形成在半導體基板上的導電層或絕緣層。在所示實施例中，基板202包括介電覆蓋層203。在一些實施例中，介電覆蓋層203為氧化層。可使用下列方法沉積介電覆蓋層203：化學氣相沉積(chemical vapor deposition, CVD)、原子層沉積(atomic layer deposition, ALD)、物理氣相沉積(physical vapor deposition, PVD)、或是氧化。介電覆蓋層203將基板202分割為頂部基板部分202a以及底部基板部分202b。在一些實施例中，介電覆蓋層203在後側薄化製程期間，被用作蝕刻停止層或是化學機械研磨(chemical mechanical polishing, CMP)停止層。

【0019】 根據本揭露技術領域已知的設計需求，基板202亦可包括各種摻雜配置。舉例來說，不同的摻雜輪廓(例如：n井、p井)可被形成於基板202上之為不同裝置類型(例如：n型場效電晶體(NFET)、p型場效電晶體(PFET))所設計的區域中。合適的摻雜可包括摻雜物的離子佈植(ion implantation)及/或擴散製程。基板202可具有夾設於(interpose)提供給不同裝置類型的區域之間的隔離特徵(例

如：淺溝槽隔離(shallow trench isolation, STI)特徵)。基板202亦可包括其他半導體，例如鍺、碳化矽(SiC)、矽鍺(SiGe)或鑽石。替代性地，基板202可包括化合物半導體及/或合金半導體。進一步地，基板202可選地包括磊晶層、可被應變(strain)以提高性能、可包括絕緣層上矽(silicon-on-insulator, SOI)結構、及/或可具有其他合適之增強特徵。

【0020】 磊晶堆疊204包括第一組成的複數磊晶層206，磊晶層206被第二組成的複數磊晶層208所插入。第一組成與第二組成可以不同。磊晶層208可包括與基板202相同的組成。在所示實施例中，磊晶層206是矽鍺(SiGe)，而磊晶層208則是矽(Si)。不過，其他實施例也是可能的，包括提供具有不同氧化速率及/或蝕刻選擇性(selectivity)的第一組合與第二組合的那些實施例。舉例來說，在一些實施例中，第一組成或第二組成的磊晶層206、208可包括其他材料，例如鍺，可包括化合物半導體，例如碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮、及/或銻化銮，可包括合金半導體，例如SiGe、GaAsP、AlInAs、AlGaAs、InGaAs、GaInP及/或GaInAsP、或其組合。在一些實施例中，磊晶層206及208基本上是未摻雜的(即：所具有之外質(extrinsic)摻雜濃度自約 0cm^{-3} 至約 $1\times 10^{17}\text{cm}^{-3}$)，舉例來說，並未在磊晶生長(epitaxial growth)製程期間進行有意的摻雜。舉例來說，第一組合或第二組合之磊晶層206、208的磊晶生長，可藉由下列方法來執行：分子束磊晶(molecular beam epitaxy, MBE)製程、金屬有機化學氣相沉積(metalorganic chemical vapor deposition, MOCVD)製程、及/或其他合適之磊晶生長製程。在多種實施例中，基板202為結晶(crystalline)基板，磊晶層206、208為結晶半導體層，且磊晶堆疊204被形成為超晶格(superlattice)結構。

【0021】 在一些實施例中，每個磊晶層206的厚度處於約2奈米(nm)至約

6nm的範圍內。磊晶層206的厚度可以是實質上均勻的。不過，在所示實施例中，頂部之磊晶層206比它下方的其他磊晶層206還薄(例如：厚度為一半)。在一些實施例中，每個磊晶層208的厚度處於約6奈米(nm)至約12nm的範圍內。在一些實施例中，堆疊中的磊晶層208的厚度實質上是均勻的。如同下文所詳細描述的，磊晶層208或其一部分可形成隨後形成之第一區域中的GAA電晶體的通道層，且厚度的選擇是基於對電晶體性能的考量來進行的。用語「通道層」在本文中用於指稱具有奈米尺度甚或是微米尺度之尺寸的電晶體中之通道的任何材料部分，且此部分具有細長(elongate)形狀，並且無論此部分之截面的形狀。因此，該用語同時指稱圓形以及基本上呈圓形之截面的細長材料部分，以及包括諸如圓柱狀或基本上呈矩形之截面的樑(beam)形或條(bar)形材料部分。通道區域中的磊晶層206可最終被移除，且用於定義隨後形成之多重閘極裝置的相鄰通道構件之間的垂直距離，而厚度的選擇是基於對裝置性能的考量來進行的。因此，磊晶層206亦可被稱為犧牲層，而磊晶層208亦可被稱為通道層。

【0022】 應注意的是，雖然第2A圖及第2B圖中顯示了交替設置的三層磊晶層206與三層磊晶層208，但這僅用於說明之目的，而非旨於將本揭露限制為不同於發明申請專利範中所具體敘述的範圍。應理解的是，可在磊晶堆疊204中形成任意數量的磊晶層；磊晶層的數量取決於裝置200所需之通道層的數量。在一些實施例中，磊晶層208的數量在2與10之間。亦應注意的是，儘管磊晶層206、208被顯示為具有特定的堆疊順序，其中磊晶層208是磊晶堆疊204的最頂層，但其他配置也是可能的。舉例來說，在一些案例中，磊晶層206可替代性地作為磊晶堆疊204的最頂層。換句話說，磊晶層206、208的生長順序以及因此磊晶層206、208的堆疊順序，可被切換或是與圖式中所示者不同，且同時這些實施例

同樣維持在本揭露的範圍內。

【0023】 在所示實施例中，於形成半導體鰭片的圖案化之前，硬遮罩(HM)層212被形成在磊晶堆疊204上方。在一些實施例中，HM層212包括氧化物層212A(例如：可包括SiO₂的襯墊(pad)氧化物層)以及形成在氧化物層212A上方的氮化物層212B(例如：可包括Si₃N₄的襯墊氮化物層)。氧化物層212A可扮演磊晶堆疊204與氮化物層212B之間的黏著層(adhesion layer)，並且可以扮演用於蝕刻氮化物層212B的蝕刻停止層。在一些範例中，HM層212包括熱生長氧化物、CVD沉積氧化物、及/或ALD沉積氧化物。在一些實施例中，HM層212包括藉由CVD及/或其他合適之技術沉積的氮化物層。

【0024】 方法100接著進入操作104(第1A圖)，在操作104中，藉由使用圖案化的硬遮罩層212來圖案化磊晶堆疊204以形成鰭片組件210(或稱鰭片210)。參照第3圖的範例，在操作104的實施例中，自基板202延伸的複數鰭片210被形成為在X方向上縱向延伸，鰭片210包括第一區域中的鰭片210a以及第二區域中的鰭片210b。在所示實施例中，兩個鰭片210a於第一區域中被設置在Y方向上，且一個鰭片210b被繪製於第二區域中。但是鰭片210a或210b的數量並不限於此，並且可以小至一個或是大於等於三個。在各種實施例中，每個鰭片210包括由堆疊之磊晶層206與208所構成的上方部分，以及由基板202所形成的下方部分。在一些實施例中，位於第一區域中之鰭片210a的上方部分沿著Y方向的寬度W1，處於約10nm至約40nm的範圍內。在一些實施例中，位於第二區域中之鰭片210b的上方部分沿著Y方向的寬度W2，例如處於約50nm至約1000nm的範圍內。在一些實施例中，位於第一區域中之鰭片210a的上方部分沿著X方向的長度L1，以及位於第二區域中之鰭片210b的上方部分沿著X方向的長度L2，可各自處於約90nm

至約900nm的範圍內。在第一區域中，鱗片210a可被設計為用於形成NFET或PFET。在第二區域中，鱗片210b可被設計為用於形成ESD二極體。鱗片210b之較大的寬度W2，提供了較低的ESD電阻以及較強的ESD電流傳導性(current conductivity)。

【0025】 可使用合適之製程來製造鱗片210，包括微影(photolithography)製程以及蝕刻製程。微影製程可包括在HM層212上方形成光阻(photoresist)層(未圖示)、將光阻曝光為圖案、執行曝後烤製程、以及顯影(develope)光阻以形成包含光阻的遮蔽元件。將光阻圖案化以形成遮蔽元件的執行，可使用電子束(electron beam (e-beam))微影製程。遮蔽元件可接著被用於保護基板202的一些區域以及形成於其上的一些薄層，同時蝕刻製程在未被保護的區域中形成穿過HM層212、穿過磊晶堆疊204、以及進入基板202之中的溝槽214，進而留下複數延伸的鱗片210。可使用乾式蝕刻、濕式蝕刻、反應式離子蝕刻(reactive ion etching, RIE)、及/或其他合適的製程來蝕刻溝槽214。

【0026】 同樣可以使用在基板上形成半導體鱗片之方法的許多其他實施例，舉例來說，包括定義鱗片區域(例如：藉由遮罩或隔離區域)以及以鱗片210的形式磊晶生長磊晶堆疊204。在一些實施例中，鱗片210的形成可包括修整(trim)製程，以減少鱗片210的寬度。修整製程可包括濕式蝕刻製程及/或乾式蝕刻製程。在一些實施例中，可使用合適之製程來製造鱗片210，包括雙重圖案化(double-patterning)或多重圖案化(multi-patterning)製程。一般而言，雙重圖案化或多重圖案化製程結合了微影製程與自我對準(self-aligned)製程，允許所創建的圖案具有較小的間距，舉例來說，小於另外使用單一、直接之微影製程所能獲得的間距。舉例來說，在一個實施例中，犧牲層被形成在基板上方，並且使用微影製程將

犧牲層圖案化。使用自我對準製程沿著圖案化之犧牲層的側面形成間隔物(spacer)。犧牲層接著被移除，且剩餘的間隔物(或稱心軸(mandrel))可接著被用於藉由蝕刻磊晶堆疊204以及基板202來圖案化鰭片210。蝕刻製程可包括乾式蝕刻、濕式蝕刻、反應式離子蝕刻(RIE)、及/或其他合適的製程。

【0027】 在操作106中，方法100(第1A圖)在鰭片210之間形成隔離結構，例如淺溝槽隔離(STI)特徵。仍舊參照第3圖，STI特徵220被設置在夾設於鰭片210之間的基板202上。舉例來說，在一些實施例中，介電層首先被沉積在基板202上方，並以介電材料填充溝槽214。在一些實施例中，介電層可包括氧化矽、氮化矽、氮氧化矽、氟摻雜之矽酸鹽玻璃(fluorine-doped silicate glass, FSG)、低k值介電質、其組合、及/或其他合適之材料。在多種範例中，可藉由下列方法沉積介電層：CVD製程、次常壓化學氣相沉積(SACVD)製程、流動式(flowable)CVD製程、ALD製程、PVD製程、及/或其他合適的製程。在一些實施例中，在沉積介電層之後，裝置200可被退火(anneal)，舉例來說，退火以改善介電層的品質。在一些實施例中，介電層可包括多層結構，例如具有一或多個襯墊層(liner layer)。在形成STI特徵220的一些實施例中，在沉積介電層之後，所沉積的介電層被薄化或平坦化，例如藉由化學機械研磨(CMP)製程來薄化或平坦化，使得最頂部之磊晶層208的上方表面被曝露。隨後，夾設於鰭片210之間的介電層被掘入(recess)。如第3圖所示，STI特徵220被掘入，使得鰭片210在STI特徵220上方延伸。在一些實施例中，掘入製程可包括乾式蝕刻製程、濕式蝕刻製程、及/或其組合。在一些實施例中，掘入的深度被控制(例如：藉由控制蝕刻時間來控制)，以使鰭片之曝露的上方部分具有期望的高度。在所示的實施例中，磊晶堆疊204的每一個薄層均被曝露。在進一步的實施例中，STI特徵220的頂部表面被掘入

至低於磊晶堆疊204的底部表面。

【0028】方法100接著進入操作108(第1A圖)，在操作108中，犧牲層/特徵被形成，特別是虛擬(dummy)閘極結構(或稱虛擬閘極堆疊)。儘管本討論直指一種替換閘極(或稱閘極後製(gate-last))製程，製程中會形成虛擬閘極結構且虛擬閘極結構之後會被取代，但其他配置也是可能的。

【0029】參照第4圖、第5A圖至第5B圖以及第6A圖至第6B圖，閘極堆疊232(亦稱為虛擬閘極堆疊232)被形成。第4圖為裝置200的透視圖，第5A圖及第5B圖為裝置200之兩個實施例的俯視圖，第6A圖為第一區域中沿著鰭片210a之長度方向(例如：沿著第4圖之線段A-A)在鰭片210a中截取的截面圖，而第6B圖為第二區域中沿著鰭片210b之長度方向(例如：沿著第4圖之線段B-B)在鰭片210b中截取的截面圖。閘極堆疊232沿著Y方向呈縱向指向。在一些實施例中，閘極堆疊232所具有的寬度W3處於約10nm至約100nm範圍內，而所具有的長度L3處於約40nm至約950nm範圍內。在第一區域中，閘極堆疊232的長度L3大於鰭片210a的寬度W1，且閘極堆疊232在鰭片210a的頂部表面以及側壁兩者上接合(engage)鰭片210。鰭片210a之位於虛擬閘極堆疊232下方的部分可被稱為通道區域。虛擬閘極堆疊232亦可定義鰭片210a的源極/汲極(S/D)區域，例如鰭片210a之與通道區域相鄰並位於通道區域兩側上的區域。相鄰的閘極堆疊232之間的距離D1，可處於自約30nm至約200nm的範圍內。在第二區域中，閘極堆疊232的長度L3小於鰭片210b的寬度W2，且閘極堆疊232被沉積在鰭片210b的頂部表面上方，但並未被沉積在鰭片210b的側壁上(第5A圖)。在一些實施例中，第二區域中之兩個相鄰的閘極堆疊232之間的距離D2，處於自約110nm至約1020nm的範圍內，且距離D2大於距離D1。在一些實施例中，距離D2/長度L2的比值並未小於約0.7。若距

離D2/長度L2的比值小於70%，則兩個相鄰的閘極堆疊232之間相對較近的距離，可能會帶來不希望出現的雜散電容(stray capacitance)並降低ESD性能。在一些進一步的實施例中，距離D2/長度L2的比值大於1，這是指距離D2大於鰭片210b的長度L2，且閘極堆疊232被沉積在圍繞鰭片210b的STI特徵220上(第5B圖)。閘極堆疊232與鰭片210b之兩個相對邊緣之間間隙G1，可處於自約10nm至約60nm的範圍內。

【0030】 在多種實施例中，閘極堆疊232是為會在隨後被移除的虛擬(犧牲)閘極堆疊。因此，在使用閘極後製製程的一些實施例中，閘極層232是為虛擬閘極堆疊，且將在裝置200的後續製程階段中被最終閘極堆疊所取代。具體來說，閘極堆疊232可在稍後的製程階段中，被高k值介電層(HK)以及金屬閘極電極(MG)所取代，如同下文將詳細討論的。

【0031】 在一些實施例中，虛擬閘極堆疊232包括虛擬介電層234以及虛擬電極層236。在一些實施例中，虛擬介電層234可包括SiO₂、氮化矽、高k值介電材料、及/或其他合適的材料。在多種範例中，可藉由下列方法沉積虛擬介電層234：CVD製程、次常壓CVD(subatmospheric CVD, SACVD)製程、流動式CVD製程、ALD製程、PVD製程、或是其他合適的製程。舉例來說，虛擬介電層234可被用於防止後續的製程(例如：虛擬閘極堆疊的後續形成)對鰭片210造成傷害。隨後，虛擬閘極堆疊232的其他部分被形成，包括虛擬電極層236以及硬遮罩240，硬遮罩240可包括複數薄層240A以及240B(例如：氧化物層的薄層240A(因此亦稱為氧化物層240A)以及氮化物層的薄層240B(因此亦稱為氮化物層240B))。在一些實施例中，藉由各種製程操作來形成虛擬閘極堆疊232，例如薄層沉積、圖案化、蝕刻、以及其他合適的製程操作。範例性的薄層沉積製程包

括CVD(包含低壓CVD以及電漿增強型CVD兩者)、PVD、ALD、熱氧化、電子束蒸鍍(e-beam evaporation)、或是其他合適之沉積技術、或其組合。舉例來說，在閘極堆疊的形成中，圖案化製程包括微影製程(例如：黃光微影或電子束微影)，微影製程進一步包括光阻塗佈(例如：自旋塗佈)、軟烤、光罩對準、曝光、曝後烤、光阻顯影、沖洗(rinsing)、乾燥(例如：自旋乾燥及/或硬烤)、其他合適之微影技術、及/或其組合。在一些實施例中，蝕刻製程可包括乾式蝕刻(例如：RIE蝕刻)、濕式蝕刻、及/或其他蝕刻方法。在一些實施例中，虛擬電極層236可包括多晶矽(polysilicon或polycrystalline silicon)。在一些實施例中，硬遮罩240包括氧化物層240A，例如可包括SiO₂的襯墊氧化物層。在一些實施例中，硬遮罩240包括氮化物層240B，例如可包括Si₃N₄、氮氧化矽及/或碳化矽的襯墊氮化物層。

【0032】 在後續圖式中，為使說明簡潔易懂，將說明在形成第5A圖所示之結構之後的製造操作，在該結構中，虛擬閘極堆疊被沉積在鰭片210b的正上方(directly above)。不過，相同的操作可被應用於第5B圖中所示的結構，在第5B圖所示的結構中，虛擬閘極堆疊被沉積在STI特徵220的上方。

【0033】 在操作110中，方法100於虛擬閘極堆疊232的側壁上形成閘極間隔物242。參照第7A圖及第7B圖，閘極間隔物242可具有約2至10nm的厚度。在一些範例中，閘極間隔物242可包括介電材料，例如氧化矽、氮化矽、碳化矽、氮氧化矽、SiCN、碳氧化矽、SiOCN、低k值材料、及/或其組合。在一些實施例中，閘極間隔物242包括複數薄層，例如襯墊間隔物層242A以及主間隔物層242B等。舉例來說，可藉由使用諸如CVD製程、次常壓CVD (SACVD)製程、流動式CVD製程、ALD製程、PVD製程或其他合適之製程的製程，在裝置200上方

順應性地(conformally)沉積介電材料來形成閘極間隔物242。在介電材料的順應性沉積之後，用於形成閘極間隔物242的介電材料的一些部分可被回蝕刻(etch-back)，以曝露鰭片210之未被虛擬閘極堆疊232覆蓋的部分。在一些案例中，回蝕刻製程沿著虛擬閘極堆疊232的頂部表面，移除用於形成閘極間隔物242的介電材料的一些部分。在一些實施例中，回蝕刻製程可包括濕式蝕刻製程、乾式蝕刻製程、多步驟蝕刻製程、及/或其組合。應注意的是，在回蝕刻製程之後，閘極間隔物242維持被設置在虛擬閘極堆疊232的側壁上。

【0034】 在操作112中，方法100(第1A圖)蝕刻第一區域中的S/D區域以形成凹槽246。凹槽246亦被稱為S/D溝槽246。參照第8A圖及第8B圖，在操作112的一些實施例中，蝕刻遮罩(未圖示)被形成在裝置200上方。蝕刻遮罩提供位於第一區域上方的開口，允許鰭片210a的S/D區域經由該開口被掘入，同時保護第二區域免受蝕刻損失。操作112接著施加蝕刻製程，該蝕刻製程經過調整，對鰭片210a中的半導體材料(例如：矽以及矽鍺)的材料具有選擇性，且不會(或最小化)蝕刻虛擬閘極堆疊232以及STI特徵220。在本實施例中，蝕刻掘入S/D區域中的鰭片210a到底於最底部之磊晶層206的程度。磊晶層206與208的終端在S/D溝槽246中曝露。蝕刻製程可為乾式蝕刻、濕式蝕刻、反應式離子蝕刻、或是其他蝕刻方法。蝕刻遮罩隨後被移除，例如藉由光阻剝離(stripping)製程或其他合適的製程。

【0035】 在操作114中，方法100(第1A圖)於第一區域中在磊晶層206的終端上形成內部間隔物248。參照第9A圖及第9B圖，在一些實施例中，內部間隔物248包括介電材料，介電材料包括矽、氧、碳、氮、其他合適的材料、或其組合(例如：氧化矽、氮化矽、氮氧化矽、碳化矽、或是碳氮氧化矽(silicon

oxycarbonitride))。內部間隔物248可藉由沉積以及蝕刻製程來形成。舉例來說，在形成S/D溝槽246之後，可使用橫向蝕刻製程來掘入磊晶層206，以在相鄰的磊晶層208之間垂直地形成空腔(cavity)。接著，一或多個介電材料被沉積(例如：使用CVD或ALD)以填充空腔。另一個蝕刻製程被執行，以移除空腔外的介電材料，進而形成內部間隔物248。

【0036】 在操作116中，方法100(第1A圖)進一步在蝕刻製程中將源極區域中的S/D溝槽246(因此稱為源極溝槽246，而汲極區域中的S/D溝槽246則稱為汲極溝槽246)向下延伸到頂部基板部分202a之中，並在源極溝槽246中形成底部S/D層252。根據一個實施例，在第10A圖及第10B圖中顯示了所得到的結構。在所示實施例中，操作114首先在裝置200上方形成蝕刻遮罩250。在一些實施例中，蝕刻遮罩250是順應性地沉積在裝置200上的襯墊層。蝕刻遮罩250在第一區域中提供開口，該開口位於相鄰之虛擬閘極堆疊232之間的源極溝槽246上方，同時汲極溝槽246以及第二區域則維持被蝕刻遮罩250所覆蓋。在多種實施例中，蝕刻遮罩250的開口，可僅被提供於汲極溝槽上方、僅被提供於源極溝槽上方、或是提供於源極與汲極溝槽兩者上方。在本揭露中，源極與汲極可互換地使用。蝕刻遮罩250所包括的材料不同於頂部基板部分202a中的半導體材料，以在進一步蝕刻源極溝槽246的期間達到蝕刻選擇性。舉例來說，蝕刻遮罩250包括光阻材料(因此可被稱為圖案化光阻層及/或圖案化光阻劑層)。操作116進一步包括穿過蝕刻遮罩250蝕刻頂部基板部分202a，以向下延伸源極溝槽246。蝕刻製程可為乾式蝕刻、濕式蝕刻、反應式離子蝕刻、或是其他合適的蝕刻方法，以將源極溝槽246選擇性地掘入到期望的程度。操作116隨後以底部S/D層252填充延伸後的源極溝槽246的底部部分，底部S/D層252具有對頂部基板部分202a中的半導體

材料的蝕刻選擇性。在一些實施例中，底部S/D層252為介電材料，包括選自下列材料的一或多種介電材料： La_2O_3 、 Al_2O_3 、 SiOCN 、 SiOC 、 SiCN 、 SiO_2 、 SiC 、 ZnO 、 ZrN 、 $\text{Zr}_2\text{Al}_3\text{O}_9$ 、 TiO_2 、 TaO_2 、 ZrO_2 、 HfO_2 、 Si_3N_4 、 Y_2O_3 、 AlON 、 TaCN 、 ZrSi 、其組合、以及其他合適的材料，且可藉由電漿增強型化學氣相沉積(PECVD)、流動式化學氣相沉積(FCVD)、或是其他合適的方法來形成底部S/D層252。在一些實施例中，底部S/D層252可包括半導體材料，只要在底部S/D層252與頂部基板部分202a之間能夠達到蝕刻選擇性即可。舉例來說，底部S/D層252可包括矽鍺，且可藉由任何磊晶製程來形成，包括化學氣相沉積(CVD)技術(例如：氣相磊晶及/或超高真空CVD)、分子束磊晶、其他合適之磊晶生長製程、或其組合。底部S/D層252替隨後形成之後側S/D接點保留空間。在所示實施例中，底部S/D層252填充源極溝槽246的底部部分，且低於最底部磊晶層206。蝕刻遮罩250隨後被移除，舉例來說，藉由光阻剝離製程或其他合適之製程。

【0037】在操作118中，方法100(第1B圖)於第一區域中的S/D溝槽246中形成S/D特徵260。根據一個實施例，在第11A圖以及第11B圖中顯示了所獲得的結構。在一些實施例中，操作118可包括磊晶生長半導體材料，例如磊晶生長矽、鍺或矽鍺。可藉由任何磊晶製程形成S/D特徵260，包括化學氣相沉積(CVD)技術(例如：氣相磊晶及/或超高真空CVD)、分子束磊晶、其他合適之磊晶生長製程、或其組合。S/D特徵260可被以n型摻雜物及/或p型摻雜物摻雜。在一些實施例中，對於n型電晶體，S/D特徵260包括矽，且可被以碳、磷、砷、其他n型摻雜物或其組合進行摻雜(例如：形成Si:C磊晶S/D特徵、Si:P磊晶S/D特徵、或是Si:C:P磊晶S/D特徵)。在一些實施例中，對於p型電晶體，S/D特徵260包括矽鍺或鍺，且可被以硼、其他p型摻雜物或其組合進行摻雜(例如：形成Si:Ge:B磊晶S/D

特徵)。S/D特徵260可包括具有不同程度之摻雜物密度的複數磊晶半導體層。在一些實施例中，退火製程(例如：快速熱退火(rapid thermal annealing, RTA)及/或雷射退火)被執行，以活化(activate)S/D特徵260中的摻雜物。

【0038】 在操作120中，方法100(第1B圖)於第二區域中之鱗片210b中形成佈植的P+區域以及N+區域，以形成ESD裝置。根據一個實施例，在第12A圖及第12B圖中顯示所獲得的結構。操作120可包括執行n型雜質佈植(或摻雜)以形成重度摻雜(heavily doped)的n型區域262(或稱為N+區域262)，以及包括執行p型雜質佈植以形成重度摻雜的p型區域264(或稱為P+區域264)。在整個說明書中，用語「重度摻雜」是指雜質濃度大於約 $10^{20}/\text{cm}^3$ 。然而，應理解的是，用語「重度摻雜」是本技術領域之用語，並與用於形成實施例之積體電路的特定技術世代有關。當導電型式(conductivity type)為p型時，合適的雜質包括硼、鋁或其他合適之p型摻雜物。當導電型式為n型時，合適的雜質包括磷、砷或其他合適之n型摻雜物。在所示實施例中，佈植被限制在第二區域中相鄰的虛擬閘極堆疊232之間的區域中。如同本技術領域已知的，可形成諸如光阻的遮罩以覆蓋沒有要被佈植的區域。在一些實施例中，P+區域264以及N+區域262中的每一者所具有之沿著Y方向的寬度，可基本上等於鱗片210b的寬度W2，且所具有之沿著X方向的長度L4可處於約30nm至約200nm的範圍內。在所示實施例中，P+區域264以及N+區域262的摻雜深度，延伸超過最底部之磊晶層206並且以距離d進入頂部基板部分202a。在一個實施例中，距離d處於約0nm至約30nm的範圍內。此距離d改善了實施例中的ESD裝置的阻容(RC)性能。鱗片210b的中間部分可保持未被佈植的狀態。鱗片210b之未被佈植的中間部分位於N+區域262與P+區域264之間，並且與N+區域262以及P+區域264鄰接(adjoin)。參照第12B圖並以第16A圖作為俯

視圖，在一些實施例中，未被佈植的中間部分所具有之沿著X方向的長度L5，可處於約30nm至約500nm的範圍內。在多種實施例中，長度L5/長度L4的比值處於約0.2至約2.5的範圍內。如果此比值小於0.2，則P+區域/N+區域之間相對較小的距離，可能會導致摻雜物擴散到彼此之中，並且降低有效的佈植區域寬度。如果此比值大於2.5，則P+區域/N+區域之間相對較大的距離，可能會增加沿著ESD路徑的電阻並降低ESD性能。在所示實施例中，虛擬閘極堆疊232以間隙G2(自閘極間隔物242的側壁量測)與P+區域/N+區域橫向地分隔，其中間隙G2處於約10nm至約60nm的範圍內。替代性地，虛擬閘極堆疊232可與P+區域/N+區域毗鄰(間隙G2≈0)，或者甚至是與P+區域/N+區域的邊緣部分地重疊。

【0039】 在操作120之後所獲得的結構中，P-N接面被形成在P+區域264與N+區域262之間。P-N接面沿著鰭片210b的長度方向。在所示實施例中，所獲得的結構是為ESD二極體。藉由在相同的鰭片中具有P+區域/N+區域而非跨越複數鰭片，ESD電流傳導性得到增強，且ESD寄生電容得以降低。藉由具有虛擬閘極堆疊並因此在P+區域/N+區域之外具有隨後形成的金屬閘極堆疊，ESD二極體與閘極結構之間的ESD寄生電阻進一步地降低。鰭片210b之相對較大的寬度，還帶來了低電阻率的ESD電流路徑，這增強了ESD裝置的性能。

【0040】 在操作122中，方法100(第1B圖)於虛擬閘極堆疊232的側壁上形成層間介電(inter-layer dielectric, ILD)層268，並覆蓋鰭片210。參照第13A圖以及第13B圖，在操作122的一些實施例中，在形成ILD層268之前，還形成了接觸蝕刻停止層(contact etch stop layer, CESL)266。在一些範例中，接觸蝕刻停止層266包括氮化矽層、氧化矽層、氮氧化矽層、及/或其他本技術領域中已知的材料。可藉由電漿增強型化學氣相沉積(plasma-enhanced chemical vapor deposition,

PECVD)製程及/或其他合適之沉積或氧化製程，來形成接觸蝕刻停止層266。在一些實施例中，ILD層268所包括的材料例如正矽酸乙酯(tetraethylorthosilicate, TEOS)氧化物、未摻雜之矽酸鹽玻璃或是摻雜之矽氧化物，例如硼磷矽酸鹽玻璃(borophosphosilicate glass, BPSG)、熔融石英玻璃(fused silica glass, FSG)、磷矽酸鹽玻璃(phosphosilicate glass, PSG)、硼摻雜之矽酸鹽玻璃(BSG)、及/或其他合適的介電材料。可藉由PECVD製程或其他合適之沉積技術來沉積ILD層268。在一些實施例中，在形成ILD層268之後，可對裝置200進行高熱預算(high thermal budget)製程以退火ILD層。在一些範例中，在沉積ILD層268之後，可執行平坦化製程以移除多餘的介電材料。舉例來說，平坦化製程包括CMP製程，CMP製程移除接觸蝕刻停止層266以及ILD層268之覆蓋在虛擬閘極堆疊232上方的部分，並且平坦化裝置200的頂部表面。在一些實施例中，CMP製程曝露了虛擬電極層236。

【0041】 在操作124中，方法100(第1B圖)於第一區域以及第二區域兩者中移除虛擬閘極堆疊232以形成閘極溝槽270，如第13A圖及第13B圖所示。最終閘極結構(例如：包括高k值介電層以及金屬閘極電極)可隨後被形成於閘極溝槽270中，如同將於下文中所描述的。操作124可包括一或多個蝕刻製程，這些蝕刻製程對虛擬閘極堆疊232的虛擬介電層234以及虛擬電極層236中的材料具有選擇性。舉例來說，可使用選擇性蝕刻製程來執行虛擬閘極堆疊的移除，例如使用選擇性濕式蝕刻、選擇性乾式蝕刻、或其組合。在閘極溝槽270中，第一區域中之鰭片210a的磊晶層206與208以及第二區域中之鰭片210b的最頂部之磊晶層208被曝露。

【0042】 在操作126中，方法100(第1B圖)於第一區域中自閘極溝槽270中曝

露的鱗片210a移除磊晶層206。根據一個實施例，在第13A圖以及第13B圖中顯示了所獲得的結構。在一個實施例中，磊晶層206包括SiGe且磊晶層208包括Si，這允許選擇性地移除磊晶層206。在一個實施例中，藉由選擇性濕式蝕刻製程移除磊晶層206。在一些實施例中，選擇性濕式蝕刻包括APM蝕刻(例如：氨水-過氧化氫-水的混合物(ammonia hydroxide-hydrogen peroxide-water mixture))。在一些實施例中，選擇性移除包括SiGe氧化以及接續在後的SiGeO_x移除。在第二區域中，最頂部的磊晶層208用作蝕刻停止層，並從蝕刻中保護下方的磊晶層206。

【0043】方法100接著進入操作128(第1B圖)，在操作128中，閘極結構被形成。根據一個實施例，在第14A圖以及第14B圖中顯示了所獲得的結構。閘極結構可為高k值/金屬閘極(HKMG)堆疊，不過其他組成也是可能的。在一些實施例中，閘極結構形成了與第一區域之通道區域中的複數通道層(例如：之間具有間隙的複數奈米片或複數奈米線)所提供之多重通道相關的閘極。在操作128的一個實施例中，HKMG堆疊274被形成在裝置200的閘極溝槽270之中。在多種實施例中，HKMG堆疊274包括界面層(interfacial layer, 未圖示)、形成於界面層上方的高k值閘極介電層276、以及形成於高k值閘極介電層276上方的閘極電極層278。如同本文所使用以及描述的，高k值閘極介電質包括具有高介電常數的介電材料，舉例來說，介電常數大於熱氧化矽的介電常數(約等於3.9)。HKMG堆疊中所使用的閘極電極層可包括金屬、金屬合金或金屬矽化物。此外，HKMG堆疊的形成，可包括沉積以形成各種閘極材料、一或多個襯墊層，以及包括執行一或多個CMP製程以移除多餘的閘極材料，並進而平坦化半導體裝置200的頂部表面。夾設於HKMG堆疊274與S/D特徵260之間的是內部間隔物248，內部間隔物248提供了隔離。

【0044】 在一些實施例中，HKMG堆疊274的界面層可包括介電材料，例如氧化矽(SiO_2)、 HfSiO 、或是氮氧化矽(SiON)。界面層的形成可透過下列方法：化學氧化、熱氧化、原子層沉積(ALD)、化學氣相沉積(CVD)、及/或其他合適的方法。HKMG堆疊274的高k值閘極介電層276可包括高k值介電質，例如氧化鈺(HfO_2)。替代性地，HKMG堆疊274的高k值閘極介電層276可包括其他高k值介電質，例如 TiO_2 、 HfZrO 、 Ta_2O_3 、 HfSiO_4 、 ZrO_2 、 ZrSiO_2 、 LaO 、 AlO 、 ZrO 、 TiO 、 Ta_2O_5 、 Y_2O_3 、 SrTiO_3 (STO)、 BaTiO_3 (BTO)、 BaZrO 、 HfZrO 、 HfLaO 、 HfSiO 、 LaSiO 、 AlSiO 、 HfTaO 、 HfTiO 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)、 Al_2O_3 、 Si_3N_4 、氮氧化物(SiON)、其組合、或其他合適的材料。高k值閘極介電層276的形成可藉由下列方法：ALD、物理氣相沉積(PVD)、CVD、氧化、及/或其他合適的方法。

【0045】 HKMG堆疊274的閘極電極層278可包括單層結構，或是替代性地包括多層結構，例如具有經過選擇之功函數(work function)以增強裝置性能的金屬層(功函數金屬層)、襯墊層、潤濕層(wetting layer)、黏著層、金屬合金或金屬矽化物的各種組合。舉例來說，HKMG堆疊274的閘極電極層278可包括Ti、Ag、Al、 TiAlN 、TaC、TaCN、 TaSiN 、Mn、Zr、TiN、TaN、Ru、Mo、WN、Cu、W、Re、Ir、Co、Ni、其他合適的金屬材料、或其組合。在多種實施例中，HKMG堆疊274的閘極電極層278的形成可透過下列方法：ALD、PVD、CVD、電子束蒸鍍、或是其他合適的製程。進一步地，可分別為了NFET以及PFET形成閘極電極層278，這些閘極電極層278可使用不同金屬層(例如：提供n型或p型功函數)。在多種實施例中，可執行CMP製程以自HKMG堆疊274之閘極電極層278移除多餘的金屬，進而提供HKMG堆疊274之基本平坦的頂部表面。HKMG堆疊274包括夾設於每個磊晶層(通道層)208之間的部分，其中磊晶層208形成第一區域中之

多重閘極電晶體的通道。

【0046】 在操作130中，方法100(第1B圖)在裝置200的前側上形成各種特徵。舉例來說，操作130可藉由蝕刻ILD層268以及接觸蝕刻停止層266來形成曝露下方之N+區域262/P+區域264的接點開口、藉由以導電材料填充接點開口來形成著陸(land)於第一區域中之S/D特徵260上的接點282a與著陸於第二區域中之N+區域262/P+區域264上的接點282b、以及在裝置200的前側上形成各種其他接點/通孔/導線和多層互連特徵(例如：金屬層以及層間介電質)(以金屬佈線(wiring)層284表示)。根據一個實施例，在第15A圖以及第15B圖中顯示了所獲得的結構。在進一步的範例中，金屬佈線層284可包括多層互連，例如垂直互連(例如：通孔或接點)以及水平互連(例如：金屬線)。各種互連特徵可採用各種導電材料，包括銅、鎢及/或矽化物。在一的範例中，使用鑲嵌(damascene)及/或雙鑲嵌製程以形成與銅有關的多層互連結構。

【0047】 參照第16A圖，第16A圖根據一個實施例繪製了在操作130之後裝置200的俯視圖，第二區域中的接點282b沿著X方向間隔並沿著Y方向延伸。每個接點282b所具有之沿著X方向的寬度處於約10nm到約80nm的範圍內，且所具有之沿著Y方向的長度處於約40nm到約950nm的範圍內。接點282b可被沉積在P+區域264/N+區域262的一部分中，該部分分別具有到P+區域/N+區域之內部邊緣(即：相對邊緣)的邊緣到邊緣距離L6'，以及具有到P+區域/N+區域之外部邊緣(即：面對HKMG堆疊274的邊緣)的邊緣到邊緣距離L6。在多種實施例中，邊緣到邊緣距離L6'小於邊緣到邊緣距離L6。換句話說，比起外部邊緣，接點282b更靠近P+區域/N+區域的內部邊緣。在一些實施例中，邊緣到邊緣距離L6'/邊緣到邊緣距離L6的比值小於約0.4。舉例來說，邊緣到邊緣距離L6'可小於約10nm，

而邊緣到邊緣距離L6可處於約30nm至約60nm之間的範圍內。參照第16B圖，第16B圖根據如前文關於第5B圖所討論之另一個實施例繪製了在操作130之後裝置200的俯視圖，閘極堆疊274被沉積在STI特徵220上，且P+區域/N+區域延伸到鰭片210b的橫向末端。閘極堆疊274與鰭片210b的兩個相對邊緣之間間隙G1，同樣也是閘極堆疊274與P+區域/N+區域的兩個相對邊緣之間間隙G2，間隙G1及間隙G2分別處於自約10nm至約60nm的範圍內。藉由具有在鰭片210b外部的閘極堆疊274，ESD二極體與閘極結構之間的ESD寄生電容進一步地降低。

【0048】 在操作132中，方法100(第1B圖)將裝置200上下翻轉，並將裝置200的前側附接(attach)到載體(carrier)286，如第17A圖及第17B圖所示。這使得裝置200能夠從裝置200的後側進行進一步的製程。操作132可使用任何合適的附接製程，例如直接黏接(bonding)、混合黏接、使用膠黏劑、或是其他黏接方法。操作132可進一步包括對準、退火及/或其他製程。在一些實施例中，載體286可為矽晶圓。在第2圖至第23B圖中，「Z」方向自裝置200的後側指向裝置200的前側，而「-Z」方向則自裝置200的前側指向裝置200的後側。

【0049】 在操作134中，方法100(第1C圖)自裝置200的後側薄化(thin down)裝置200，直到底部S/D層252從裝置200的後側曝露出來。根據一個實施例，在第18A圖以及第18B圖中顯示了所獲得的結構。薄化製程可包括機械研磨(mechanical grinding)製程及/或化學薄化製程。在機械研磨製程期間，可首先自基板202移除大量的基板材料。在移除底部基板部分202b期間，介電覆蓋層203可用作CMP停止層。之後，化學薄化製程可將蝕刻化學劑施加到基板202的後側，以移除介電覆蓋層203並進一步薄化頂部基板部分202a，直到曝露出底部S/D層252。

【0050】 在操作136中，方法100(第1C圖)自裝置200的後側移除第一區域中的頂部基板部分202a。根據一個實施例，在第19A圖以及第19B圖中顯示了所獲得的結構。操作136可包括首先形成覆蓋第二區域的蝕刻遮罩(未圖示)。接著，操作136實施蝕刻製程，此蝕刻製程經過調整，對頂部基板部分202a中的半導體材料(例如：矽)具有選擇性，且不會(或最小化)對底部S/D層252的蝕刻。蝕刻製程可為乾式蝕刻、濕式蝕刻、反應式離子蝕刻、或是其他蝕刻方法。在從第一區域移除頂部基板部分之後，HKMG堆疊274、內部間隔物248以及S/D特徵260於裝置200的後側被曝露。蝕刻遮罩隨後被移除，舉例來說，藉由光阻剝離製程或其他合適的製程移除。在裝置200的第二區域中，頂部基板部分202a被保留。

【0051】 在操作138中，方法100(第1C圖)在裝置200的後側上沉積介電層288。根據一個實施例，在第20A圖以及第20B圖中顯示了所獲得的結構。操作138可首先包括化學薄化製程，以將第二區域中之頂部基板部分202a掘入到低於第一區域中之底部S/D層252的程度。然後，操作138沉積覆蓋第一區域以及第二區域兩者的介電層288。介電層288可包括正矽酸乙酯(TEOS)氧化物、未摻雜之矽酸鹽玻璃或是摻雜之矽氧化物，例如硼磷矽酸鹽玻璃(BPSG)、熔融石英玻璃(FSG)、磷矽酸鹽玻璃(PSG)、硼摻雜之矽酸鹽玻璃(BSG)、低k值介電材料、其他合適之介電材料、或是其組合。介電層288可藉由下列方法形成：PECVD(電漿增強型CVD)、FCVD(流動式CVD)、或是其他合適的方法。操作138亦可包括CMP製程來平坦化介電層288，以自裝置200的後側移除多餘的介電材料。因為介電層288與底部S/D層252包括不同的材料，因此使得當藉由CMP製程平坦化介電層288時，底部S/D層252可被用作CMP停止層。在操作138之後，底部S/D層252

在第一區域中被曝露，同時在第二區域中，頂部基板部分202a則維持被介電層288所覆蓋。

【0052】 在操作140中，方法100(第1C圖)選擇性地蝕刻底部S/D層252，以形成被介電層288所包圍的後側溝槽290。後側溝槽290從後側曝露源極區域中的S/D特徵260(因此稱為源極特徵260)的表面。根據一個實施例，在第21A圖以及第21B圖中顯示了所獲得的結構。在本實施例中，操作140施加蝕刻製程，該蝕刻製程經過調整，對底部S/D層252中的材料(例如：SiGe)的材料具有選擇性，且不會(或最小化)蝕刻介電層288。在本實施例中，蝕刻製程還蝕刻了源極特徵260，以將源極特徵260掘入至低於汲極特徵260的程度，其中汲極特徵260仍被介電層288所覆蓋。在進一步的實施例中，源極特徵260被掘入至低於介電層288以及最底部之內部間隔物248。操作140可施加多於一個的蝕刻製程。舉例來說，操作140可施加第一蝕刻製程以選擇性地移除底部S/D層252，以及接著施加第二蝕刻製程以選擇性地將源極特徵260掘入至所需的程度，其中第一蝕刻製程與第二蝕刻製程使用不同的蝕刻參數，例如使用不同的蝕刻劑。蝕刻製程可為乾式蝕刻、濕式蝕刻、反應式離子蝕刻、或是其他蝕刻方法。

【0053】 在操作142中，方法100(第1C圖)在後側溝槽290的側壁上形成介電襯墊292，如同第22A圖以及第22B圖根據一個實施例所示。在一些實施例中，介電襯墊292被順應性地沉積，以沿著介電層288、內部間隔物248以及被掘入之源極特徵260的各個表面具有基本均勻的厚度。在多種實施例中，介電襯墊292可包括 La_2O_3 、 Al_2O_3 、 SiOCN 、 SiOC 、 SiCN 、 SiO_2 、 SiC 、 ZnO 、 ZrN 、 $\text{Zr}_2\text{Al}_3\text{O}_9$ 、 TiO_2 、 TaO_2 、 ZrO_2 、 HfO_2 、 Si_3N_4 、 Y_2O_3 、 AlON 、 TaCN 、 ZrSi 、其組合、或是其他合適的材料。在多種實施例中，可使用ALD、CVD或其他合適的方法來沉

積介電襯墊292，且介電襯墊292可具有處於自約0.5nm至約10nm的厚度。操作142進一步包括突破(breakthrough, BT)蝕刻製程，用於突破以及移除介電襯墊292之大部分的水平部分。在一些實施例中，突破蝕刻製程可包括非等向性(anisotropic)乾式蝕刻製程等。在介電襯墊292是由氧化化合物形成的一些實施例中，BT蝕刻製程是反應式離子蝕刻(RIE)製程，使用的蝕刻製程氣體包括 CHF_3 、Ar、 CF_4 、 N_2 、 O_2 、 CH_2F_2 、 SF_3 等、或其組合。在所示實施例中，作為操作142的結果，介電襯墊292的一些部分保留在後側溝槽290的側壁上，包括介電層288以及內部間隔物248的表面。在突破蝕刻製程之後，被掘入的源極特徵260再次地於後側溝槽290中被曝露。

【0054】 在操作144中，方法100(第1C圖)在源極特徵260上方於後側溝槽290中形成矽化特徵294，如同第22A圖以及第22B圖根據一個實施例所示。在一個實施例中，操作144首先將一或多種金屬沉積到後側溝槽290中、對裝置200執行退火製程以引起一或多種金屬與源極特徵260之間的反應以產生矽化特徵294、以及移除一或多種金屬的未反應部分，進而在後側溝槽290中留下矽化特徵294。此一或多種金屬可包括鈦(Ti)、鉭(Ta)、鎢(W)、鎳(Ni)、鉑(Pt)、鐿(Yb)、銱(Ir)、鉕(Er)、鈷(Co)、或其組合(例如：兩種或更多種金屬的合金)，並且可以使用CVD、PVD、ALD或其他合適的方法來進行沉積。矽化特徵294可包括矽化鈦(TiSi)、矽化鎳(NiSi)、矽化鎢(WSi)、矽化鎳鉑(NiPtSi)、矽化鎳鉑鍺(NiPtGeSi)、矽化鎳鍺(NiGeSi)、矽化鐿(YbSi)、矽化鉑(PtSi)、矽化銱(IrSi)、矽化鉕(ErSi)、矽化鈷(CoSi)、其組合、或其他合適的化合物。

【0055】 在操作146中，方法100(第1C圖)在第一區域中之矽化特徵294上方的後側溝槽290中形成後側S/D接點296。根據一個實施例，在第22A圖以及第22B

圖中顯示了所獲得的結構。在一個實施例中，後側S/D接點296可包括導電阻障層(barrier layer)以及位於導電阻障層上方的金屬填充層。導電阻障層可包括鈦(Ti)、鉭(Ta)、鎢(W)、鈷(Co)、鈳(Ru)或導電氮化物，例如氮化鈦(TiN)、氮化鈦鋁(TiAlN)、氮化鎢(WN)、氮化鉭(TaN)、或其組合，並且可以藉由CVD、PVD、ALD及/或其他合適的製程來形成。金屬填充層可包括鎢(W)、鈷(Co)、鉬(Mo)、鈳(Ru)、鎳(Ni)、銅(Cu)或其他金屬，並且可以藉由CVD、PVD、ALD、電鍍、或其他合適的製程來形成。在一些實施例中，導電阻障層於後側S/D接點296中被省略。介電襯墊292用作介電阻障層，以防止後側S/D接點296中的金屬材料擴散到介電層288中。

【0056】 在操作148中，方法100(第1C圖)對裝置200執行進一步的製造製程。舉例來說，方法100可在裝置200的後側上形成金屬佈線層298，例如後側電力導軌。根據一個實施例，在第23A圖以及第23B圖中顯示了所獲得的結構。金屬佈線層298電性連接到第一區域中的後側S/D接點296。在一個實施例中，可使用鑲嵌製程、雙鑲嵌製程、金屬圖案化製程、或是其他合適的製程來形成金屬佈線層。金屬佈線層可包括鎢(W)、鈷(Co)、鉬(Mo)、鈳(Ru)、銅(Cu)、鎳(Ni)、鈦(Ti)、鉭(Ta)、氮化鈦(TiN)、氮化鉭(TaN)、或其他金屬，並且可以藉由CVD、PVD、ALD、電鍍、或是其他合適的製程來進行沉積。具有後側金屬佈線層有利地增加了金屬軌道的數量，這些金屬軌道在裝置200中可用於直接連接到源極/汲極接點以及通孔。與不具有後側金屬佈線層的其他結構相比，具有後側金屬佈線層一事還增加了閘極密度，帶來更高的裝置整合度。在一些實施例中，ESD二極體之兩個接點282b的一者(例如：設置於P+區域264上的那一者，或是設置在N+區域262上的那一者)電性耦接至裝置200之前側上的金屬佈線層284，而另

一個接點282b電性耦接至裝置200之後側上的金屬佈線層298，例如藉由矽穿孔(through-substrate-via, TSV)電性耦接。方法100於操作148中，亦可在裝置200之後側上形成一或多個互連層、在裝置200之後側上形成鈍化層(passivation layer)、執行其他後段(BEOL)製程、以及移除載體286。如第23A圖及第23B圖所示，儘管體半導體基板在所示的多重閘極製程流程中，作為形成後側金屬佈線層的一部分而自第一區域被移除，但頂部基板部分202a仍保留在第二區域中、磊晶層206/208以及N+區域262/P+區域264之下，這在基板中提供了額外的ESD電流路徑，且因此提供了較低的ESD電阻。

【0057】 儘管並非旨於限制，但本揭露實施例提供下列優點中的一或多個。舉例來說，本揭露實施例形成了ESD防護裝置，且其製造方法與多重閘極電晶體製程流程相容。在多種實施例中，本揭露中的這些方法在後側基板薄化製程之後，保留了用於ESD防護裝置的體半導體基板，這為靜電放電事件提供了更多的電流路徑。進一步地，本揭露的一些實施例在包含磊晶層之堆疊的相同鰭片元件上形成了佈植區，這增強了ESD電流傳導性，並且降低了ESD寄生電容。製程流程的實施例還支持形成具有後側金屬佈線層(例如：後側電力導軌)的多重閘極電晶體，以增加積體電路中可用的金屬軌道數量，並增加閘極密度以帶來更大的裝置整合度。本揭露的實施例可輕易地整合到現行的半導體製造製程中。

【0058】 在一個範例性態樣中，本揭露直指一種半導體裝置的製造方法。上述半導體裝置的製造方法包括提供具有前側以及後側的一結構，上述結構包括基板以及複數第一類型磊晶層與複數第二類型磊晶層的一堆疊，第一類型磊晶層與第二類型磊晶層具有不同的材料組成並且在基板上方交替地堆疊，其中上述堆疊位於上述結構的前側，而基板位於上述結構的後側；圖案化上述堆疊，

進而在基板上方形成鰭片；佈植第一摻雜物至鰭片的第一區域之中，第一摻雜物具有第一導電型式；佈植第二摻雜物至鰭片的第二區域之中，第二摻雜物具有與第一導電型式相對的第二導電型式；以及在第一區域上形成第一接點，並且在第二區域上形成第二接點。

【0059】 在一些實施例中，第一區域與述第二區域藉由鰭片的中間部分而分隔。在一些實施例中，上述半導體裝置的製造方法更包括在鰭片上形成第一虛擬閘極堆疊以及第二虛擬閘極堆疊；在第一虛擬閘極堆疊以及第二虛擬閘極堆疊的複數側壁上沉積層間介電(ILD)層，層間介電層覆蓋鰭片；以及以複數第一金屬閘極堆疊以及複數第二金屬閘極堆疊取代第一虛擬閘極堆疊以及第二虛擬閘極堆疊。

【0060】 在一些實施例中，第一接點以及第二接點位於第一金屬閘極堆疊與第二金屬閘極堆疊之間。在一些實施例中，第一金屬閘極堆疊以及第二金屬閘極堆疊中的每一者所具有的寬度小於鰭片的寬度。

【0061】 在一些實施例中，上述半導體裝置的製造方法更包括自上述結構的後側薄化基板；以及在上述結構的後側處沉積介電層。在一些實施例中，上述半導體裝置的製造方法更包括形成圍繞鰭片的隔離結構；以及在隔離結構的正上方形成至少一個閘極堆疊。

【0062】 在一些實施例中，鰭片為第一鰭片，且堆疊的圖案化還形成了第二鰭片，上述半導體裝置的製造方法更包括：自第二鰭片移除第二類型磊晶層，進而曝露第一類型磊晶層；以及形成金屬閘極堆疊，金屬閘極堆疊接合第二鰭片中的第一類型磊晶層。在一些實施例中，第二鰭片所具有的寬度小於第一鰭片的寬度。

【0063】 在一個範例性態樣中，本揭露直指一種半導體裝置的製造方法。上述半導體裝置的製造方法包括形成自基板突出的鰭片，其中鰭片包括半導體基板上的複數第一類型磊晶層以及複數第二類型磊晶層，複數第一類型磊晶層與複數第二類型磊晶層具有不同的材料組成，並且在垂直方向上被交替地設置；在鰭片上方形成第一閘極結構以及第二閘極結構；以第一導電型式之第一摻雜物摻雜鰭片的第一區域；以第二導電型式之第二摻雜物摻雜鰭片的第二區域，第二導電型式與第一導電型式相對，其中第一區域以及第二區域位於第一閘極結構與第二閘極結構之間；在第一閘極結構以及第二閘極結構的複數側壁上形成介電層；在介電層中形成複數接點孔洞，複數接點孔洞曝露第一區域以及第二區域；以及在複數接點孔洞中形成複數導電接點。

【0064】 在一些實施例中，第一區域以及第二區域的摻雜所具有的摻雜深度延伸至半導體基板之中。在一些實施例中，上述半導體裝置的製造方法更包括薄化半導體基板；以及在半導體基板下方沉積氧化層。

【0065】 在一些實施例中，鰭片所具有的寬度大於第一閘極結構或第二閘極結構的寬度。在一些實施例中，在鰭片之第一區域以及第二區域的摻雜之後，鰭片的中間部分基本上不具有第一摻雜物以及第二摻雜物。

【0066】 在又一個範例性態樣中，本揭露直指一種靜電放電(ESD)裝置。上述靜電放電裝置包括半導體基板；半導體基板上之複數第一類型磊晶層與複數第二類型磊晶層的一堆疊，複數第一類型磊晶層與複數第二類型磊晶層具有不同的材料組成，且複數第一類型磊晶層與複數第二類型磊晶層在垂直方向上被交替地設置；上述堆疊中的第一佈植區域，其中第一佈植區域具有第一導電型式；以及上述堆疊中的第二佈植區域，其中第二佈植區域具有與第一導電型

式相對的第二導電型式。

【0067】 在一些實施例中，上述靜電放電裝置更包括上述堆疊中的中間區域，位於第一佈植區域與第二佈植區域之間，並且鄰接第一佈植區域與第二佈植區域。在一些實施例中，上述靜電放電裝置更包括位於半導體基板之下的氧化層。

【0068】 在一些實施例中，上述靜電放電裝置更包括上述堆疊之上的第一閘極堆疊以及第二閘極堆疊，其中第一佈植區域以及第二佈植區域位於第一閘極堆疊與第二閘極堆疊之間。在一些實施例中，第一閘極堆疊以及第二閘極堆疊位於上述堆疊的正上方。

【0069】 在一些實施例中，上述靜電放電裝置更包括隔離結構，位於半導體基板之上並且圍繞上述堆疊，其中第一閘極堆疊以及第二閘極堆疊位於隔離結構的正上方。

【0070】 前述內文概述多項實施例或範例之特徵，如此可使於本技術領域中具有通常知識者更佳地瞭解本揭露之態樣。本技術領域中具有通常知識者應當理解他們可輕易地以本揭露為基礎設計或修改其他製程及結構，以完成相同之目的及/或達到與本文介紹之實施例或範例相同之優點。本技術領域中具有通常知識者亦需理解，這些等效結構並未脫離本揭露之精神及範圍，且在不脫離本揭露之精神及範圍之情況下，可對本揭露進行各種改變、置換以及變更。

【符號說明】

【0071】

100: 方法

102~116: 操作

118~132: 操作

134~148: 操作

200: 裝置

202: 基板

202a: 頂部基板部分

202b: 底部基板部分

203: 介電覆蓋層

204: 磊晶堆疊

206: 磊晶層

208: 磊晶層

212: 硬遮罩層

212A: 氧化物層

212B: 氮化物層

210: 鱗片

210a~210b: 鱗片

214: 溝槽

220: STI特徵

W1: 寬度

W2: 寬度

L1: 長度

L2: 長度

232: 虛擬閘極堆疊

234: 虛擬介電層

236: 虛擬電極層

240: 硬遮罩

240A: 氧化物層

240B: 氮化物層

A-A: 線段

B-B: 線段

W3: 寬度

L3: 長度

D1: 距離

D2: 距離

242: 閘極間隔物

242A: 襯墊間隔物層

242B: 主間隔物層

246: S/D溝槽/源極溝槽/汲極溝槽

248: 內部間隔物

250: 蝕刻遮罩

252: 底部S/D層

260: S/D特徵/源極特徵

262: N+區域

264: P+區域

G2: 間隙

L4: 長度

L5: 長度

d: 距離

266: 接觸蝕刻停止層

268: ILD層

270: 閘極溝槽

274: HKMG堆疊

276: 高k值閘極介電層

278: 閘極電極層

282a: 接點

282b: 接點

284: 金屬佈線層

G1: 間隙

L6: 邊緣到邊緣距離

L6': 邊緣到邊緣距離

286: 載體

288: 介電層

290: 後側溝槽

292: 介電襯墊

294: 矽化特徵

296: 後側S/D接點

298: 金屬佈線層

【發明申請專利範圍】

【請求項1】 一種半導體裝置的製造方法，包括：

提供一結構，上述結構具有一前側以及一後側，上述結構包括一基板以及複數第一類型磊晶層與複數第二類型磊晶層的一堆疊，上述第一類型磊晶層與上述第二類型磊晶層具有不同的材料組成並且在上述基板上方交替地堆疊，其中上述堆疊位於上述結構的上述前側，而上述基板位於上述結構的上述後側；

圖案化上述堆疊，進而在上述基板上方形成一鰭片；

佈植一第一摻雜物至上述鰭片的一第一區域之中，上述第一摻雜物具有一第一導電型式；

佈植一第二摻雜物至上述鰭片的一第二區域之中，上述第二摻雜物具有與上述第一導電型式相對的一第二導電型式；以及

在上述第一區域上形成一第一接點，並且在上述第二區域上形成一第二接點。

【請求項2】 如請求項1之半導體裝置的製造方法，其中上述第一區域與上述第二區域藉由上述鰭片的一中間部分而分隔。

【請求項3】 如請求項1之半導體裝置的製造方法，更包括：

在上述鰭片上形成一第一虛擬閘極堆疊以及一第二虛擬閘極堆疊；

在上述第一虛擬閘極堆疊以及上述第二虛擬閘極堆疊的複數側壁上沉積一層間介電層，上述層間介電層覆蓋上述鰭片；以及

以一第一金屬閘極堆疊以及一第二金屬閘極堆疊取代上述第一虛擬閘極堆疊以及上述第二虛擬閘極堆疊。

【請求項4】 如請求項3之半導體裝置的製造方法，其中上述第一接點以及上

述第二接點位於上述第一金屬閘極堆疊與上述第二金屬閘極堆疊之間。

【請求項5】如請求項1之半導體裝置的製造方法，其中上述鰭片為一第一鰭片，且上述堆疊的圖案化還形成了一第二鰭片，上述半導體裝置的製造方法更包括：

自上述第二鰭片移除上述第二類型磊晶層，進而曝露上述第一類型磊晶層；
以及

形成一金屬閘極堆疊，上述金屬閘極堆疊接合上述第二鰭片中的上述第一類型磊晶層。

【請求項6】一種半導體裝置的製造方法，包括：

形成自一基板突出的一鰭片，其中上述鰭片包括一半導體基板上的複數第一類型磊晶層以及複數第二類型磊晶層，上述第一類型磊晶層與上述第二類型磊晶層具有不同的材料組成，並且在一垂直方向上被交替地設置；

在上述鰭片上方形成一第一閘極結構以及一第二閘極結構；

以一第一導電型式之一第一摻雜物摻雜上述鰭片的一第一區域；

以一第二導電型式之一第二摻雜物摻雜上述鰭片的一第二區域，上述第二導電型式與上述第一導電型式相對，其中上述第一區域以及上述第二區域位於上述第一閘極結構與上述第二閘極結構之間；

在上述第一閘極結構以及上述第二閘極結構的複數側壁上形成一介電層；

在上述介電層中形成複數接點孔洞，上述接點孔洞曝露上述第一區域以及上述第二區域；以及

在上述接點孔洞中形成複數導電接點。

【請求項7】如請求項6之半導體裝置的製造方法，其中上述第一區域以及上

述第二區域的摻雜所具有的摻雜深度，延伸至上述半導體基板之中。

【請求項8】如請求項6之半導體裝置的製造方法，其中在上述鱗片之上上述第一區域以及上述第二區域的摻雜之後，上述鱗片的一中間部分基本上不具有上述第一摻雜物以及上述第二摻雜物。

【請求項9】一種靜電放電裝置，包括：

一半導體基板；

複數第一類型磊晶層與複數第二類型磊晶層的一堆疊，在上述半導體基板上，上述第一類型磊晶層與上述第二類型磊晶層具有不同的材料組成，且上述第一類型磊晶層與上述第二類型磊晶層在一垂直方向上被交替地設置；

一第一佈植區域，在上述堆疊中，其中上述第一佈植區域具有一第一導電型式；以及

一第二佈植區域，在上述堆疊中，其中上述第二佈植區域具有與上述第一導電型式相對的一第二導電型式。

【請求項10】如請求項9之靜電放電裝置，更包括：

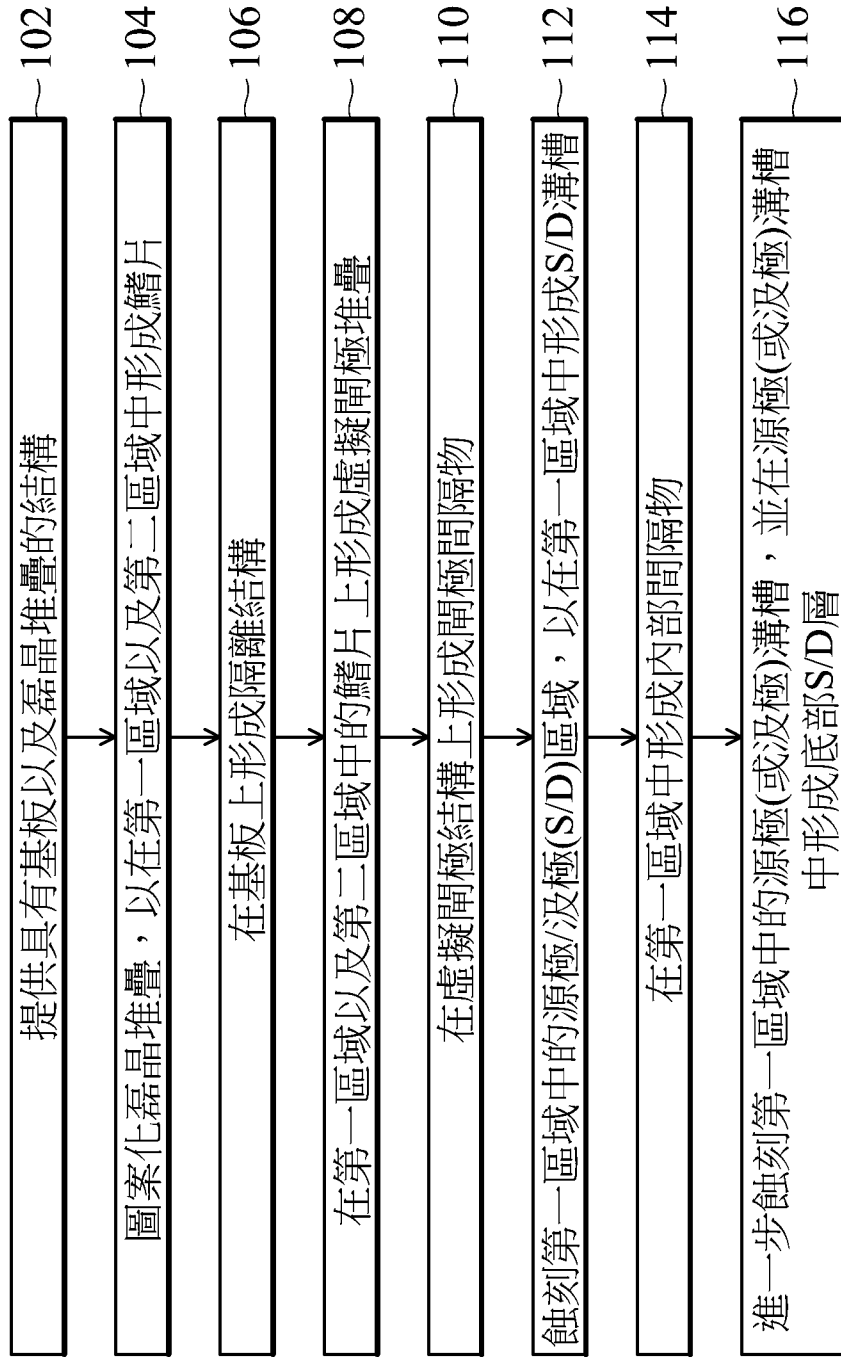
一第一閘極堆疊以及一第二閘極堆疊，在上述堆疊之上，其中上述第一佈植區域以及上述第二佈植區域位於上述第一閘極堆疊與上述第二閘極堆疊之間。

【請求項11】如請求項10之靜電放電裝置，更包括：

一隔離結構，位於上述半導體基板之上並且圍繞上述堆疊，其中上述第一閘極堆疊以及上述第二閘極堆疊位於上述隔離結構的正上方。

【發明圖式】

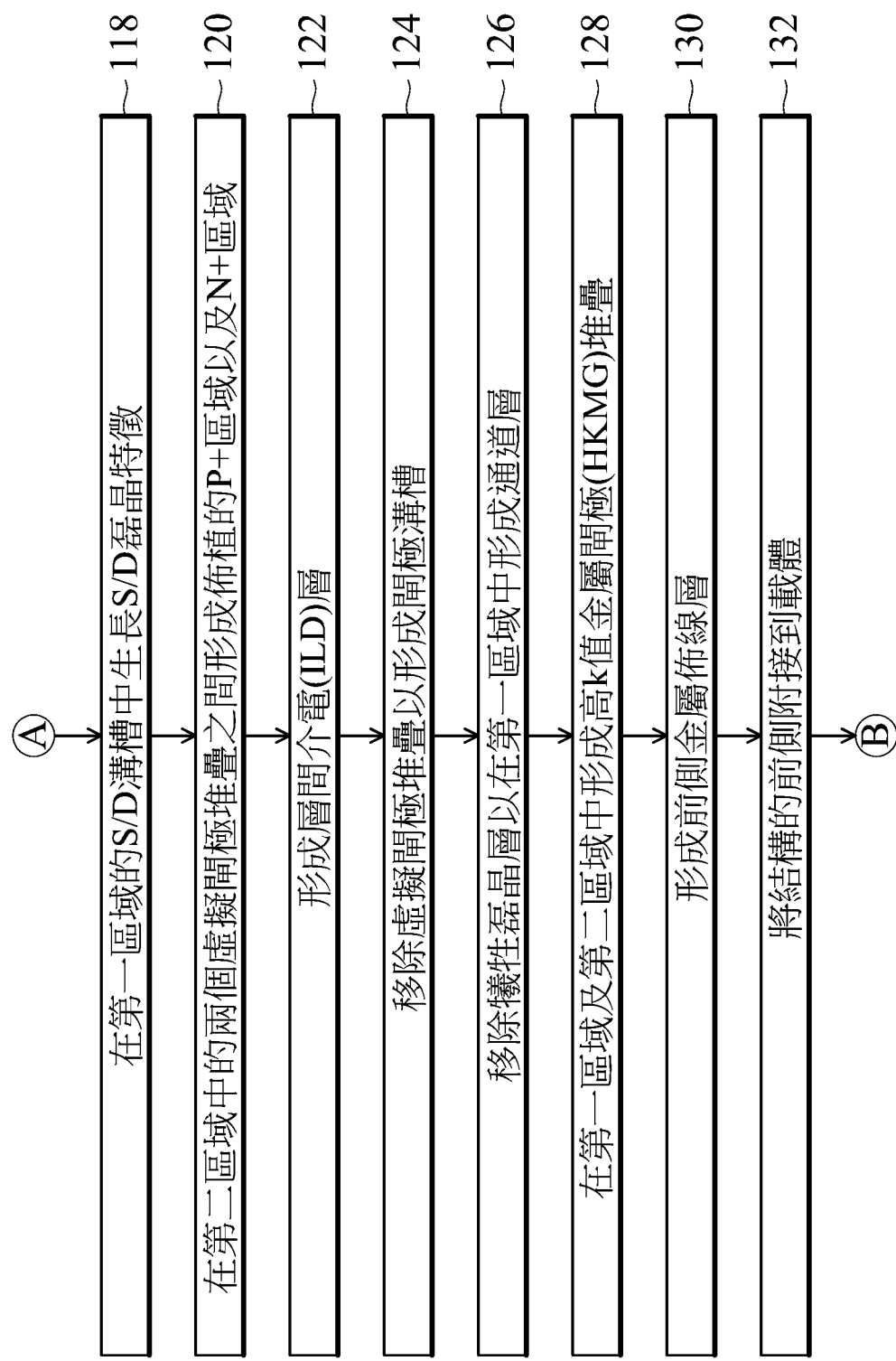
100 ↗



Ⓐ

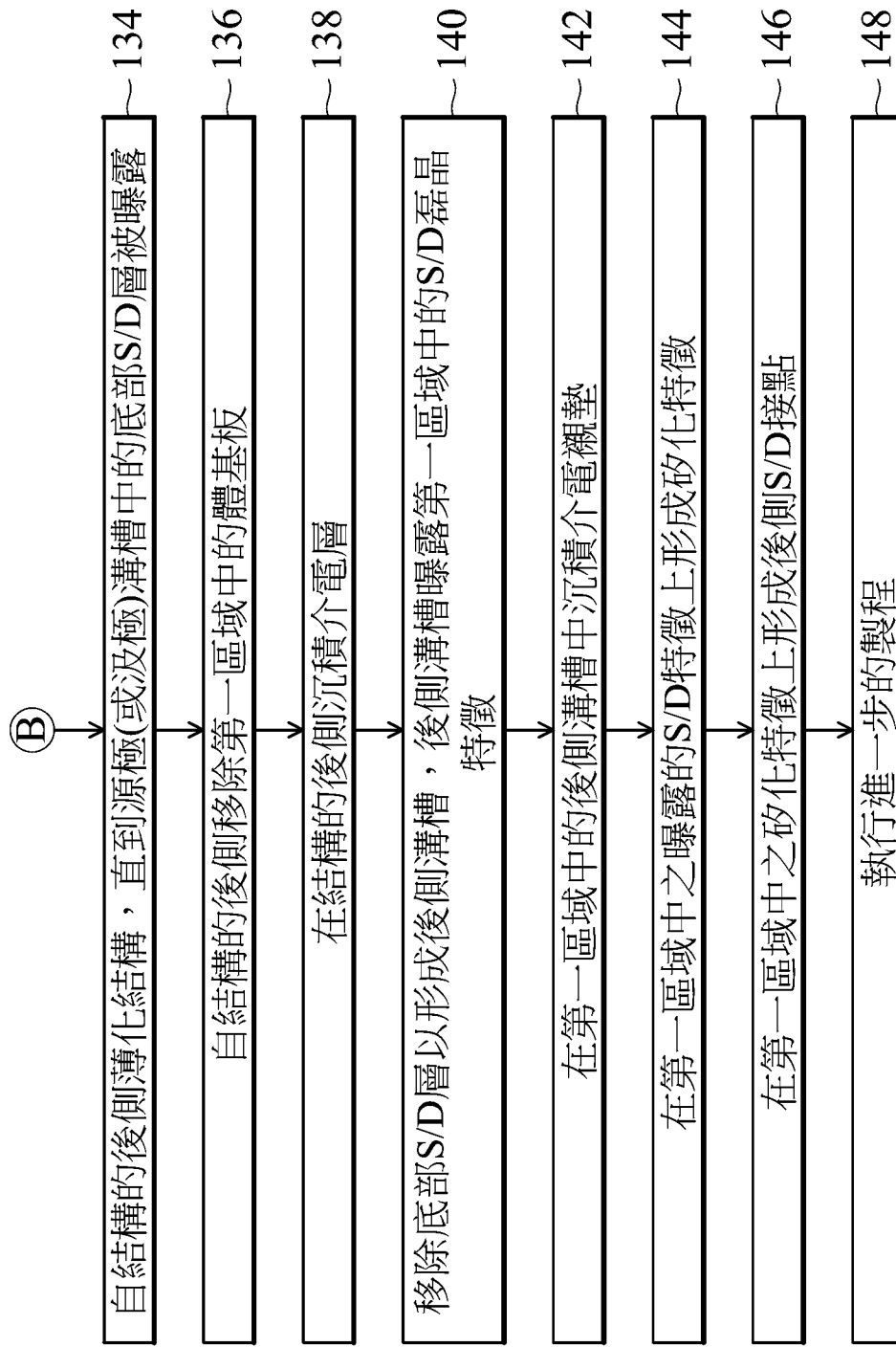
第 1A 圖

100 ↗



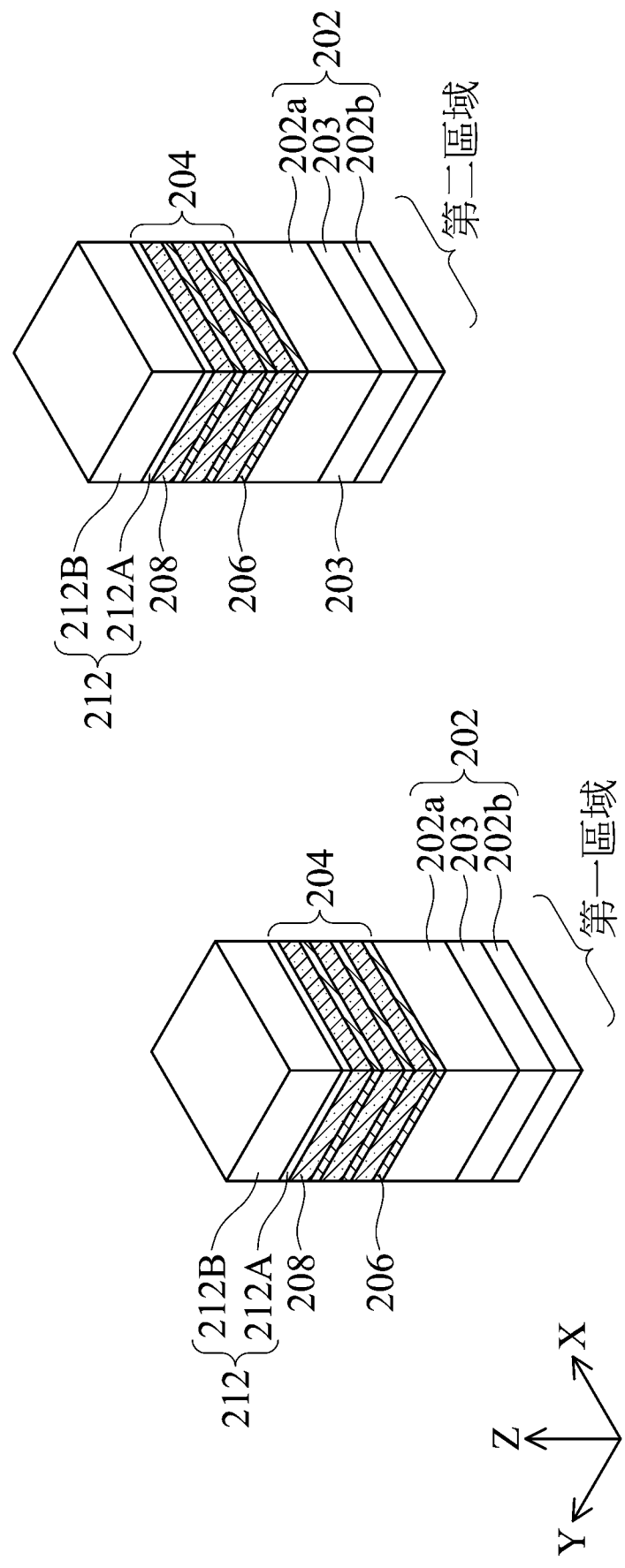
第 1B 圖

100 ↗

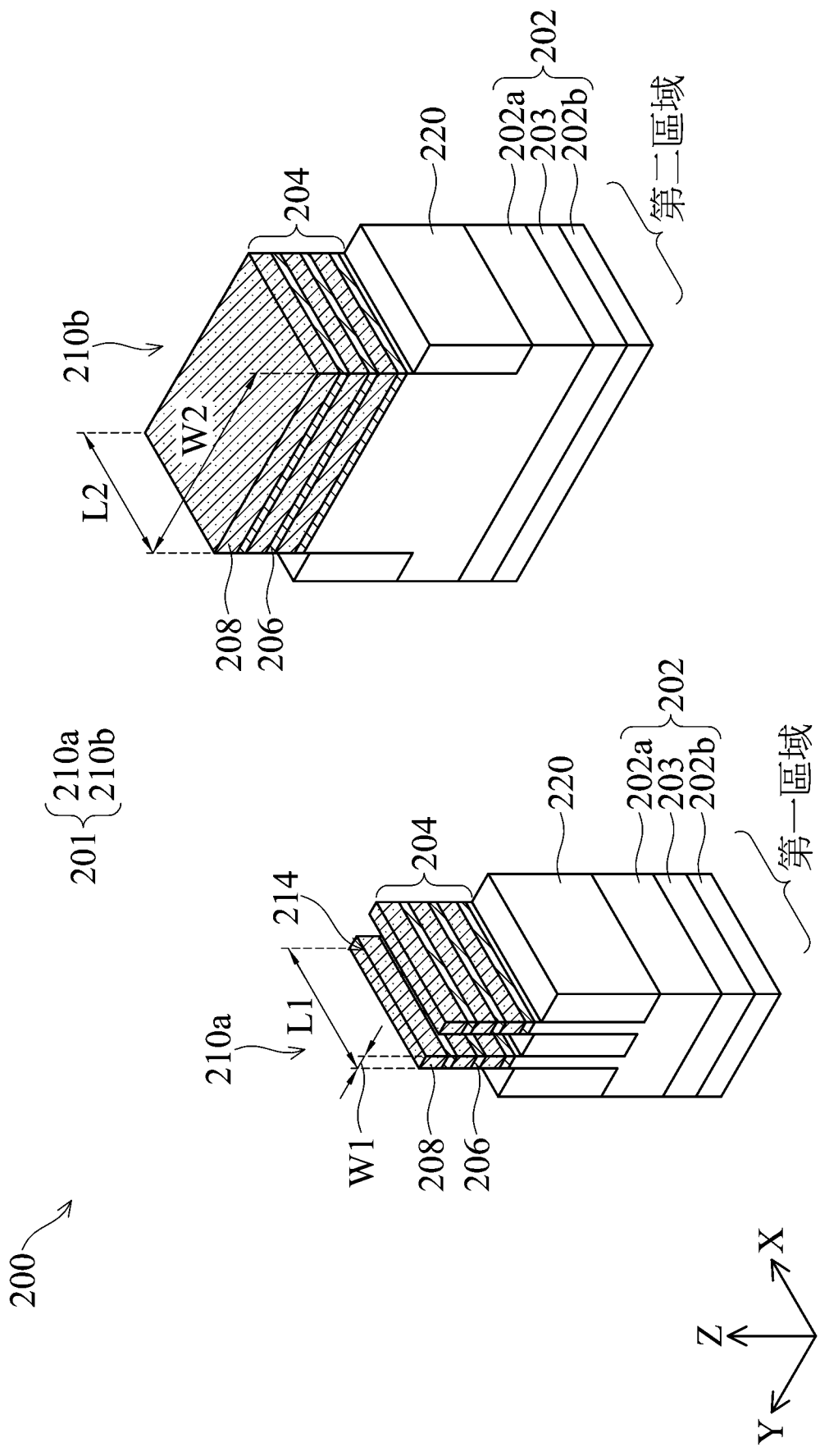


第 1C 圖

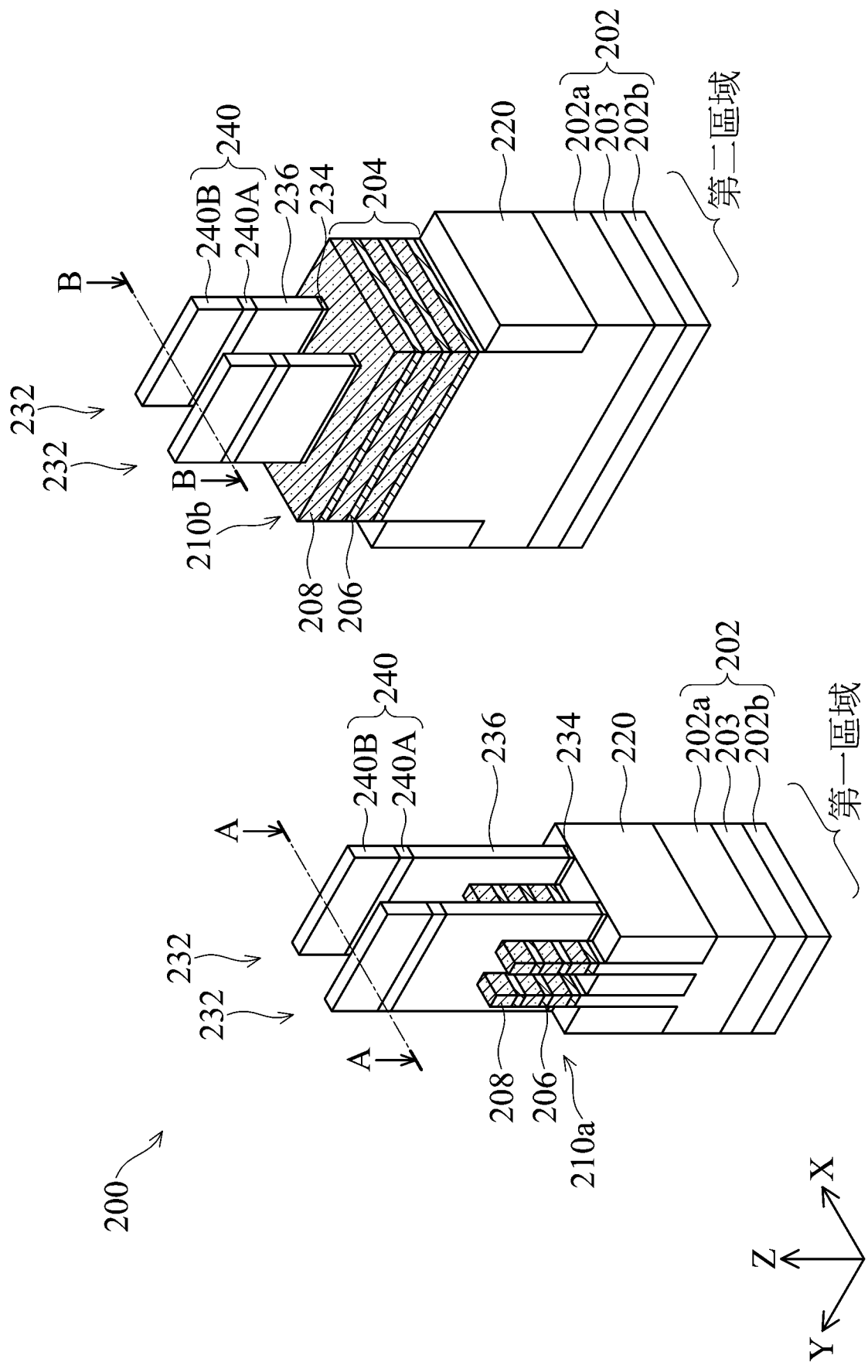
200 ↗



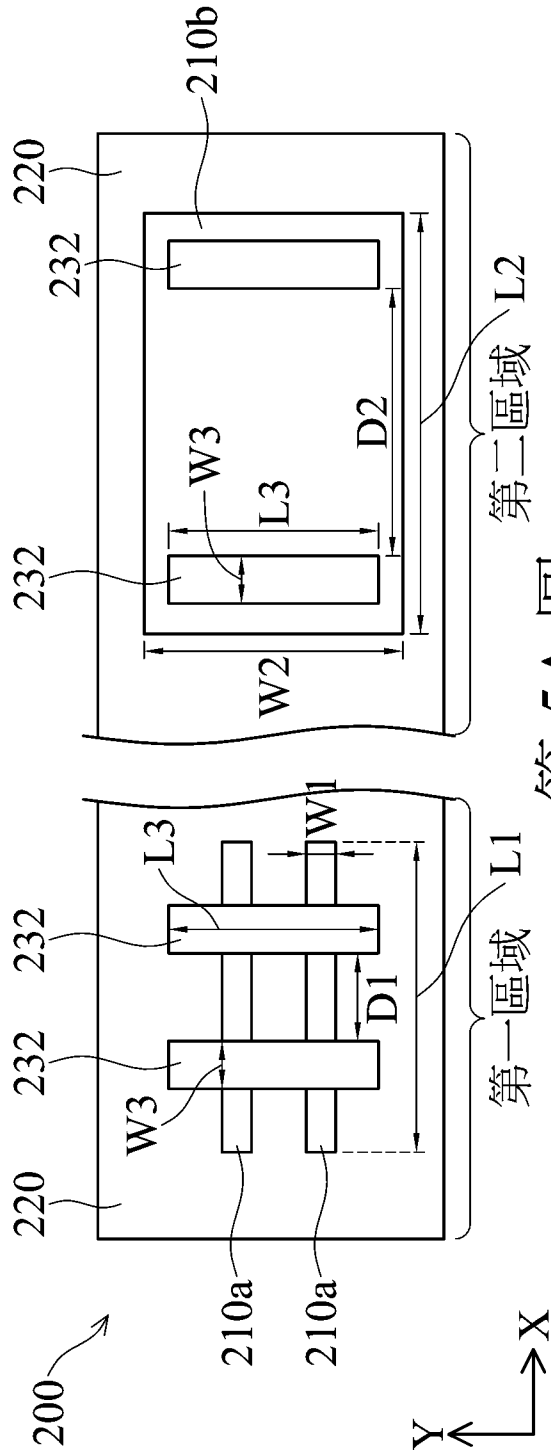
第 2 圖



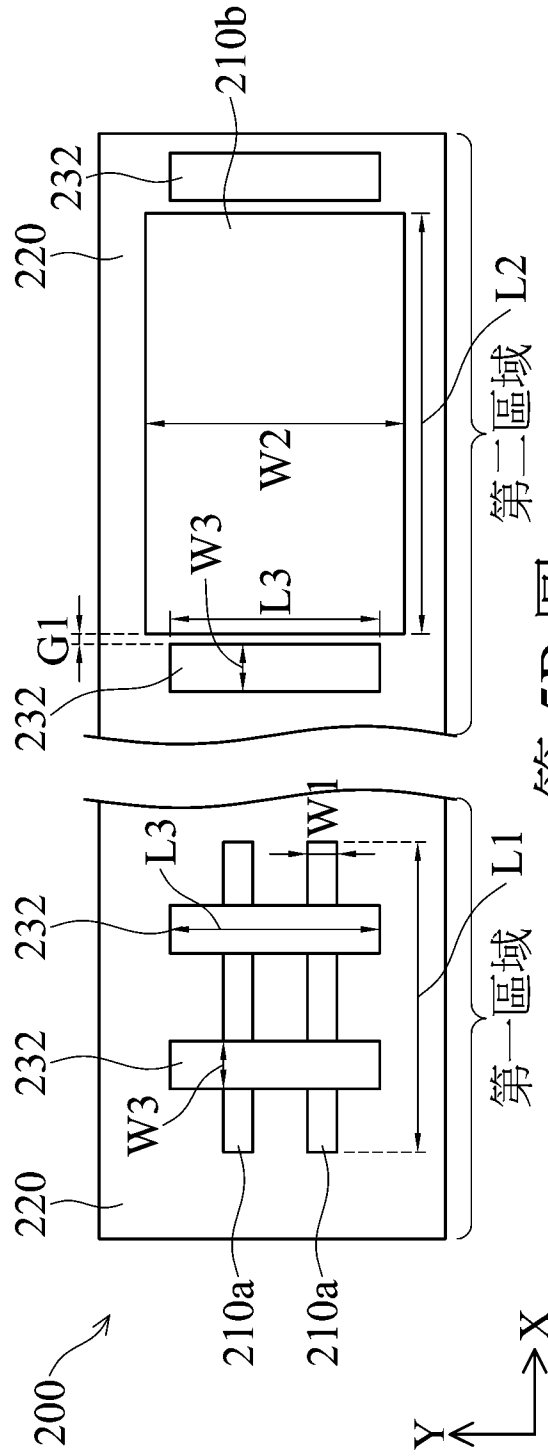
第 3 圖



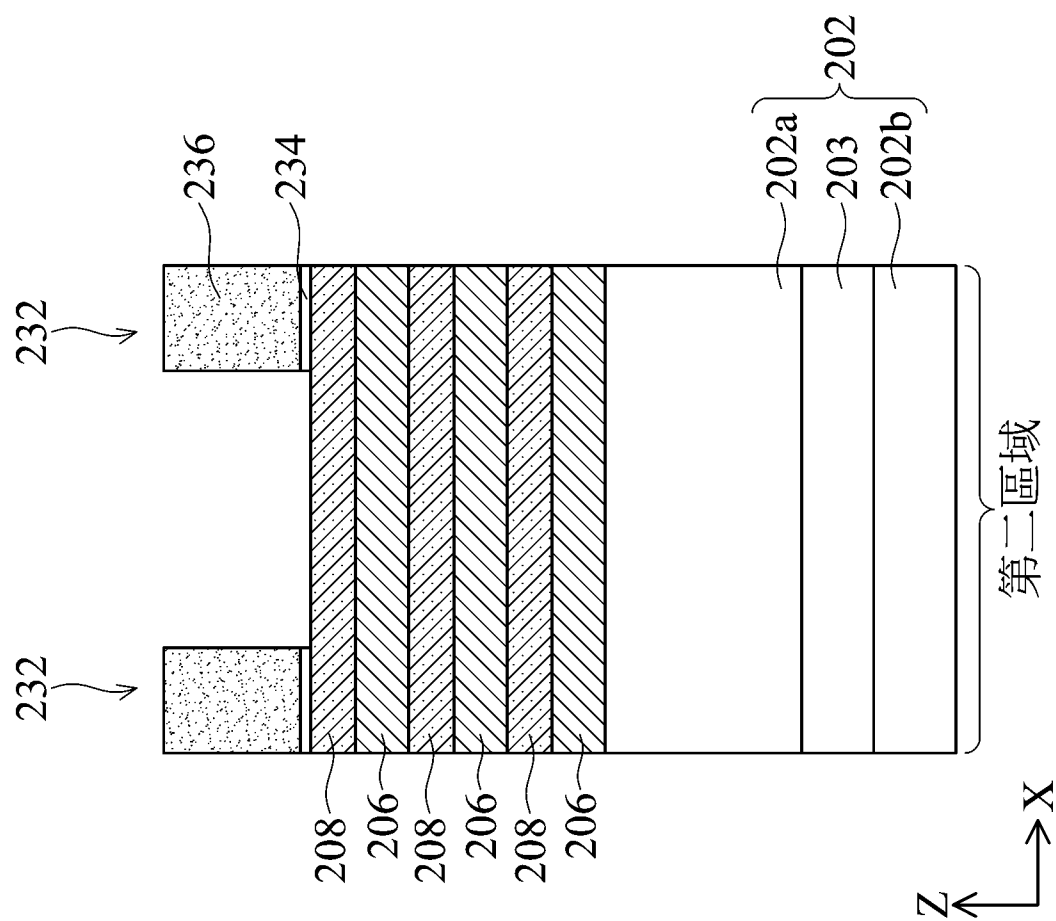
第 4 圖



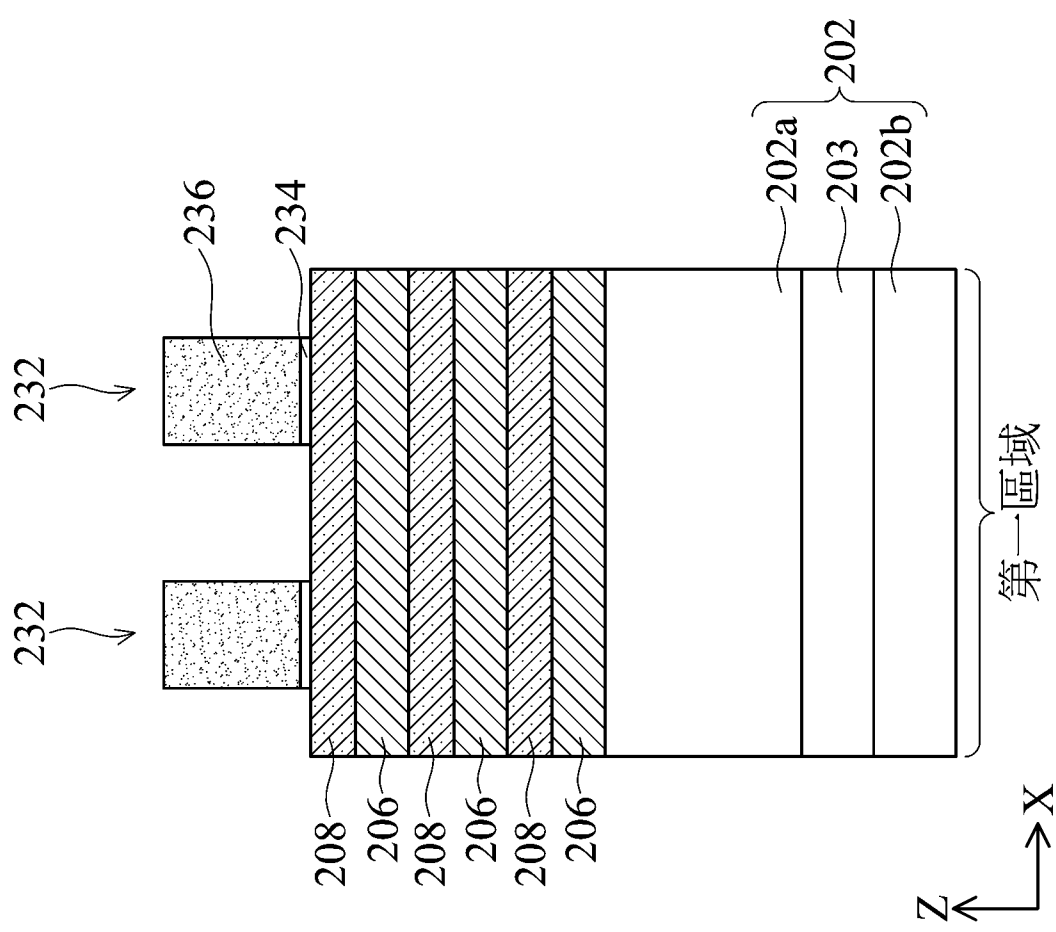
第 5A 圖



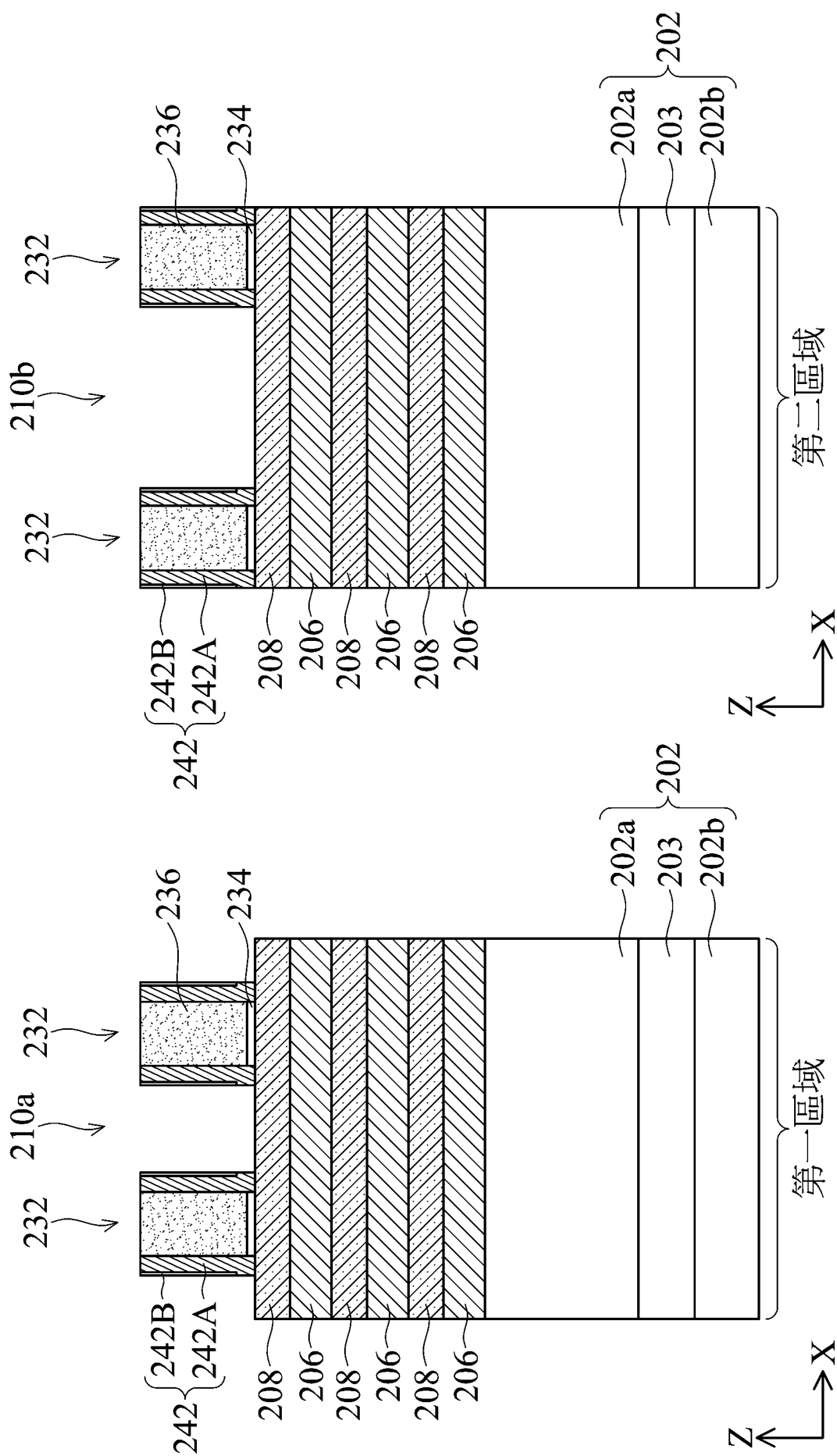
第 5B 圖



第6B圖

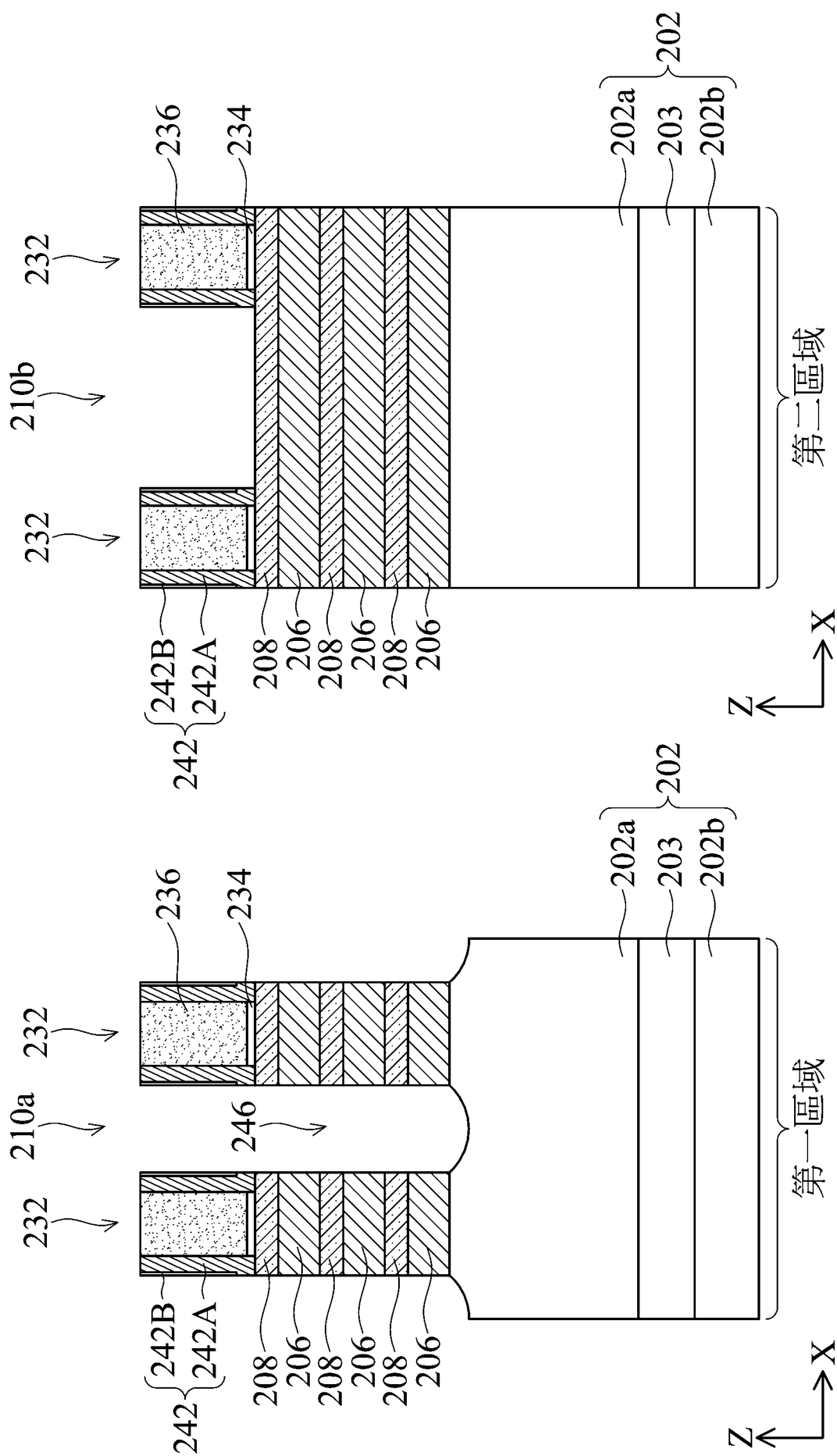


第6A圖



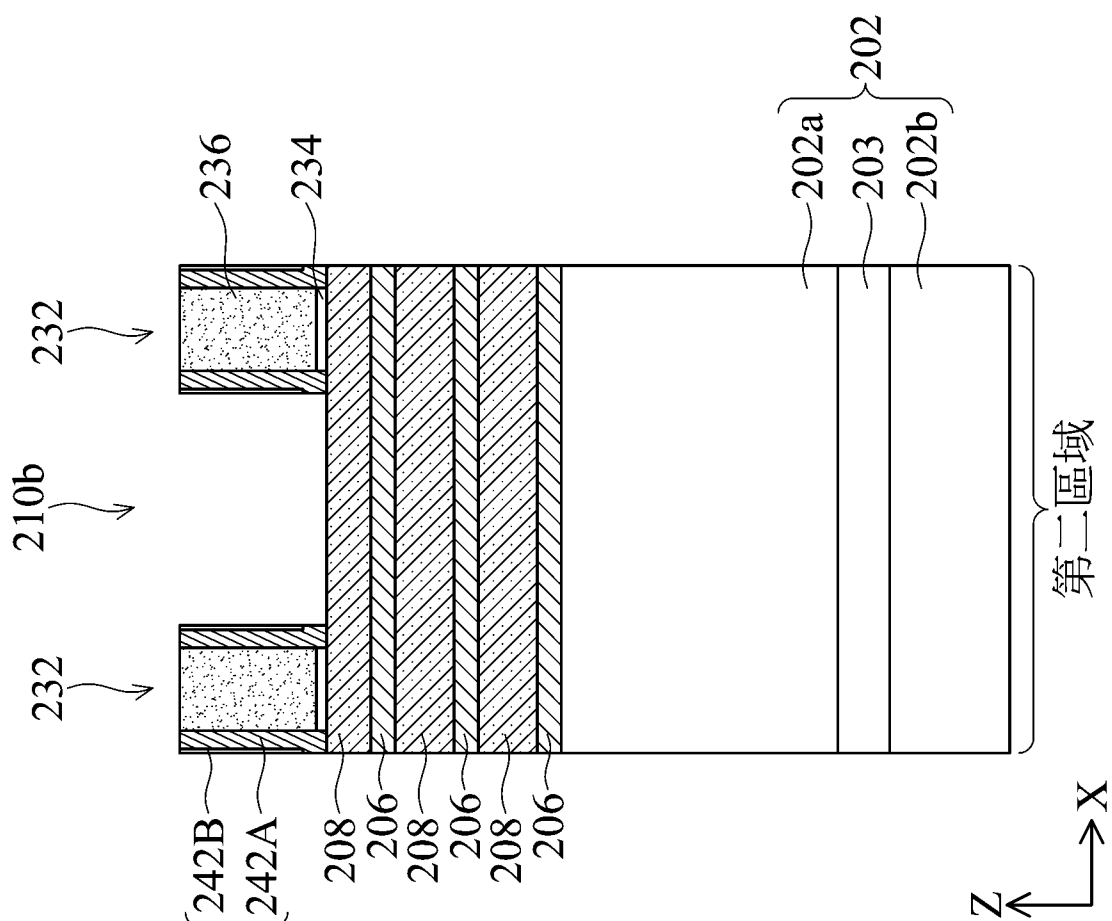
第7B圖

第7A圖

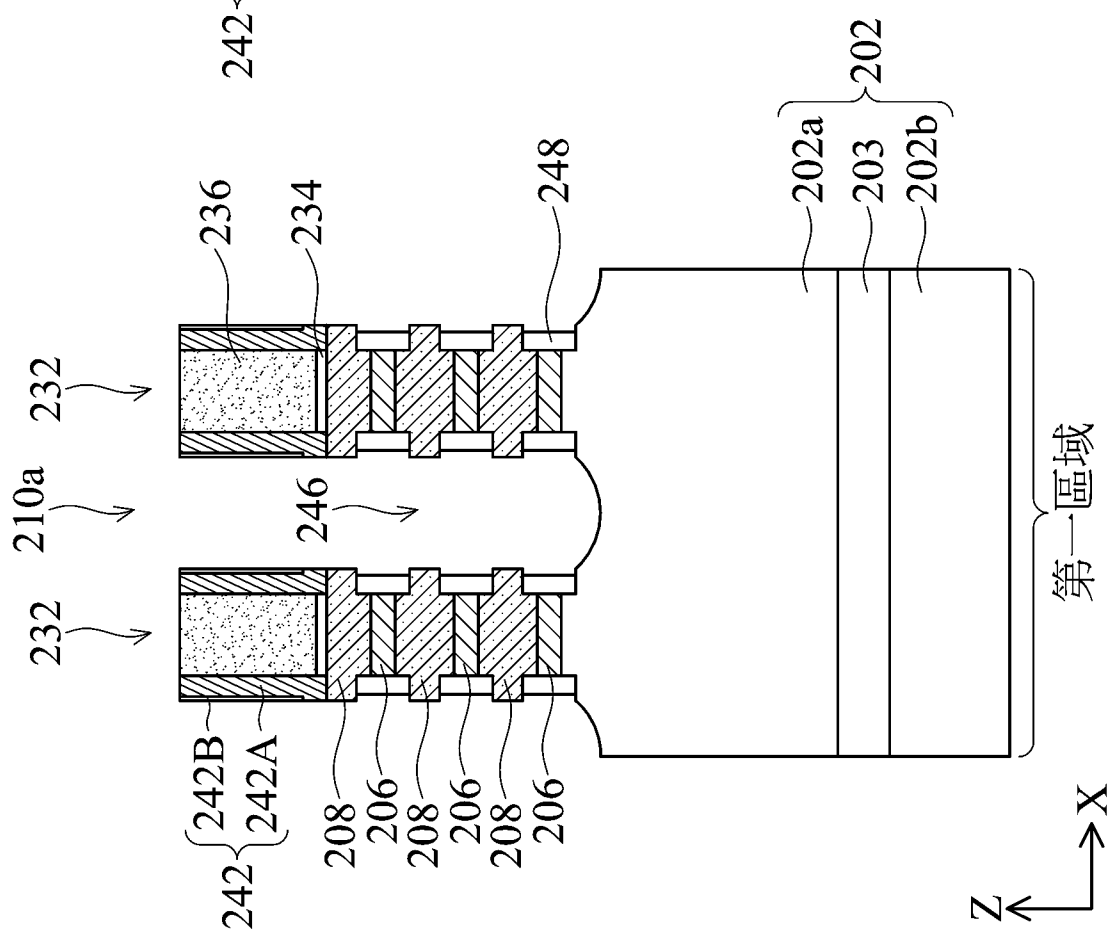


第 8B 圖

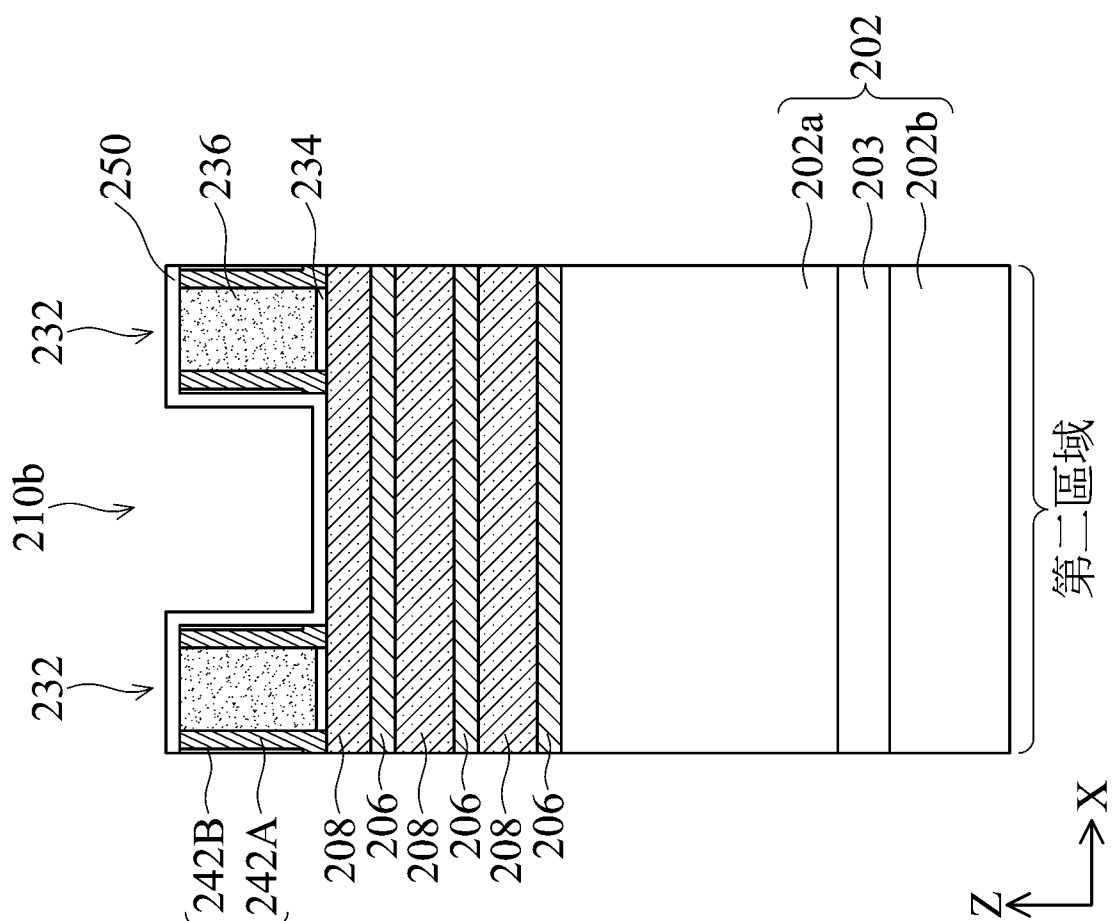
第 8A 圖



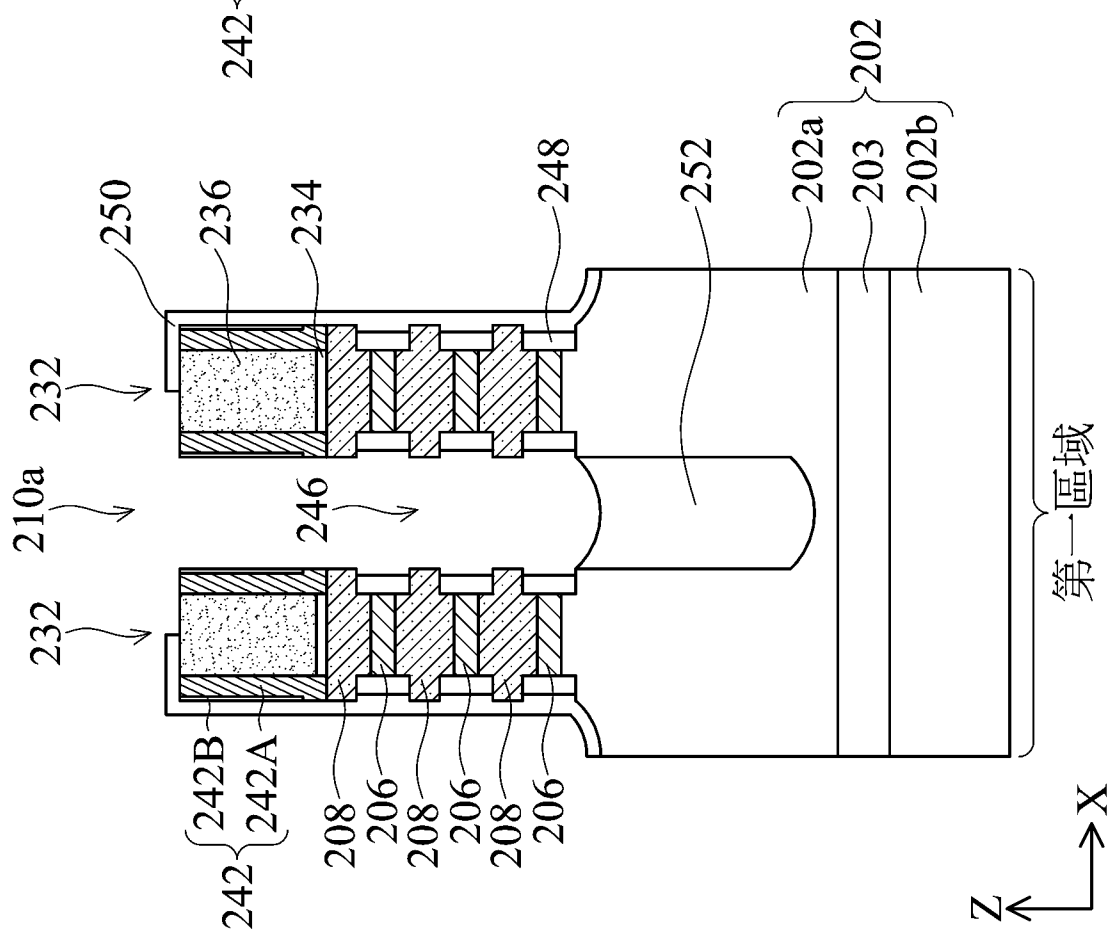
第二區域
第9B圖



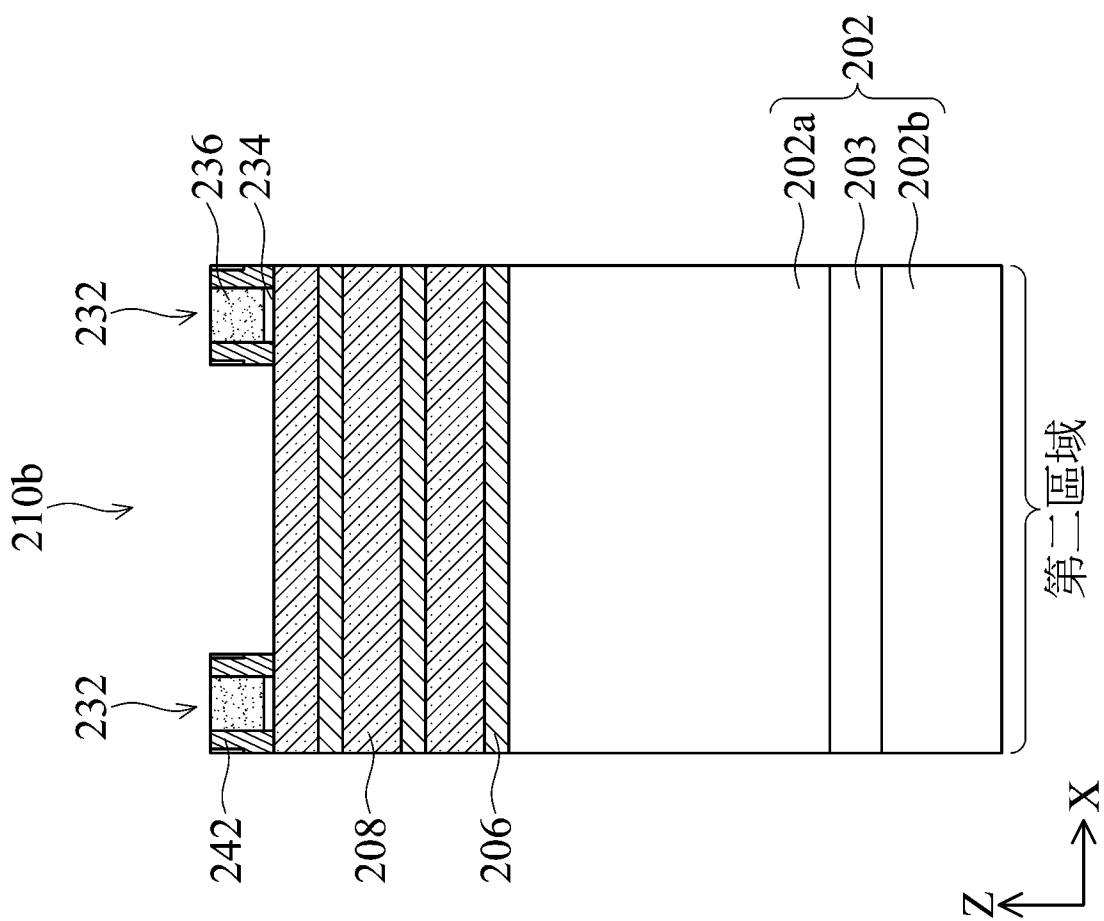
第一區域
第9A圖



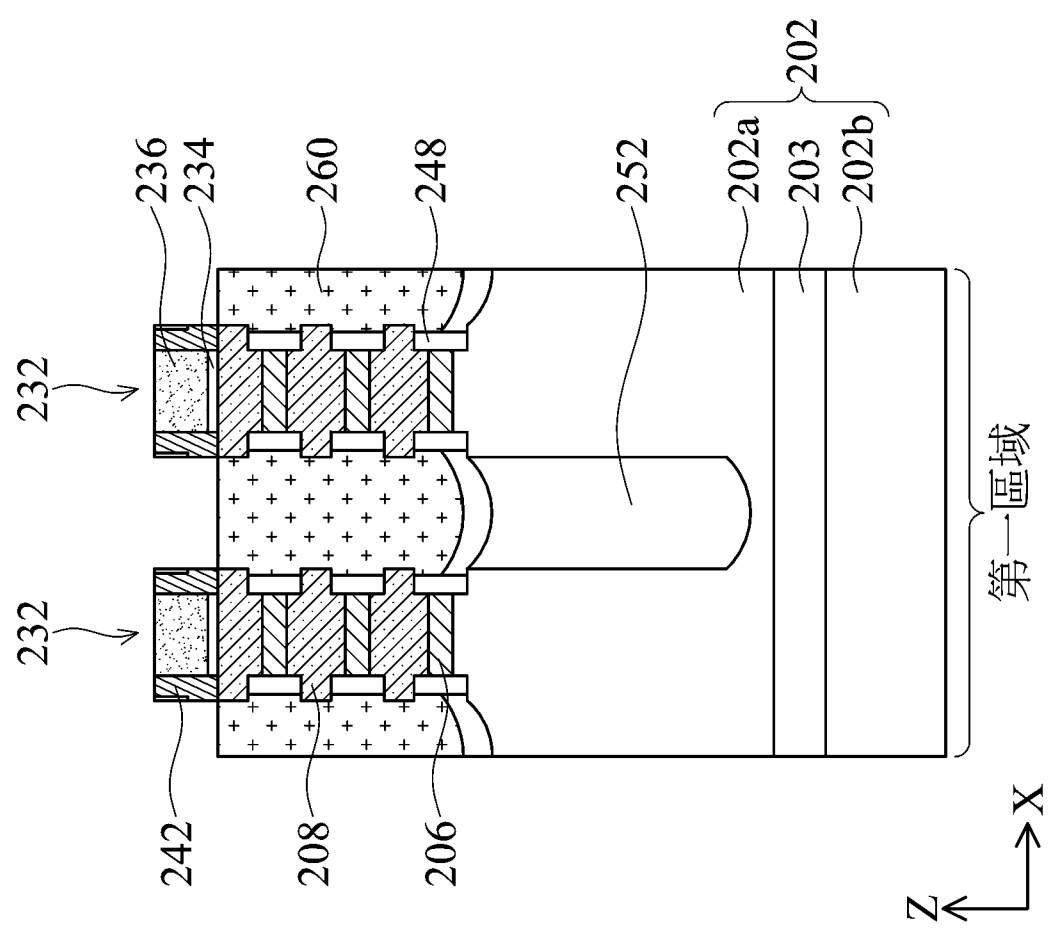
第 10B 圖



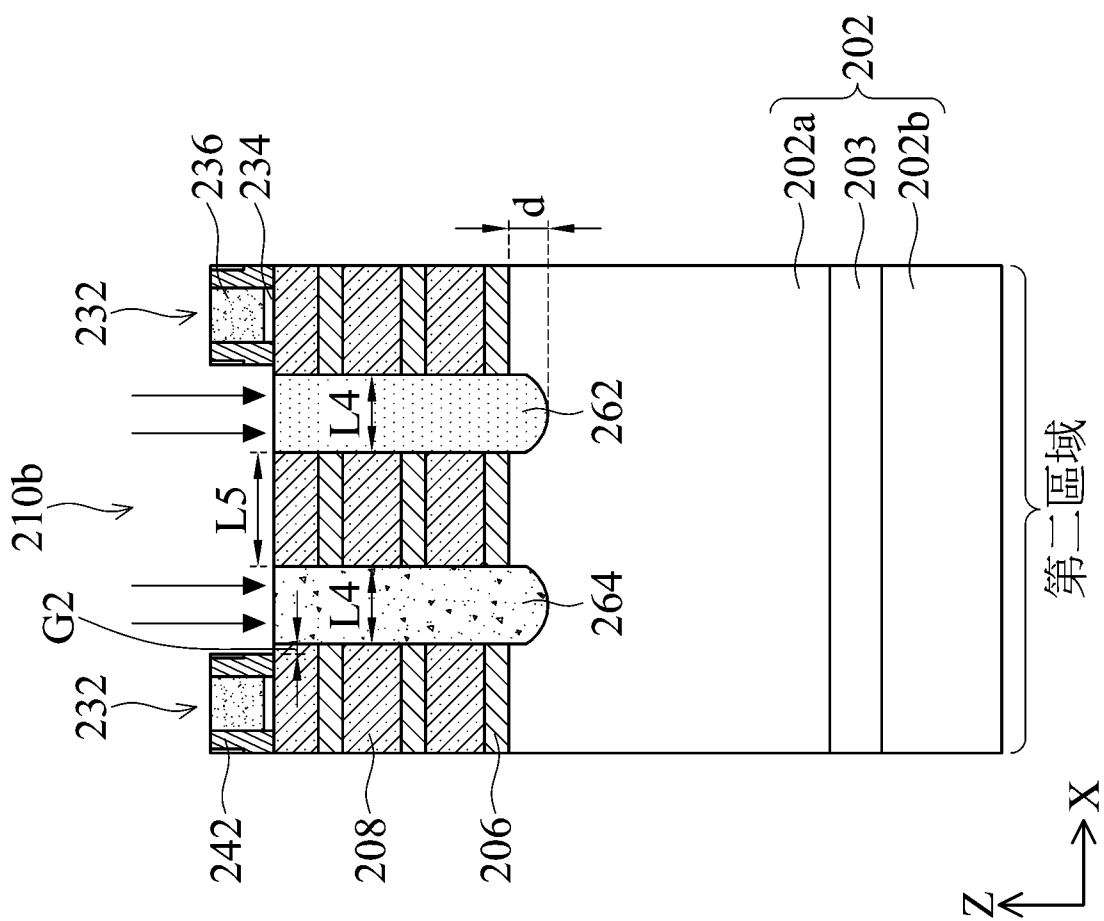
第 10A 圖



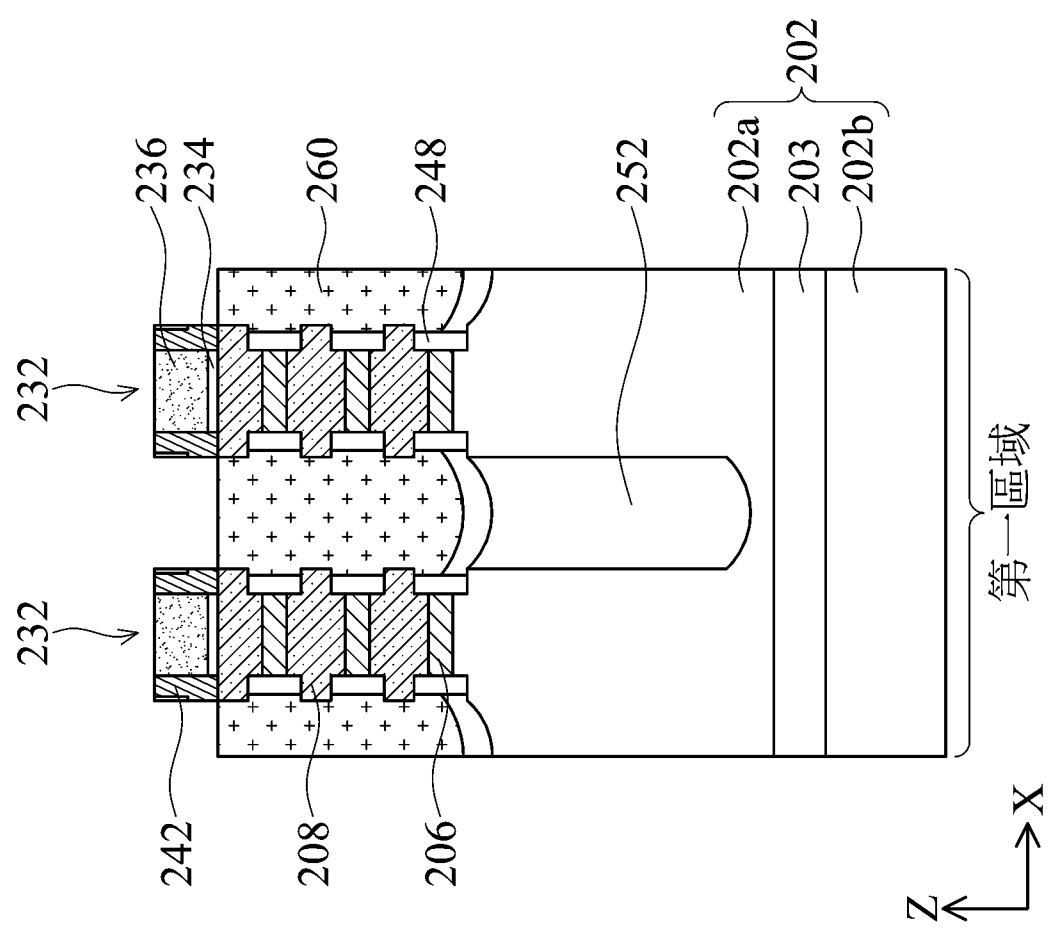
第二區域
第 11B 圖



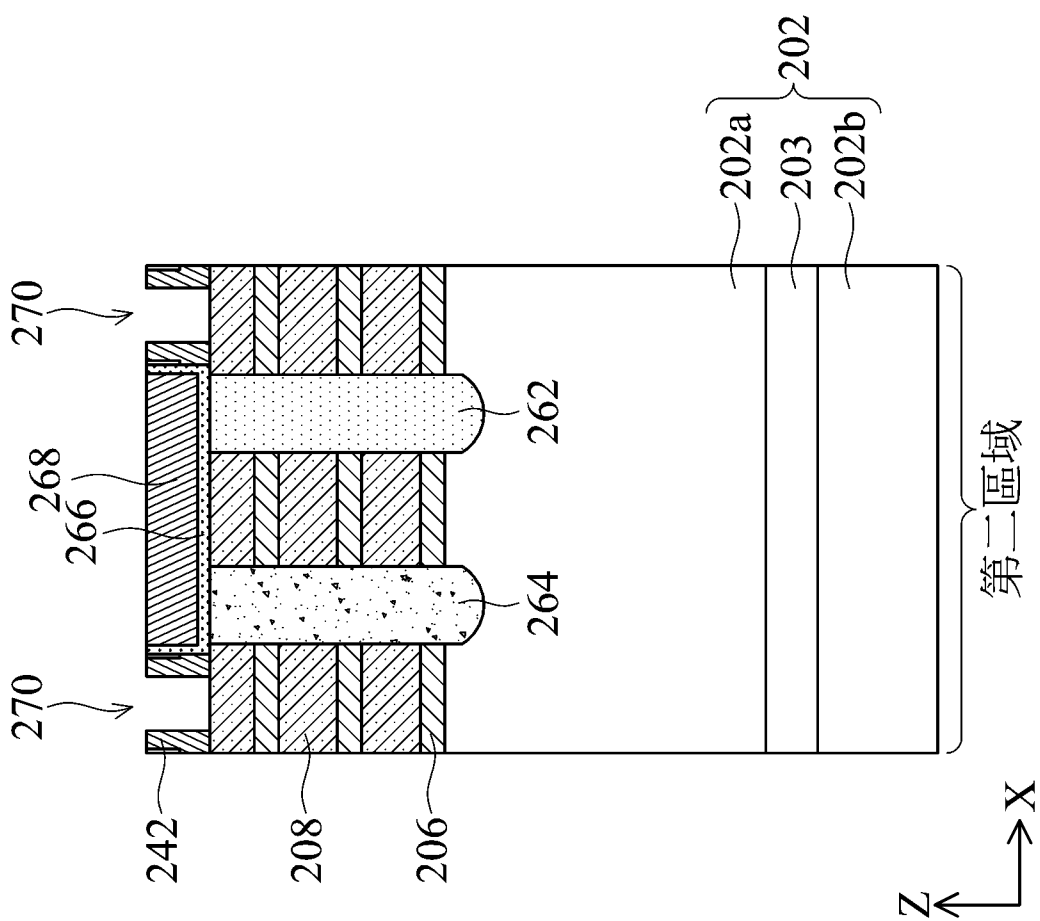
第一區域
第 11A 圖



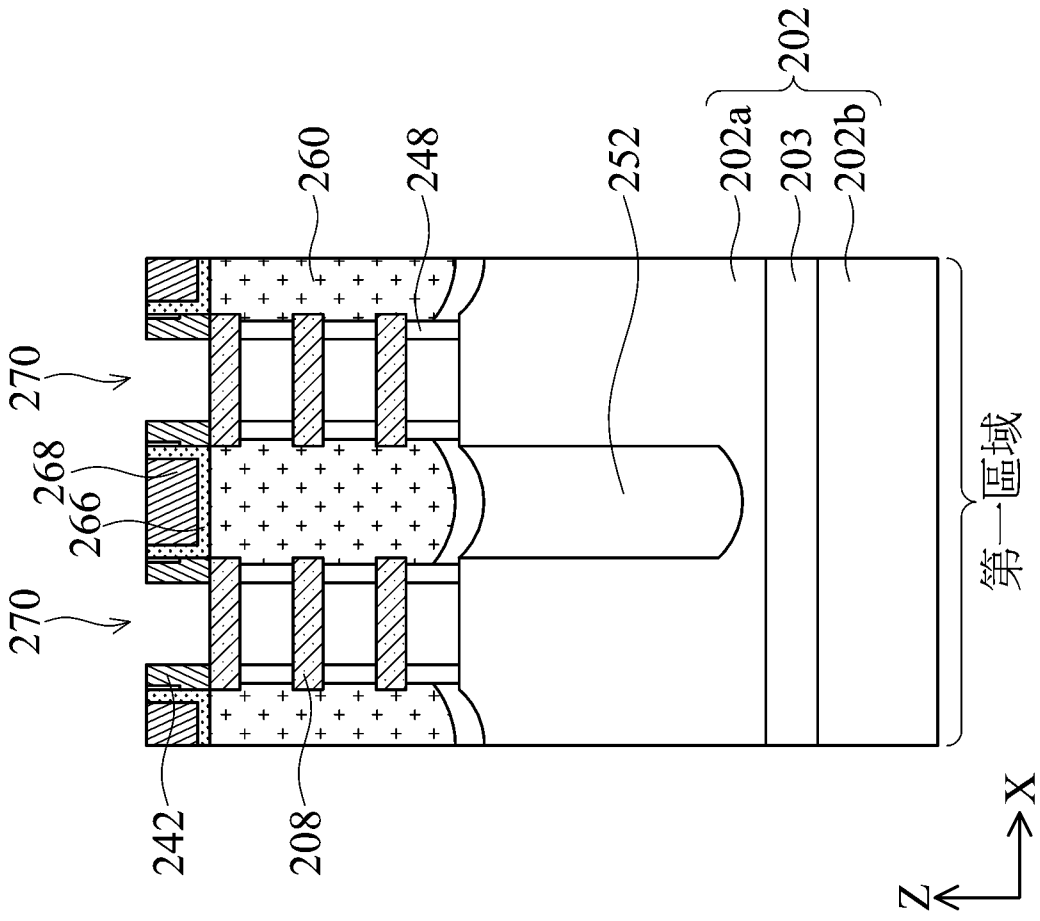
第二區域
第12B圖



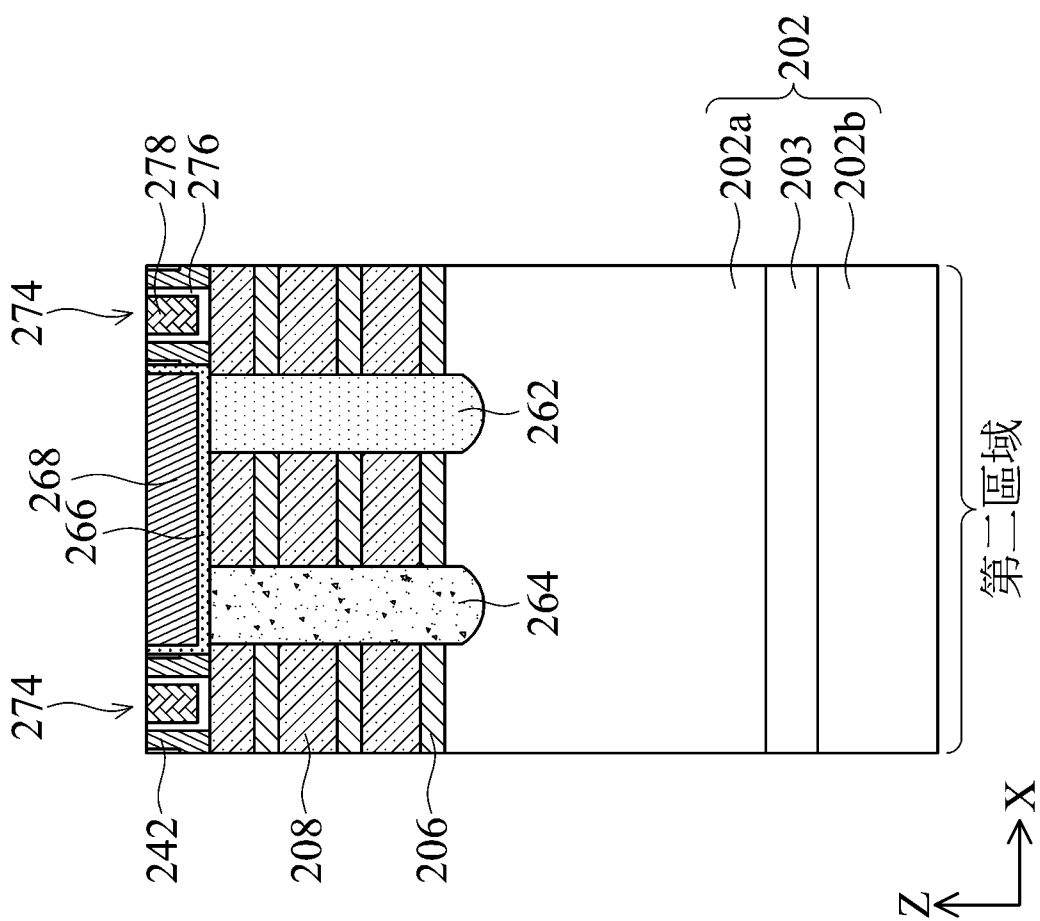
第一區域
第12A圖



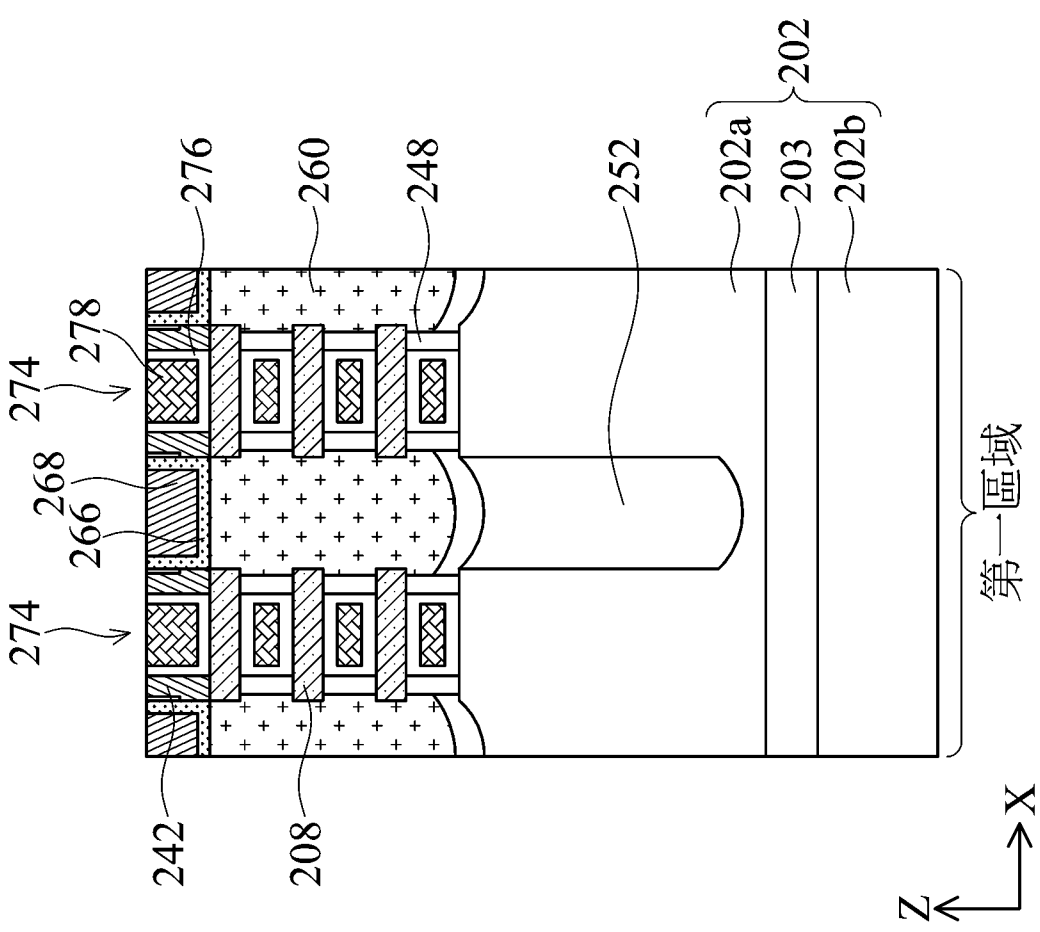
第二區域
第 13B 圖



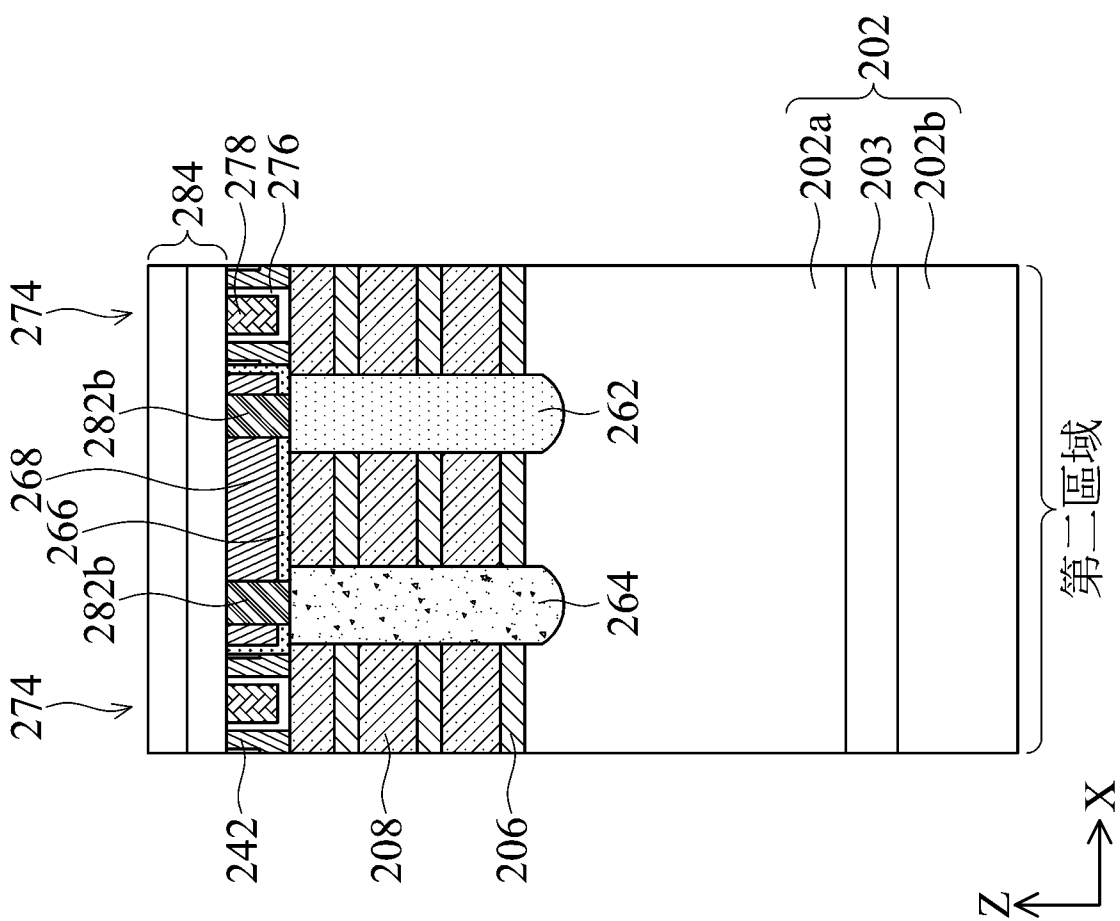
第一區域
第 13A 圖



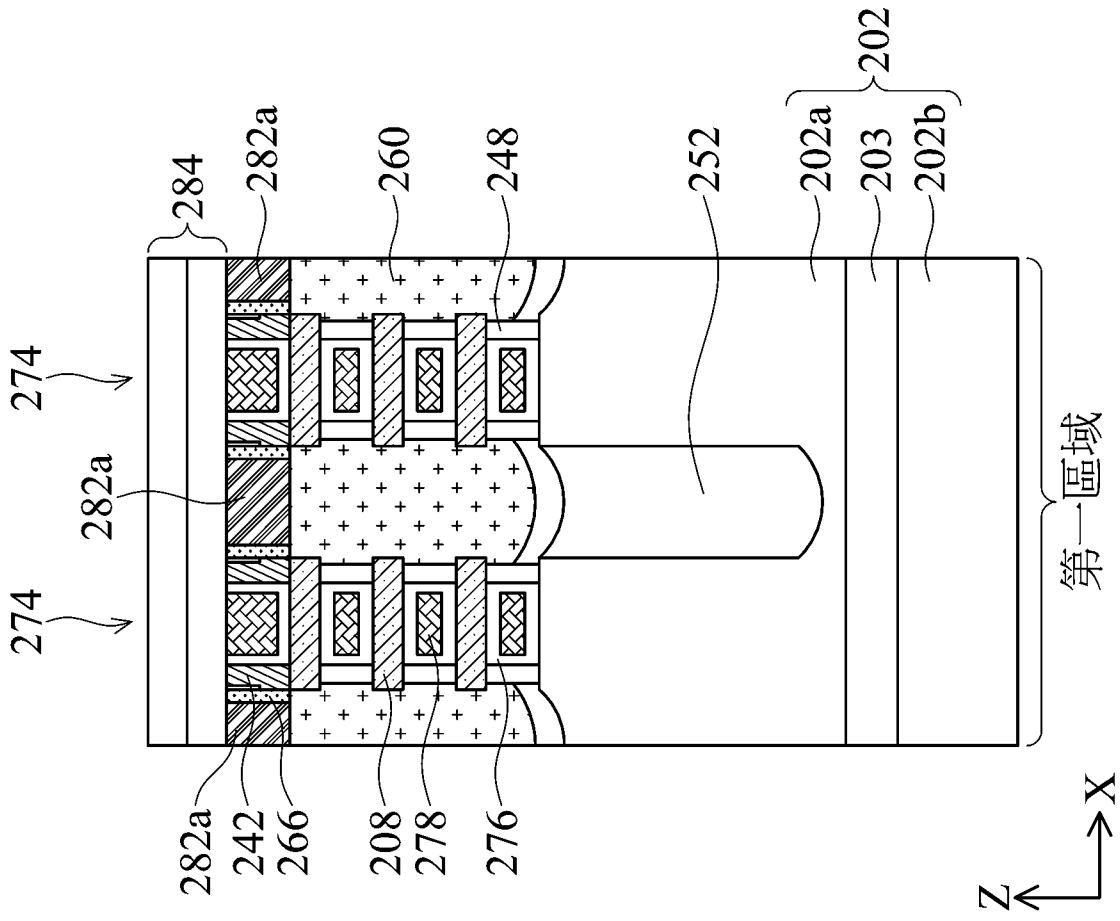
第14B圖



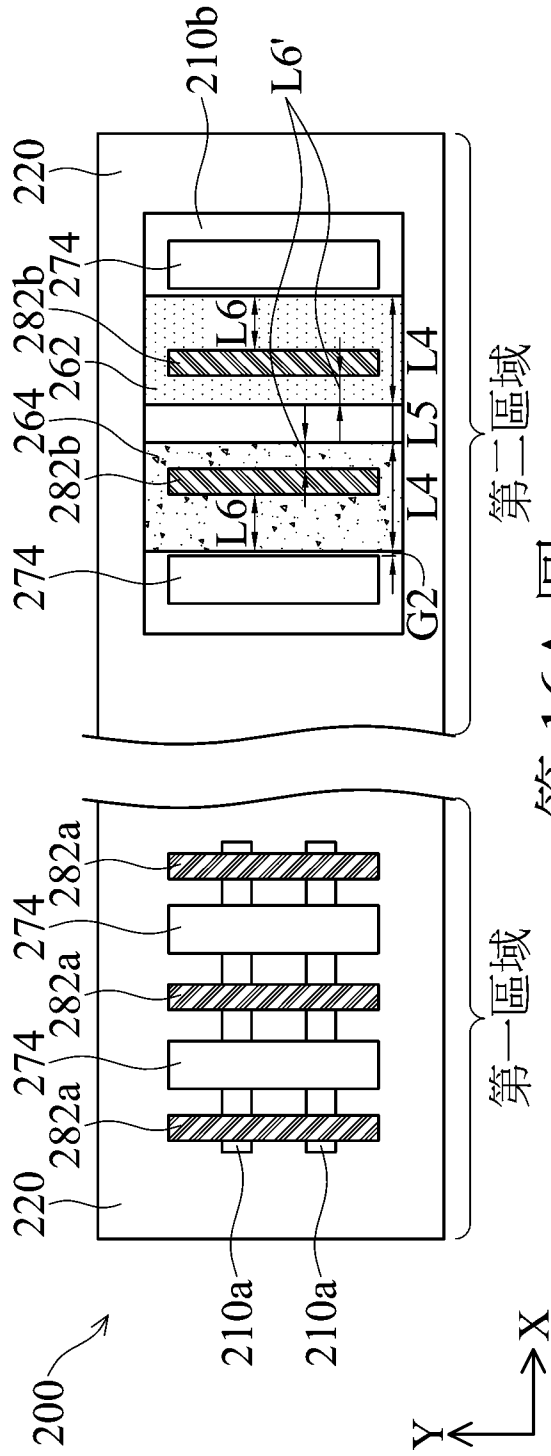
第14A圖



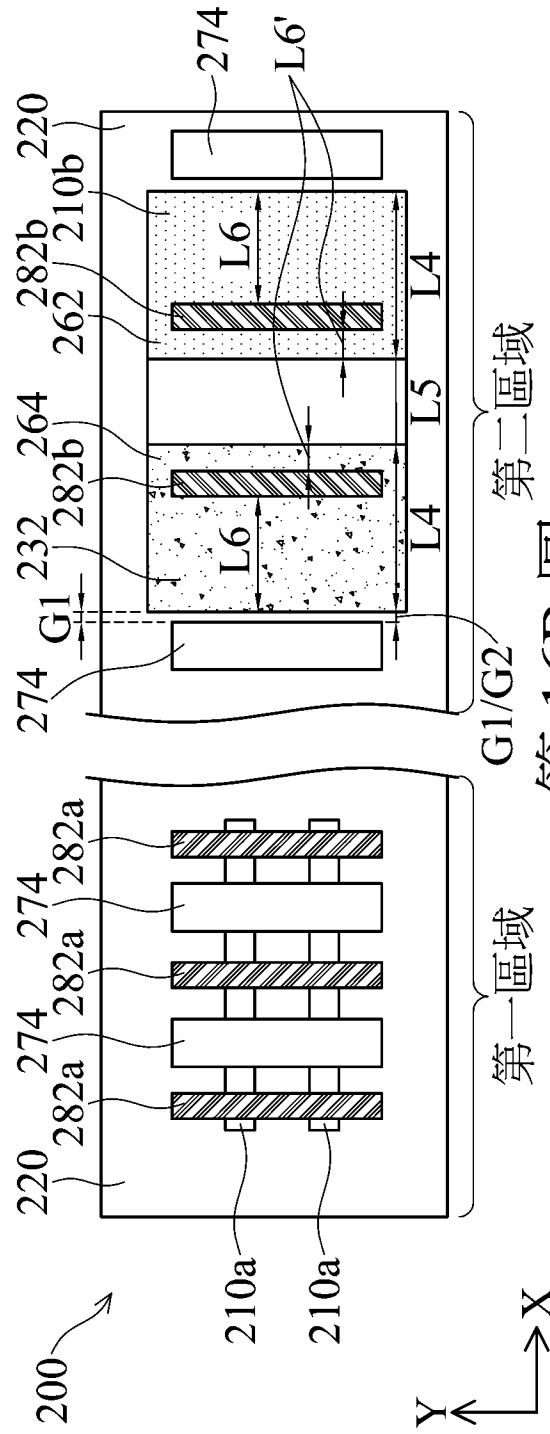
第二區域
第15B圖



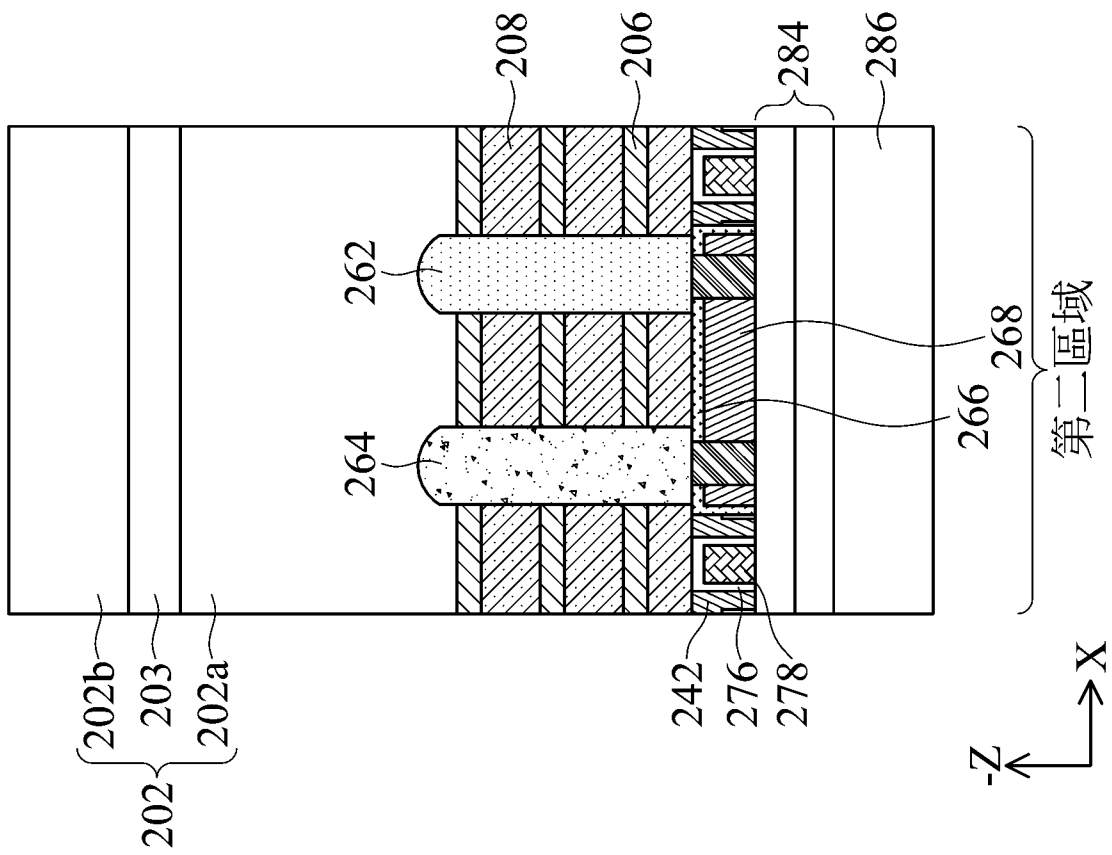
第一區域
第15A圖



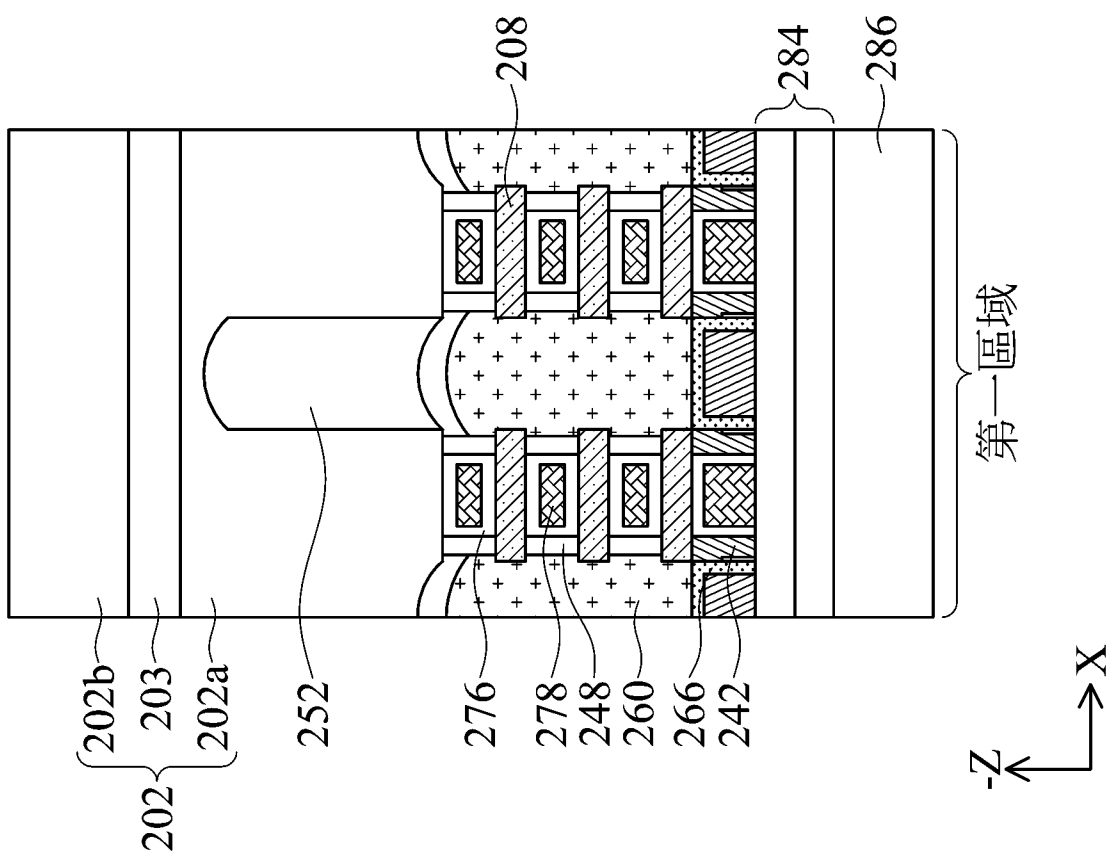
第 16A 圖



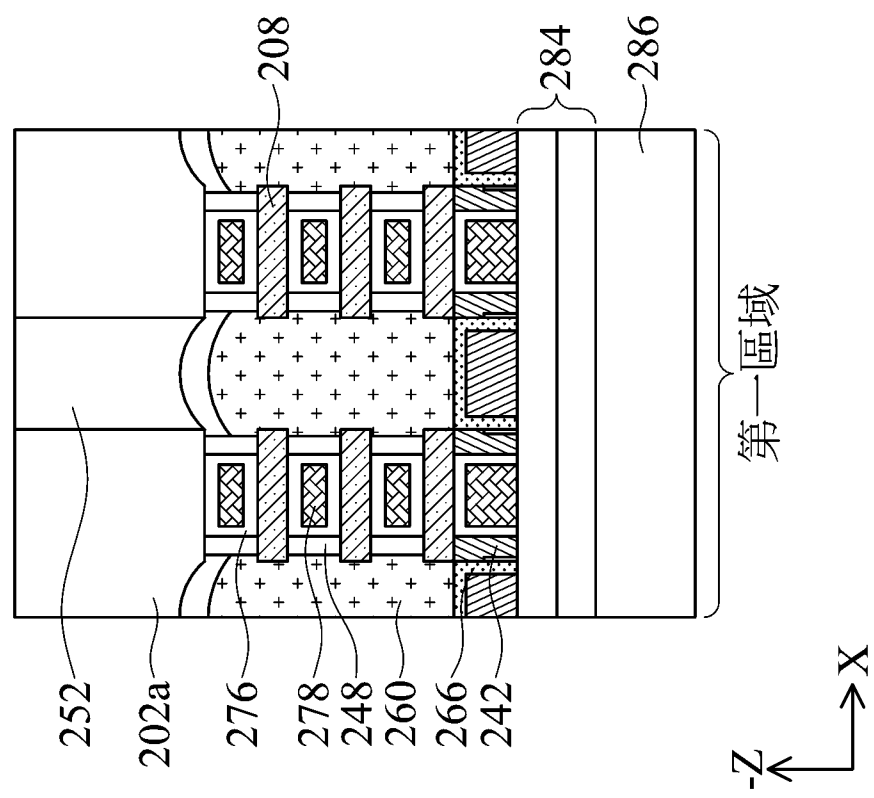
第 16B 圖



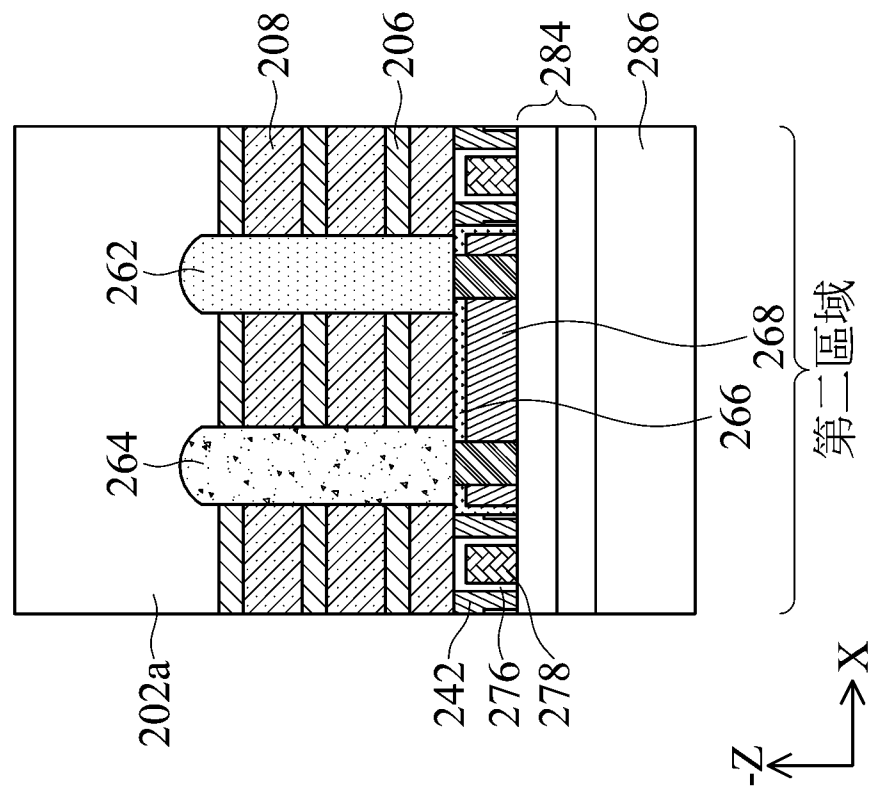
第17B圖



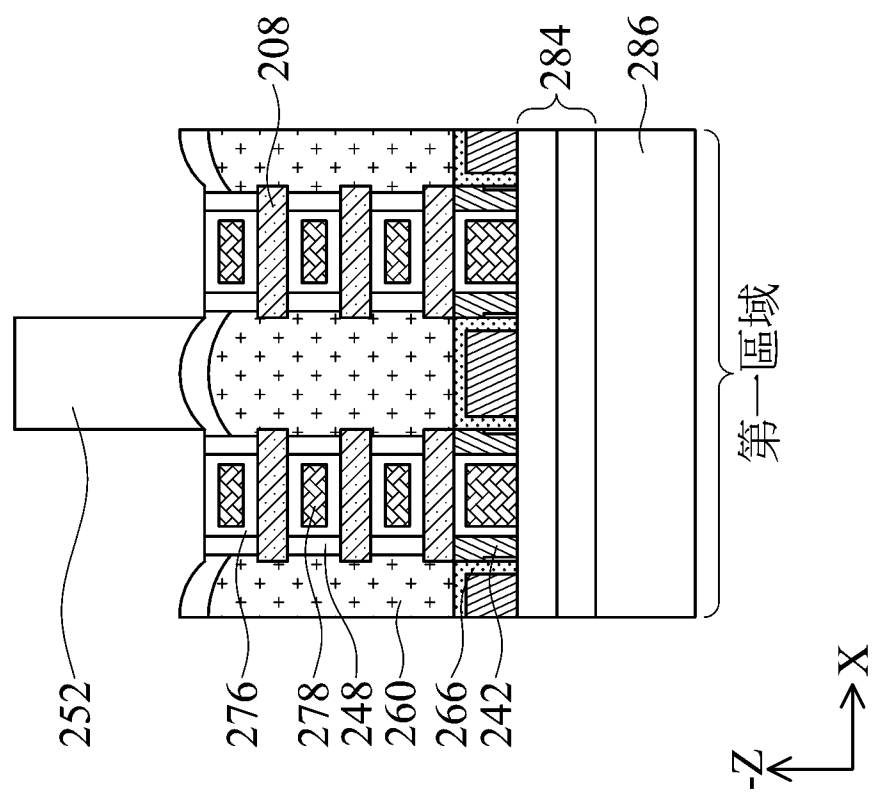
第17A圖



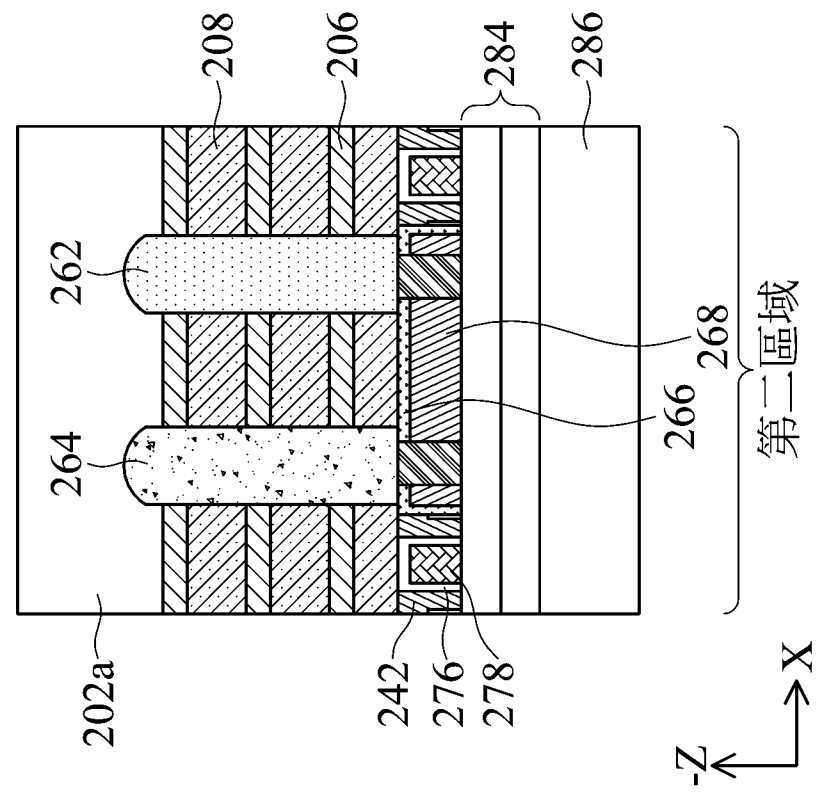
第 18A 圖



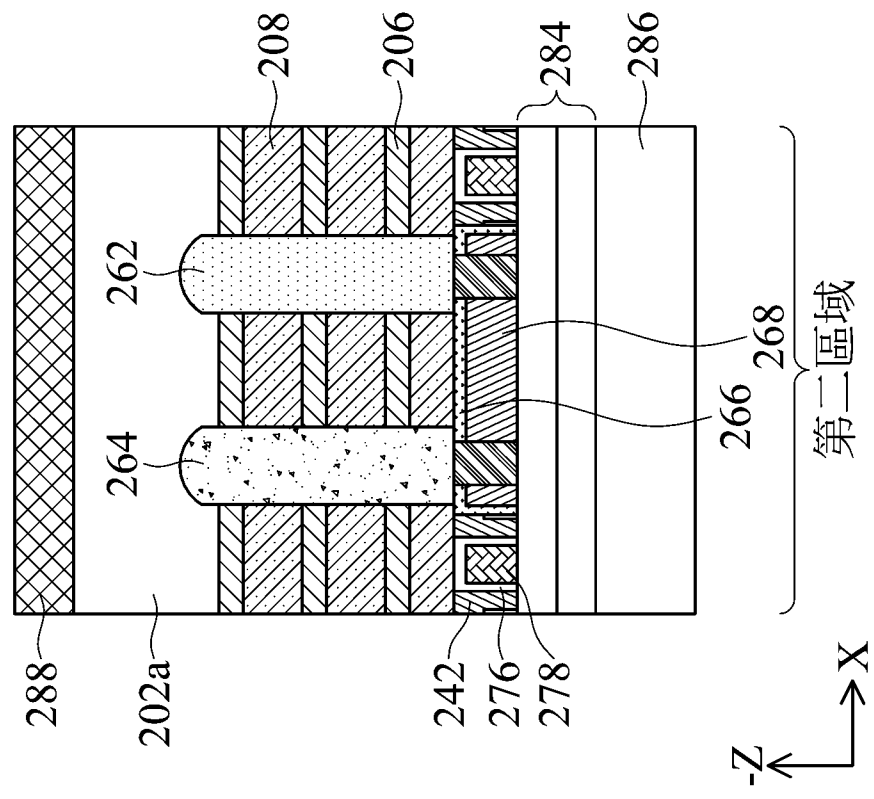
第 18B 圖



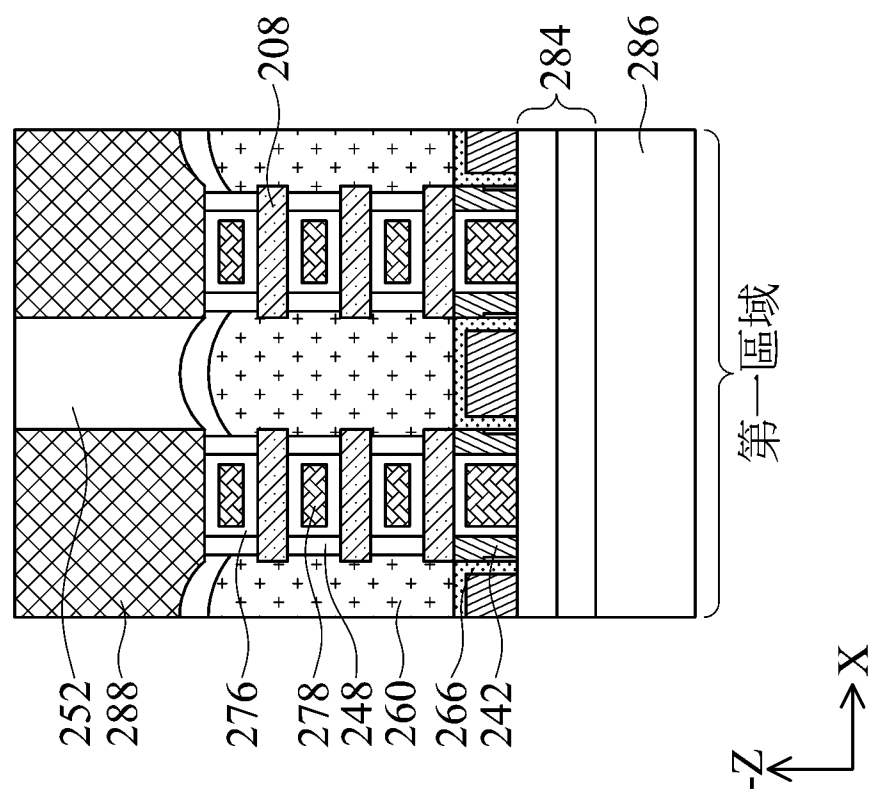
第 19A 圖



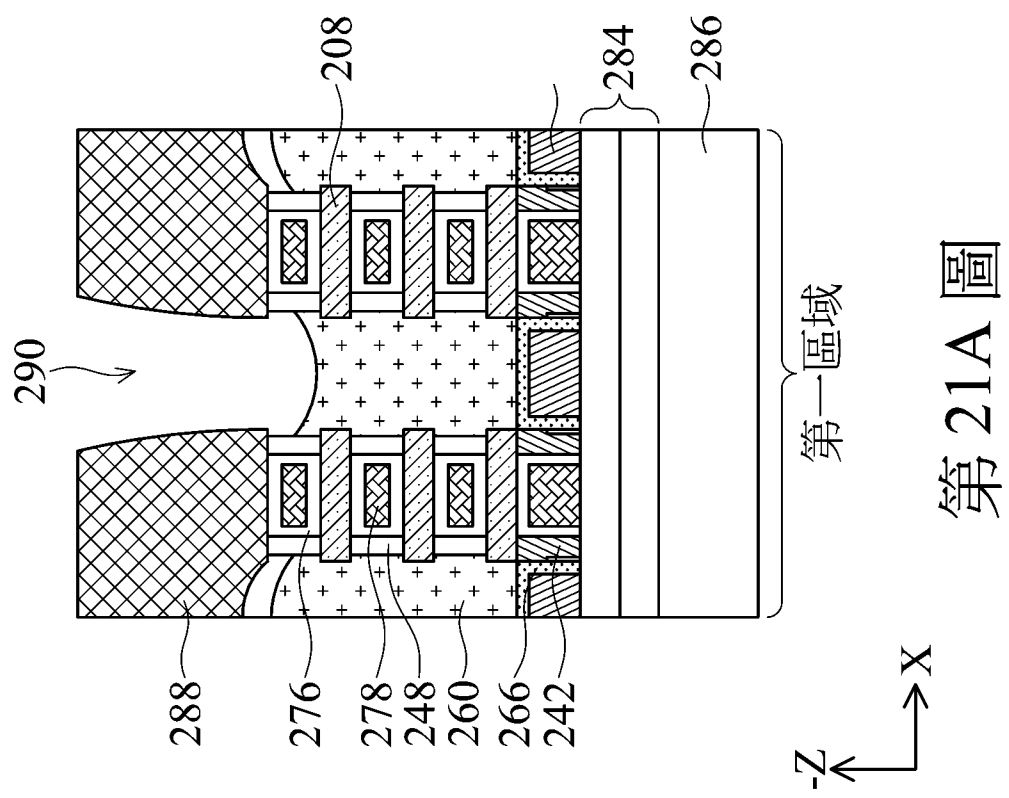
第 19B 圖



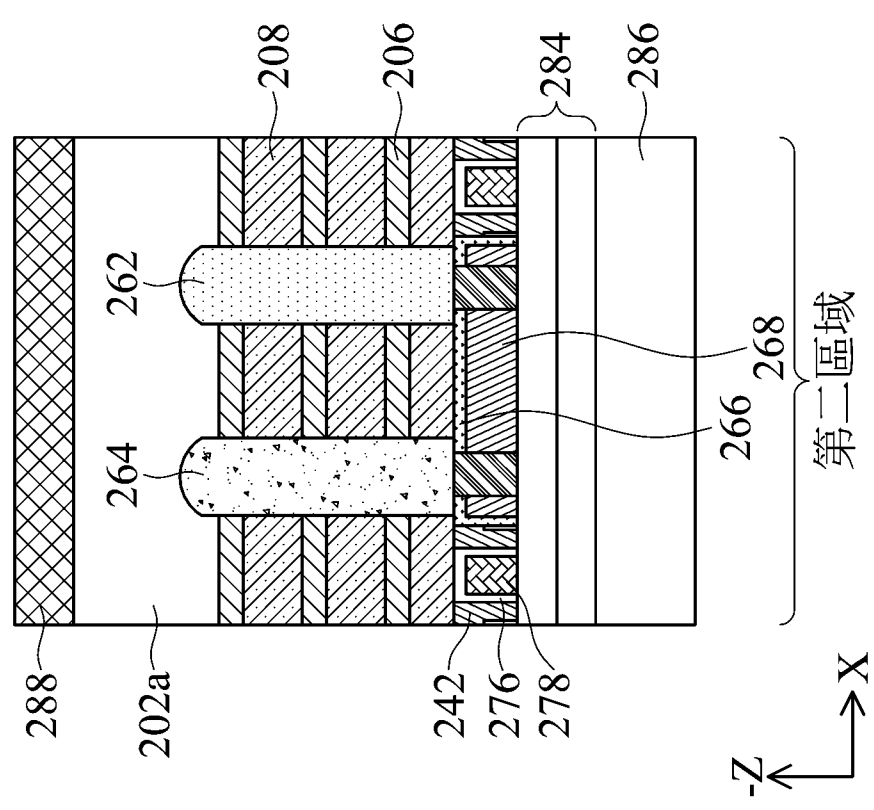
第20B圖



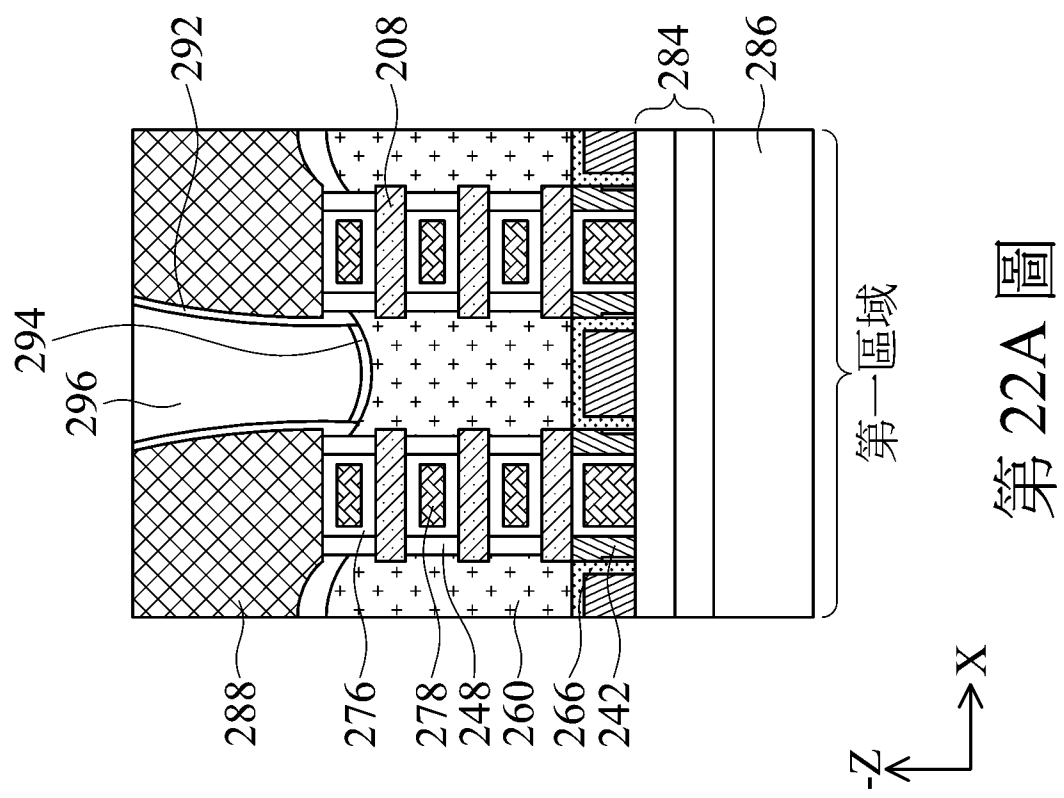
第20A圖



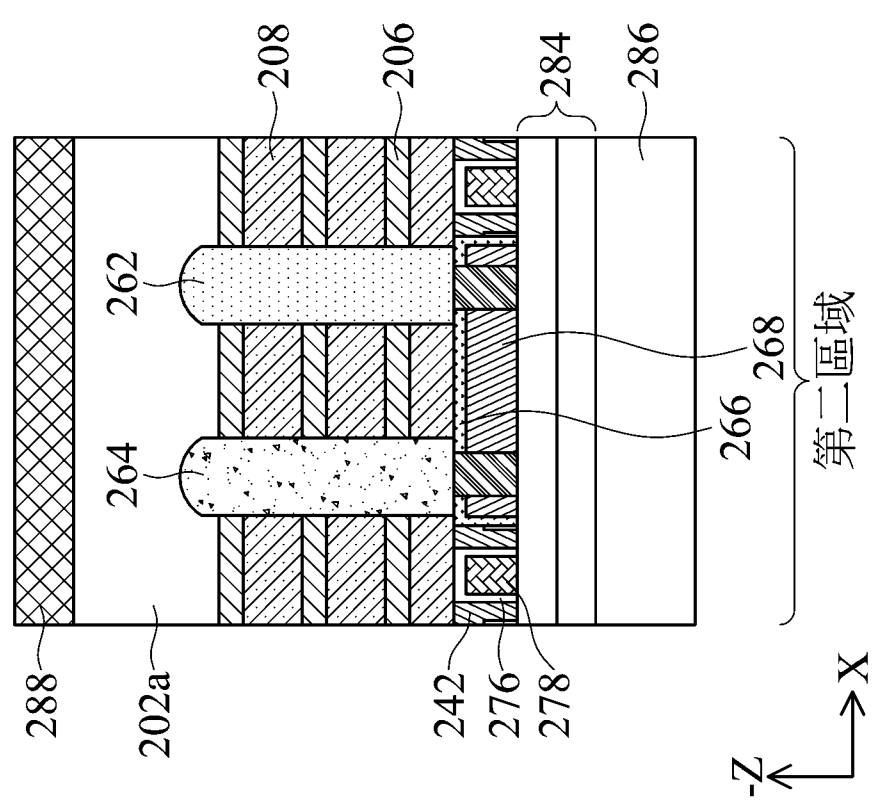
第 21A 圖



第 21B 圖



第 22A 圖



第 22B 圖

