

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3999822号

(P3999822)

(45) 発行日 平成19年10月31日(2007.10.31)

(24) 登録日 平成19年8月17日(2007.8.17)

(51) Int. Cl.		F I		
G 0 6 F	12/16	(2006.01)	G O 6 F	12/16 3 2 O F
G 0 6 F	11/10	(2006.01)	G O 6 F	11/10 3 3 O G
G 1 1 C	29/42	(2006.01)	G 1 1 C	29/00 6 3 1 D

請求項の数 10 (全 27 頁)

(21) 出願番号	特願平6-326344	(73) 特許権者	000003078
(22) 出願日	平成6年12月27日(1994.12.27)		株式会社東芝
(65) 公開番号	特開平7-234823		東京都港区芝浦一丁目1番1号
(43) 公開日	平成7年9月5日(1995.9.5)	(74) 代理人	100058479
審査請求日	平成13年1月19日(2001.1.19)		弁理士 鈴江 武彦
審査番号	不服2005-9016(P2005-9016/J1)	(72) 発明者	丹沢 徹
審査請求日	平成17年5月12日(2005.5.12)		神奈川県川崎市幸区小向東芝町1番地 株
(31) 優先権主張番号	特願平5-354152		式会社東芝研究開発センター内
(32) 優先日	平成5年12月28日(1993.12.28)	(72) 発明者	田中 智晴
(33) 優先権主張国	日本国(JP)		神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝研究開発センター内

最終頁に続く

(54) 【発明の名称】 記憶システム

(57) 【特許請求の範囲】

【請求項1】

それぞれがデータ"0"、"1"、・・・、"n-1"に対応するn値の記憶状態のいずれか1つの状態を記憶する複数の記憶素子を有し、Kビット(Kは自然数)からなるn値情報データを記憶する情報データ記憶手段と、Kビット(Kは自然数)からなるn値検査データを記憶する検査データ記憶手段とを備えた記憶手段と、

前記n値情報データからMビット(MはKより大きい自然数)からなる第1の中間バイナリ・コードに変換する第1の変換手段と、

前記n値情報データからMビット(MはKより大きい自然数)からなる第2の中間バイナリ・コードに変換する第2の変換手段と、

前記第1の中間バイナリ・コードに対して前記第2の中間バイナリ・コードを用いて前記第1の中間バイナリ・コードの誤りを検出し、前記第1の中間バイナリ・コード中の誤りを訂正する検出/訂正手段と、

を具備することを特徴とする記憶システム。

【請求項2】

前記記憶手段は、前記n値の記憶を、複数の記憶素子の組み合わせにより行うことを特徴とする請求項1記載の記憶システム。

【請求項3】

前記第1及び第2の変換手段は、記憶素子の記憶データを、1ビットが0と1で構成される複数ビットのバイナリ・コードに変換し、

10

20

前記検出／訂正手段は、前記情報データと前記検査データとから誤りを検出／訂正して、前記バイナリ・コードから複数の記憶素子のデータの組み合わせで表されるデータ・コードを出力することを特徴とする請求項 1 記載の記憶システム。

【請求項 4】

前記データ・コードから変換された情報データ記憶手段の記憶素子が記憶すべきデータに対応するバイナリ・コードから、前記検査データ記憶手段の記憶素子に記憶すべきデータに対応するバイナリ・コードを発生させ、前記バイナリ・コードに基づいて、記憶素子に n 値記憶させる書き込み手段を更に具備することを特徴とする請求項 3 記載の記憶システム。

【請求項 5】

少なくとも前記第 1 の変換手段は、前記記憶素子のデータの大きさが 1 だけ変化した場合に、そのバイナリ・コードがハミング距離 1 となるように、データを変換することを特徴とする請求項 1 記載の記憶システム。

【請求項 6】

前記記憶素子は、蓄えられた電荷量で n 値記憶を行い、電荷量の大きさの順に、 n 個のデータ "0"、"1"、...、" $n - 1$ " が対応することを特徴とする請求項 1 記載の記憶システム。

【請求項 7】

前記記憶素子は、半導体層上に電荷蓄積層と制御ゲートが積層形成された不揮発性メモリセルであることを特徴とする請求項 1 記載の記憶システム。

【請求項 8】

前記記憶素子の記憶状態の遷移が 1 の時に、そのバイナリ・コードのハミング距離が 1 であることを特徴とする請求項 1 記載の記憶システム。

【請求項 9】

前記記憶手段は、 N 値 (N は 3 以上の整数) かつ M 個 (M は 2 以上の整数) の前記記憶素子の組み合わせで、 $n < 2^M$ の関係を有する n ビット ($2^n < N^M < 2^{n+1}$) 情報を記憶することを特徴とする請求項 1 記載の記憶システム。

【請求項 10】

少なくとも 3 つの記憶状態から選択された K ビット (K は自然数) からなる情報をそれぞれ記憶する複数の第 1 の記憶手段と、少なくとも 3 つの記憶状態から選択された K ビット (K は自然数) からなる検査データをそれぞれ記憶する複数の第 2 の記憶手段とを含む EEPROM と、

前記第 1 の記憶手段に記憶された前記情報データと前記第 2 の記憶手段に記憶された前記検査データとを、それぞれ、1 ビットが "0" 又は "1" で構成される M ビット (M は K より大きい自然数) からなる第 1 と第 2 の中間バイナリ・コードに変換する変換手段と、

前記第 1 の中間バイナリ・コードと前記第 2 の中間バイナリ・コードを用いて、前記第 1 の中間バイナリ・コードの誤りを検出し、訂正する検出／訂正手段と、を具備することを特徴とする記憶システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、記憶システム、特に電氣的書替え可能な不揮発性半導体メモリを用いた多値の記憶システムに関する。

【0002】

【従来の技術】

近年、記憶システムとして、半導体メモリを用いた半導体記憶装置が広く使用されている。半導体記憶装置では、高集積度化、高密度化に伴う種々な影響による信頼性低下を防ぐことが重要な課題である。

【0003】

このため、誤り検出／訂正を行う誤り検出／訂正符号が、半導体記憶装置へしばしば適応

10

20

30

40

50

される。実用上、この誤り検出／訂正符号は次の全てを満足しなければならない。

【0004】

(1) エラー頻度が、半導体記憶装置に固有な許容エラー頻度以下であること。

【0005】

(2) 高速な読み書き動作に伴い、高速な符号化及び復号化が可能なものであること。

【0006】

(3) 符号構成に当たって、符号の冗長度はできるだけ小さいこと。

【0007】

上記のような実用的な観点から、今日まで、1ビット誤りを訂正し、かつ、2ビット誤りを検出するSEC-DED符号が広く採用されている。

10

【0008】

一層の高信頼度を狙いとして、2ビット誤りを訂正するDEC符号が応用されている。特に、メモリパッケージ単位、或いは複数ビット出力記憶素子単位の誤り検出／訂正を目的としたバイト誤り検出／訂正符号が重要である。このようなバイト単位でデータを扱う装置を具体的に実用化する観点から言えば、単一バイト誤りを訂正するだけでなく、2バイト誤り検出能力の高いSbEC-DbED符号が要求される。

【0009】

電氣的書替え可能な不揮発性半導体記憶装置(EEPROM)では、半導体基板上に積層形成された電荷蓄積層及び制御ゲートからなるメモリセルを用いて、電荷蓄積層に蓄えられた複数の電荷量の大きさを離散的に設定する(すなわち、制御ゲートから見た複数のし

20

【0010】

また、単位面積当たり格納できるデータ量を増やすために、多値記憶の方法が考えられている。例えば、3値セルを2個のセルで3ビットとする多値ROMが知られている。

【0011】

多値メモリは、3つ以上の異なる電圧 V_t 分布をとることが可能なメモリセルによって構成される。電荷蓄積層に蓄えられた電荷量の大きさが0である時の電圧 V_t を中性電圧 V_{t0} とすれば、長時間放置後に、メモリセルに書き込まれた情報を示すしきい電圧 V_t の分布が、中性電圧 V_{t0} を含むような電圧分布に変わる場合がある。

【0012】

そのため、多値メモリに対する誤り訂正方法が考えられている。

30

【0013】

例えば、

(1) 多値ダイナミック型半導体メモリの場合には、1ソフトエラーで1セルデータは完全に破壊されるので、1セル当たりのビット数が救済できる訂正符号が必要である。

【0014】

(2) フラッシュメモリの場合には、読み出された多値データと書き込まれた多値データとの大きさは1だけしか変わり得ないので、隣接状態の対応する情報が1ビットだけ異なるように対応付けしておけば、状態が隣へ遷移した場合に、パリティ検出ができる。

【0015】

3値メモリの場合には、例えば制御ゲートを共有する隣合うメモリセルで構成されるセル群がその基本要素である。この場合、1メモリセルは3値を有するので、1セル群は $3 \times 3 = 9$ 値を有する。そのうちの8値を使うことにより、2セル(すなわち1セル群)当たり3ビット情報を記憶できる。

40

【0016】

高集積化可能な3値NAND型EEPROMの構造とその動作を簡単に述べる。図24は、NANDセル構造例を示す断面図であり、NANDセルは、p基板11と、浮遊ゲート14と、制御ゲート16と、層間絶縁膜17と、ビット線18と、n型拡散層19とを有する。

【0017】

50

複数のメモリセルのうち隣接するメモリセルのソース及びドレインを共有する形で直列接続し、これを一単位としてビット線に接続して、NANDセルを構成する。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側もドレイン側と同様に選択ゲートを介してソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0018】

上記の3値NAND型EEPROMの動作は次の通りである。

【0019】

データの書き込みの動作は、ビット線から最も離れた位置のメモリセルから順に行われる。選択メモリセルの制御ゲートには高電圧 V_{pp} (= 20 V程度)が印加され、選択メモリセルよりビット線側にあるメモリセルの制御ゲート及び選択ゲートに中間電圧 V_m (= 10 V程度)が印加され、ビット線にデータに応じて0 V、低電圧 V_{dd} (= 2 V程度)又は中間電圧が与えられる。ビット線に0 V又は低電圧 V_{dd} (= 2 V程度)が与えられた時に、ビット線の電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、選択メモリセルのしきい電圧は正方向にシフトする。しかし、ビット線に低電圧 V_{dd} が与えられた時のシフト量はビット線に0 Vが与えられた時のシフト量より小さくなる。ビット線に中間電圧が与えられた時は電子注入が起こらないので、しきい電圧は変化しない。

【0020】

データ消去動作は、NANDセル内の全てのメモリセルに対して同時に行われる。すなわち、全ての制御ゲート、選択ゲートを0 Vとし、ビット線及びソース線を浮遊状態として、p型ウェル及びn型基板に高電圧 V_{pp} (= 20 V程度)が印加される。これにより、全てのメモリセル浮遊ゲートの電子がp型ウェルに放出され、しきい電圧は負方向にシフトする。

【0021】

データ読み出し動作は、2サイクルで行われる。第1のサイクルでは、選択メモリセルの制御ゲートを0 V、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧 V_{cc} (= 5 V程度)として、選択メモリセルで電流が流れるか否かを検出する。第2のサイクルでは、選択メモリセルの制御ゲートを低電圧 V_{dd} (= 2 V程度)とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧 V_{cc} (= 5 V程度)として、選択メモリセルで電流が流れるか否かを検出する。ここで、3つのしきい電圧分布 V_t は、それぞれ $V_t < 0 V$ 、 $0 V = < V_t < V_{dd}$ 、 $V_{dd} = < V_t < V_{cc}$ である。

【0022】

多値の値を決める物理量(例えば、EEPROMのメモリセルのしきい電圧)の大きさを大きい順に並べた時のi番目のデータを多値データ“i”として、読み出された多値データと書き込まれた多値データとの大きさが1だけ変わる場合を考慮する。その時、読み出される出力データが書き込まれた入力データと大きさが2以上異なる場合が存在する。その結果、入出力データを情報データとする誤り訂正/検出符号として、少なくともSbEC符号が必要となる。更に、信頼度を2値記憶素子の場合のSEC-DED符号と同程度にするには、SbEC-DbED符号が要求される。しかし、このSbEC-DbED符号はSEC-DED符号に比べ、高い冗長度、すなわち複雑な復号化回路を必要とする。

【0023】

上記の大きさが2以上異なる場合を簡単に説明する。

【0024】

表1は、3値セルの状態を“0”、“1”、“2”とした場合における2つのセルの状態の9通りの組合せのうち、“2”“2”を除いた8通りを用いて3ビットとする多値メモリの情報と状態の対応関係を表す。3ビット情報と状態の組合せは、隣合う2つが1ビットだけ、又は、大きさ“1”だけ、それぞれ異なるように並べられて対応している。この時、状態が大きさ“1”だけ変わり得る場合を想定すると、状態の組合せでは入出力デー

10

20

30

40

50

タ" 4 "に対応する状態" 1 " " 1 " は、" 1 " " 2 "、" 1 " " 0 "、" 0 " " 1 " 及び" 2 " " 1 " の4通りに変わり得るのに対して、3ビット情報の方は3ビットのうち1ビット異なる3通り(すなわち、入出力データ" 3 "、" 5 "及び" 7 ")にしか変わらない。従って、このような誤りのある場合に、情報ビットを訂正しようとする、2ビット訂正可能な誤り訂正符号を用いなければならない。

【 0 0 2 5 】

表 1

入出力データ	3ビット情報	状態の組合せ
" 0 "	0 0 0	" 0 " " 0 "
" 1 "	0 0 1	" 0 " " 1 "
" 2 "	0 1 1	" 0 " " 2 "
" 3 "	0 1 0	" 1 " " 2 "
" 4 "	1 1 0	" 1 " " 1 "
" 5 "	1 1 1	" 1 " " 0 "
" 6 "	1 0 1	" 2 " " 0 "
" 7 "	1 0 0	" 2 " " 1 "

10

20

また、記憶データのケラム不良等のバースト誤りがある場合に、正味の誤り訂正/検出能力は低下する。このようなバースト誤りがある場合に、例えばバースト誤りのあるアドレス以外の1つの記憶データに誤りがある時にこれらを訂正したければ、少なくとも2ビット誤り訂正符号を適用しなければならない。

【 0 0 2 6 】

例えば、電氣的書替え可能な不揮発性半導体記憶装置(EEPROM)では、特有なケラム不良が生ずることがある。このケラム不良は、ビット線にリークがある場合、或いはブロック内の共通ケラム中のメモリセルが過剰書き込み又は過剰消去された場合に起こる。このようなケラム不良がある場合に、更に別のケラムアドレスのメモリセルに誤りがある時には、S b E C符号などの単一bビットバイト誤り訂正符号によって誤りが訂正できず、例えば二重bビットバイト誤り訂正符号が必要である。しかし、この符号はS b E C符号に比べ、高い冗長度、すなわち複雑な復号化回路を必要とする。

30

【 0 0 2 7 】

【発明が解決しようとする課題】

上記のように従来の記憶システムは、下記のような問題を有する。

【 0 0 2 8 】

多値の値を決める物理量の大きさを大きい順に並べた時のi番目のデータを多値データ" i "として、読み出された多値データと書き込まれた多値データとの大きさが1だけ変わる場合に、読み出される出力データが書き込まれた入力データと大きさが2以上異なる場合が存在する。その結果、入出力データを情報データとする誤り訂正/検出符号として、少なくともS b E C符号が必要である。更に、信頼度を2値記憶素子の場合のS E C - D E D符号と同程度にするには、S b E C - D b E D符号が要求される。しかし、このS b E C - D b E D符号はS E C - D E D符号に比べ、高い冗長度、すなわち複雑な復号化回路を必要とする。

40

【 0 0 2 9 】

EEPROMは、特有なケラム不良が生ずることがあり、このようなケラム不良がある場合に更に別のケラムアドレスのメモリセルに誤りがある時に、S b E C符号などの単一bビットバイト誤り訂正符号によっては訂正できず、例えば二重bビットバイト誤り訂正符

50

号が必要である。この符号はS b E C符号に比べ、高い冗長度、すなわち複雑な復号化回路を必要とする。

【0030】

本発明の目的は、多値の値を決める物理量の大きさを大きい順に並べた時の*i*番目のデータを多値データ“*i*”として、読み出された多値データと書き込まれた多値データとの大きさが1しか変わらない場合に適した誤り検出/訂正手段を用いることによって、比較的低い冗長度、すなわち簡単な複合化回路を用いること及び2ビット誤り検出を完全に行い得る記憶システムを提供することである。

【0031】

本発明の他の目的は、バースト誤りが生じて1符号語中に2ビット誤りが発生した場合でも、1ビット誤りを訂正し、更に、2ビット誤りを検出する符号を用いて2ビット誤りを訂正する可能性を有する記憶システムを提供することである。

10

【0032】

【課題を解決するための手段】

本発明は、上記の課題を解決するために次のような手段を講じた。

【0033】

本発明の第1の記憶システム(請求項1)は、[請求項1]特徴とする。また、また、上記の*n*値の記憶は、複数の記憶素子の組み合わせにより行われるようにしている。

【0034】

本発明の第1の記憶システムの望ましい実施態様は、次のものがある。

20

【0035】

(1) 情報データ記憶手段が、記憶すべきデータに対応するバイナリ・コードを用いて、誤り検出データ/訂正データ記憶手段の記憶素子に記憶すべきデータに対応する中間バイナリ・コードを発生させる手段と、中間バイナリ・コードに基づいて、記憶素子に*n*値記憶させる書き込み手段を備えたこと。

【0036】

(2) 記憶素子の記憶データを、1ビットが“0”と“1”で構成される複数ビットのバイナリ・コードに変換して、情報データと誤り検出データ又は誤り訂正データから誤りを検出又は訂正し、バイナリ・コードから複数の記憶素子のデータの組み合わせで表されるデータ・コードを出力すること。

30

【0037】

(3) (2)において、データ・コードから変換された情報データ記憶手段の記憶素子が記憶すべきデータに対応するバイナリ・コードから、誤り検出データ/訂正データ記憶手段の記憶素子に記憶すべきデータに対応するバイナリ・コードを発生させ、このバイナリ・コードに基づいて、記憶素子に*n*値記憶させる書き込み手段を備えたこと。

【0038】

(4) 記憶素子のデータ“*i*”($i = 0, 1, \dots, n - 2$)に対応するバイナリ・コードとデータ“*i* + 1”に対応するバイナリ・コードは、バイナリ・コード中の1ビットのみ異なるようにされ、且つ記憶素子のデータ“*i*”($i = 1, \dots, n - 1$)に対応する前記バイナリ・コードとデータ“*i* - 1”に対応するバイナリ・コードは、バイナリ・コード中の1ビットのみ異なるようにされること。

40

【0039】

(5) 記憶素子は蓄えられた電荷量で*n*値記憶し、電荷量の大きさの順に、データ“0”、“1”、…、“*n* - 1”が対応していること。

【0040】

(6) 記憶システムは不揮発性半導体記憶システムであり、記憶素子は半導体層上に電荷蓄積層と制御ゲートが積層形成され構成されたメモリセルであること。

【0041】

(7) 前記記憶素子の記憶状態の遷移は1以下であること。

【0042】

50

(8) 前記記憶手段は、 N 値 (N は 3 以上の整数) かつ M 個 (M は 2 以上の整数) の記憶素子の組合せで、 $n < 2^M$ の関係を有する n ビット ($2^n < N^M < 2^{n+1}$) 情報を記憶すること。

【0044】

【作用】

本発明の第 1 の記憶システム (請求項 1) によれば、次のような作用が生じる。

【0045】

多値の値を決める物理量の大きさを大きい順に並べた時の i 番目のデータを多値データ “ i ” として、読み出された多値データと書き込まれた多値データとの大きさが 1 しか変わらない場合に、多値データの大きさが 1 だけ異なるとき対応するコードが 1 ビット異なる (すなわちハミング距離 1 となる) ような中間バイナリ・コードを導入することによって、1 ビット誤り訂正符号の適用が可能となる。これにより、比較的低い冗長度、すなわち簡単な復号化回路を用いることができ、更に 2 ビット誤り検出能力を持つ 2 ビット誤り検出符号に拡張することによって 2 ビット誤り検出を完全に行うことができる。

10

【0046】

例えば、電気的書替え可能な不揮発性半導体記憶装置 (EEPROM) では、図 25 に示すように、半導体基板 (n 基板 11 上の p ウェル 11) 上に積層形成された電荷蓄積層 14 及び制御ゲート 16 からなるメモリセルを用いて、電荷蓄積層 14 に蓄えられた電荷量の大きさを離散的にすることによって、すなわち制御ゲート 16 から見たしきい電圧 V_t を離散的にすることによって、情報を記憶することができる。多値メモリは、この V_t 分布を 3 つ以上持たせたメモリセルによって構成される。

20

【0047】

図 26 は、3 値メモリの場合のセルのしきい電圧レベルと多値 “0”、“1”、“2” の対応例を示す。電荷蓄積層に蓄えられた電荷量の大きさが 0 である時の電圧 V_t を中性電圧 V_{t0} と呼び、この中性電圧 V_{t0} が “1” の電圧 V_t 分布内であれば、メモリセルに書き込まれた情報は、長時間放置後中性電圧 V_{t0} を含む V_t 分布の対応する情報になってしまうことがある。この場合の情報の誤りの大きさは、高々 “1” である。すなわち、情報の誤りは、“0” と “1” の間又は “1” と “2” の間のみ起こる。

【0048】

図 27 及び図 28 は、それぞれ NOR 型 EEPROM、NAND 型 EEPROM のセルアレイ部分を示す図である。3 値メモリでは、例えば制御ゲートを共有した隣合うメモリセルで構成されるセル群をその基本要素とする。1 メモリセルは 3 値を有するので、1 セル群は 9 値を有する。そのうちの 8 値を使って、2 セル当たり 3 ビットの情報を記憶できる。

30

【0049】

3 値データと中間バイナリ・コードとの対応関係を、例えば、表 2 のように多値データが大きさ 1 だけ異なる時に対応するバイナリ・コードがハミング距離 1 となるようにすることによって、誤りは 1 ビット誤り訂正符号の適用によって訂正できる。

【0050】

表 2

40

3 値データ	バイナリ・データ
“0”	01
“1”	00
“2”	10

更に、4 値、5 値、8 値の場合も同様に、多値データとバイナリ・コードの対応関係を、例えば下記の表 3、表 4、表 5 のようにすることによって達成できる。

50

【 0 0 5 1 】

表 3

4値データ	バイナリ・データ
“0”	0 0
“1”	0 1
“2”	1 1
“3”	1 0

10

表 4

5値データ	バイナリ・データ
“0”	0 0 0
“1”	0 0 1
“2”	0 1 1
“3”	1 1 1
“4”	1 1 0

20

表 5

8値データ	バイナリ・データ
“0”	0 0 0
“1”	0 0 1
“2”	0 1 1
“3”	0 1 0
“4”	1 1 0
“5”	1 0 0
“6”	1 0 1
“7”	1 1 1

30

【 0 0 5 2 】

【 実施例 】

40

以下、本発明の実施例を図面を参照して説明する。

【 0 0 5 3 】

図1は、本発明の第1実施例に係る記憶システムの概略構成図である。第1実施例の記憶システムは、データ変換器10と、検査データ演算器20と、セルアレイ30と、誤り検出器40と、誤り訂正器50と、データ逆変換器60とを具備する。

【 0 0 5 4 】

データの書き込みは、次のように行われる。

【 0 0 5 5 】

データ変換器10は、書き込みデータである入力データD10を、多値の値を決める物理量の大きさを大きい順に並べた時のi番目のデータを多値データ“i”として、読み出さ

50

れた多値データと書き込まれた多値データとの大きさが1だけ異なる場合にハミング距離1となるようなバイナリ・コードに変換する。その後、検査データ演算器20は、バイナリ・コードから検査データD30を生成する。この時、データ変換器10で変換されたバイナリ・コードを情報データD20として、情報データD20と検査データD30とが、書込データD40として、書込データD40がセルアレイ30に書き込まれる。

【0056】

データの読み出しは、次のように行われる。

【0057】

セルアレイ30から読み出された読出データD50は、誤り検出器40と誤り訂正器50に入力される。セルアレイ30から読み出されたデータに誤りがあった時に、誤り検出器40は、誤りの数が許容能力の範囲であれば誤りを検出して、検出した誤りの位置を誤り訂正器50に出力する。誤り訂正器50は、誤り検出器40で検出された誤りの数が許容能力の範囲であれば、セルアレイ30から読み出された読出データD50の誤りを訂正する。この時、誤り訂正器50の出力はバイナリ・コードの多値情報データである。データ逆変換器60は、この情報データを、セルアレイ30からの読み出しデータである出力データD60に逆変換して出力する。

10

【0058】

上記のように第1実施例によれば、多値の値を決める物理量の大きさを大きい順に並べた時のi番目のデータを多値データ“i”として、読み出された多値データと書き込まれた多値データとの大きさが1しか変わらないことを前提として、多値の情報データをバイナリ・コードに変換し、多値データとバイナリ・コードの対応を多値データの大きさが1だけ異なる時にハミング距離1になるバイナリ・コードに変換する。このため、1ビット誤り訂正符号の適用が可能となり、比較的低い冗長度、すなわち簡単な復号化回路を用いることができる。更に、2ビット誤り検出能力を持つ2ビット誤り検出符号に拡張することによって2ビット誤り検出を完全に行うことができる。

20

【0059】

図2は、本発明の第2実施例に係る記憶システムの概略構成図である。図2において、図1と同一部分には同一符号を付して、その詳しい説明は省略する。第2実施例は、第1実施例における各構成要素が、CPU100とEEPROM200のいずれに含まれるかを示す。

30

【0060】

第2実施例において、CPU100は、データ変換器10と、検査データ演算器20と、誤り訂正器50と、誤り検出器40と、データ逆変換器60と、を有し、EEPROM200はセルアレイ30のみを有する。本第2実施例では、CPU100とEEPROM200とでやりとりされるデータはバイナリ・コードである。

【0061】

図3は、本発明の第3実施例に係る記憶システムの概略構成図である。図3において、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0062】

第3実施例は、第2実施例において、EEPROM200が、CPU100と同様に、データ変換器10と、データ逆変換器60とを有する構成であり、この場合には、CPU100とEEPROM200とでやりとりされるデータはバイナリ・コードでなく、通常の情報データである。但し、第3実施例の場合には、読出データD50に誤りが生じ、使用されないバイナリ・コードに変わった時に、その誤りを検出して、EEPROM200の外部に出力するために(例えばEEPROM200の出力バッファを高いインピーダンス状態にするために)、EEPROM200内に禁止データ検出器70が設けられる。

40

【0063】

図4は、本発明の第4実施例に係る記憶システムの概略構成図である。図4において、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0064】

50

第4実施例は、本発明の第1実施例におけるデータ変換器10とデータ逆変換器60を一体化したもので、基本的な動作は本発明の第1実施例と同様である。但し、本実施例は 2^n 値(n は2以上の整数)の場合に限定される。

【0065】

書き込みは、次のように行われる。

【0066】

入出力データ-多値データ変換器80は、書き込みデータである入力データD10を、多値の値を決める物理量の大きさを大きい順に並べた時の i 番目のデータを多値データ“ i ”として、読み出された多値データと書き込まれた多値データとの大きさが1しか変わらないことを前提として、多値の情報データをバイナリ・コードに変換し、多値データとバイナリ・コードの対応を多値データの大きさが1だけ異なる時にハミング距離1になるバイナリ・コードに変換する。その後、検査データ演算器20は、バイナリ・コードから検査データD30を生成する。この時、データ変換器10で変換されたバイナリ・コードを情報データD20として、情報データD20と検査データD30とが書込データD40として、書込データD40がセルアレイ30に書き込まれる。

10

【0067】

データの読み出しは、次のように行われる。

【0068】

セルアレイ30から読み出された読出データD50は、誤り検出器40と誤り訂正器50に導入される。セルアレイ30から読み出されたデータに誤りがあった時に、誤り検出器40は、誤りの数が許容能力の範囲であれば誤りを検出して、検出した誤りのビット位置情報を誤り訂正器50に出力する。誤り訂正器50は、誤り検出器40で検出された誤りの数が許容能力の範囲であれば、セルアレイ30から読み出された読出データD50の誤りを訂正する。誤り訂正器50の出力はバイナリ・コードの多値情報データである。入出力データ-多値データ変換器80は、この情報データを、読み出しデータである出力データD60に逆変換して出力する。

20

【0069】

図5は、本発明の第5実施例に係る記憶システムの概略構成図である。図5において、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0070】

第5実施例は、本発明の第2実施例において、CPU100とEEPROM200とでやりとりされるデータを多元多値データとした構成例を示し、基本的な動作は本発明の第2実施例と同様である。

30

【0071】

書き込み時には、書き込みデータである入力データD10は、データ変換器10によって、多値の値を決める物理量をその大きさ順に並べた時に i 番目のものを多値データ“ i ”とする時に、多値データが大きさが1だけ異なる時ハミング距離1となるようなバイナリ・データに変換される。その後、検査データ演算器20は、バイナリ・コードから検査データD30を生成する。更に、バイナリ・コードを情報データD20とし、これらのデータは多元多値データ変換器90に導入される。多元多値データ変換器90は、入力データを多元多値データに変換して出力する。

40

【0072】

上記の構成により、CPU100とEEPROM200でやりとりされるデータは、多元多値データとなる。EEPROM200に入力された多元多値データは、書込データD40として、セルアレイ30に書き込まれる。

【0073】

読み出し時には、セルアレイ30から読み出された多元多値の読出データD50はCPU100の多元多値データ変換器90に導入される。多元多値データ変換器90は、入力された多元多値データをバイナリ・コードに変換する。その後、このデータは誤り検出器40と誤り訂正器50に導入される。セルアレイ30から読み出されたデータに誤りがあ

50

た時に、誤り検出器 40 は、誤りの数が許容能力の範囲であれば誤りを検出して、検出した誤りの位置情報を誤り訂正器 50 に出力する。誤り訂正器 50 は、誤り検出器 40 で検出された誤りの数が許容能力の範囲であれば、セルアレイ 30 から読み出された読出データ D50 の誤りを訂正する。誤り訂正器 50 の出力はバイナリ・コードの多値情報データである。データ逆変換器 60 は、この情報データを、読み出しデータである出力データ D60 に逆変換して出力する。

【0074】

第6実施例は、2つの3値メモリセルの状態の9通りの組合せのうち、8通りを用いて3ビットとする多値メモリを使った多値記憶システムの誤り訂正検出の具体例を示す。上記各実施例は、記憶情報をバイナリ・コード(中間バイナリ・コードを含む)へ変換の後に、誤り訂正を行う実施例を示したが、第6実施例は、上記各実施例において、バイナリ・コードとして、中間バイナリ・コードを用いて誤り訂正を行う具体的な実施例を下記に示す。

【0075】

図6は、3値セルのしきい電圧 V_t の分布(“0”、“1”及び“2”)が、それぞれ中間バイナリ・コード00、01及び11に対応する示す。図6において、各分布のしきい電圧 V_t は、それぞれ $V_t = < -1V$ 、 $0V = < V_t = < 1V$ 、 $2V = < V_t = < 3V$ である。組み合わせられる2つのメモリセルであるセル1とセル2の中間バイナリ・コードの8通りの組合せを中間バイナリ・コードと呼ぶことにし、入出力データとそれぞれに対応する8ビットの中間バイナリ・コードの関係を、表6のようにする。表6から、状態が大きさ“1”だけ変わり得る場合に、3ビット情報でなく、セルの情報から変換される中間バイナリ・コードに対して誤り訂正を行うことによって、1ビット誤り訂正符号が導入できることがわかる。

【0076】

表 6

入出力データ	3ビット情報	中間バイナリ・コード
“0”	000	“00” “00”
“1”	001	“00” “01”
“2”	011	“00” “11”
“3”	100	“01” “00”
“4”	101	“01” “01”
“5”	111	“01” “11”
“6”	010	“11” “00”
“7”	110	“11” “01”

図7は、21ビットの中間バイナリ・コードの1ビット誤りを訂正し、6ビットの検査ビットを合わせた27ビット中の2ビット誤りを検出する誤り訂正検出のための検査行列である。

【0077】

図8は、情報データの中間バイナリ・コードへの変換とその逆変換を行うデータ変換回路110の回路図である。信号WEは書き込み時にハイ、信号REは読み出し時にハイになる。図8(a)において、バーのついた信号(例えば、 \overline{WE})は、その反転信号を示す。このデータ変換回路110により、書き込み時には情報データから中間バイナリ・コードへ変換が行われ、読み出し時には中間バイナリ・コードから情報データへの逆変換が行われる。16ビットの情報データ IO_1 ($1 = 1 \sim 15$) の15ビット分のデータは、

図8(a)に示すように3ビット毎に4ビットの中間バイナリ・コード IOO_k ($k = 1 \sim 20$)に変換される。残りの情報データ IO_{16} は、図8(b)のようにそのまま IOO_{21} に変換される。そして、16ビット情報そのものでなく、データ変換回路110によって変換された中間バイナリ・コード IOO の21ビットのデータが、誤り訂正符号の情報データとして扱われる。

【0078】

上記のデータ変換回路110と、EEPROM200のデータ入出力ピンであるIOパッド120と、IOバッファ130と、誤り訂正検出回路(ECC)140と、書込/読出回路150との接続関係を図9に示す。

【0079】

図9(a)では、データ変換回路110がCPU100側にあり、EEPROM200は16ビットの中間バイナリ・コードを入力する。図9(b)では、EEPROM200が、データ変換回路110と、ECC140と、読み書き回路159とを有し、EEPROM200は16ビットの情報データを入出力する。図9(c)では、CPU100がECC140を有し、EEPROM200は、21ビットの中間バイナリ・コードと6ビットの検査ビットを入出力する。

【0080】

図10~図12は、16ビットの中間バイナリ・コードの1ビット誤りを訂正し、6ビットの検査ビットを合わせた22ビット中の2ビット誤りを検出するECC140の構成例を示す図である。このECC140による誤り検出及び訂正は、図7の検査行列を用いて実現される。図10(a)の回路によって、書き込み時に書き込み情報データ I_k ($k = 1 \sim 21$)は、入力 O_k とされる。図10(b)の回路は、書き込み時に検査データを発生させ、読み出し時にシンドロームを発生させる回路である。この回路は6組あり、入力 $A(i)$ 及び入力 $B(i)$ は、それぞれ表7及び表8で与えられる。

【0081】

10

20

表 7

	$i=1$	$i=2$	$i=3$	$i=4$	$i=5$	$i=6$	
A 1 (i)	I_1	I_1	I_1	I_2	I_3	I_4	
A 2 (i)	I_5	I_2	I_2	I_3	I_4	I_5	
A 3 (i)	I_6	I_6	I_3	I_4	I_5	I_6	
A 4 (i)	I_7	I_8	I_9	I_7	I_7	I_8	10
A 5 (i)	I_9	I_{10}	I_{11}	I_{10}	I_8	I_9	
A 6 (i)	I_{10}	I_{11}	I_{12}	I_{12}	I_{11}	I_{12}	
A 7 (i)	I_{13}	I_{14}	I_{13}	I_{13}	I_{14}	I_{15}	
A 8 (i)	I_{16}	I_{17}	I_{15}	I_{14}	I_{15}	I_{16}	
A 9 (i)	I_{17}	I_{18}	I_{18}	I_{16}	I_{17}	I_{18}	
A 1 0 (i)	I_{19}	I_{19}	I_{19}	I_{19}	I_{19}	I_{20}	
A 1 1 (i)	I_{20}	I_{20}	I_{20}	I_{20}	I_{21}	I_{21}	20
A 1 2 (i)	I_{21}	I_{21}	I_{21}	0	0	0	

表 8

	$i=1$	$i=2$	$i=3$	$i=4$	$i=5$	$i=6$	
B 1 (i)	O_1	O_1	O_1	O_2	O_3	O_4	
B 2 (i)	O_5	O_2	O_2	O_3	O_4	O_5	30
B 3 (i)	O_6	O_6	O_3	O_4	O_5	O_6	
B 4 (i)	O_7	O_8	O_9	O_7	O_7	O_8	
B 5 (i)	O_9	O_{10}	O_{11}	O_{10}	O_8	O_9	
B 6 (i)	O_{10}	O_{11}	O_{12}	O_{12}	O_{11}	O_{12}	
B 7 (i)	O_{13}	O_{14}	O_{13}	O_{13}	O_{14}	O_{15}	
B 8 (i)	O_{16}	O_{17}	O_{15}	O_{14}	O_{15}	O_{16}	
B 9 (i)	O_{17}	O_{18}	O_{18}	O_{16}	O_{17}	O_{18}	40
B 1 0 (i)	O_{19}	O_{19}	O_{19}	O_{19}	O_{19}	O_{20}	
B 1 1 (i)	O_{20}	O_{20}	O_{20}	O_{20}	O_{21}	O_{21}	
B 1 2 (i)	O_{21}	O_{21}	O_{21}	0	0	0	

図 1 1 は、誤り訂正 / 検出回路の構成例を示す図である。図 1 1 に示す誤り訂正回路は、読み出し時にシンδροームが図 7 のパターンで誤りビットを知らせる信号 $CRCT_k$ がハイになる場合に読み出し情報データ I_k を反転させて、誤り訂正を行い、出力 O_k を出力する。さもなければ、この誤り訂正回路は、読み出し情報データ I_k をそのまま出力 O_k

とする。

【0082】

図12の回路は、シンドローム S_i ($i = 1 \sim 6$) のうち1つでも1(ハイ)となる場合に信号 E R D E T を1として、誤りがあったことを知らせる回路である。この時、1となるシンドロームの数が偶数であるとき、信号 E V E N E R が1となり、偶数個の誤りが発生したことを知らせる。また、誤りが発生したが、誤りの訂正はされなかった場合には、信号 N O T C R C T が1となる。

【0083】

図13は、I、Pと書込/読出回路150とビット線との接続関係を示し、図14及び図15は、それぞれ2入力及び1入力書込/読出回路150を表す。図16は、カラムデコーダを示す。

10

【0084】

図13において、 I_1 と I_2 は同一の書込/読出回路150aに入出力され、それを介して1ビット線に接続される。図13に示すように、図14に示される2入力書込/読出回路150aは、20個のIに対して10個設けられる。 I_{21} と P_i ($i = 1 \sim 6$) はそれぞれ図15に示す1入力書込/読出回路150bに入出力され、それを介して1ビット線に接続される。従って、図15に示される1入力書込/読出回路150bは7個設けられる。図16は、カラムデコーダであり、信号 $C S L_n$ は選択されたアドレスに対してハイ、非選択のアドレスに対してローとなる。

【0085】

20

図17～図20を用いて、図13～図16に示す回路の各制御信号とデータのタイミングを説明する。

【0086】

はじめに、書き込み時の動作を説明する。

【0087】

図17は、書き込みデータの入力時のタイミングを示す図である。

【0088】

書き込み信号 W E がハイになり、書き込み情報データが $I O_l$ ($l = 1 \sim 16$) に出力されると、データ変換回路110が、書き込み中間バイナリ・コード $I O O_k = I O I_k = O_k = I_k$ ($k = 1 \sim 21$) を出力する。それと同時に、検査データが発生されて、 P_i ($i = 1 \sim 6$) として出力される。これらの書き込みデータ I_k 及び P_i は選択されたカラムアドレスの書込/読出回路150に入力される。

30

【0089】

図18は、書き込み時における、書込/読出回路150の制御信号とセルの選択ゲート $S G 1$ 、 $S G 2$ と制御ゲート $C G 1 \sim C G 8$ のタイミング図である。

【0090】

2入力書込/読出回路150aでは、書き込みデータが"0"の時、 I_{21} 、 I_{21-1} は共に0であるので、内部ノード N_1 及び N_2 が0にラッチされる。信号 $a 1$ 、 $a 2$ 、 $p a$ 、 $P B a$ 及び $V R F Y a$ がローのまま、 $V B H a$ が8V、 $V B M a$ が2V、 $V B L a$ が0Vになる。従って、"0"書き込み時には、ビット線 B L には、8Vが印加される。書き込みデータが"1"の時には、 $N_1 = 1$ 、 $N_2 = 0$ 、"2"の時、 $N_1 = N_2 = 1$ がそれぞれラッチされるので、"1"及び"2"書き込み時にはビット線 B L にはそれぞれ2V及び0Vが印加される。

40

【0091】

一方、データを書き込むメモリセルがワード線 $C G 4$ に接続されている時、ワード線 $C G 4$ には20V、それ以外のワード線 $C G 1 \sim C G 3$ 、 $C G 5 \sim C G 8$ 及び選択線 $S G 2$ には10V、選択線 $S G 1$ には0Vがそれぞれ印加されるので、"0"、"1"、"2"書き込みのメモリセルには、ゲートとチャンネル間にそれぞれ $V_g = 12V$ 、 $18V$ 、 $20V$ が印加される。 $V_g = 12V$ では、トンネル電流は流れず、メモリセルのしきい電圧は変わらない。 $V_g = 18V$ では、トンネル電流が流れ、メモリセルのしきい電圧は正の方向

50

に移動し、しきい電圧は0 V以上1 V以下になる。 $V_g = 2.0$ Vの時は $V_g = 1.8$ Vの時よりもトンネル電流は大きく、しきい電圧は2 V以上3 V以下になる。

【0092】

上記のようにして、3値の中間バイナリ・コード00、01、11をメモリセルに書き込むことができる。一方、1入力書込/読出回路150bは、2入力書込/読出回路150aの第2センスアンプを除いたものである。書き込み時には、データの"0"、"1"に応じてそれぞれ8 V、2 Vが印加される。

【0093】

次に、図19及び図20を参照して、読み出し動作を説明する。

【0094】

2入力書込/読出回路150aでは、読み出しは、2ステップで行われる。

【0095】

第1のステップでは、"0"か否かの判定を行う。

【0096】

はじめにビット線BLを1.8 V、ダミービット線BLBを1.5 Vに充電しておく。その後で、ワード線CG4以外のワード線CG1~CG3、CG5~CG8及び選択線SG1及びSG1を4 Vにする。読み出されるデータが"0"ならば、ビット線BLに充電された電荷は放電され、ビット線の電位は1.5 V以下になり、そうでなければ、1.8 Vを保つ。最後に、これらの電圧は、QP13、QP14、QP15、QN57、QN58、QN59で構成される第1のセンスアンプに入力され、それらの電位差が増幅される。読み出されるデータが"0"ならば内部ノード $N_1 = 0$ が、読み出されるデータが"1"又は"2"ならば内部ノード $N_1 = 1$ がラッチされる。

【0097】

第2のステップでは、"2"か否かの判定を行う。第2のステップと第1のステップとの唯一の違いは、読み出すメモリセルのワード線CG4を2 Vにすることである。今回は、QP16、QP17、QP18、QN62、QN63、QN64で構成される第2のセンスアンプが使用され、読み出されるデータが"2"ならば、内部ノード $N_2 = 1$ が、読み出されるデータ"0"又は"1"ならば内部ノード $N_2 = 0$ がラッチされる。

【0098】

上記のようにして、3値の中間バイナリ・コード00、01、11をメモリセルから読み出すことができる。1入力書込/読出回路150bでは、第1ステップのみ活性化し、ビット線電位のロー、ハイがそれぞれ"0"、"1"に対応する。

【0099】

図20は、読み出しデータの出力時のタイミングを示す図である。

【0100】

読み出しデータは選択されたカラムアドレスの書込/読出回路150から I_k ($k = 1 \sim 21$)、 P_i ($i = 1 \sim 6$)に出力される。これらの27ビットデータからシンドローム S_i が計算され、誤りがあれば訂正して読み出し出力データ(中間バイナリ・コード)が $O_k = I O I_k = I O O_k$ ($k = 1 \sim 21$)に出される。最後に、読み出しデータ $I O O_k$ は、データの逆変換によって読み出し情報データ $I O_l$ ($l = 1 \sim 16$)とされる。

【0101】

上記のように、本発明は、情報データをバイナリ・コード(中間バイナリ・コードを含む)に変換した後に、誤り検出及び誤り訂正を行っているので、1ビット誤り訂正符号を適用できる。

【0102】

上記の第1~第6実施例において、2個のメモリセルによる3値メモリを考慮したが、N値メモリセルのM個の組合せも同様に適用可能である。この場合には、 N^M 個の状態ができるので、この中の 2^n ($< N^M$)個の状態を使用して、nビットデータと1対1に対応させる。

【0103】

10

20

30

40

50

以下、本発明がN値メモリセルのM個の組合せに適用できる理由を説明する。

【0104】

各メモリセルのどの状態にも両端を除き2つの隣接状態がある。M個のセルの状態の組合せは、 2^M 通りである。

【0105】

もし、 $n < 2^m$ であれば、状態の組合せが隣の状態に遷移したときに、対応する情報が必ず1ビット変わるような状態の組合せと情報との対応関係はない。従って、上記の誤りに対して、少なくとも2ビット誤り訂正符号が必要となる。

【0106】

一方、 $2^m > N > 2^{m-1}$ を満たすmビット($m \geq 2$)で、N個の状態を、隣の状態に遷移したとき対応するmビット表現(すなわち、中間バイナリ・コード)が必ず1ビットだけ変わるようなN状態と中間バイナリ・コードと対応関係は必ず存在する。これは、各セルのどの状態も高々2つの隣の状態があり、1ビットだけ異なる中間バイナリ・コードはm(≥ 2)個あることによる。

10

【0107】

従って、誤り検出/訂正は、中間バイナリ・コードに対して行えば、1ビット誤り訂正符号で充分である。

【0108】

図21は、本発明の第7実施例に係る記憶システムの概略構成図である。本実施例において、第1実施例と同じものには同じ符号を付し、詳細な説明は省略する。

20

【0109】

第7実施例の記憶システムは、情報データ記憶部210と、検査データ記憶部220と、誤り検出器40と、誤り訂正器50と、バースト破壊位置検出部160と、データ再設定部170と、を具備する。情報データ記憶部210は、情報データD20を記憶する。検査データ記憶部220は、誤り検出データ及び誤り訂正データを記憶する。バースト破壊位置検出部160は、前記各記憶部の記憶データのバースト破壊位置を検出する。データ再設定部170は、前記バースト破壊位置検出部160によって検出されるバースト破壊位置のデータを仮定して再設定する。上記の構成において、第1～第6実施例のように、セルアレイ30が、情報データ記憶部210と、検査データ記憶部220とを有する構成としても良い。

30

【0110】

上記のように構成された第7実施例の係る記憶システムの動作を図22を参照して説明する。図22は、本発明の第7実施例における誤り検出/訂正のアルゴリズムを示すフローチャートである。

【0111】

各ステップ毎の動作の詳細を説明する前に、動作の概略を説明する。

【0112】

記憶されたデータの読み出しが始まると、カラム不良番地が検索される。カラム不良がなければ情報データD20と検査データD30が読み出され、これらのデータは誤り検出器40と誤り訂正器50にそれぞれ入力される。誤りがあった時、誤り検出器40によってその許容能力範囲の数の誤りであれば誤りの検出が行われ、この時誤り訂正器50によってその許容能力範囲の数の誤りであれば誤りの訂正が行われる。誤り数が誤り検出器40の許容能力範囲より大きければ、確率的に誤りの検出を行う。これで読み出しが終了される。

40

【0113】

カラム不良が生じた場合には、不良カラムのアドレスにポインタが立てられる。その後、情報データD20と検査データD30が読み出され、これらのデータは誤り検出器40に入力される。誤りの数が誤り検出器40の許容能力範囲内であれば、先の実施例と同様に誤り検出/訂正が実行される。誤りの数が誤り検出器40の許容能力範囲内になれば、不良カラムのアドレスにあるデータを変更し、このデータを再度誤り検出器40に入力す

50

る。

【0114】

誤りの数と誤り検出器40の検出可能な誤り数の大小関係に応じて、不良カラムのアドレスにあるデータの変更を考えられる全てのパターンに対して行われるまで、上述のアルゴリズムを繰り返す。これらのどのパターンに対しても誤りの数が誤り検出器40の許容能力範囲内にあり、誤りの数が誤り訂正器50の許容能力範囲内になれば、誤りがあったことを知らせるエラーフラグを出力する。

【0115】

図22示す各ステップの内容を、以下に簡単に説明する。

【0116】

読み出し開始する(ステップS1)。カラム不良のあるアドレスを検索する(ステップS2)。ここで、カラム不良の数をnとする。

【0117】

nが0か否か、すなわちカラム不良があるか否かを判断し(ステップS3)、カラム不良がある時にはステップS11に進み、カラム不良がない時にはステップS4に進む。

【0118】

情報データD20及び検査データD30の読み出しを行う(ステップS4)。そして、誤り検出を行い、この時誤りの数をmとする(ステップS5)。

【0119】

ステップS5で得られた誤りの数が訂正できる誤りの数以下であるか否かを判断し(ステップS6)、誤りの数が訂正できる誤りの数以下である場合にはステップS7に進み、誤りの数が訂正できる誤りの数以下でない場合にはステップS9へ進む。

【0120】

誤りの数が0であるか否かを判断し(ステップS7)、誤りの数が0である場合にはステップS10に進み、読み出しを終了する(ステップS10)。誤りの数が0でない場合にはステップS8に進み、誤りの訂正を行う(ステップS8)。

【0121】

ステップS6で誤りの数が訂正できる誤りの数以下でない判断された場合に訂正できない誤りがあったことを知らせるエラーフラグを出力し(ステップS9)、読み出しを終了する(ステップS10)。

【0122】

ステップS3でカラム不良があると判断されたとき、その数が許容するカラム不良の数N以下であるか否かを判断し(ステップS11)、カラム不良の数が許容するカラム不良の数以下である場合にはステップS12に進み、その不良カラムのアドレス a_i ($i = 1, \dots, n$)を出力し(ステップS12)、そうでない場合にはステップS20に進み、訂正できない誤りがあったことを知らせるエラーフラグを出力して(ステップS20)、読み出しを終了する(ステップS21)。

【0123】

情報データD20及び検査データD30の読み出しを行い(ステップS13)、次に、誤り検出を行い、この時誤りの数をmとする(ステップS14)。

【0124】

ステップS14で得られた誤りの数が完全に検出できる誤りの数L以下であるか否かを判断し(ステップS15)、誤りの数が完全に検出できる誤りの数以下である場合にはステップS16へ進み、更に誤りの数が訂正できる誤りの数以下であるか否かを判断する(ステップS16)。ステップS15において、誤りの数が完全に検出できる誤りの数以下でない場合にはステップS19へ進み、訂正できない誤りがあったことを知らせるエラーフラグを出力して(ステップS19)、読み出しを終了する(ステップS21)。

【0125】

ステップS16において、誤りの数が訂正できる誤りの数以下である場合にはステップS7へ進み、誤りの数が訂正できる誤りの数以下でない場合にはステップS17へ進み、不

10

20

30

40

50

良カラムアドレスのデータを変更する（ステップ S 1 7）。

【 0 1 2 6 】

そして、ステップ S 1 7 の不良カラムアドレスのデータ変更を考えられる全ての場合を行ったか否かを判断し（ステップ S 1 8）、不良カラムアドレスのデータ変更を考えられる全ての場合を行ったと判断された場合ステップ S 5 に進み、そうでない場合にはステップ S 1 4 に戻る。

【 0 1 2 7 】

上記のフローチャートにおいて、許容する不良カラムの数 N は、望ましくは完全に検出できる誤りの数 L 以下にする。通常は、 $N = L - M$ 又は $N = 1$ である。

【 0 1 2 8 】

図 2 3 は、第 7 実施例における不良例を示すブロック図である。図中の斜線部は、それが位置するメモリセルに誤りが生じたことを示し、その数字はそれぞれの誤りの大きさを示している。以下では例として、1 ビット誤り訂正 2 ビット誤り検出符号を適応した場合を述べる。

【 0 1 2 9 】

a 行が読み出された場合、誤りは一つもないので、そのまま正しく読み出される。

【 0 1 3 0 】

b 行又は d 行が読み出された場合、誤りは一つだけなので、誤り訂正器 5 0 により訂正される。

【 0 1 3 1 】

c 行が読み出された場合、誤りは二つであるので、誤り検出器 4 0 により検出される。

【 0 1 3 2 】

e 行が読み出された場合、誤りは不良カラム上に一つ、不良カラム外に一つであるので、まず誤り検出器 4 0 により検出される。その後、不良カラム上のデータは取り得る可能なデータに変換され、もとの書き込みデータとされる誤りは不良カラム外の一つになる。ここで、このデータは誤り訂正器 5 0 により訂正される。

【 0 1 3 3 】

f 行が読み出された場合、誤りは不良カラム上に大きさ 2 の誤りであるので、誤り検出器 4 0 により検出される。その後、上と同様にこのデータは誤り訂正器 5 0 により訂正される。

【 0 1 3 4 】

g 行が読み出された場合、誤りは不良カラム上に大きさ 2 の誤りが一つ、不良カラム外に一つである。この場合には、確率的に誤り検出器 4 0 により検出される。検出された場合は、その後に上と同様にこのデータは誤り訂正器 5 0 により訂正される。

【 0 1 3 5 】

h 行が読み出された場合、誤りは不良カラム上に大きさ 2 の誤りが一つ、不良カラム外に二つ以上である。この場合は、確率的に誤り検出器 4 0 により検出されるが、誤りは訂正され得ない。

【 0 1 3 6 】

表 9 は、3 値の場合における情報ビット数に対する検査ビット数の関係を示すものである。

【 0 1 3 7 】

10

20

30

40

表 9

情報 データ数	検査データ数		2元表現多値 データに対し SEC-DED 適用
	2元表現多値 データに対し S2EC-D2ED 適用	情報データに 対し S3EC-D3ED 適用	
...
16	10 (10)	9 (6)	6 (6)
32	12 (12)	12 (8)	7 (7)
64	12 (12)	15 (10)	8 (8)
128	14 (14)	15 (10)	9 (9)
...

10

バイナリ・コードにおいて単一2ビットバイト誤り訂正二重2ビットバイト誤り検出符号を適応する場合、真の情報データにおいて単一3ビットバイト誤り訂正二重3ビットバイト誤り検出符号を適応する場合、本発明によるバイナリ・コードにおいて1ビット誤り訂正2ビット誤り検出符号を適応する場合、を示している。表9から、本発明によるバイナリ・コードにおいて1ビット誤り訂正2ビット誤り検出符号を適応する場合に情報データ数に対する検査データ数を最小にすることが分かる。なお、表9中の括弧内の数字は、検査データ数に対応するメモリセルの数を表す。

20

【0138】

本発明は、上記実施例に限定されるものではなく、本発明の要旨を変更しない範囲で種々変形して実施できる。

【0139】

30

【発明の効果】

本発明によれば次のような効果が得られる。

【0140】

上記のように、本発明によれば、多値を決める物理量をその大きさ順に並べた時に*i*番目のものを多値データ“*i*”とすると、読み出された多値データが書き込まれた多値データと高々大きさ1だけ変わり得る場合、多値データとバイナリ・コードの対応を多値データ大きさ1だけ異なる時に対応するバイナリ・コードがハミング距離1となるようにする手段を用いることによって、1ビット誤り訂正符号の適用が可能となる。これにより、比較的低い冗長度、すなわち簡単な復号化回路を用いることができ、更に2ビット誤り検出能力を持つ2ビット誤り検出符号に拡張することによって2ビット誤り検出を完全に行うことができる。

40

【0141】

また、バースト誤りが生じ、その結果として1符号語中に2ビット誤りが発生しても、1ビット誤りを訂正し、かつ、2ビット誤りを検出する符号を用いて2ビット誤りを訂正する可能性を持たせることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例に係る記憶システムの概略構成図。

【図2】 本発明の第2実施例に係る記憶システムの概略構成図。

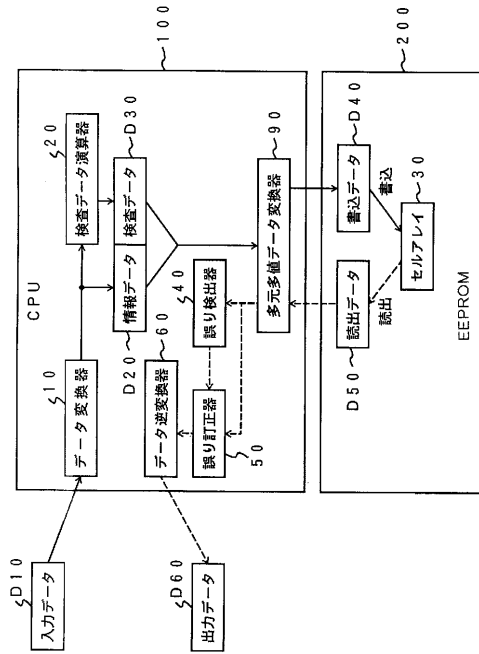
【図3】 本発明の第3実施例に係る記憶システムの概略構成図。

【図4】 本発明の第4実施例に係る記憶システムの概略構成図。

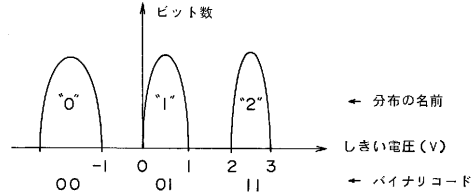
50

- 【図5】 本発明の第5実施例に係る記憶システムの概略構成図。
- 【図6】 3値セルのしきい電圧 V_t の分布と中間バイナリ・コードとの対応を示す図。
- 【図7】 誤り訂正検出のための検査行列の例を示す図。
- 【図8】 データ変換回路の回路図例を示す図。
- 【図9】 データ変換回路と、I/Oパッドと、I/Oバッファと、誤り訂正検出回路(ECC)と、書込/読出回路との接続関係を示す図。
- 【図10】 ECCの構成例を示す図。
- 【図11】 誤り訂正回路の構成例を示す図。
- 【図12】 誤り報知回路例を示す図。
- 【図13】 I、Pと書込/読出回路150とビット線との接続関係を示す図。 10
- 【図14】 2入力書込/読出回路例を示す図。
- 【図15】 1入力書込/読出回路例を示す図。
- 【図16】 カラムデコーダ例を示す図。
- 【図17】 書き込みデータの入力時のタイミングを示す図。
- 【図18】 書き込み時における、書込/読出回路の制御信号と、セルの選択ゲートSG1、SG2と、制御ゲートCG1~CG8のタイミング図。
- 【図19】 読み出し時における、書込/読出回路の制御信号と、セルの選択ゲートSG1、SG2と、制御ゲートCG1~CG8のタイミング図。
- 【図20】 読み出しデータの出力時のタイミングを示す図。
- 【図21】 本発明の第7実施例に係る記憶システムの概略構成図。 20
- 【図22】 本発明の第7実施例における誤り検出/訂正のアルゴリズムを示すフローチャート。
- 【図23】 本発明の第7実施例における不良例を示すブロック図。
- 【図24】 NANDセルの断面構造例を示す図。
- 【図25】 EEPROMのメモリセル構造を示す図。
- 【図26】 3値の場合のメモリセルのしきい電圧と“0”、“1”、“2”との対応関係を示す図。
- 【図27】 3値NOR型EEPROMの回路構成を示す図。
- 【図28】 3値NAND型EEPROMの回路構成を示す図。
- 【符号の説明】 30
- 10...データ変換器、20...検査データ演算器、30...セルアレイ、
 11...p型ウェル、14...浮遊ゲート(電荷蓄積層)、16...制御ゲート、
 17...層間絶縁膜、18...ビット線、19...n型拡散層、40...誤り検出器、
 50...誤り訂正器、60...データ逆変換器、70...禁止データ検出器、
 80...入出力データ-多値データ変換器、90...多元多値データ変換器、
 100...CPU、110...データ変換回路、120...I/Oパッド、
 130...I/Oバッファ、140...ECC、150...書込/読出回路、
 160...バースト破壊位置検出部、170...データ再設定部、
 200...EEPROM、210...情報データ記憶部、
 220...検査データ記憶部、 40
 D10...入力データ、D20...情報データ、D30...検査データ、
 D40...書込データ、D50...読出データ、D60...出力データ。

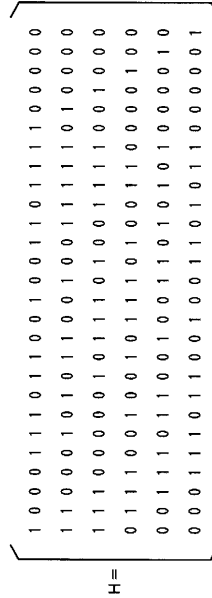
【 図 5 】



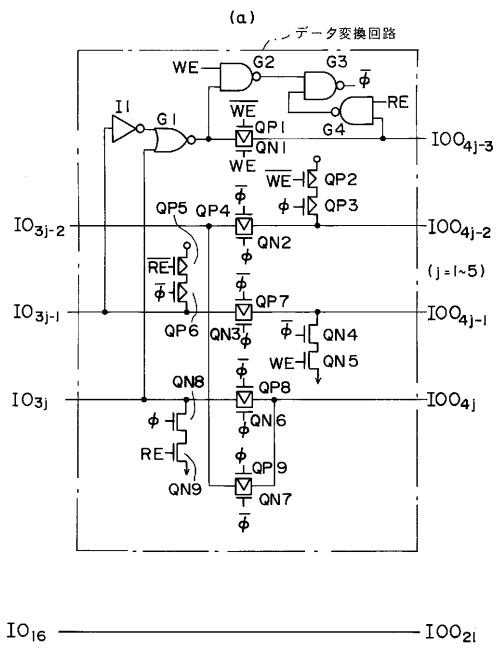
【 図 6 】



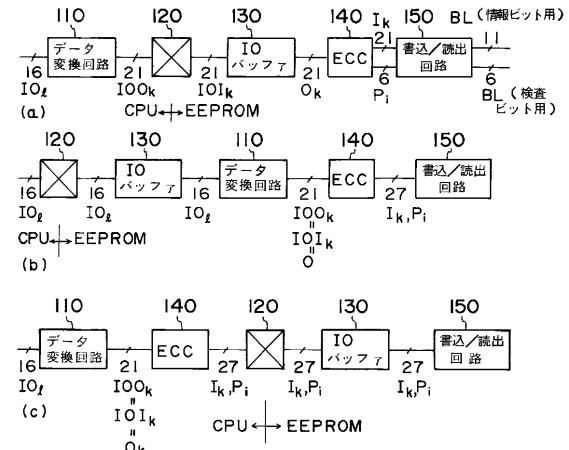
【 図 7 】



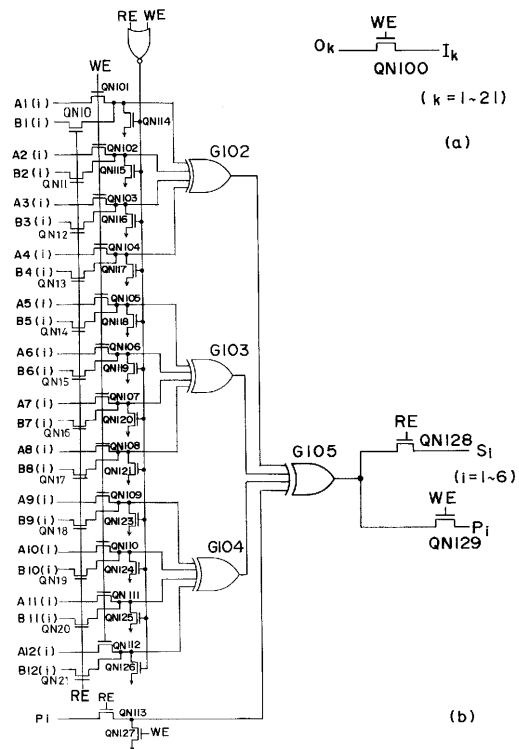
【 図 8 】



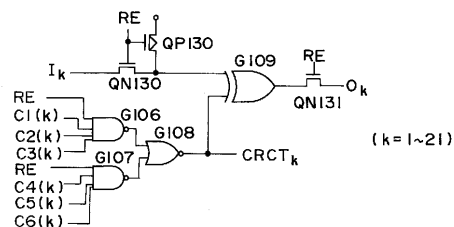
【 図 9 】



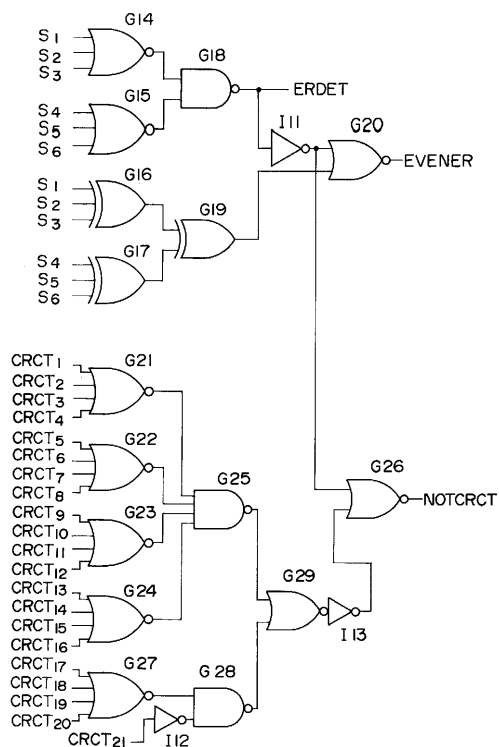
【 図 1 0 】



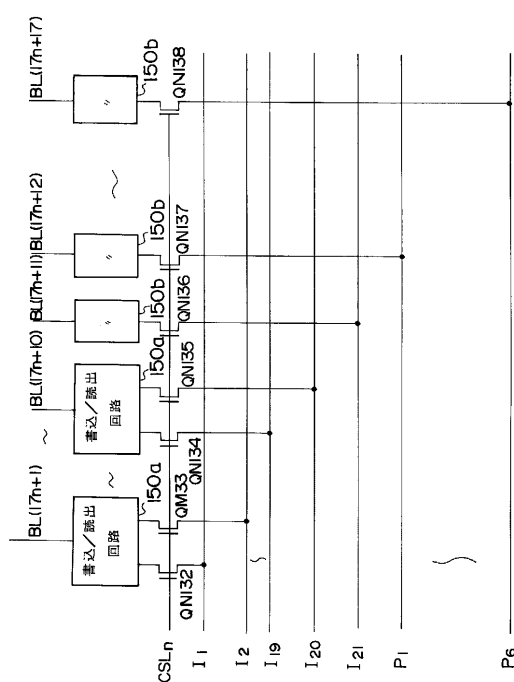
【 図 1 1 】



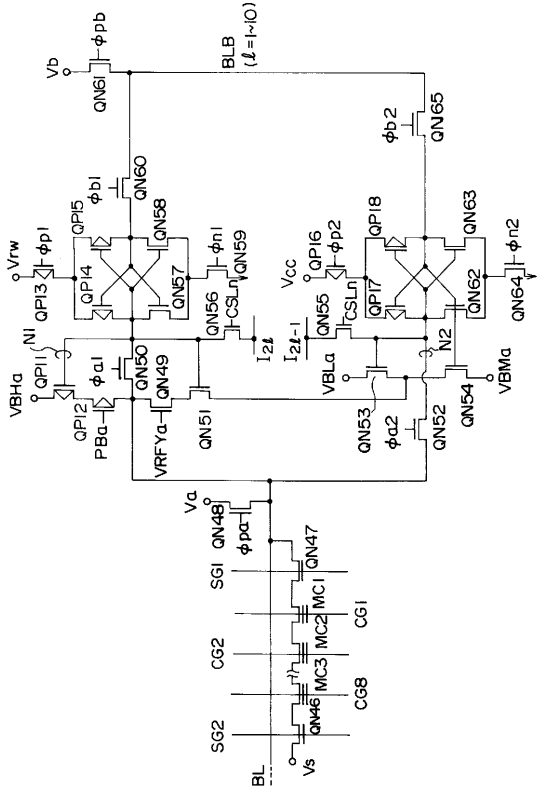
【 図 1 2 】



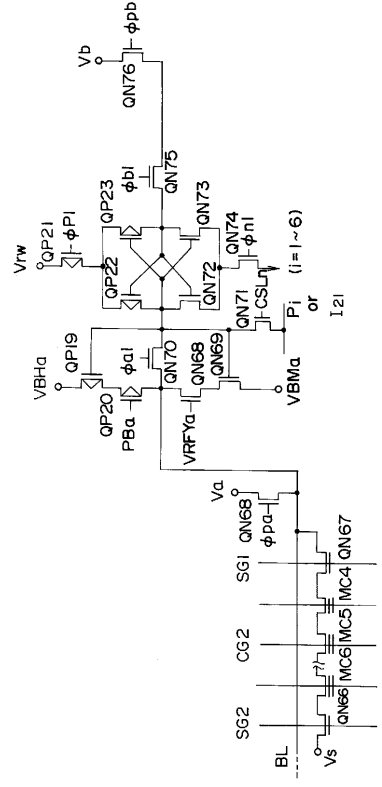
【 図 1 3 】



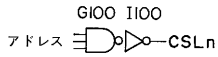
【 図 1 4 】



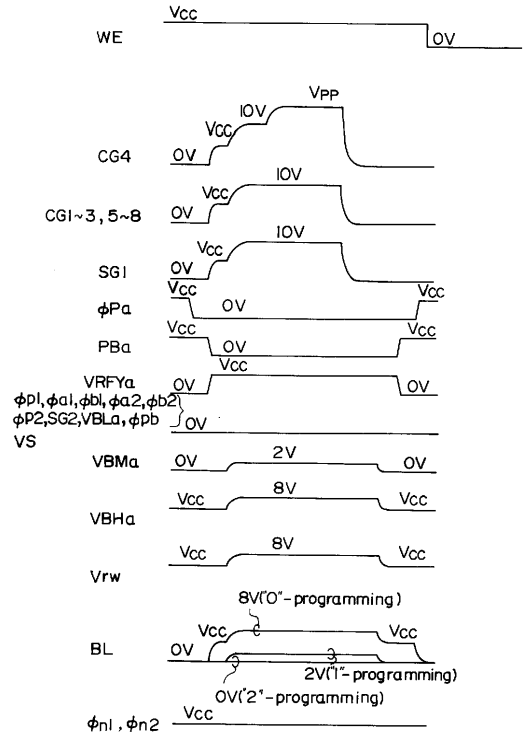
【 図 1 5 】



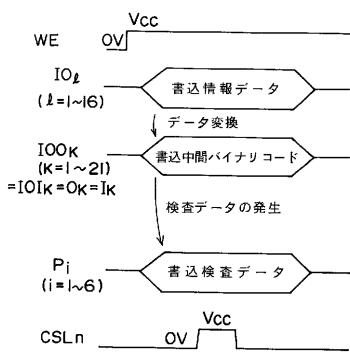
【 図 1 6 】



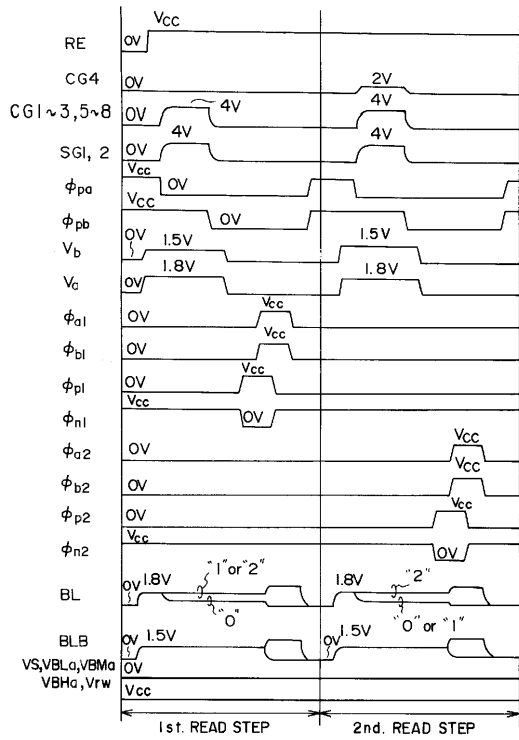
【 図 1 8 】



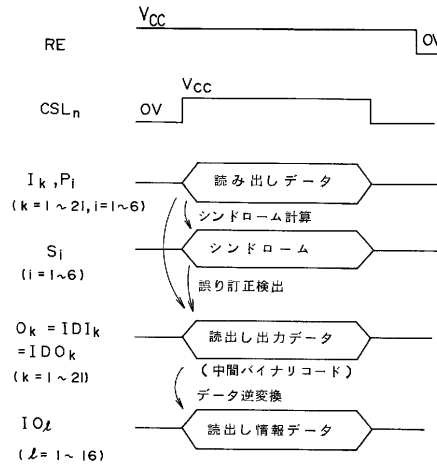
【 図 1 7 】



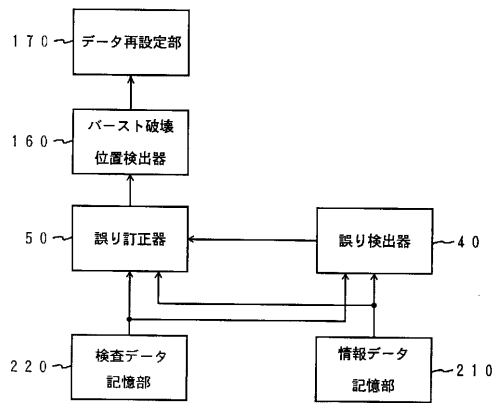
【図19】



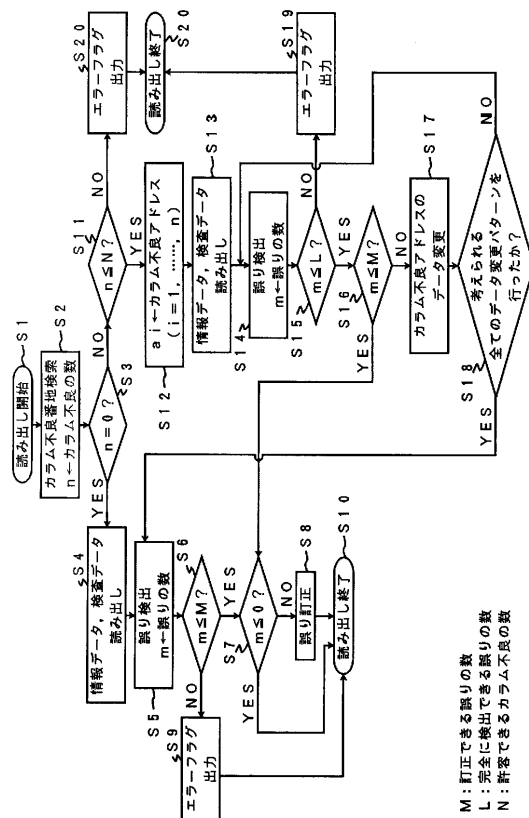
【図20】



【図21】

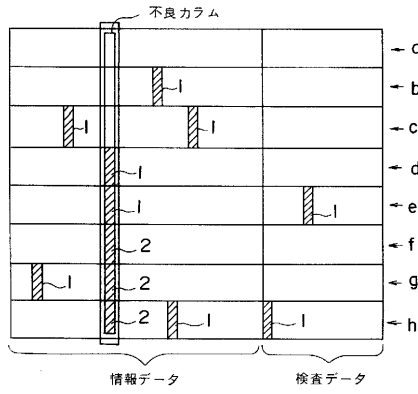


【図22】

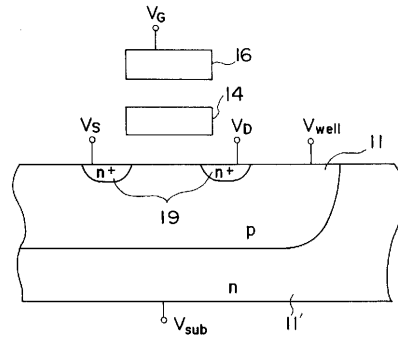


M: 訂正できる誤りの数
 L: 完全に検出できる誤りの数
 N: 許容できるカラム不良の数

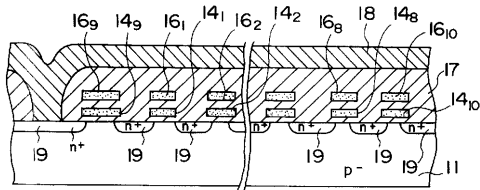
【 図 2 3 】



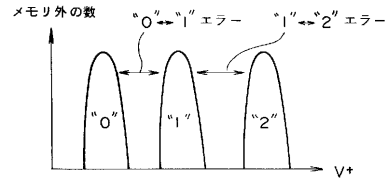
【 図 2 5 】



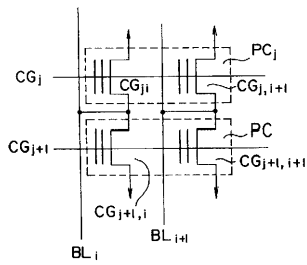
【 図 2 4 】



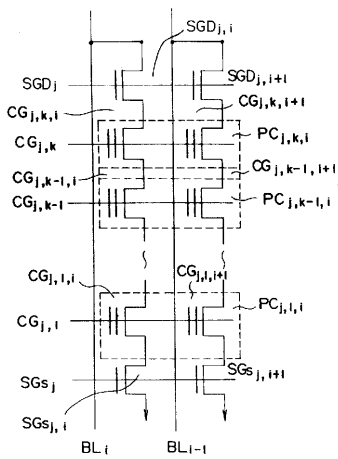
【 図 2 6 】



【 図 2 7 】



【 図 2 8 】



フロントページの続き

合議体
審判長 吉岡 浩
審判官 相崎 裕恒
審判官 青木 重徳

(56)参考文献 特開昭60-163300(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F12/16,G11C29/00