



**특허청구의 범위**

**청구항 1**

서로 대향하는 제1면 및 제2면을 구비한 반도체 웨이퍼;

상기 반도체 웨이퍼의 에지를 따라 상기 제1면상에 일렬로 배열되고, 그의 일 측면이 노출된 다수의 도전성 패드;

상기 도전성 패드 및 상기 반도체 웨이퍼의 상기 제1면상에 형성되고, 상기 도전성 패드의 일부분을 노출시키는 개구부를 구비하는 절연막;

상기 개구부를 통해 노출된 상기 도전성 패드에 각각 배열되어 상기 도전성 패드와 전기적으로 접촉되고, 그의 측면이 노출되는 다수의 접속단자; 및

상기 다수의 접속단자의 일부분을 덮도록 상기 절연막상에 배열된 전면 보강부재를 포함하는 반도체 패키지.

**청구항 2**

제1항에 있어서, 상기 전면 보강부재는 상기 노출된 측면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 절연막상에 형성되는 것을 특징으로 하는 반도체 패키지.

**청구항 3**

제1항에 있어서, 상기 전면 보강부재는 상기 노출된 측면과 그의 상면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 절연막상에 형성되는 것을 특징으로 하는 반도체 패키지.

**청구항 4**

제1항에 있어서, 상기 전면 보강부재의 상면과 상기 접속단자사이의 두께는 50 내지 200 $\mu\text{m}$ 인 것을 특징으로 하는 반도체 패키지.

**청구항 5**

삭제

**청구항 6**

제1항 내지 제4항중 어느 한 항에 있어서, 상기 전면 보강부재는 에폭시 몰딩 컴파운드를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 7**

제1항에 있어서, 상기 반도체 웨이퍼의 상기 제2면에 배열된 배면 보강부재를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 8**

제7항에 있어서, 상기 배면 보강부재는 50 내지 100 $\mu\text{m}$ 의 두께를 갖는 것을 특징으로 하는 반도체 패키지.

**청구항 9**

삭제

**청구항 10**

제7항 내지 제8항중 어느 한 항에 있어서, 상기 배면 보강부재는 에폭시 몰딩 컴파운드를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 11**

다수의 스크라이브 레인에 의해 한정되는 다수의 반도체 칩영역을 구비하고, 서로 대향하는 제1면 및 제2면을

갖는 웨이퍼를 마련하는 단계;

상기 웨이퍼의 상기 각 스크라이브 라인 및 상기 각 스크라이브 라인의 양측에 배열되는 이웃하는 반도체 칩 영역들의 일부분에 걸쳐 다수의 금속패드를 형성하여 상기 다수의 반도체 칩영역상에 다수의 반도체 칩을 형성하되, 상기 각 금속패드는 상기 스크라이브 라인을 사이에 두고 상기 이웃하는 반도체 칩영역에 배열되는 반도체 칩에 공유되도록 형성하는 단계;

상기 스크라이브 라인 및 상기 스크라이브 라인에 인접한 부분에 대응하는 상기 금속패드의 일부분을 노출시키는 다수의 개구부를 구비하는 절연막을 형성하는 단계;

상기 절연막의 상기 다수의 개구부내의 상기 다수의 금속패드상에 각각 다수의 접속단자를 형성하되, 상기 각 접속단자는 상기 스크라이브 라인을 사이에 두고 상기 이웃하는 반도체 칩영역에 배열되는 상기 반도체 칩에 공유되도록 형성하는 단계;

상기 접속단자의 전표면을 덮도록 상기 절연막상에 전면 보강부재를 형성하는 단계; 및

상기 반도체 웨이퍼를 상기 스크라이브라인을 따라 절단하여 상기 금속패드 및 상기 접속단자를 상기 각 반도체 칩상에 분리 배열시키되, 상기 금속패드 및 상기 접속단자의 측면이 노출되도록 하는 단계를 포함하는 반도체 패키지의 제조방법.

**청구항 12**

제11항에 있어서, 상기 전면 보강부재를 형성하는 단계는, 에폭시 몰딩 컴파운드를 상기 접속단자의 전 표면을 덮도록 에폭시 몰딩 공정을 통해 형성하는 것을 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

**청구항 13**

제12항에 있어서, 상기 전면 보강부재의 상면과 상기 접속단자사이의 두께는 50 내지 200 $\mu\text{m}$  인 것을 특징으로 하는 반도체 패키지의 제조방법.

**청구항 14**

삭제

**청구항 15**

제11항에 있어서, 상기 전면 보강부재를 형성하는 단계는,

에폭시 몰딩 공정을 통해 상기 접속단자의 전 표면을 덮도록 에폭시 몰딩 컴파운드를 형성하고,

상기 에폭시 몰딩 컴파운드를 래핑하여 상기 접속단자의 상면을 더 노출시켜 주는 것을 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

**청구항 16**

제11항에 있어서, 상기 반도체 웨이퍼의 상기 제2면에 배면 보강부재를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

**청구항 17**

제16항에 있어서, 상기 배면 보강부재를 형성하는 것은 에폭시 몰딩 공정을 통해 50 내지 100 $\mu\text{m}$ 의 두께를 갖는 에폭시 몰딩 컴파운드를 형성하는 것을 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

**청구항 18**

삭제

**청구항 19**

제17항에 있어서, 상기 스크라이브 라인은 10 내지 150 $\mu\text{m}$ 의 폭을 갖는 것을 특징으로 하는 반도체 패키지의 제조방법.

**청구항 20**

제1홈부 및 상기 제1홈부의 에지를 따라 배열되고 상기 제1홈부의 에지에 접하여 형성된 다수의 제2홈부를 구비하는 회로기판;

상기 회로기판의 상기 제2홈부에 각각 매립된 다수의 배선패턴; 및

상기 회로기판의 상기 제1홈부에 실장되되, 서로 대향하는 제1면 및 제2면을 구비한 반도체 웨이퍼; 상기 반도체 웨이퍼의 에지를 따라 상기 제1면상에 일렬로 배열되고, 그의 일 측면이 노출된 다수의 도전성 패드; 상기 개구부를 통해 노출된 상기 도전성 패드에 각각 배열되어 상기 도전성 패드와 전기적으로 접촉되고, 그의 측면이 노출되는 다수의 접속단자; 및 상기 다수의 접속단자의 일부분을 덮도록 상기 절연막상에 배열된 전면 보강부재를 포함하는 반도체 패키지를 포함하되,

상기 반도체 패키지의 적어도 상기 노출된 측면과 상기 회로기판의 상기 배선패턴이 전기적으로 서로 접촉하는 반도체 모듈.

**청구항 21**

제20항에 있어서, 상기 전면 보강부재는 상기 노출된 측면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 웨이퍼상에 형성되거나 또는 상기 노출된 측면 및 상면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 웨이퍼상에 형성되는 것을 특징으로 하는 반도체 모듈.

**청구항 22**

제21항에 있어서, 상기 전면 보강부재는 에폭시 몰딩 컴파운드를 포함하고, 상기 전면 보강부재의 상면과 상기 접속단자사이의 두께는 50 내지 200 $\mu$ m 인 것을 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 23**

제20항에 있어서, 상기 반도체 웨이퍼의 상기 제2면에 배열된 배면 보강부재를 더 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 24**

제23항에 있어서, 상기 배면 보강부재는 50 내지 100 $\mu$ m의 두께를 갖는 에폭시 몰딩 컴파운드를 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 25**

제21항에 있어서, 상기 회로기판의 배선패턴과 상기 반도체 패키지의 접속단자사이에 이들의 접촉력을 강화시켜 주기 위한 접착강화층을 더 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 26**

제25항에 있어서, 상기 접착강화층은 5 내지 20 $\mu$ m의 두께를 갖는 Al 도금층을 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 27**

제20항에 있어서, 상기 전면 보강부재를 덮도록 상기 회로기판상에 배열되는 보호막을 더 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 28**

제27항에 있어서, 상기 보호막은 열전도성을 갖는 절연시트를 포함하는 것을 특징으로 하는 반도체 모듈.

**청구항 29**

제20항에 있어서, 상기 회로기판의 제1홈부의 바닥면과 상기 웨이퍼의 상기 제2면은 접착제를 통해 접촉되어, 상기 회로기판의 제1홈부에 상기 반도체 패키지가 실장되는 것을 특징으로 하는 반도체 모듈.

**청구항 30**

제1홈부 및 상기 제1홈부의 에지를 따라 배열되고 상기 제1홈부의 에지에 접하여 형성된 다수의 제2홈부를 구비하는 회로기판을 준비하는 단계;

서로 대향하는 제1면 및 제2면을 구비한 반도체 웨이퍼; 상기 반도체 웨이퍼의 에지를 따라 상기 제1면상에 일렬로 배열되고, 그의 일 측면이 노출된 다수의 도전성 패드; 상기 개구부를 통해 노출된 상기 도전성 패드에 각각 배열되어 상기 도전성 패드와 전기적으로 접촉되고, 그의 측면이 노출되는 다수의 접속단자; 및 상기 다수의 접속단자의 일부분을 덮도록 상기 절연막상에 배열된 전면 보강부재를 포함하는 반도체 패키지를 준비하는 단계;

상기 회로기판의 상기 제2홈부에 각각 다수의 배선패턴을 매립하는 단계; 및

상기 회로기판의 제1홈부에 상기 반도체 패키지를 실장시켜 상기 회로기판의 각 배선패턴과 상기 반도체 패키지의 각 접속단자의 적어도 노출된 측면을 전기적으로 서로 접촉시켜 주는 단계를 포함하는 반도체 모듈의 제조방법.

**청구항 31**

제30항에 있어서, 상기 전면 보강부재는 상기 노출된 측면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 웨이퍼상에 형성되거나 또는 상기 노출된 측면 및 상면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 웨이퍼상에 형성되는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 32**

제30항에 있어서, 상기 전면 보강부재는 에폭시 몰딩 컴파운드를 포함하고, 상기 보강부재의 상면과 상기 접속단자사이의 두께는 50 내지 200 $\mu$ m 인 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 33**

제32항에 있어서, 상기 반도체 웨이퍼의 상기 제2면에 배열된 배면 보강부재를 더 포함하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 34**

제33항에 있어서, 상기 배면 보강부재는 50 내지 100 $\mu$ m의 두께를 갖는 에폭시 몰딩 컴파운드를 포함하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 35**

제30항에 있어서, 상기 회로기판의 제2홈부에 배선패턴을 형성하는 단계 다음에, 상기 회로기판의 배선패턴과 상기 반도체 패키지의 접속단자사이에 이들의 접착력을 강화시켜 주기 위한 접착강화층을 형성하는 단계와;

상기 제1홈부에 상기 반도체 칩을 실장시키는 단계 다음에, 상기 접착강화층을 리플로우시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 36**

제35항에 있어서, 상기 접착강화층은 5 내지 20 $\mu$ m의 두께를 갖는 Al 도금층을 포함하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 37**

제30항에 있어서, 상기 회로기판의 제1홈에 반도체 패키지를 실장하는 단계 다음에, 상기 전면 보강부재를 덮도록 상기 회로기판상에 보호막을 배열하는 단계를 더 포함하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 38**

제38항에 있어서, 상기 보호막은 열전도성을 갖는 절연시트를 포함하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**청구항 39**

제30항에 있어서, 상기 회로기판의 제1홈부의 바닥면과 상기 웨이퍼의 상기 제2면은 접착제를 통해 접착시켜, 상기 회로기판의 제1홈부에 상기 반도체 패키지를 실장하는 것을 특징으로 하는 반도체 모듈의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <17> 본 발명은 반도체 패키지에 관한 것으로서, 보다 구체적으로는 측면이 노출된 접속단자를 갖는 웨이퍼 레벨 패키지 및 그 제조방법에 관한 것이다. 또한, 본 발명은 접속단자의 측면이 노출된 웨이퍼 레벨 패키지를 구비한 반도체 모듈 및 그의 제조방법에 관한 것이다.
- <18> 반도체 패키지는 칩의 입출력을 외부와 전기적으로 연결하는 역할을 함과 동시에 반도체 칩을 보호하는 역할을 한다. 전자기기가 소형 경량화 및 고성능화됨에 따라 점점 소형 경량화되고, 경제적이고 신뢰성이 높은 반도체 패키지가 요구되고 있다. 이러한 요구에 부응하여 웨이퍼단계에서 반도체 칩의 조립 또는 패키지가 완료되는 웨이퍼 레벨 패키지가 개발되었다. 웨이퍼 레벨 패키지는 웨이퍼상의 모든 반도체 칩에 대해 일괄적으로 공정을 진행하여 조립공정까지 완료하게 되므로, 반도체 소자의 제조비용을 현저하게 줄일 수 있을 뿐만 아니라 패키징 기능 및 반도체 칩의 기능을 보다 완벽하게 통합할 수 있으며, 반도체 소자의 열적 특성과 전기적 특성이 개선되고, 패키지의 크기를 반도체 칩의 크기로 소형화할 수 있는 등의 장점을 가지고 있다.
- <19> 도 1은 종래의 웨이퍼 레벨 패키지의 단면도를 도시한 것이다. 도 1을 참조하면, 웨이퍼(110)의 전면에 금속 패드(120)가 형성된다. 상기 금속패드(120)에는 금속배선층(150)이 전기적으로 연결되고, 상기 금속배선층(150)은 솔더볼(170)과 전기적으로 접속되어 있다. 상기 금속패드(120)와 금속배선층(150)사이에는 제1절연막(130)과 제2절연막(140)이 형성되고, 상기 금속배선층(150)상에 제3절연막(160)이 형성된다. 상기 제1 내지 제3절연막(130, 140, 160)은 개구부(135, 145, 165)를 각각 구비한다.
- <20> 종래의 웨이퍼 레벨 패키지(100)는 외부회로와의 전기적 접속을 위한솔더볼(170)을 반도체칩의 금속패드(120)상에 부착시키기 위해서는 구리 등으로 된 금속배선층(150)을 반도체칩상에 재배열하여야 한다. 이러한 금속배선층(150)의 재배선공정은 비용상승을 초래할 뿐만 아니라 재배선된 금속배선층(150)과 반도체칩의 표면과의 박리 현상이 발생하여 신뢰성저하를 야기시킨다.
- <21> 또한, 반도체 칩상에 배열되는 솔더볼(170)의 수는 반도체 칩의 면적에 의해 제한되므로, 많은 수의 솔더볼(170)을 반도체 칩상에 배열하기 곤란하다. 이를 해결하기 위하여, 솔더볼(170)의 크기를 작게 하여 반도체 칩상에 배열되는 솔더볼(170)의 수를 증가시켰다. 그러나, 솔더볼의 크기가 감소하면 솔더볼 접착부가 취약해지게 된다.

**발명이 이루고자 하는 기술적 과제**

- <22> 따라서, 본 발명이 이루고자 하는 기술적 과제는 반도체칩의 측면에 접속단자를 배열하여 외부 충격에 강하고, 접속단자의 수를 증가시킬 수 있는 웨이퍼 레벨 패키지 및 그 제조방법을 제공하는 것이다.
- <23> 또한, 본 발명은 반도체 칩의 측면에 접속단자가 배열된 웨이퍼 레벨 패키지를 구비한 반도체 모듈 및 그 제조방법을 제공하는 것이다.

**발명의 구성 및 작용**

- <24> 상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 실시예에 따른 반도체 패키지는 서로 대향하는 제1면 및 제2면을 구비한 반도체 웨이퍼; 및 상기 반도체 웨이퍼의 에지를 따라 상기 제1면에 일렬로 배열되고, 그의 일 측면이 노출된 다수의 도전성 패드를 구비하는 반도체 칩을 구비한다. 절연막이 상기 도전성 패드 및 상기 반도체 웨이퍼의 상기 제1면에 형성되어, 상기 도전성 패드의 일부분을 노출시키는 개구부를 구비한다. 다수의 접속단자들이 상기 개구부를 통해 노출된 상기 도전성 패드에 각각 배열되어 상기 도전성 패드와 전기적으로 접촉된다. 보강부재가 상기 다수의 접속단자의 일부분을 덮도록 상기 절연막상에 배열된다.

- <25> 상기 반도체 패키지에서, 상기 보강부재는 상기 노출된 측면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 절연막상에 형성되거나 또는 상기 노출된 측면 및 상면을 제외한 상기 접속단자의 전 표면을 덮도록 상기 절연막상에 형성된다. 상기 보강부재의 상면과 상기 접속단자사이의 두께는 적어도 200 $\mu$ m이하, 바람직하게는, 50 내지 200 $\mu$ m 이며, 상기 보강부재는 에폭시 몰딩 컴파운드를 포함한다.
- <26> 상기 반도체 패키지는 상기 반도체 웨이퍼의 상기 제2면에 배열된 배면 보강부재를 더 포함한다. 상기 배면 보강부재는 약 100 $\mu$ m 이하의 두께, 바람직하게는 50 내지 100 $\mu$ m의 두께를 갖는 에폭시 몰딩 컴파운드를 포함한다.
- <27> 본 발명의 다른 실시예에 따른 반도체 패키지의 제조방법은 먼저, 다수의 스크라이브 라인에 의해 한정되는 다수의 반도체 칩영역을 구비하고, 서로 대향하는 제1면 및 제2면을 갖는 웨이퍼를 마련한다. 이어서, 상기 웨이퍼의 상기 각 스크라이브 라인 및 상기 각 스크라이브 라인의 양측에 배열되는 이웃하는 반도체 칩영역들의 일부분에 걸쳐 다수의 금속패드를 형성하여 상기 다수의 반도체 칩영역상에 다수의 반도체 칩을 형성한다. 상기 각 금속패드는 상기 스크라이브 라인을 사이에 두고 상기 이웃하는 반도체 칩영역에 배열되는 반도체칩에 공유되어진다. 상기 스크라이브 라인 및 상기 스크라이브 라인에 인접한 부분에 대응하는 상기 금속패드의 일부분을 노출시키는 다수의 개구부를 구비하는 절연막을 상기 웨이퍼상에 형성한다. 상기 절연막의 상기 다수의 개구부 내의 상기 다수의 금속패드상에 각각 다수의 접속단자를 형성한다. 상기 각 접속단자는 상기 스크라이브 라인을 사이에 두고 상기 이웃하는 반도체 칩영역에 배열되는 상기 반도체칩에 공유되도록 형성된다. 상기 접속단자의 전표면을 덮도록 상기 절연막상에 보강부재를 형성한다. 상기 반도체 웨이퍼를 상기 스크라이브라인을 따라 절단하여 상기 금속패드 및 상기 접속단자를 상기 각 반도체칩상에 분리 배열시킨다. 상기 금속패드 및 상기 접속단자의 측면이 노출되어진다.
- <28> 상기 보강부재는 에폭시 몰딩 공정을 통해 상기 접속단자의 전 표면을 덮도록 에폭시 몰딩 컴파운드를 형성하고, 상기 에폭시 몰딩 컴파운드를 래핑하여 상기 접속단자의 상면을 노출시켜 준다.
- <29> 상기 반도체 패키지의 제조방법은 상기 반도체 웨이퍼의 상기 제2면에 배면 보강부재를 형성하는 단계를 더 포함한다. 상기 배면 보강부재로 에폭시 몰딩 공정을 통해 적어도 100 $\mu$ m 이하, 예를 들어 50 내지 100 $\mu$ m의 두께를 갖는 에폭시 몰딩 컴파운드를 형성한다.
- <30> 본 발명의 다른 실시예에 따른 반도체 모듈은 회로기판, 반도체 패키지 및 배선패턴을 포함한다. 상기 회로기판은 제1홈부 및 상기 제1홈부의 에지를 따라 배열되고 상기 제1홈부의 에지에 접하여 형성된 다수의 제2홈부를 구비한다. 상기 배선패턴은 상기 회로기판의 상기 제2홈부에 각각 매립된다. 상기 반도체 패키지는 상기 회로기판의 상기 제1홈부에 실장되되, 서로 대향하는 제1면 및 제2면을 구비한 반도체 웨이퍼; 상기 반도체 웨이퍼의 에지를 따라 상기 제1면상에 일렬로 배열되고, 그의 일 측면이 노출된 다수의 도전성 패드; 상기 개구부를 통해 노출된 상기 도전성 패드에 각각 배열되어 상기 도전성 패드와 전기적으로 접촉되고, 그의 측면이 노출되는 다수의 접속단자; 및 상기 다수의 접속단자의 일부분을 덮도록 상기 절연막상에 배열된 보강부재를 포함한다. 상기 회로기판의 상기 배선패턴이 상기 반도체 패키지의 적어도 상기 노출된 측면과 전기적으로 서로 접촉한다.
- <31> 상기 반도체 모듈은 상기 회로기판의 배선패턴과 상기 반도체 패키지의 접속단자사이에 이들의 접촉력을 강화시켜 주기 위한 접촉강화층과 상기 보강부재를 덮도록 상기 회로기판상에 배열되는 보호막을 더 포함한다. 상기 접촉강화층은 5 내지 20 $\mu$ m의 두께를 갖는 Al 도금층을 포함한다. 상기 보호막은 열전도성을 갖는 절연시트를 포함한다.
- <32> 상기 반도체 모듈에서, 상기 회로기판의 제1홈부의 바닥면과 상기 웨이퍼의 상기 제2면은 접착제를 통해 접촉되어, 상기 회로기판의 제1홈부에 상기 반도체 패키지가 실장된다.
- <33> 본 발명의 반도체 모듈을 제조하는 방법은 먼저, 제1홈부 및 상기 제1홈부의 에지를 따라 배열되고 상기 제1홈부의 에지에 접하여 형성된 다수의 제2홈부를 구비하는 회로기판을 준비하고, 서로 대향하는 제1면 및 제2면을 구비한 반도체 웨이퍼; 상기 반도체 웨이퍼의 에지를 따라 상기 제1면상에 일렬로 배열되고, 그의 일 측면이 노출된 다수의 도전성 패드; 상기 개구부를 통해 노출된 상기 도전성 패드에 각각 배열되어 상기 도전성 패드와 전기적으로 접촉되고, 그의 측면이 노출되는 다수의 접속단자; 및 상기 다수의 접속단자의 일부분을 덮도록 상기 절연막상에 배열된 보강부재를 포함하는 반도체 패키지를 준비한다. 이어서, 상기 회로기판의 상기 제2홈부에 각각 다수의 배선패턴을 매립한다. 상기 회로기판의 제1홈부에 상기 반도체 패키지를 실장시켜 상기 회로기판의 각 배선패턴과 상기 반도체 패키지의 각 접속단자의 적어도 노출된 측면을 전기적으로 서로 접촉시켜 준다.
- <34> 상기 반도체 모듈의 제조방법은 상기 회로기판의 제2홈부에 배선패턴을 형성하는 단계 다음에, 상기 회로기판의

배선패턴과 상기 반도체 패키지의 접속단자사이에 이들의 접촉력을 강화시켜 주기 위한 접촉강화층을 형성하는 단계와; 상기 제1홈부에 상기 반도체 칩을 실장시키는 단계 다음에, 상기 접촉강화층을 리플로우시키는 단계를 더 포함한다.

- <35> 상기 반도체 모듈의 제조방법은 회로기판의 제1홈에 반도체 패키지를 실장하는 단계 다음에, 상기 보강부재를 덮도록 상기 회로기판상에 보호막을 배열하는 단계를 더 포함한다.
- <36> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.
- <37> 도 2a는 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지의 단면도를 도시한 것이다. 도 2b는 도 2a는 IIb-IIb 선에 따른 단면도이다. 도 2c는 도 2a의 IIb-IIb 선에 따른 단면도이다.
- <38> 도 2a, 도 2b 및 도 2c를 참조하면, 웨이퍼 레벨 패키지(200)는 반도체 칩(205)을 구비한다. 상기 반도체 칩(205)은 웨이퍼(210) 및 상기 웨이퍼(210)의 전면(211)상에 형성된 도전성 패드, 예를 들어 금속패드(220)를 구비한다. 상기 금속패드(220)는 상기 웨이퍼(210)의 에지를 따라 일렬로 배열된다. 여기에서, 상기 웨이퍼(210)의 전면(211)은 반도체 제조공정에 의해 각종 반도체 소자(도면상에는 도시되지 않음)를 구비하는 반도체 칩(205)이 집적되는 면을 의미한다. 상기 웨이퍼(210)의 전면(211)상에 형성된 금속패드(220)는 반도체 소자를 외부와 전기적으로 연결하는 패드로서, 예를 들어 알루미늄 패드를 포함한다.
- <39> 상기 웨이퍼(210)의 전면(211)상에 절연막(230)이 형성된다. 상기 절연막(230)은 상기 금속패드(220)의 일부분을 노출시키는 개구부(235)를 구비한다. 상기 금속패드(220)가 상기 웨이퍼(210)의 에지에 접하여 배열되므로, 상기 개구부(235)에 의해 그의 상면 및 측면이 노출되어진다. 상기 절연막(230)은 패시베이션막으로서 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, PSG(phospho silicate glass) 등을 포함할 수 있다.
- <40> 접속단자(240)가 상기 개구부(235)에 의해 노출되는 상기 금속패드(220)에 형성된다. 상기 접속단자(240)는 상기 웨이퍼(210)의 에지를 따라 일렬로 배열된다. 상기 접속단자(240)는 상기 금속패드(220)와 마찬가지로, 상기 웨이퍼(210)의 에지와 접하여 배열되어 측면(241)이 노출된다. 상기 접속단자(240)는 솔더볼 또는 범프 등 다양한 형태를 가질 수 있다. 상기 접속단자(240)는 그의 노출된 측면(241)을 통해 반도체 칩(305)을 외부회로(도면상에는 도시되지 않음)와 전기적으로 연결시켜 주는 연결부재이다.
- <41> 상기 웨이퍼(210)의 상기 전면(211)상에 전면 보강부재(250)가 형성되고, 상기 웨이퍼(210)의 상기 전면(211)에 대향하는 면, 즉 배면(212)에 배면 보강부재(260)가 형성된다. 상기 전면 보강부재(250)와 배면 보강부재(260)는 에폭시 몰딩 컴파운드로 이루어진다. 상기 전면 보강부재(250)는 상기 접속단자(240)가 노출되지 않도록 일정두께를 갖는 것이 바람직하다. 상기 전면 보강부재(250)는 상기 접속단자(240)의 표면으로부터 상기 전면 보강부재(250)의 상면까지의 두께(d1)가 적어도 200 $\mu$ m 이하가 되도록 형성된다. 바람직하게는 상기 두께(d1)는 50 내지 200 $\mu$ m이다. 상기 배면 보강부재(260)의 두께(d2)는 100 $\mu$ m 이하이다. 바람직하게는 두께(d2)는 50 내지 100 $\mu$ m이다. 상기 접속단자(240)는 그의 측면(241)이 노출되도록 전면 보강부재(260)에 의해 밀봉되므로, 외부회로와 노출된 측면(241)을 통해 전기적으로 접속된다.
- <42> 일 실시예에서는 상기 웨이퍼(210)의 전면(211)과 배면(212)에 각각 전면 보강부재(250)와 배면 보강부재(260)가 형성되는 것을 예시하였으나, 전면(211)에만 전면 보강부재(250)를 형성할 수도 있다. 또한, 상기 반도체 칩(205)의 단면구조는 도 2b 및 도 2c 에 한정되는 것은 아니라 다양한 구조를 가질 수 있다.
- <43> 또한, 상기 접속단자(240)가 반도체 패키지(200)의 4측면중 서로 대향하는 2측면에 상기 웨이퍼(210)의 에지를 따라 배열되는 것을 예시하였으나, 반도체 패키지(200)의 4측면중 적어도 하나의 측면에 상기 웨이퍼(210)의 에지를 따라 배열할 수 있다. 상기 접속단자(240)가 반원형상을 갖는 것으로 예시되어 있으나, 이에 한정되지 않고 다양한 형상을 가질 수 있다.
- <44> 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지의 제조방법을 설명하기 위한 평면도를 도시한 것이다. 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지의 제조방법을 설명하기 위한 단면도로서, 도 3a 내지 도 3e의 IV-IV 선에 따른 단면도이다.
- <45> 도 3a 및 도 4a를 참조하면, 반도체 웨이퍼(210)는 다수의 스크라이브 라인(scribe lane, 213)에 의해 한정되는



다수의 반도체 칩영역(215)을 구비한다. 상기 스크라이브 라인(213)은 대략 10 내지 150 $\mu\text{m}$ 의 폭을 갖는데, 이에 반드시 한정되는 것은 아니다.

<46> 도 3b 및 도 4b를 참조하면, 상기 웨이퍼(210)의 전면(211)상에 금속패드(220)를 형성한다. 상기 금속패드(220)는 반도체 칩영역(215)의 에지부분에 형성되며, 상기 스크라이브 라인(213)에 걸쳐 형성된다. 즉, 상기 금속패드(220)는 이웃하는 반도체 칩영역(215)의 에지부분과 상기 반도체 칩영역(215)사이의 스크라이브 라인(213)에 걸쳐 형성된다. 상기 금속패드(220)가 형성된 웨이퍼(210)의 전면(211)상에 패시베이션을 위한 절연막(230)을 형성한다. 상기 절연막(230)을 식각하여 상기 금속패드(220)의 일부분을 노출시키는 개구부(235)를 형성한다. 상기 개구부(235)는 상기 금속패드(220)중 스크라이브 라인(213) 및 스크라이브 라인(213)에 인접한 반도체 칩영역(215)의 에지부분에 대응하는 부분을 노출시켜 준다. 이로써 스크라이브 라인(213)을 사이에 두고 이웃하는 반도체 칩영역(215)에 각각 반도체칩(205)이 배열되며, 이웃하는 반도체 칩영역(215)에 각각 배열된 반도체칩(205)은 금속패드(220)와 접속단자(240)를 공유한다.

<47> 도 3c 및 도 4c를 참조하면, 상기 절연막(230)의 개구부(235)를 통해 노출되는 상기 금속패드(220)상에 접속단자(240)를 형성한다. 상기 접속단자(240)로 와이어 본딩공정을 이용하여 범프를 형성하거나 또는 솔더볼을 형성할 수도 있다. 상기 접속단자(240)는 상기 스트라이브 라인(213)에서 상기 금속패드(220)에 전기적으로 접속된다.

<48> 도 3d 및 도 4d를 참조하면, 에폭시 몰딩공정을 통해 상기 접속단자(240)가 형성된 상기 웨이퍼(210)의 전면(211)과 배면(212)을 에폭시 몰딩 컴파운드(250, 260)로 몰딩시켜 준다. 상기 에폭시 몰딩 컴파운드(250, 260)는 각각 전면 보강부재 및 배면 보강부재로 작용한다. 상기 전면 보강부재(250)는 상기 전면 보강부재(250)의 상면과 접속단자(240)의 표면사이의 두께(d1)가 적어도 200 $\mu\text{m}$  이하, 바람직하게는 50 내지 200 $\mu\text{m}$ 가 되도록 형성한다. 상기 배면 보강부재(260)는 그의 두께(d2)가 적어도 100 $\mu\text{m}$  이하, 바람직하게는 50 내지 100 $\mu\text{m}$ 가 되도록 형성한다.

<49> 상기 몰딩공정전에 상기 웨이퍼(210)의 배면(212)을 연마(backlap)공정을 통해 가공하여 웨이퍼(210)를 원하는 두께로 얇게 만들어 줄 수도 있다. 상기 전면 보강부재(250)는 상기 웨이퍼(210)의 전면(211)에 몰딩공정을 통해 에폭시 몰딩 컴파운드를 원하는 두께(d1)로 형성하거나 또는 상기 웨이퍼(210)의 전면(211)에 에폭시 몰딩 컴파운드를 두껍게 형성한 다음 연마공정을 통해 상기 에폭시 몰딩 컴파운드를 연마하여 원하는 두께(d1)로 형성할 수도 있다. 상기 배면 보강부재(260)도 마찬가지로 상기 웨이퍼(210)의 배면(212)에 상기 몰딩공정을 통해 에폭시 몰딩 컴파운드를 원하는 두께(d2)로 형성하거나 또는 상기 웨이퍼(210)의 배면(212)에 몰딩공정을 통해 에폭시 몰딩 컴파운드를 두껍게 형성한 다음 연마공정을 통해 상기 에폭시 몰딩 컴파운드를 연마하여 원하는 두께(d2)로 형성할 수도 있다.

<50> 도 3e 및 도 4e를 참조하면, 상기 스크라이브 라인(213)을 따라 상기 웨이퍼(210)를 절단하여 도 2a 내지 도 2c에 도시된 개별 반도체 패키지(200)를 제작한다. 상기 웨이퍼는 레이저 빔이나 블레이드를 이용하여 절단한다. 스크라이브 라인(213)을 사이에 두고 인접한 반도체 칩(215)상에 배열된 반도체 칩(205)이 공유하던 상기 금속패드(220)와 접속단자(240)는 상기 절단공정에 의해 분리된다. 이때, 상기 금속패드(220) 및 상기 금속패드(220)에 연결된 접속단자(240)의 크기가 대략 1/2로 되도록 상기 웨이퍼(210)를 절단하는 것이 바람직하다. 상기 접속단자(240)는 전면 보강부재(250)에 의해 그의 상면이 덮혀지지만, 상기 웨이퍼(210)의 절단공정에 의해 그의 측면이 노출되므로, 접속단자(240)의 측면을 통하여 외부회로와의 전기적으로 접속이 가능하게 된다.

<51> 도 5는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 평면도를 도시한 것이다. 다른 실시예의 웨이퍼 레벨 패키지(200a)에서는 금속패드(220) 및 접속단자(240)가 웨이퍼 레벨 패키지(200a)의 4측면에 걸쳐 웨이퍼(210)의 에지를 따라 형성된다. 다른 실시예의 웨이퍼 레벨 패키지(200a)는 반도체 칩사이의 증가없이 접속단자간의 미세 피치를 확보할 수 있을 뿐만 아니라 접속단자수를 증가시킬 수 있다. 상기 웨이퍼 레벨 패키지(200a)는 도 2b 및 도 2c 에 도시된 웨이퍼 레벨 패키지(200)와 단면구조가 동일하고, 도 3a 내지 도 3e 및 도 4a 내지 도 4e에 도시된 웨이퍼 레벨 패키지(200)의 제조방법과 동일하므로, 이에 대한 구체적인 설명은 여기에서 생략한다.

<52> 도 6a 는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 단면도를 도시한 것이다. 도 6b는 도 6a는 VIb-VIb 선에 따른 단면도이다. 도 6c는 도 6a의 VIb-VIb 선에 따른 단면도이다. 도 6a 내지 도 6c에 도시된 웨이퍼 레벨 패키지(300)는 도 2a 내지 도 2c에 도시된 웨이퍼 레벨 패키지(200)와는 달리 접속단자(340)의 측면 및 상면이 노출된다.

- <53> 도 6a, 도 6b 및 도 6c를 참조하면, 웨이퍼 레벨 패키지(300)는 반도체 칩(305)을 구비한다. 상기 반도체칩(305)은 웨이퍼(310) 및 상기 웨이퍼(310)의 전면(311)상에 형성된 도전성 패드, 예를 들어 금속패드(320)를 구비한다. 상기 금속패드(320)는 상기 웨이퍼(310)의 에지를 따라 일렬로 배열된다.
- <54> 상기 웨이퍼(310)의 전면(311)상에 상기 금속패드(320)의 일부분을 노출시키는 개구부(335)를 구비하는 절연막(330)이 형성된다. 상기 금속패드(320)는 상기 웨이퍼(310)의 에지를 따라 일렬로 배열되고, 상기 웨이퍼(310)의 에지와 접하도록 형성되어 그의 상면 및 측면에 노출된다.
- <55> 상기 개구부(335)에 의해 노출된 상기 금속패드(320)상에 외부회로와의 연결부재인 접속단자(340)가 형성되어, 상기 접속단자(340)는 상기 웨이퍼(310)의 에지를 따라 일렬로 배열된다. 상기 접속단자(340)는 그의 측면(341) 및 상면(342)이 노출되어 그의 측면(341) 및/또는 상면(342)을 통해 반도체 칩(305)을 외부회로와 전기적으로 연결시켜 준다. 상기 접속단자(340)는 솔더볼 또는 범프등 다양한 형태를 가질 수 있다.
- <56> 상기 웨이퍼(310)의 상기 전면(311)상에 전면 보강부재(350)가 형성되고, 상기 웨이퍼(310)의 배면(312)에 배면 보강부재(360)가 형성된다. 상기 전면 보강부재(350)와 배면 보강부재(360)는 에폭시 몰딩 컴파운드로 이루어진다. 상기 전면 보강부재(350)는 상기 접속단자(340)의 상면(342)이 노출되도록 형성된다. 상기 전면 보강부재(350)는 상기 접속단자(340)의 노출되는 상면(342)의 면적을 최대한 확보하면서 상기 접속단자(340)를 충분히 지지할 수 있는 두께(d3)로 형성되는 것이 바람직하다. 상기 접속단자(340)가 불형상으로 형성되는 경우, 상기 전면 보강부재(340)가 볼의 1/2의 크기로 되는 경우에 접속단자(340)의 상면(342)의 면적이 최대가 되므로, 상기 두께(d3)는 상기 접속단자(340)의 크기가 볼의 1/2로 되는 두께(d3)로 형성되는 것이 바람직하다. 상기 배면 보강부재(360)의 두께(d4)는 적어도 100 $\mu$ m 이하, 바람직하게 두께(d4)는 50 내지 100 $\mu$ m 이다.
- <57> 다른 실시예에서는 상기 웨이퍼(310)의 전면(311)과 배면(312)에 각각 전면 보강부재(350)와 배면 보강부재(360)가 형성되는 것을 예시하였으나, 전면(311)에만 전면 보강부재(350)이 형성될 수도 있다.
- <58> 도 7a 내지 도 7f는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 제조방법을 설명하기 위한 평면도를 도시한 것이다. 도 8a 내지 도 8f는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 제조방법을 설명하기 위한 단면도로서, 도 7a 내지 도 7f의 VIII-VIII 선에 따른 단면도이다.
- <59> 도 7a 및 도 8a를 참조하면, 반도체 웨이퍼(310)는 다수의 스크라이브 라인(scribe lane, 313)에 의해 한정되는 다수의 반도체 칩영역(315)을 구비한다. 상기 스크라이브 라인(313)은 대략 10 내지 150 $\mu$ m의 폭을 갖는데, 이에 반드시 한정되는 것은 아니다.
- <60> 도 7b 및 도 8b를 참조하면, 상기 웨이퍼(310)의 전면(311)상에 금속패드(320)를 형성한다. 상기 금속패드(320)는 반도체 칩영역(315)의 에지부분에 형성되며, 상기 스크라이브 라인(313)에 걸쳐 형성된다. 즉, 상기 금속패드(320)는 이웃하는 반도체 칩영역(315)의 에지부분과 상기 반도체 칩영역(315)사이의 스크라이브 라인(313)에 걸쳐 형성된다. 상기 금속패드(320)가 형성된 웨이퍼(310)의 전면(311)상에 패시베이션을 위한 절연막(330)을 형성한다. 상기 절연막(330)을 식각하여 상기 금속패드(320)의 일부분을 노출시키는 개구부(335)를 형성한다. 상기 개구부(335)는 상기 금속패드(320)중 스크라이브 라인(313) 및 스크라이브 라인(313)에 인접한 부분에 형성된 부분을 노출시켜 준다. 이로써 반도체 칩영역(315)에 반도체칩(305)이 배열된다. 상기 스크라이브 라인(313)을 사이에 두고 이웃한 반도체 칩영역(315)상에 배열되는 반도체 칩(305)은 금속패드(320)와 상기 금속패드(320)에 연결되는 접속단자(340)를 공유하게 된다.
- <61> 도 7c 및 도 8c를 참조하면, 상기 절연막(330)의 개구부(335)를 통해 노출되는 상기 금속패드(320)상에 접속단자(340)를 형성한다. 상기 접속단자(340)는 상기 스크라이브 라인(313)에서 금속패드(320)에 전기적으로 접속된다. 상기 접속단자(340)로 와이어 본딩공정을 통해 범프를 형성하거나 또는 솔더볼을 형성할 수 있다.
- <62> 도 7d 및 도 8d를 참조하면, 에폭시 몰딩공정을 통해 상기 접속단자(340)가 형성된 상기 웨이퍼(310)의 전면(311)과 배면(312)을 에폭시 몰딩 컴파운드(350a, 360)로 몰딩시켜 준다. 상기 에폭시 몰딩 컴파운드(350a, 360)은 각각 전면 보강부재 및 배면 보강부재로 작용한다. 상기 몰딩 공정 전에 상기 웨이퍼(310)의 배면(312)을 연마(backlap) 공정을 통해 가공하여 웨이퍼(310)를 원하는 두께로 얇게 만들어 줄 수도 있다.
- <63> 상기 웨이퍼(310)의 배면(312)에 형성된 상기 배면 보강부재(360)는 상기 몰딩공정을 통해 원하는 두께(d4)로 상기 웨이퍼(310)의 배면(312)에 에폭시 몰딩 컴파운드를 형성하거나 또는 몰딩공정을 통해 상기 웨이퍼(310)의 배면(312)에 두겹에 에폭시 몰딩 컴파운드를 형성한 다음 원하는 두께(d4)로 연마하여 형성할 수도 있다.
- <64> 도 7e 및 도 8e를 참조하면, 상기 웨이퍼(310)의 전면(311)의 에폭시 몰딩 컴파운드(350a)를 일정두께만큼 래핑

하여 전면 보강부재(350)를 형성한다. 이때, 상기 에폭시 몰딩 컴파운드(350a)의 래핑공정은 상기 접속단자(340)가 노출될 때까지 수행된다. 도 7d 및 도 8d에서 형성된 접속단자(340)가 예를 들어 불형상을 갖는다면, 상기 접속단자(340)는 볼의 크기가 1/2로 될 때 노출되는 상면(도 6b의 342)의 면적이 가장 넓게 되므로, 상기 래핑공정은 상기 접속단자(340)의 크기가 1/2로 될 때까지 수행하는 것이 바람직하다. 이는 상기 접속단자(340)의 상면(342)을 통해 외부회로와 전기적으로 접촉시 접촉면적을 최대한 확보하기 위함이다.

<65> 도 7f 및 도 8f를 참조하면, 상기 스크라이브 레인(313)을 따라 상기 웨이퍼(310)를 레이저 빔 또는 블레이드를 이용하여 절단하여 도 6a 내지 도 6c에 도시된 개별 반도체 패키지(300)를 제작한다. 스크라이브 레인(313)을 사이에 두고 인접한 반도체 칩(315)상에 배열된 반도체 칩(305)이 공유하던 상기 금속패드(320)와 접속단자(340)는 상기 절단공정에 의해 분리된다. 이때, 상기 금속패드(320)와 접속단자(340)는 대략 그의 크기가 1/2가 되도록 형성되는 것이 바람직하다. 상기 접속단자(340)는 그의 상면(342)과 측면(341)이 노출되어, 상면(342) 및/또는 측면(341)을 통해 상기 외부회로와 전기적으로 접촉하게 된다.

<66> 도 9는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 평면도를 도시한 것이다. 웨이퍼 레벨 패키지(300a)에서는 금속패드(320) 및 접속단자(340)가 웨이퍼 레벨 패키지(300a)의 4측면에 걸쳐 웨이퍼(310)의 에지를 따라 형성된다. 상기 웨이퍼 레벨 패키지(300a)는 반도체 칩사이즈의 증가없이 접속단자간의 미세 피치를 확보할 수 있을 뿐만 아니라 접속단자수를 증가시키는 데 유리하다. 상기 웨이퍼 레벨 패키지(300a)는 도 6b 및 도 6c에 도시된 웨이퍼 레벨 패키지(300)와 단면구조가 동일하고, 도 7a 내지 도 7f 및 도 8a 내지 도 8f에 도시된 웨이퍼 레벨 패키지(300)의 제조방법과 동일하므로, 이에 대한 구체적인 설명은 여기에서 생략한다.

<67> 도 10은 본 발명의 다른 실시예에 따른 반도체 모듈의 단면도를 도시한 것이다. 반도체 모듈(400)은 반도체 패키지와 상기 반도체 패키지가 실장되는 회로기판, 예를 들어 인쇄회로기판(410)을 구비한다. 상기 반도체 패키지는 도 2a 내지 도 2c에 도시된 웨이퍼 레벨 패키지(200)가 실장된다. 상기 인쇄회로기판(410)은 반도체 패키지(200)가 실장되는 제1홈부(411)와 상기 제1홈부(411)의 에지에 형성된 다수의 제2홈부(413)를 구비한다. 상기 제1홈부(411)는 상기 반도체 패키지(200)의 두께 및 크기를 고려하여 그의 깊이 및 폭이 결정되어진다. 상기 제2홈부(413)는 상기 반도체 패키지(200)에 배열되는 접속단자(240)의 수에 대응하여 형성되며, 제2홈부(413)의 폭 및 깊이는 상기 반도체 패키지(200)의 접속단자(240)와의 전기적 접촉을 고려하여 결정되어진다. 상기 제2홈부(413)에는 배선패턴(420)이 매립된다.

<68> 상기 인쇄회로기판(410)의 제1홈부(411)의 바닥면(412)에 반도체 패키지(200)가 실장된다. 기 반도체 패키지(200)는 접착제(430)를 통해 상기 제1홈부(411)의 바닥면에 실장된다. 상기 반도체 패키지(200)의 접속단자(240)는 상기 제2홈부(412)에 매립된 배선패턴(420)과 전기적으로 접속된다. 상기 배선패턴(420)의 제1홈부(411)에 의해 노출되는 측면상에는 Al 등과 같은 도금층(421)이 형성될 수도 있다. 상기 도금층(421)의 두께는 5 내지 20 $\mu$ m이다. 상기 도금층(421)은 리플로우공정을 통해 용융되어 상기 인쇄회로기판(410)의 배선패턴(420)과 반도체 패키지(200)의 접속단자(240)의 전기적 접촉을 확고하게 해준다.

<69> 상기 인쇄회로기판(410)상에는 상기 반도체 패키지(200)를 보호하기 위한 보호막(440)이 배열된다. 상기 보호막(440)으로, 예를 들어 절연성 물질 및 열도성 물질로 된 시트를 부착시켜 외부 충격으로부터 반도체 패키지(200)를 보호함과 동시에 반도체 패키지(200)로부터 발생하는 열을 방열시켜 줄 수 있다.

<70> 상기 반도체 모듈(400)은 배선패턴(420)이 인쇄회로기판(410)의 제2홈부(413)에 매립되어 상기 반도체 패키지(200)의 접속단자(240)의 측면(241)을 통해서만 접촉되고, 노출된 웨이퍼(210) 등과는 접촉되지 않으므로, 누설 전류를 방지하게 된다.

<71> 상기 반도체 모듈(400)에서는 상기 인쇄회로기판(410)의 제1홈부(411)의 깊이를 상기 반도체 패키지(200)의 두께에 대응시켜 형성하므로써, 상기 제1홈부(411)에 상기 반도체 패키지(200)가 완전히 매립되는 구조를 갖지만, 상기 제1홈부(411)의 깊이가 상기 반도체 패키지(200)의 두께보다 작게 되도록 형성하여 상기 반도체 패키지(200)가 상기 인쇄회로기판(100)의 상면보다 돌출되는 구조를 가질 수도 있다.

<72> 도 11a 내지 도 11d는 도 10에 도시된 반도체 모듈을 제조하는 방법을 설명하기 위한 단면도이다. 도 11a를 참조하면, 반도체 패키지(200)와 상기 반도체 패키지(200)가 실장될 인쇄회로기판(410)이 제공된다. 상기 인쇄회로기판(410)은 제1홈부(411)와 제2홈부(413)를 구비한다. 상기 제2홈(413)는 상기 제1홈부(411)의 에지에 접하여 형성되어 일렬로 배열되므로, 상기 제2홈(413)의 일측면은 상기 제1홈부(411)에 의해 노출되어진다.

<73> 도 11b를 참조하면, 상기 인쇄회로기판(410)의 제2홈부(413)에 배선패턴(420)을 형성하고, 상기 배선패턴(420)의 제1홈부(411)에 의해 노출되는 측면에 Al 등을 이용하여 도금층(421)을 5 내지 20 $\mu$ m의 두께로 형성한다. 상

기 배선패턴(420)은 상기 반도체 패키지(200)의 접속단자(240)와의 전기적인 접촉을 위한 배선층이다.

- <74> 도 11c를 참조하면, 상기 전면 보강부재(260)에 의해 그의 상면이 덮혀져 측면(241)이 노출된 접속단자(240)를 구비한 반도체 패키지(200)를 상기 인쇄회로기판(410)의 제1홈부(411)의 바닥면에 접촉제(430)를 통해 실장시킨다. 이때, 상기 반도체 패키지(200)의 접속단자(240)의 노출된 측면은 상기 인쇄회로기판(410)의 배선패턴(420)과 전기적으로 접촉된다.
- <75> 도 11d를 참조하면, 리플로우공정을 수행하여 상기 접속단자(240)와 배선패턴(420)을 확고하게 접촉시켜 주도록 한다. 이때, 도금층(421)이 AI 으로 되어 상기 리플로우공정시 용융되므로, 상기 접속단자(240)와 배선패턴(420)의 접촉면으로 흘러들어가 상기 접속단자(240)와 배선패턴(420)을 보다 확고하게 접촉시켜 주게 된다. 이어서, 상기 반도체 패키지(200)의 전면 보강부재(260) 상면을 덮도록 보호막(440)을 부착시켜 주면 도 10의 반도체 모듈(400)이 얻어진다.
- <76> 도 12은 본 발명의 다른 실시예에 따른 반도체 모듈의 단면도를 도시한 것이다. 반도체 모듈(500)은 반도체 패키지와 상기 반도체 패키지(300)가 실장되는 회로기판, 예를 들어 인쇄회로기판(510)을 구비한다. 상기 반도체 패키지는 도 6a 내지 도 6c에 도시된 웨이퍼 레벨 패키지(300)가 적용된다. 도 12에 도시된 반도체 모듈(500)은 상기 반도체 패키지(300)의 접속단자(340)가 그의 상면(342) 및 측면(341)을 통해 상기 인쇄회로기판(510)의 배선패턴(520)과 전기적으로 접촉되는 것만이 다르다. 이때, 상기 도금층(521)은 상기 반도체 패키지(300)의 접속단자(340)의 측면(342)과 상면(341)이 노출되므로, 리플로우공정시 접속단자(340)와 배선패턴(520)의 접촉면 뿐만 아니라 접속단자(340)의 상면으로도 흐르게 되어, 접속단자(520)와 반도체 패키지(300)의 접속단자(340)와의 전기적인 접촉을 확고하게 한다.
- <77> 도 12에 도시된 반도체 모듈(500)의 제조방법은 도 11a 내지 도 11d에 도시된 반도체 모듈(400)의 제조방법과 동일하므로, 여기에서 상세한 설명은 생략한다. 한편, 반도체 패키지(300)는 홈부에 배열된 배선패턴을 구비하는 인쇄회로기판 대신에 그의 상면에 배선패턴이 배열되는 인쇄회로기판을 사용할 수도 있다. 이때, 상기 반도체 패키지(300)는 뒤집어서 상기 노출된 접속단자(340)의 상면(341)을 통해 인쇄회로기판의 배선패턴과 납땜등을 통해 전기적으로 접속될 수도 있다.

**발명의 효과**

- <78> 이상에서 자세히 설명한 바와 같이, 본 발명은 다음과 같은 효과를 얻을 수 있다. 첫째, 본 발명은 금속패드와 외부회로와의 접속단자를 직접 형성하여 외부회로와 연결시켜 줌으로써 배선길이가 감소하여 데이터를 고속으로 전송하는 반도체 칩에 유리하게 적용할 수 있으며, 반도체칩이 고속의 데이터 전송이 가능하여 반도체 칩의 특성을 향상시킬 수 있다.
- <79> 둘째, 본 발명은 외부회로와의 접속단자가 전면 보강부재에 의해 지지되므로 통상적인 솔더볼을 적용하는 웨이퍼 레벨 패키지에 비하여 솔더볼에 의해 초래되는 불량, 예를 들어 솔더볼이 반도체칩으로부터 분리되어 외부회로와의 접촉불량이 발생하거나 또는 솔더볼이 외부 충격에 의해 손상되는 불량을 방지할 수 있다.
- <80> 셋째, 본 발명은 패키지 사이즈가 칩 사이즈와 동일하고, 접속단자가 상기 반도체 패키지의 4 측면에 배열가능하므로, 다수의 접속단자를 배열하는 것이 용이하다. 또한, 접속단자간의 피치를 최대한 줄일 수 있으므로, 접속단자의 미세 피치를 구현하는 것이 가능할 뿐만 아니라 웨이퍼 레벨 패키지의 다(多) 핀(pin) 구현이 가능하다.
- <81> 넷째, 이웃하는 반도체 칩영역사이에 배열되는 스트라이브 레인을 사이에 두고 이웃하는 반도체 칩영역에 걸쳐 패드를 형성하고 그위에 솔더볼 또는 범프를 형성한 다음 소잉공정을 통해 분리시켜 줌으로써, 하나의 솔더볼 또는 범프로 2개의 접속단자가 형성되므로 제조비용을 절감시킬 수 있을 뿐만 아니라 공정을 단순화할 수 있다.
- <82> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

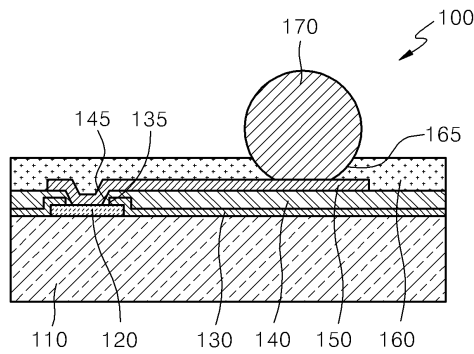
**도면의 간단한 설명**

- <1> 도 1은 종래의 웨이퍼 레벨 패키지의 단면도이다.
- <2> 도 2a는 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지의 평면도이다.
- <3> 도 2b는 도 2a의 IIb-IIb 선에 따른 웨이퍼 레벨 패키지의 단면도이다.

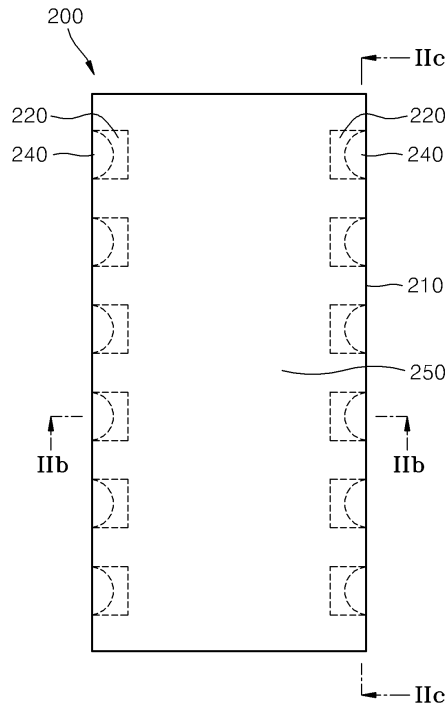
- <4> 도 2c는 도 2a의 IIc-IIc 선에 따른 웨이퍼 레벨 패키지의 단면도이다.
- <5> 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지를 제조하는 방법을 설명하기 위한 평면도이다.
- <6> 도 4a 내지 도 4e는 도 3a 내지 도 3e의 IV-IV 선에 따른 웨이퍼 레벨 패키지를 제조하는 방법을 설명하기 위한 단면도이다.
- <7> 도 5는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 평면도이다.
- <8> 도 6a는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지의 평면도이다.
- <9> 도 6b는 도 6a의 VIb-VIb 선에 따른 웨이퍼 레벨 패키지의 단면도이다.
- <10> 도 6c는 도 6a의 VIc-VIc 선에 따른 웨이퍼 레벨 패키지의 단면도이다.
- <11> 도 7a 내지 도 7f는 본 발명의 다른 실시예에 따른 웨이퍼 레벨 패키지를 제조하는 방법을 설명하기 위한 평면도이다.
- <12> 도 8a 내지 도 8f는 도 7a 내지 도 7f의 IV-IV 선에 따른 웨이퍼 레벨 패키지를 제조하는 방법을 설명하기 위한 단면도이다.
- <13> 도 9는 본 발명의 또 다른 실시예에 따른 웨이퍼 레벨 패키지의 평면도이다.
- <14> 도 10은 본 발명의 또 다른 실시예에 따른 반도체 모듈의 단면도이다.
- <15> 도 11a 내지 도 11d는 도 10의 반도체 모듈의 제조방법을 설명하기 위한 단면도이다.
- <16> 도 12는 본 발명의 또 다른 실시예에 따른 반도체 모듈의 단면도이다.

**도면**

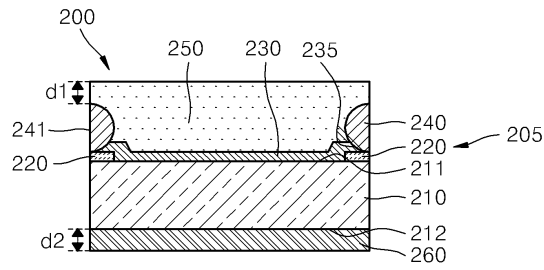
**도면1**



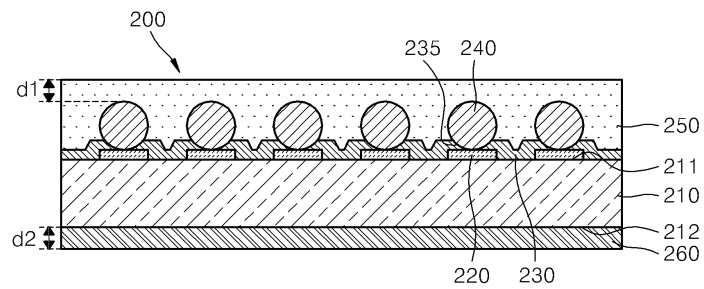
도면2a



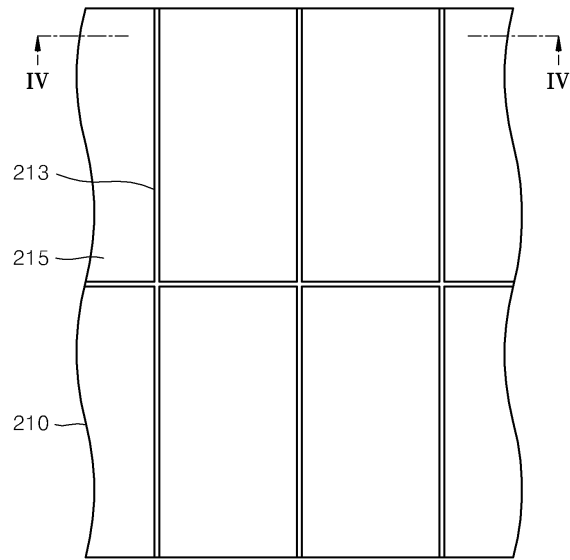
도면2b



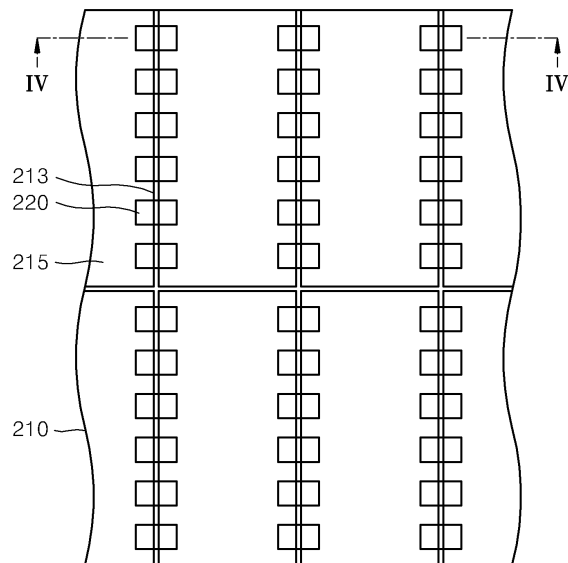
도면2c



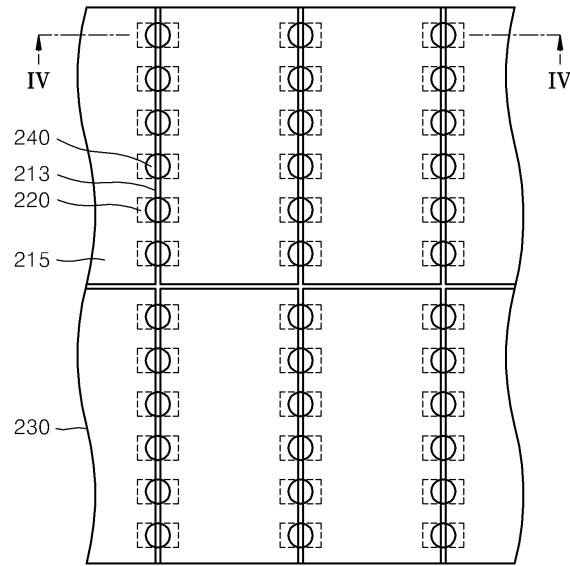
도면3a



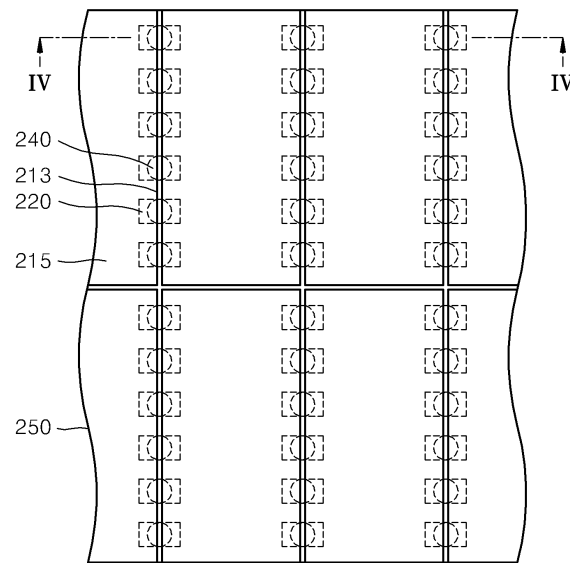
도면3b



도면3c

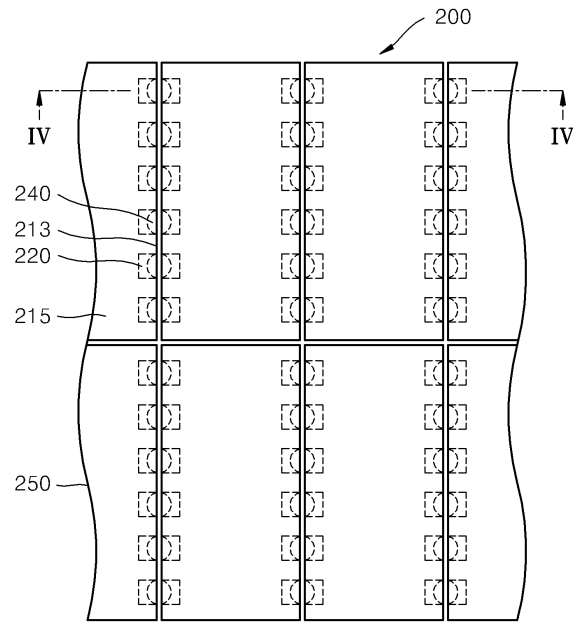


도면3d

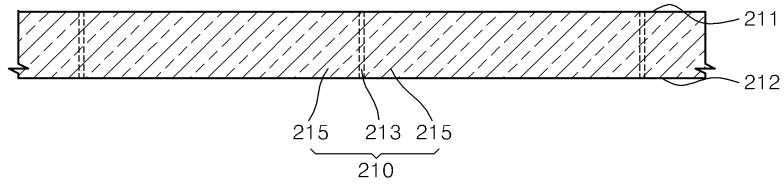




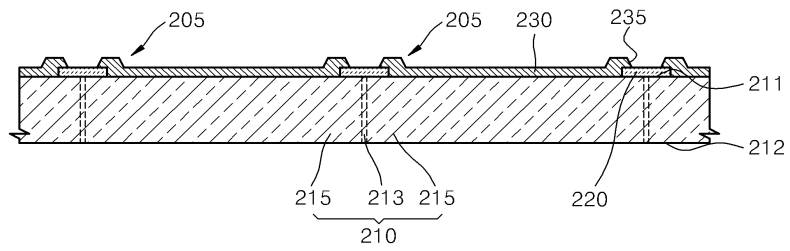
도면3e



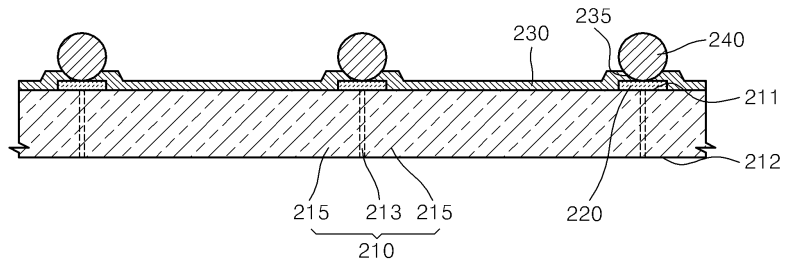
도면4a



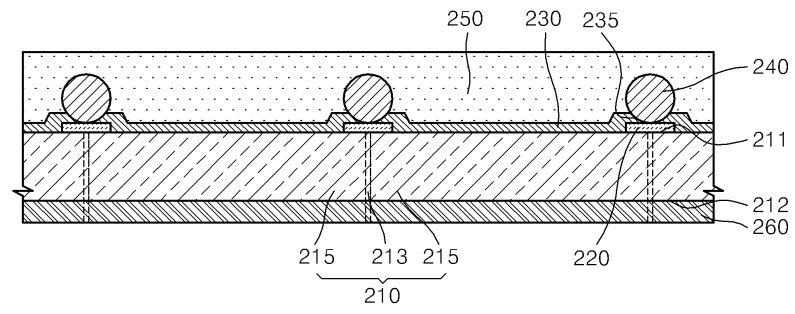
도면4b



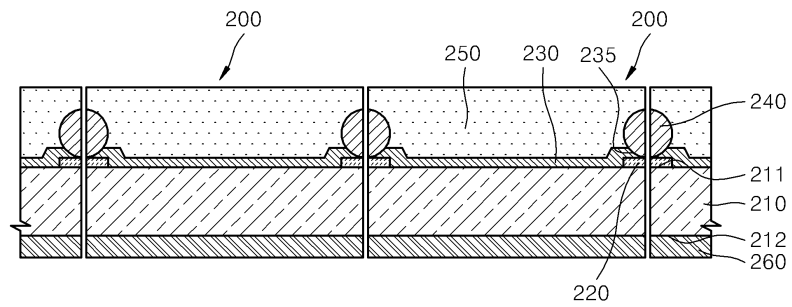
도면4c



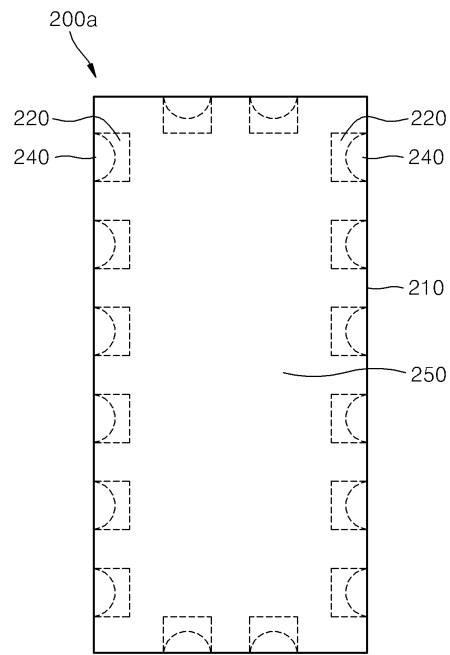
도면4d



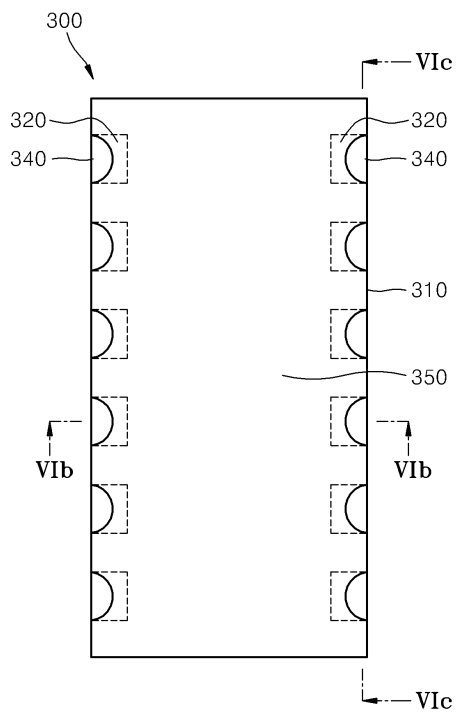
도면4e



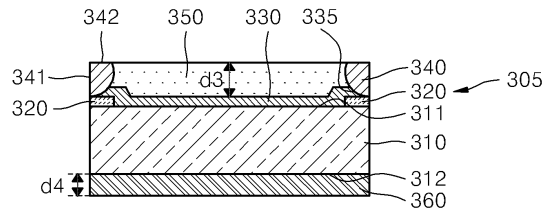
도면5



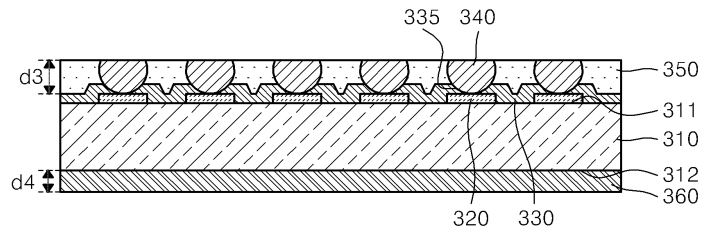
도면6a



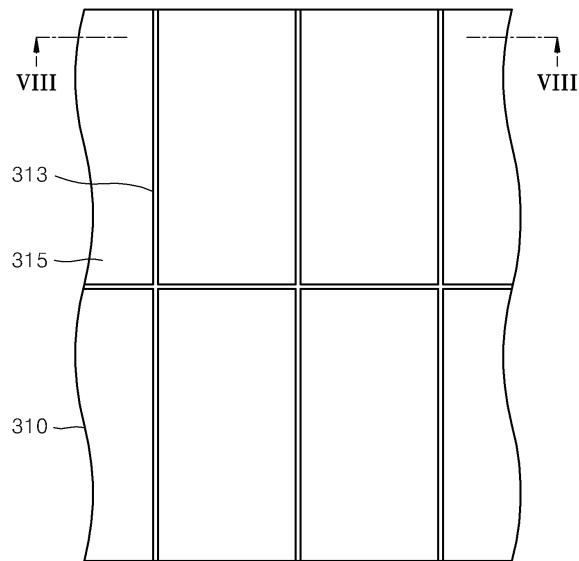
도면6b



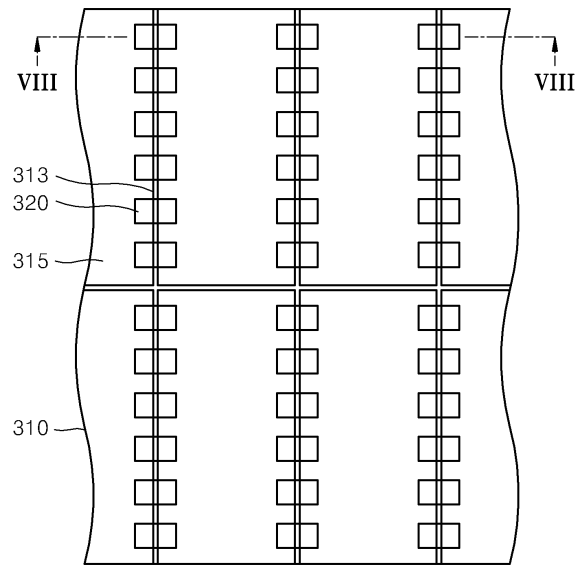
도면6c



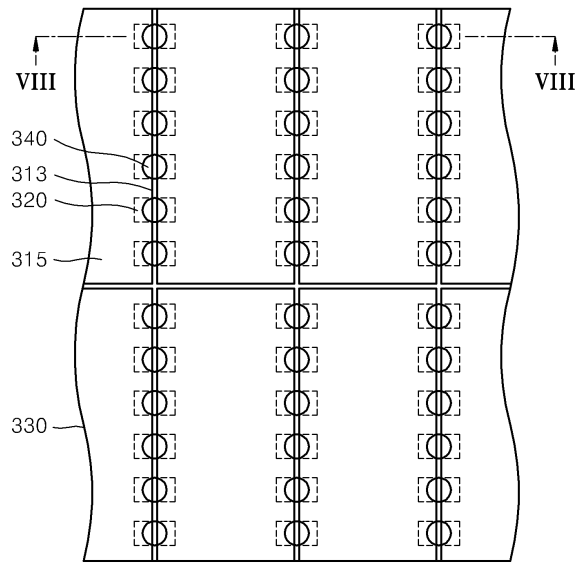
도면7a



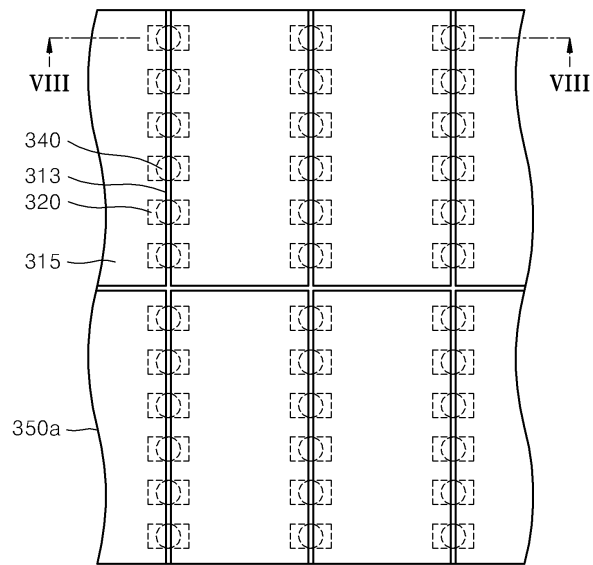
도면7b



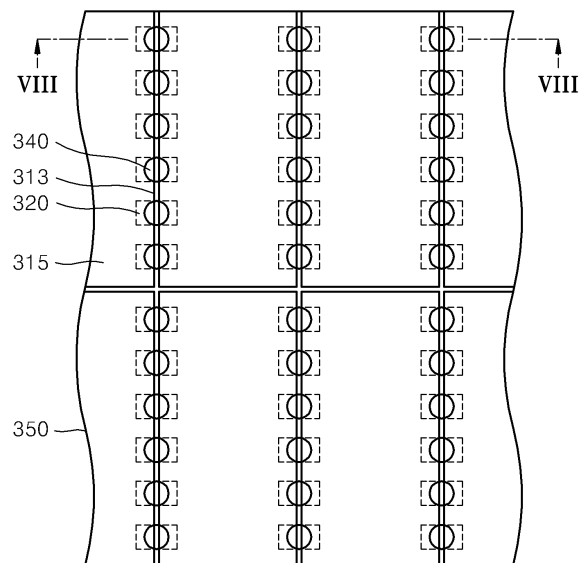
도면7c



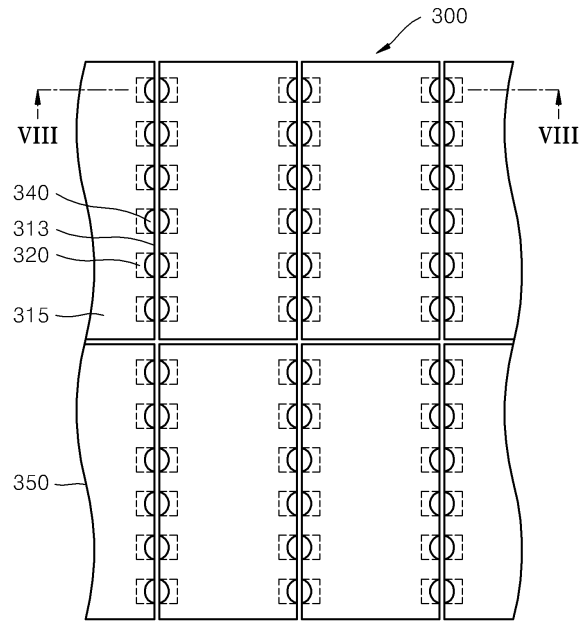
도면7d



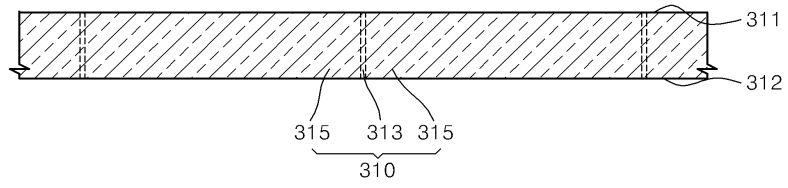
도면7e



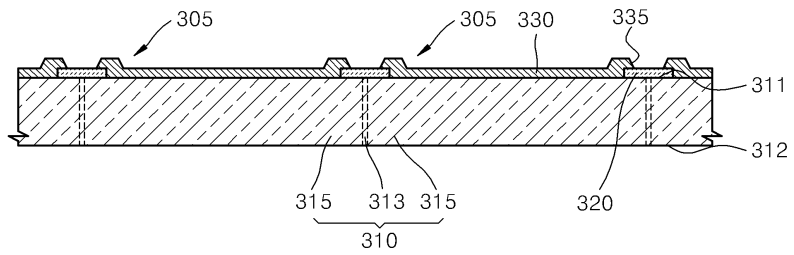
도면7f



도면8a



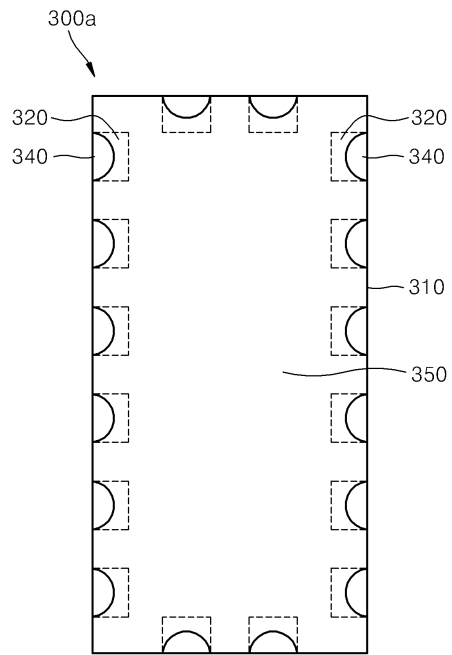
도면8b



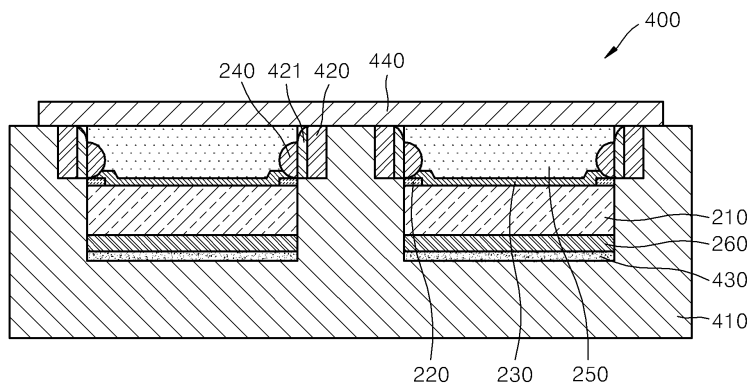




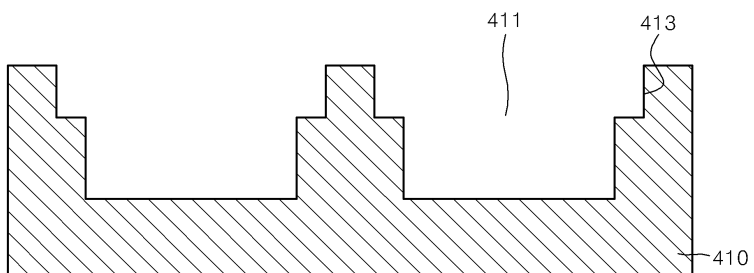
도면9



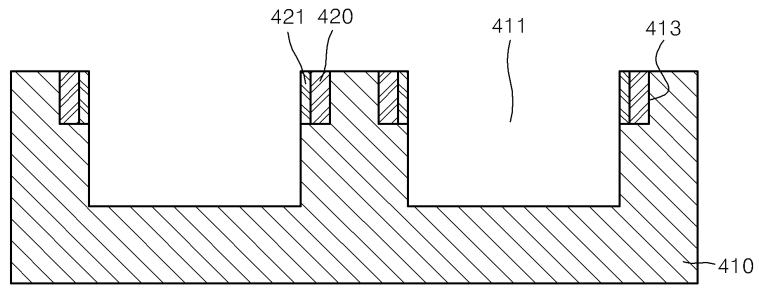
도면10



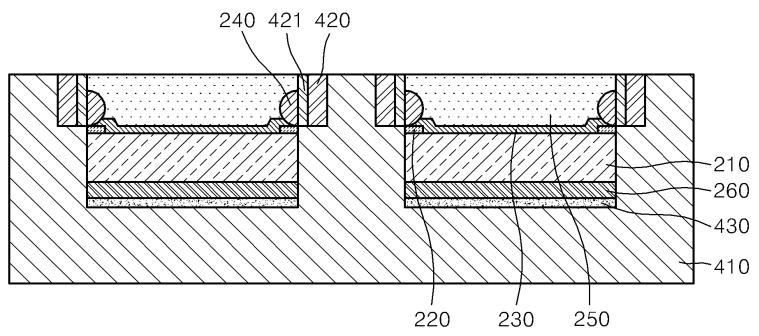
도면11a



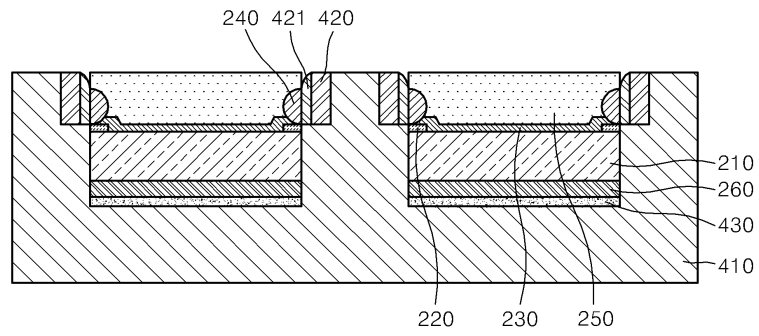
도면11b



도면11c



도면11d



도면12

