

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4556354号  
(P4556354)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 624B
	G09G 3/20 642A
	HO5B 33/14 A
	請求項の数 11 外国語出願 (全 16 頁)

(21) 出願番号	特願2001-208518 (P2001-208518)	(73) 特許権者	000002369
(22) 出願日	平成13年7月9日(2001.7.9)		セイコーエプソン株式会社
(65) 公開番号	特開2003-22049 (P2003-22049A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成15年1月24日(2003.1.24)	(74) 代理人	100095728
審査請求日	平成17年9月16日(2005.9.16)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	サイモン タム
			イギリス ケンブリッジ CB2 1SJ
			8c キングス パレード エプソンケンブリッジ研究所内
		審査官	奈良田 新一
			最終頁に続く

(54) 【発明の名称】 駆動回路、装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

電流駆動素子を駆動するための駆動回路であって、

前記駆動回路は、

前記電流駆動素子に供給される駆動電流の電流値を制御し、互いが並列に接続された第1の駆動トランジスタ及び第2の駆動トランジスタと、

プログラミングステージ中に、前記第1の駆動トランジスタを通過するプログラム電流が通過する第1の電流経路を生じさせる第1のトランジスタと、

リプロダクションステージ中に、前記駆動電流が流れる第2の電流経路を生じさせる第2のトランジスタと、

前記第1の駆動トランジスタのゲートと前記第1の駆動トランジスタのドレインとを短絡する第3のトランジスタと、

前記第2の駆動トランジスタと前記第2のトランジスタとの間に直列接続されるとともに、前記第1の駆動トランジスタのドレインと前記第2の駆動トランジスタのドレインとの間に接続された、第4のトランジスタとを有し、

前記第1の駆動トランジスタの特性と前記第2の駆動トランジスタの特性とは互いに異なり、

前記第2の駆動トランジスタのゲートが前記第1の駆動トランジスタのゲートに接続され、

前記第1のトランジスタ及び前記第2のトランジスタは、それぞれ互いに独立した制御

信号により制御されていること、  
を特徴とする駆動回路。

【請求項 2】

請求項 1 に記載の駆動回路において、  
前記プログラミングステージ中には、前記電流駆動素子を前記プログラム電流が流れないこと、  
を特徴とする駆動回路。

【請求項 3】

請求項 1 または 2 のいずれかに記載の駆動回路において、  
前記第 1 のトランジスタは、前記プログラミングステージ中に前記第 1 の駆動トランジスタが電流シンクへと導通するように接続されていること、  
を特徴とする駆動回路。 10

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の駆動回路において、  
前記電流駆動素子はエレクトロルミネッセンス素子であること、  
を特徴とする駆動回路。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の駆動回路において、  
前記プログラミングステージ中に前記第 1 及び第 2 の駆動トランジスタの動作電圧を蓄積するための容量素子をさらに備えていること、  
を特徴とする駆動回路。 20

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の駆動回路を備えた装置。

【請求項 7】

電流駆動素子と、駆動回路と、  
プログラム電流を供給するためのデータ線と、を含み、  
前記駆動回路は、  
前記電流駆動素子に供給される駆動電流の電流値を制御し、互いが並列に接続された第 1 の駆動トランジスタ及び第 2 の駆動トランジスタと、  
プログラミングステージ中に、前記第 1 の駆動トランジスタを通過する前記プログラム電流が流れる第 1 の電流経路を生じさせる第 1 のトランジスタと、  
リプログラクシヨンステージ中に、前記駆動電流が流れる第 2 の電流経路を生じさせる第 2 のトランジスタと、  
前記第 1 の駆動トランジスタのゲートと前記第 1 の駆動トランジスタのドレインとを短絡する第 3 のトランジスタと、  
前記第 2 の駆動トランジスタと前記第 2 のトランジスタとの間に直列接続されるとともに、前記第 1 の駆動トランジスタのドレインと前記第 2 の駆動トランジスタのドレインとの間に接続された、第 4 のトランジスタとを有し、 30

前記第 1 の駆動トランジスタの特性と前記第 2 の駆動トランジスタの特性とは互いに異なり、  
前記第 2 の駆動トランジスタのゲートが前記第 1 の駆動トランジスタのゲートに接続され、 40

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、それぞれ互いに独立した制御信号により制御されていること、  
を特徴とする装置。

【請求項 8】

請求項 7 に記載の装置において、  
前記第 1 のトランジスタは、前記プログラミングステージ中に前記プログラム電流が前記電流駆動素子を流れないように接続されていること、  
を特徴とする装置。 50

## 【請求項 9】

請求項 7 または 8 に記載の装置において、

前記プログラミングステージ中に、前記第 1 の駆動トランジスタは前記データ線を介して電流シンクに接続されていること、

を特徴とする装置。

## 【請求項 10】

請求項 7 乃至 9 のいずれかに記載の装置において、

前記電流駆動素子はエレクトロルミネッセンス素子であること、

を特徴とする装置。

## 【請求項 11】

請求項 6 乃至 10 のいずれかに記載の装置を備えた電子機器。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、特に、駆動回路に関する。この駆動回路の1つの特徴的な用途として、有機エレクトロルミネッセンス装置の画素を駆動するための回路が挙げられる。

## 【0002】

## 【従来の技術】

有機エレクトロルミネッセンス(OEL)素子は、アノード層とカソード層に挟まれた発光物質層を備えている。この素子は、電気的には、ダイオードのように動作する。この素子は、光学的には、順バイアス時に発光し、順バイアス電流の増加にともなってその発光強度が増加する。少なくとも1つの透明電極層を有しつつ透明基板上に作りこまれた有機エレクトロルミネッセンス素子のマトリクスを用いて、ディスプレイパネルを構築することが可能である。低温ポリシリコン薄膜トランジスタ(薄膜トランジスタ)技術を用いることにより、このパネル上に、駆動回路をも一体的に設けることができる。

## 【0003】

アクティブマトリクス型有機エレクトロルミネッセンスディスプレイ用の基本的なアナログ駆動方式では、原理的に、1画素につき少なくとも2つのトランジスタが必要である(図1)。T1は画素を選択し、T2は、データ電圧信号を、有機エレクトロルミネッセンス素子(OELD)を指定の輝度で発光させるための駆動電流に変換する。前記データ信号は、画素が選択されていないときには、蓄積容量素子(storage capacitor)Cstorageに保存される。各図には、Pチャンネル型の薄膜トランジスタが示されているが、Nチャンネル型薄膜トランジスタを用いた回路にも同じ原理が適用できる。

## 【0004】

薄膜トランジスタアナログ回路には問題があり、また、有機エレクトロルミネッセンス素子はダイオードと全く同じように振る舞う訳ではない。しかし、発光物質は、比較的均一な特性を有する。薄膜トランジスタ製造法に由来して、パネル全体には、薄膜トランジスタの特性に関する空間的なばらつきが生ずる。薄膜トランジスタアナログ回路において最も重要な考慮すべき点の一つは、デバイス間におけるしきい値電圧  $V_t$  のばらつきである。完全にダイオード的な振る舞いを示さないことに起因する、このような有機エレクトロルミネッセンスディスプレイのばらつきの結果、ディスプレイパネル全体で画素の輝度が不均一になる。これは著しく画像の品質を損なう。このため、トランジスタ特性のばらつきを補償するための組み込み回路が必要とされている。

## 【0005】

図2に示す回路は、トランジスタ特性のばらつきを補償するための組み込み回路の1つとして挙げられる。この回路において、T1は画素を選択するためのものである。T2はアナログ電流制御として機能し、駆動電流を供給する。T3は、T2のドレイン及びゲート間を接続し、T2を、ダイオード又は飽和の状態に切り替える。T4はスイッチとして動作する。T1とT4は、どの時点においても、どちらか一方のみがオンとなる。初期状態では、T1及びT3がオフで、T4がオンである。T4をオフにしたとき、T1及びT3

10

20

30

40

50

がオンとなり、所定の (known) 値の電流が T 2 を介して有機エレクトロルミネッセンス素子 (O E L D) に流れ込むようにできる。T 2 のしきい値電圧がその T 2 がダイオードとして動作している (T 3 がオン) 状態で測定され、このときプログラミング電流が T 1 及び T 2 を介して有機エレクトロルミネッセンス素子に流れ込むことができる。これがプログラミングステージ (programming stage) である。T 3 は、T 2 のドレイン及びゲート間を短絡し、T 2 をダイオードの状態へと切り替える。T 2 で検出されるしきい値電圧は、T 3 及び T 1 がオフのとき、T 2 のゲート及びソース端子間に接続された容量素子 C 1 に蓄積される。T 4 がオンになると、今度は VDD により電流が供給される。出力特性の勾配 (slope) が平坦であれば、T 2 の検出されるしきい値電圧がどのような値であっても、リプロダクション電流 (reproduced current) はプログラム電流と等しくなるであろう。T 4 をオンにすることにより、T 2 のドレイン - ソース間の電圧は引き上げられ、その結果、出力特性の平坦性によりリプロダクション電流がプログラム電流と等しく保たれる。図 2 に示された VT2 は、仮想的であって、現実のものではない点に注意してほしい。

10

#### 【 0 0 0 6 】

図 2 のタイミングチャートで t 2 から t 5 の範囲で示されるアクティブプログラミングステージにおいては、理論上、一定値の電流が供給される。リプロダクションステージ (reproduction stage) は t 6 において開始する。

#### 【 0 0 0 7 】

##### 【 発明が解決しようとする課題 】

図 2 の回路は効果的であるが、依然として、電力消費の低減というニーズがある。特に、図 2 の回路において電流源を提供するには、供給電圧 VDD に加えてバイアス電圧 VBIAS が必要である。供給電圧 VDD を、必要なバイアス電圧 VBIAS の分まで大きくすることもできる。そうすれば構成要素の数を低減させる効果はあるが、いかなる値のデータ電流 (IDAT) をプログラムする場合でも、システム全体の電力消費はやはり、増加してしまう。

20

#### 【 0 0 0 8 】

本発明では、図 2 の回路を通過する全ての電流が有機エレクトロルミネッセンス素子を通過するという事実に注目する。このことが本発明にとっていかに重要であるかは、以下の説明によって明らかになるであろう。

#### 【 0 0 0 9 】

##### 【 課題を解決するための手段 】

本発明に係る駆動回路は、電流駆動素子を駆動するための駆動回路であって、前記駆動回路は、前記電流駆動素子に供給される駆動電流の電流値を制御する駆動トランジスタと、前記プログラミングステージ中に、前記駆動トランジスタを通過するプログラム電流が通過する第 1 の電流経路を生じさせる第 1 のスイッチ手段と、リプロダクションステージ中に、前記前記駆動電流が流れる第 2 の電流経路を生じさせる第 2 のスイッチ手段とを有し、前記第 1 のスイッチ手段及び前記第 2 のスイッチ手段は、それぞれ互いに独立した制御信号により制御されていることを特徴とする。

30

上記の駆動回路において、前記プログラミングステージ中には、前記電流駆動素子を前記プログラミング電流が流れないことが好ましい。

40

上記の駆動回路において、前記プログラミングステージ中に前記駆動トランジスタをダイオードとして動作させるように接続された第 3 のスイッチ手段をさらに備えていることが好ましい。

上記の駆動回路において、前記駆動トランジスタのゲートと前記駆動トランジスタのドレインとを短絡する第 3 のスイッチ手段をさらに備えていることが好ましい。

上記の駆動回路において、前記第 1 のスイッチ手段は、前記プログラミングステージ中に前記駆動トランジスタが電流シンクへと導通するように接続されていることが好ましい。

上記の駆動回路において、前記電流駆動素子はエレクトロルミネッセンス素子であってもよい。

50

上記の駆動回路において、前記プログラミングステージ中に前記駆動トランジスタの動作電圧を蓄積するための容量素子をさらに備えていることが好ましい。

上記の駆動回路において前記第1のスイッチ手段及び前記第2のスイッチ手段は、それぞれトランジスタで構成されていることが好ましい。

上記の駆動回路を装置に組み込むことができる。

本発明に係る装置は、駆動回路と、データ電流を供給するためのデータ線と、を含み、前記駆動回路は、電流駆動素子に供給される駆動電流の電流値を制御する駆動トランジスタと、プログラミングステージ中に、前記駆動トランジスタを通過するプログラム電流が流れる第1の電流経路を生じさせる第1のスイッチ手段と、リプロダクションステージ中に、前記駆動電流が流れる第2の電流経路を生じさせる第2のスイッチ手段とを有し、前記第1のスイッチ手段及び前記第2のスイッチ手段は、それぞれ互いに独立した制御信号により制御されていることを特徴とする。

10

上記の装置において、前記駆動回路は、さらに前記プログラミングステージ中に前記駆動トランジスタをダイオードとして動作させるように接続された第3のスイッチ手段をさらに備えていてもよい。

上記の装置において、前記第1のスイッチ手段は、前記プログラミングステージ中に前記プログラム電流が前記電流駆動素子を流れないように接続されていることが好ましい。

上記の装置において、前記プログラミングステージ中に、前記駆動トランジスタは前記データ線を介して電流シンクに接続されていてもよい。

上記の装置において、前記駆動回路はさらに前記電流駆動素子を含み、前記電流駆動素子はエレクトロルミネッセンス素子であってもよい。

20

上記の装置を電子機器に組み込むことができる。

本発明の第1の様態によれば、プログラミングステージ及びリプロダクションステージを有するステージにおいて動作する駆動回路であって、前記回路は、それぞれが前記回路を通過する複数の電流経路と、電流駆動素子と、前記素子に供給される電流の制御用に動作すべく接続されたトランジスタと、プログラミングステージ中に前記トランジスタの動作電圧を蓄積するために接続された容量素子と、前記電流経路を制御するスイッチ手段とを有し、この回路構成(the arrangement)では、前記電流経路の1つが前記素子を含まないこととする駆動回路が提供される。

#### 【0010】

30

本発明の第2の様態によれば、EL(エレクトロルミネッセンス)装置の画素を駆動するための駆動回路であって、前記画素はエレクトロルミネッセンス素子を有し、前記回路は、前記エレクトロルミネッセンス素子に供給される電流の制御用に動作すべく接続されたトランジスタと、プログラミングステージ中に、前記トランジスタの動作電圧を蓄積するために接続された容量素子と、前記プログラミングステージ中の動作時に、前記トランジスタを通過する電流経路を生じさせる第1のスイッチ手段と、リプロダクションステージ中の動作時に、前記トランジスタ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第2のスイッチ手段とを有し、前記第1スイッチ手段は、前記プログラミングステージ中の電流経路が前記エレクトロルミネッセンス素子を通過しないように接続されていることとする駆動回路が提供される。

40

#### 【0011】

本発明の第3の様態によれば、エレクトロルミネッセンス装置の画素を駆動するための駆動回路であって、前記画素はエレクトロルミネッセンス素子を有し、前記回路は、前記エレクトロルミネッセンス素子に供給される電流の制御用に動作すべく接続されたトランジスタと、プログラミングステージ中に、前記トランジスタの動作電圧を蓄積するために接続された容量素子と、前記プログラミングステージ中の動作時に、前記トランジスタを通過する電流経路を生じさせる第1のスイッチ手段と、リプロダクションステージ中の動作時に、前記トランジスタ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第2のスイッチ手段と、電流シンク(current sink)とを有し、前記第1のスイッチ手段は、前記プログラミングステージ中の電流経路が前記トランジスタを介して前期

50

電流シンクへと通じるように接続されていることを特徴とする駆動回路が提供される。

【0012】

本発明の第4の様態によれば、エレクトロルミネッセンス素子への電流供給を制御する方法であって、プログラミングステージ中に、前記エレクトロルミネッセンス素子を通過しない電流経路を提供するステップと、リプロダクションステージ中に、前記エレクトロルミネッセンス素子を通過する電流経路を提供するステップとを有する方法が提供される。

【0013】

本発明の第5の様態によれば、エレクトロルミネッセンス素子への電流供給を制御する方法であって、プログラミングステージ中に、電流シンクへと接続された電流経路を提供するステップと、リプロダクションステージ中に、前記エレクトロルミネッセンス素子を通過する電流経路を提供するステップとを有する方法が提供される。

10

【0014】

本発明の第6の様態によれば、前記本発明の第1から第3の様態のいずれかに係る駆動回路を1つ又は2つ以上備えたエレクトロルミネッセンスディスプレイ装置が提供される。

【0015】

本発明の第7の様態によれば、本発明の前記第6の様態に係るエレクトロルミネッセンスディスプレイ装置を用いた電子機器が提供される。

【0016】

本発明の第8の様態によれば、電流駆動素子を有する回路であって、この回路は、前記電流駆動素子を含む第1の電流経路と、前記電流駆動素子を含まない第2の電流経路とを有する回路が提供される。

20

【0017】

本発明の第9の様態によれば、電流駆動素子を有する回路であって、この回路は、前記電流駆動素子を通過する電流を流す第1の電流経路と、前記電流駆動素子を通過する電流を流さない第2の電流経路とを有する回路が提供される。

本発明の第10の様態によれば、電流駆動素子と、前記電流駆動素子への電流供給を制御するトランジスタとを備えた回路を駆動する方法であって、所定の電流に基づいて前記トランジスタのゲート電圧を決定するステップを有する方法が提供される。

【0018】

本発明によれば、プログラミングステージ中は、電流制御トランジスタによる、電流駆動素子への電流供給はないということに気づくであろう。本発明のエレクトロルミネッセンス装置では、このエレクトロルミネッセンス装置によって表示される画像の質を損なうことなく、画素駆動回路を実現することができる。本発明では、プログラミングステージ及びリプロダクションステージにおいて、等しい電流が流されて従来技術に比べ、トータルな電力消費を低減させる効果をも有する。さらに、従来技術は高バイアスの電圧を必要としたのに対して、本発明の回路は、通常の供給電圧により動作させることができる。実際、本発明ではプログラミング電流の経路とリプロダクション電流の経路とを分けることができる。これにより、多くの効果が得られる。例えば、プログラミングステージにおいて、有機エレクトロルミネッセンス素子を通過する電流が無ければ、プログラミングステージをより高速に動作させることができる。なぜならば、このような構成では、有機エレクトロルミネッセンス素子の寄生容量(parasitic capacitance)により引き起こされる低速化を防止することができるからである。

30

40

【0019】

【発明の実施の形態】

本発明の実施形態について、さらに実例によって、添付の図面を参照しつつ説明する。これらはあくまでも例示に過ぎない。

【0020】

本発明の第1の実施形態に係る画素駆動回路を図3に示す。トランジスタT2は、有機エレクトロルミネッセンス素子(OELD)への駆動電流を供給するアナログ電流コントローラとして動作する。また、蓄積容量素子(ストレージキャパシタ)C1は、トランジスタ

50

T 2 のゲート及びソースの間に接続されている。図 2 の回路においては、プログラミングステージ中に、電流源がトランジスタ T 1 を経由してトランジスタ T 2 のソースに接続され、そのため、有機エレクトロルミネッセンス素子に電流が供給される。本発明に係る本実施形態では、トランジスタ T 1 は、プログラミングステージ中にトランジスタ T 2 を電流シンクへと接続する。つまり、本発明では、プログラミングステージ中に T 2 を介して有機エレクトロルミネッセンス素子に流れる電流はゼロである。図 3 の回路において、トランジスタ T 2 のドレインは、トランジスタ T 3 のソース - ドレイン経路を介して、トランジスタ T 1 のソースに接続されている。トランジスタ T 1 のソースはトランジスタ T 2 のゲートに接続され、トランジスタ T 1 と T 3 のゲートは互いに接続されている。T 1 と T 3 のゲートには、プログラミング電圧  $V_p$  が印加される。プログラミングステージ中オフにされるトランジスタ T 4 は、T 2 のドレインと T 3 のソースを有機エレクトロルミネッセンス素子 (O E L D) に接続している。プログラミングステージ中、トランジスタ T 1 は、トランジスタ T 2 を、接地もしくは基準電圧に接続された電流シンクに接続する。

#### 【 0 0 2 1 】

図 3 の回路は、プログラミングステージ中、T 4 がオフで、T 1 及び T 3 がオンの状態で動作する。オンの状態の T 3 は、T 2 をダイオードとして動作させる効果を有する。また、T 1 は、このダイオードをデータ電流シンクへと接続する。その結果、容量素子 C 1 は蓄電 (電荷の蓄積) する (又は、前フレーム中に蓄積された電圧に依存して放電する)。容量素子 C 1 は、トランジスタ T 2 のゲート - ソース間電圧に応じて蓄電し、その結果、リプロダクションステージ中に有機エレクトロルミネッセンス素子への電流供給を制御することになる電圧 ( $V_{GS2}$ 、データ電流  $IDAT$  に対応) を蓄積する。プログラミングステージの終了時に、T 1 及び T 3 はオフとなる。このフレームの残りの期間のために、電圧  $V_{GS2}$  が C 1 に蓄積される。回路図及びこの説明から容易に理解されるように、本発明によれば、電流源を提供するためのバイアス電圧は特に必要ない。つまり、図 3 における供給電圧 ( $V_{DD}$ ) は、T 2 及び有機エレクトロルミネッセンス素子により決定され、電流源の電力用の高電圧は特に必要ない。この回路に必要となる電圧は最大でも、明らかに、図 2 の回路において必要となる大きさよりも小さい。

#### 【 0 0 2 2 】

T 4 がオフの状態にあるプログラミングステージ開始時には、デバイスを通じて放電される寄生容量現象を有機エレクトロルミネッセンス素子 (O E L D) が示す。C 1 の蓄電速度は、プログラミングステージにかかる時間を決定する。本発明の実施形態の回路においては、C 1 の容量は比較的小さくすることができ、そのため蓄電は非常に高速に行われる。その結果、T 2 から有機エレクトロルミネッセンス素子に電流が全く供給されない期間は、フレーム全体と較べると非常に短い。これらのことと人間の眼の残像効果とから、表示される画像には、認識可能な劣化は生じない。

#### 【 0 0 2 3 】

C 1 が蓄電されて T 3 がオフになった後、T 3 のオフ抵抗は、このフレームの残り期間中、C 1 に印加された電圧に影響を与え得るので、T 3 のオフ抵抗が重要になることがある。そのため、T 3 のゲート - ソース間容量は、C 1 に比較して小さいことが望ましい。

#### 【 0 0 2 4 】

リプロダクション電圧  $V_R$  は、トランジスタ T 4 のゲートに印加される。図 3 の回路における、リプロダクションステージの開始時には、T 4 はオンであり、T 1 及び T 3 はオフのままである。その結果、T 2 は、C 1 によりバイアスされた  $V_{GS2}$  により電流源として動作し、電流を有機エレクトロルミネッセンス素子に供給する。リプロダクションステージの終了時には、T 4 はオフにされ、T 1 及び T 3 はオフのままとどまる。これにより 1 つのサイクルが終了する。この駆動波形は、図 3 に示されている。

#### 【 0 0 2 5 】

図 4 は、本発明に係る第 2 の実施形態を示している。図 4 の回路は、トランジスタ T 3 の接続形態が図 3 の回路と異なっている。図 4 の回路では、T 1 は T 3 のドレイン - ソース経路を經由して C 1 に接続されている。図 4 の回路は、プログラミングステージ中に T 3

10

20

30

40

50

が電流経路上に位置していないという点で図3の回路よりも好ましい。それ以外の動作及び効果の点では、第2の実施形態は第1の実施形態と同じである。

【0026】

図5は、アクティブマトリクスディスプレイにおける多数の画素を示す回路図である。各画素は、図4に示された回路に合わせて実現されている。図示を簡単にするために、モノクロのディスプレイ装置が示されている。この回路はアクティブマトリクス型のものであるので、同じ行(row)の画素は、同時に選択される。トランジスタT3が、画素の選択を担っている。そのため、T3のソース端子は画素の列(column)によって共有される電流データ線に接続されている。このため、T3の漏れ電流は最小に抑える必要がある。T1にマルチゲートストラクチャ(multi-gate structure)を使用することにより、確実に漏れ電流を最小化することができる。マルチゲートストラクチャに加えて、LDD構造を使用することにより、さらに漏れ電流を減少させることができる。

10

【0027】

図6は、ある有機エレクトロルミネッセンス素子装置における画素駆動回路の実装状態を表す模式的断面図である。図6において、符号132は正孔注入層を示し、符号133は有機エレクトロルミネッセンス層を示し、符号151は抵抗もしくは分離体を示す。スイッチング薄膜トランジスタ121及びnチャンネル型の電流薄膜トランジスタ(current thin film transistor)122には、例えば公知の薄膜トランジスタ液晶ディスプレイ装置などにおいて使用されるような、トップゲートストラクチャ(top-gate structure)や最高温度が摂氏600度以下の製造方法などの、低温ポリシリコン薄膜トランジスタに通常使用される構造及び方法を採用する。しかし、その他の構造や方法なども使用可能である。

20

【0028】

正置(forward oriented)有機エレクトロルミネッセンスディスプレイ素子131は、アルミニウム製画素電極115、ITO製の対向する電極116、正孔注入層132、及び有機エレクトロルミネッセンス層133から構成される。正置有機エレクトロルミネッセンスディスプレイ素子131において、有機エレクトロルミネッセンスディスプレイ装置の電流の向きは、ITO製の対向する電極116からアルミニウム製画素電極115への向きに設定することができる。

【0029】

正孔注入層132及び有機エレクトロルミネッセンス層は、抵抗151を画素間の分離構造体として利用しつつ、インクジェット式印字方法により形成することができる。ITO製の対向する電極116は、スパッタリングにより形成することができる。しかし、これらの構成要素すべてを形成するために、これ以外の方法を用いることも可能である。

30

【0030】

本発明を用いたディスプレイパネル全体の典型的なレイアウトを図7に模式的に示す。このパネルは、アナログ電流プログラム式画素を有するアクティブマトリクス型有機エレクトロルミネッセンス素子200、レベルシフトを有する一体化(integrated)薄膜トランジスタ走査ドライバ210、フレキシブルTABテープ220、及び一体化RAM/コントローラ(integrated RAM/controller)付き外部アナログドライバLSI230から構成される。もちろんこれは、本発明を利用して実現可能なパネル構成の一例に過ぎない。

40

【0031】

有機エレクトロルミネッセンスディスプレイ装置の構造は、上記のものに限定されるものではない。その他の構造も適用可能である。

【0032】

例えば図3の回路を参照すると、本発明ではデータ電流源を(この例では有機エレクトロルミネッセンス素子に)提供していることが解る。この回路は、容易に、増幅された及び/又は複数レベルの(電流)出力を提供するように拡張することができる。そのような回路の原理は、図8を参照しつつ理解することができる。図8の回路は、図3の回路に加えて、追加の駆動トランジスタT5及び追加のスイッチングトランジスタT6を有する。T

50



5のソースは、VDDに接続されており、そのゲートには、トランジスタT2のゲートと同じ駆動電圧信号が印加される。トランジスタT5のドレインはトランジスタT6のドレインと直列に接続されており、T6のソースはトランジスタT2、T3、及びT4の共通接続箇所接続されている。トランジスタT6のゲートはトランジスタT4のゲートに接続されている。トランジスタT2の特性が $W/L$ であり、トランジスタT5の特性が $(N-1)W/L$ となるように選択されると仮定される場合は、以下のような電流の増幅が得られる。

$$I_{out} = I_{in} \times N$$

$I_{in}$ は電流シンクを流れる電流、すなわち図3及び図4におけるIDATである。 $I_{out}$ は有機エレクトロルミネッセンス素子を流れる電流である。そのため、図8の回路を使用すると、図3及び図4の回路と比較して、有機エレクトロルミネッセンス素子を通過する電流は等しく保ちつつ、IDATの値を低減させることができる。IDATの値を低減させることにより、回路の動作速度を増加させる効果を奏する。また、IDATの値を低減させることにより、画素マトリクスを通過する間に発生する伝送損失を低減させるという効果も奏する。この効果は、大型ディスプレイパネルに関しては特に重要である。

#### 【0033】

もちろん、追加のトランジスタT5及びT6からなる回路の段をさらに追加することもできる。図9に(A、Bなどで)示すように、直列接続され、それぞれ個別のゲート駆動信号を受信するスイッチングトランジスタT6によって、有機エレクトロルミネッセンス素子を通過する様々な電流値を選択することができる。その結果、出力光の輝度を様々に指定することができる。

#### 【0034】

図3乃至図9に示した回路は、薄膜トランジスタ(薄膜トランジスタ)技術を用いて実現することが好ましく、最も好ましくはポリシリコン薄膜トランジスタである。

#### 【0035】

本発明は、携帯電話、コンピュータ、CDプレーヤー、DVDプレーヤーなどの小型の、携帯電子機器に対して特に有効である。もちろんこれらに限られるものではない。

#### 【0036】

上述の有機エレクトロルミネッセンスディスプレイ装置を使用した電子機器について幾つか以下に説明する。

#### 【0037】

<1: モバイルコンピュータ>

上述の実施形態のうちの1つによるディスプレイ装置を適用したモバイルパーソナルコンピュータの例について次に説明する。

#### 【0038】

図10は、このパーソナルコンピュータの構成を表す等角投影図である。図中、パーソナルコンピュータ1100は、キーボード1102を含む本体1104、及びディスプレイユニット1106を備える。このディスプレイユニット1106は、本発明により製造されたディスプレイパネルを用いて上述の様に実現されている。

#### 【0039】

<2: 携帯電話>

次に、携帯電話のディスプレイ部分に本発明のディスプレイ装置を適用した例について説明する。図11は、この携帯電話の構成を表す等角投影図である。図中、携帯電話1200は、複数の操作キー1202、スピーカ1204、マイク1206、及びディスプレイパネル100を備える。このディスプレイパネル100は、本発明により製造されたディスプレイパネルを用いて上述の様に実現されている。

#### 【0040】

<3: デジタルスチルカメラ>

次に、有機エレクトロルミネッセンスディスプレイ装置をファインダーとして用いたデジタルスチルカメラについて説明する。図12はこのデジタルスチルカメラの構成、及び外

10

20

30

40

50

部装置への接続の概要を表す等角投影図である。

【0041】

通常のカメラは、被写体の光学画像をフィルムに感光させるが、デジタルスチルカメラ1300は、例えば、電荷結合素子(CCD)を用いて光電変換により、被写体の光学画像から画像信号を生成する。このデジタルスチルカメラ1300は、ケース1302の後面に、CCDからの画像信号に基づき表示を行う有機エレクトロルミネッセンス素子100を備える。そのため、このディスプレイパネル100は、被写体を表示するファインダーとして機能する。光学レンズ及びCCDを有する受光ユニット(photo acceptance unit)1304が、ケース1302の前面(図の後方)に備わっている。

【0042】

撮影者が有機エレクトロルミネッセンス素子パネル100に表示された被写体画像を決定し、シャッターを開放するとCCDからの画像信号が伝送され、回路基板1308内のメモリに保存される。このデジタルスチルカメラ1300では、ケース1302の側面にビデオ信号出力端子1312及びデータ通信用入出力端子1314が設けられている。図に示されているように、必要に応じて、TVモニタ1430及びパーソナルコンピュータ1440を、それぞれ、ビデオ信号端子1312及び入出力端子1314に接続する。所定の操作により、回路基板1308のメモリに保存された画像信号が、TVモニタ1430及びパーソナルコンピュータ1440への出力となる。

【0043】

図10に示したパーソナルコンピュータ、図11の携帯電話、及び図12のデジタルスチルカメラ以外の電子機器の例としては、有機エレクトロルミネッセンス素子TVセット、ビューファインダー式及びモニタリング式のビデオテープ録画器、カーナビゲーションシステム、ポケットベル、電子ノート、電卓、ワードプロセッサ、ワークステーション、TV電話、POSシステム端末、及びタッチパネル付きデバイス等が挙げられる。無論、上述の有機エレクトロルミネッセンス装置はこれらの電子機器のディスプレイ部分に適用可能である。

【0044】

本発明の駆動回路は、ディスプレイユニットの画素内に配置するのみならず、ディスプレイユニット外に配置することも可能である。

【0045】

前述の説明では、本発明の駆動回路は種々のディスプレイ装置を例として説明した。本発明の駆動回路の用途は、ディスプレイ装置にとどまらず、例えば、磁気抵抗RAM、容量センサ(capacitance sensor)、電荷センサ(charge sensor)、DNAセンサ、暗視カメラ、及びその他多くの装置なども含まれる。

【0046】

図13は、本発明の駆動回路の磁気RAMへの応用を示している。図13では、磁気ヘッドを符号MHで示している。

【0047】

図14は、本発明の駆動回路の磁気抵抗素子への応用を示している。図14では、磁気ヘッドを符号MHで、磁気レジスタを符号MRで示している。

【0048】

図15は、本発明の駆動回路の容量センサ、又は電荷センサへの応用を示している。図15では、センス容量素子(sense capacitor)を符号Csenseで示している。図15の回路は、指紋センサやDNAなどこの他の用途にも応用可能である。

【0049】

図16は、本発明の駆動回路の暗視カメラへの応用を示している。図16では、光伝導体を符号Rで示している。

【0050】

上述の特定された説明において示された実施形態では、各トランジスタはpチャンネル型トランジスタとして示された。このことは本発明の限定的要素ではない。例えば、図17

10

20

30

40

50

は、図4の回路の変形例の簡単な概要を示したものである。図17の回路では、駆動トランジスタをpチャンネル型のままとした以外、nチャンネル型のトランジスタを使用している。

【0051】

図3から図16までに関して説明された構成には、本発明の範囲から逸脱することなく、種々の変更や改良が可能であることが当業者には明らかであろう。

【図面の簡単な説明】

【図1】 2個のトランジスタを使用した、従来の有機エレクトロルミネッセンス素子画素駆動回路を示している。

【図2】 しきい値電圧補償機能を有する、公知の電流プログラム式有機エレクトロルミネッセンス素子駆動回路を示している。

【図3】 本発明の第1の実施形態による画素駆動回路を示している。

【図4】 本発明の第2の実施形態による画素駆動回路を示している。

【図5】 マトリックス状ディスプレイにおける複数の画素を示している。

各画素は図4の回路を使用している。

【図6】 本発明の一実施形態による有機エレクトロルミネッセンス素子及び画素駆動回路の実装状態を示す模式的断面図である。

【図7】 本発明による有機エレクトロルミネッセンスディスプレイパネルの概略平面図である。

【図8】 本発明による画素駆動回路の別の実施形態を示している。

【図9】 本発明による画素駆動回路の別の実施形態を示している。

【図10】 本発明の画素駆動回路を有するディスプレイ装置を使用したモバイルパーソナルコンピュータの模式図である。

【図11】 本発明の画素駆動回路を有するディスプレイ装置を使用した携帯電話の模式図である。

【図12】 本発明の画素駆動回路を有するディスプレイ装置を使用したデジタルカメラの模式図である。

【図13】 本発明の駆動回路の磁気RAMへの応用を示している。

【図14】 本発明の駆動回路の磁気抵抗素子への応用を示している。

【図15】 本発明の駆動回路の容量センサ又は電荷センサへの応用を示している。

【図16】 本発明の駆動回路の暗視カメラへの応用を示している。

【図17】 図4の回路の変形例の概要を簡単に示している。

【符号の説明】

T1、T2、T3、T4 トランジスタ

C1 蓄積容量

VP プログラム電圧

VDD 供給電圧

IDD データ電流

VR リプロダクション電圧

132 正孔注入層

133 有機エレクトロルミネッセンス層

151 抵抗

121 スイッチング薄膜トランジスタ

122 nチャンネル型電流薄膜トランジスタ

131 有機エレクトロルミネッセンスディスプレイ

115、116 画素電極

200 アクティブマトリクス型有機エレクトロルミネッセンス素子

210 薄膜トランジスタスキヤニングドライバ

220 フレキシブルTABテープ

230 外部アナログドライバ

10

20

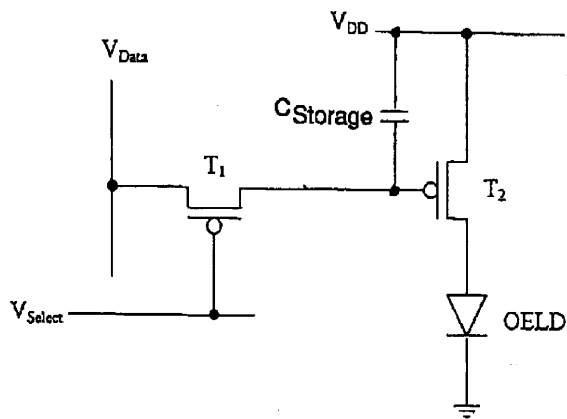
30

40

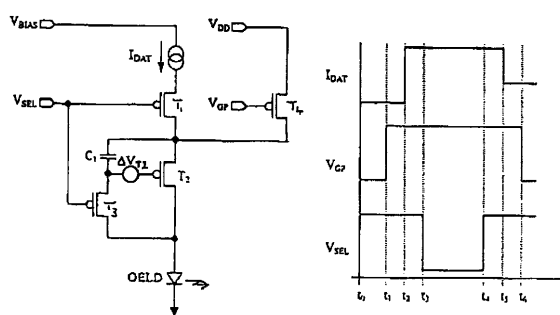
50

- 1 1 0 0    パーソナルコンピュータ
- 1 2 0 0    携帯電話
- 1 3 0 0    デジタルスチルカメラ

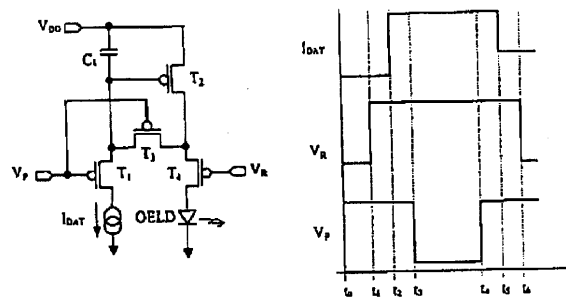
【 図 1 】



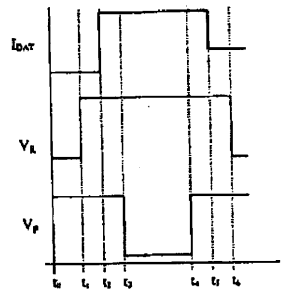
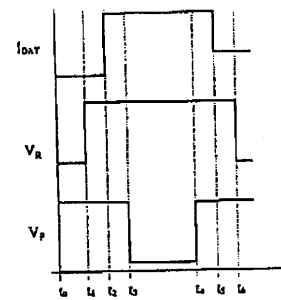
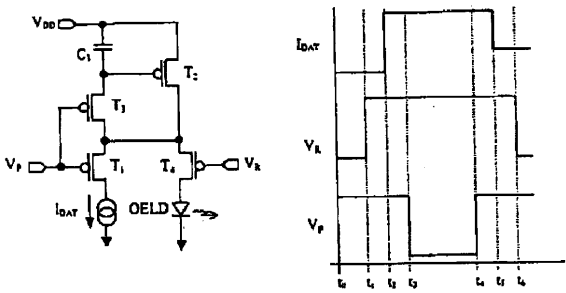
【 図 2 】



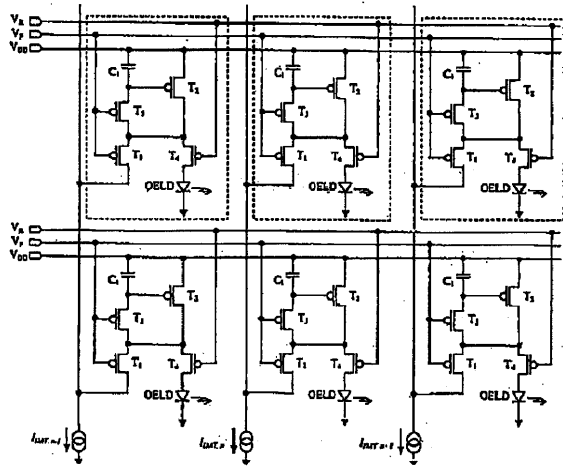
【 図 3 】



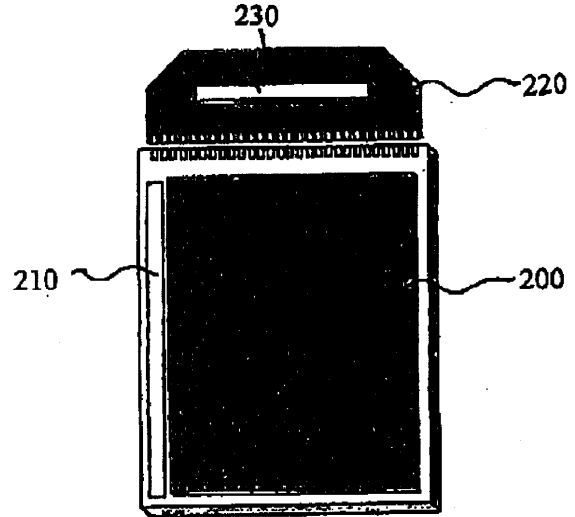
【 図 4 】



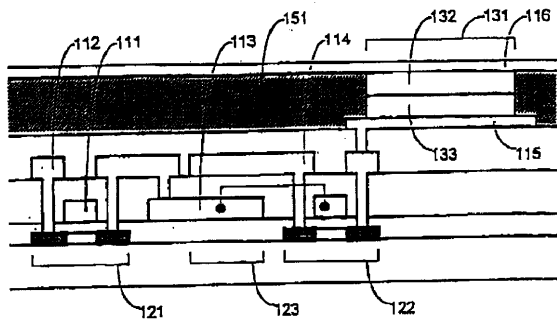
【 図 5 】



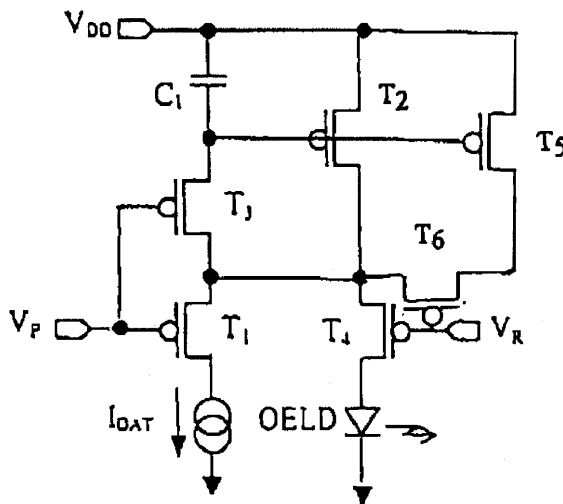
【 図 7 】



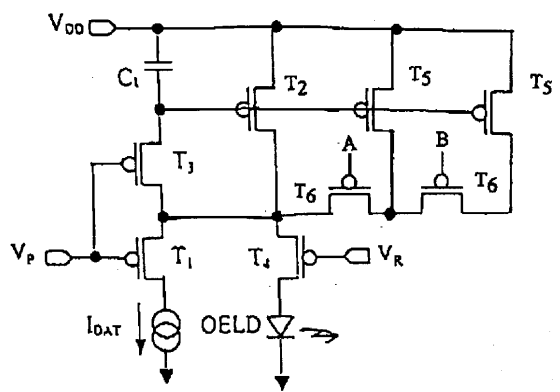
【 図 6 】



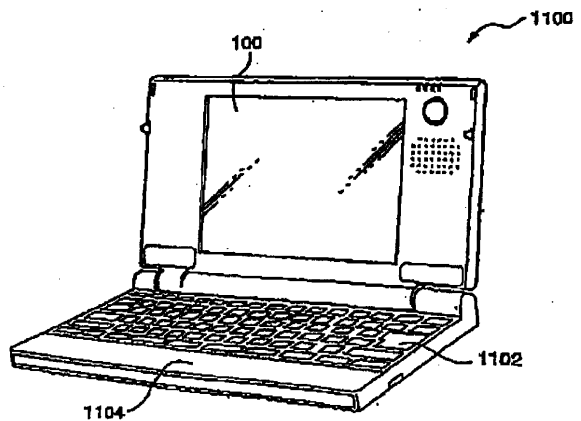
【 図 8 】



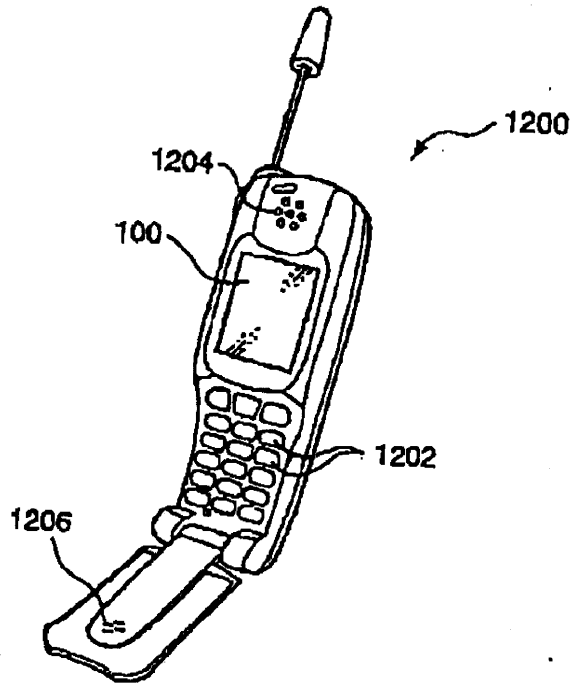
【 図 9 】



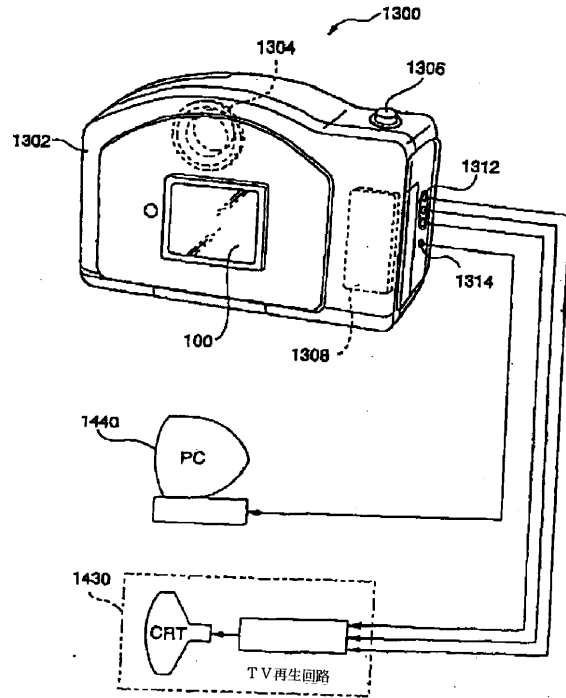
【 図 10 】



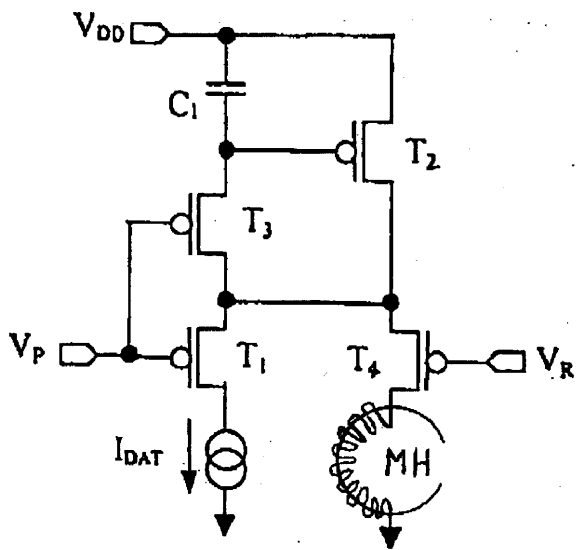
【図11】



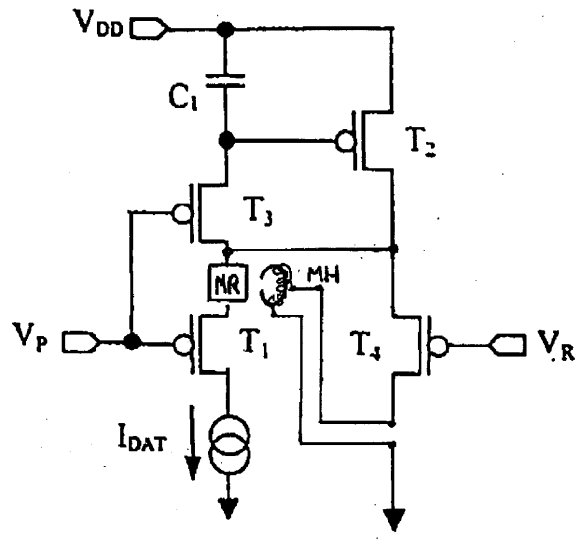
【図12】



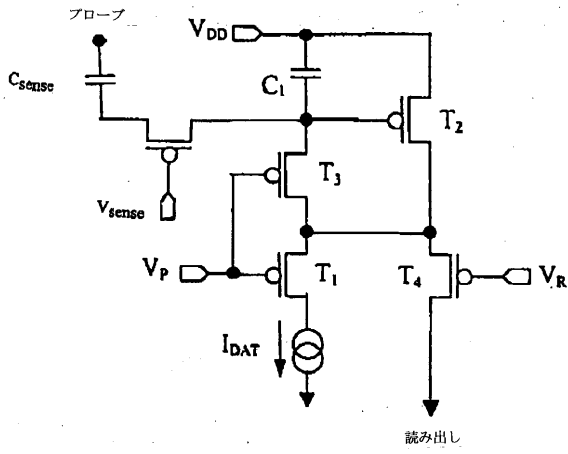
【図13】



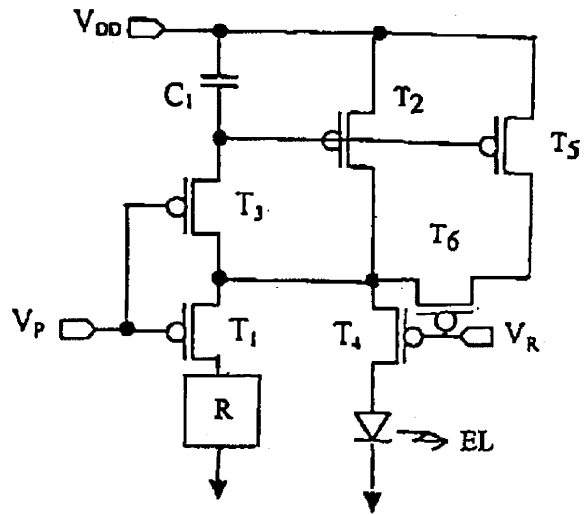
【図14】



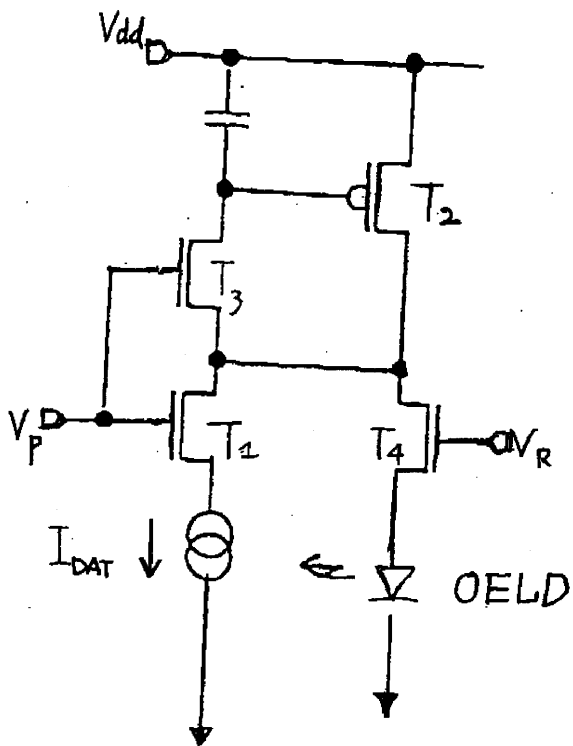
【図15】



【図16】



【図17】



---

フロントページの続き

(56)参考文献 国際公開第01/006484(WO,A1)  
特表2002-514320(JP,A)  
特表2002-517806(JP,A)  
特開2002-215095(JP,A)

(58)調査した分野(Int.Cl.,DB名)  
G09G3/20,3/30-3/32