

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-166667

(P2006-166667A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl. F I テーマコード (参考)
 H O 2 M 3/155 H 5 H 7 3 0
H O 2 M 3/155 (2006.01)

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2004-357604 (P2004-357604)	(71) 出願人	000006747 株式会社リコー
(22) 出願日	平成16年12月10日 (2004.12.10)	(74) 代理人	100102587 弁理士 渡邊 昌幸
		(74) 代理人	100077274 弁理士 磯村 雅俊
		(72) 発明者	甲斐 寿 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		(72) 発明者	久保田 治彦 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		Fターム(参考)	5H730 AA14 BB13 BB52 BB57 DD04 EE13 EE59 FD01 FD21 FD31 FD41 FF01 FG05 FG23

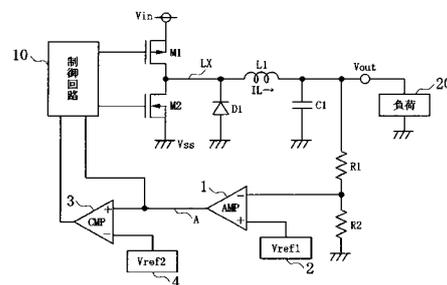
(54) 【発明の名称】 スイッチングレギュレータ

(57) 【要約】

【課題】 スイッチングレギュレータ単体で同期整流方式とダイオード整流方式の切り替えが可能で、不連続モードにおいても逆流が発生せず、しかも軽負荷でのスイッチングロス無くし、軽負荷時の効率を向上させる。

【解決手段】 インダクタL1に流れる入力電流をオン・オフするスイッチングトランジスタM1、およびスイッチングトランジスタM1のオン期間にオフし、オフ期間にオンとなる同期整流トランジスタM2を有する第1のスイッチレギュレータ方式と、スイッチングトランジスタM1を共有し、かつスイッチングトランジスタM1のオフ期間にインダクタL1に蓄えられたエネルギーを負荷に供給するための転流ダイオードD1を有する第2のスイッチレギュレータ方式とを備え、同期整流トランジスタM2を制御することで、第1のスイッチレギュレータ方式または第2のスイッチレギュレータ方式のいずれかに切り替えて駆動する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

インダクタに流れる入力電流をオン・オフするスイッチングトランジスタ、および該スイッチングトランジスタのオン期間にオフし、オフ期間にオンとなる同期整流トランジスタを有する第 1 の整流動作と、

該スイッチングトランジスタのオフ期間に該インダクタに蓄えられたエネルギーを負荷に供給するための転流ダイオードを有する第 2 の整流動作とを備え、

該スイッチングトランジスタを共有し、該第 1 の整流動作と該第 2 の整流動作を実行可能制御手段によって切り替えることを特徴とするスイッチングレギュレータ。

【請求項 2】

入力端子と接地端子間に印加された入力直流電圧を、所定の電圧に変換して出力端子より負荷に出力するスイッチングレギュレータにおいて、

エネルギーを蓄えるインダクタと、

該インダクタに流れる入力電流をオン・オフするスイッチングトランジスタと、

該スイッチングトランジスタのオフ期間に、該インダクタに蓄えられたエネルギーを負荷に供給するための転流ダイオードと、

該転流ダイオードに並列に接続され、該スイッチングトランジスタのオン期間に、オフし、オフ期間にオンとなる同期整流トランジスタと、

前記出力端子の電圧に比例した電圧を出力する出力電圧検出手段と、

予め定めた電圧を与える第 1 の基準電圧と、

前記出力電圧検出手段からの出力電圧と前記第 1 の基準電圧の差を増幅し、誤差電圧を出力する誤差増幅回路と、

該第 1 の基準電圧とは異なる電圧を与える第 2 の基準電圧と、

該誤差電圧と該第 2 の基準電圧を比較する比較回路と、

該誤差電圧および該比較回路の出力に応じて、前記スイッチングトランジスタと前記同期整流トランジスタのオン・オフ制御を行う制御回路を備え、

該比較回路および該制御回路により、該スイッチングトランジスタと該転流ダイオードを駆動するダイオード整流方式と、該スイッチングトランジスタと該同期整流トランジスタを駆動する同期整流方式とを兼ね備えたことを特徴とするスイッチングレギュレータ。

【請求項 3】

請求項 2 記載のスイッチングレギュレータにおいて、

前記負荷に供給する負荷電流が所定の電流値以下になったとき、前記比較回路の出力が反転するように前記第 2 の基準電圧を設定したことを特徴とするスイッチングレギュレータ。

【請求項 4】

請求項 1 または請求項 2 記載のスイッチングレギュレータにおいて、

前記インダクタに流れる電流を検出する電流検出手段を備え、

該電流検出手段の出力に応じて、前記スイッチングトランジスタのオン・オフ制御を行う電流モード制御を備えたことを特徴とするスイッチングレギュレータ。

【請求項 5】

請求項 4 記載のスイッチングレギュレータにおいて、

前記電流検出手段の出力に対して、スロープ補償を行うようにしたことを特徴とするスイッチングレギュレータ。

【請求項 6】

請求項 1 ~ 5 のいずれかに記載のスイッチングレギュレータにおいて、

前記インダクタと前記スイッチングトランジスタを入力端子と接続端子の間に直列接続し、前記同期整流トランジスタを該インダクタとスイッチングトランジスタの交点と出力端子間に接続し、前記転流ダイオードを該同期整流トランジスタに並列に接続したことを特徴とする昇圧型のスイッチングレギュレータ。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、同期整流方式のスイッチングレギュレータに関し、特に軽負荷時の電力変換効率を向上することが出来るスイッチングレギュレータに関する。

【背景技術】

【0002】

近年、環境対策上からも省エネルギーが求められている。携帯電話やデジタルカメラなど、電池を使用する機器においては、電池寿命を伸ばすという観点からも、機器内で消費する電力削減の重要度は増している。その結果、高効率でしかも小型化が可能な電源回路として、図4に示すような、インダクタL1を用いたスイッチングレギュレータが広く用いられている。

10

【0003】

インダクタL1を用いたスイッチングレギュレータでは、スイッチングトランジスタM1がオフの期間、インダクタL1に蓄えられたエネルギーを放出するために転流ダイオードD1が用いられる。しかし、転流ダイオードD1はオン電圧が0.7V程度あり、電力変換効率を低下させてしまう。

そこで、図5に示すように、転流ダイオードD1の代わりに同期整流トランジスタM2を用いた同期整流方式のスイッチングレギュレータが用いられるようになった。同期整流トランジスタM2は、スイッチングトランジスタM1がオンの期間にオフし、オフの期間にオンとなるように制御されている。

20

【0004】

同期整流トランジスタM2がオンの時の電圧降下は、転流ダイオードD1に比べ遥かに小さくなるため、同期整流方式のスイッチングレギュレータの効率は向上する。しかし、スイッチングレギュレータは、定格負荷においては高効率であるが、スイッチングトランジスタM1や同期整流トランジスタM2をオン/オフするための電力であるスイッチングロスには負荷の軽重によって変化しないため、負荷がスタンバイ状態、あるいはスリープモードなどの軽負荷状態の場合は、逆に効率を低下させてしまう。さらに、軽負荷状態でインダクタL1に流れる電流が不連続モードになると出力端子Voutに接続したコンデンサC1の電荷が、同期整流トランジスタM2を介して逆流してしまうため、著しく効率を低下させてしまった。

30

【0005】

なお、前述のスイッチングロスとは、立上りの遅れであり、立上りが遅れることにより、逆流電流が僅かに流れてしまうとともに、同期整流トランジスタM2をオンまたはオフする瞬間のスイッチングに損失が生じ、効率が悪くなる。また、連続モードとは、後述の図3に示すように、コイルL1を流れる電流ILが、クロック信号の一定周期に対して、0に比べて+側に流れる範囲の動作モードであり、不連続モードとは、0に対して僅かに+側あるいは-側に逆流(図示されていない)する範囲の動作モードである。

【0006】

同期整流方式のスイッチングレギュレータの軽負荷での効率を改善する方法は過去に多数提案されている。

40

図6は、例えば、特開2002-281744号公報に開示されている例である。

インダクタL1と出力端子Vout間に電流検出抵抗R3を接続し、電流検出抵抗R3の両端の電圧と基準電圧Vrefを比較する比較回路CMPを備えている。比較回路CMPの出力は制御回路10と発振回路OSCに接続されている。さらに、同期整流トランジスタM2に並列に転流ダイオードD1が接続されている。

【0007】

図6において、負荷電流IRが少なくなり、電流検出抵抗R3の電圧降下が基準電圧Vrefより低下すると、比較回路CMPの出力は反転してスイッチングトランジスタM1の制御をPWMからPFMに切り替え、単位時間あたりのスイッチング回数を減らしてスイッチングトランジスタM1のスイッチングロスを削減するとともに、同期整流トランジ

50

スタM2をオフにして、同期整流トランジスタM2のスイッチングロスを完全に無くしている。さらに、同期整流トランジスタM2をオフしたことで、インダクタ電流 I_L が不連続モードになった場合に、出力端子 V_{out} に接続されているコンデンサC1からの逆流電流を防止するようにしている。

なお、比較回路CMPの出力が反転してPFM制御に変わった後は、転流ダイオードD1によるダイオード整流方式に切り替わる。

【0008】

また、図7は、特開2000-92824号公報に開示されている例である。比較回路CMPの2つの入力はそれぞれ接地電位と、同期整流トランジスタM2とインダクタL1の交点V1に接続されている。比較回路CMPの出力はアンド回路ANDの一方の入力に接続されている。アンド回路の他方の入力スイッチングトランジスタM1のゲートに接続され、さらに制御回路10の出力に接続されている。また、アンド回路ANDの出力は同期整流トランジスタM2のゲートに接続されている。

10

【0009】

制御回路10の出力がローレベルのときは、スイッチングトランジスタM1はオン、アンド回路ANDの他方の入力ローレベルなので、アンド回路ANDの出力はローレベルとなり、同期整流トランジスタM2はオフとなる。

制御回路10の出力がハイレベルになると、スイッチングトランジスタM1はオフとなり、交点V1の電圧は接地電圧 V_{ss} 以下に下がるので、比較回路CMPの出力はハイレベルとなる。アンド回路ANDの2つの入力は両方ともハイレベルとなるので、アンド回路ANDの出力はハイレベルとなり、同期整流トランジスタM2をオンにする。

20

【0010】

スイッチングレギュレータの負荷が軽くなり、インダクタ電流 I_L が減少して不連続モードになると、制御回路10の出力がハイレベルの場合でも、出力端子 V_{out} に接続されているコンデンサC1からインダクタL1に逆向きの電流が流れ、交点V1の電圧が V_{ss} より上昇する。

その結果、比較回路CMPの出力は反転してローレベルを出力するので、アンド回路ANDの出力はローレベルとなり、同期整流トランジスタM2をオフにする。従って、コンデンサC1からの逆流が防止でき、効率の低下を防ぐことができる。

この方式は、交点V1の電圧が接地電圧 V_{ss} より上昇した場合を検出して同期整流トランジスタM2オフするため、転流ダイオードは不要となっている。

30

【0011】

この他にも、例えば特開2004-32875号公報に示された方法では、スイッチングレギュレータの出力端子に接続された負荷回路から出力される整流方式切替信号を用いて、スイッチングレギュレータの制御モードをPWMからPFMに切替えるとともに、整流方式も同期整流トランジスタをオフにして、ダイオード整流方式に切替える方法が開示されている。

【0012】

【特許文献1】特開2002-281744号公報

【特許文献2】特開2000-92824号公報

【特許文献3】特開2004-32875号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、特開2002-281744号公報に示された方法では、負荷電流 I_R を検出するため電流検出抵抗 R_3 をインダクタL1に直列に接続しているので、電流検出抵抗 R_3 で消費する電力による損失が発生する。この損失は負荷電流 I_R が少ない場合は微々たる損失であるが、負荷電流 I_R が増えるに従い増大するので定格負荷では大きな損失となる。

【0014】

50

また、特開2000-92824号公報に示された方法では、不連続モードになって、インダクタ電流 I_L が逆流を開始してから同期整流トランジスタM2をオフにしている。このため、軽負荷になっても同期整流トランジスタM2のスイッチングを行っているため、スイッチングロスが改善されていない。

【0015】

望ましいのは、同期整流トランジスタM2のスイッチングロスと、転流ダイオードD1の電圧降下による電力ロスが一致する負荷電流 I_R のところで、整流素子を同期整流トランジスタM2から、転流ダイオードD1に切替えるのが最も効率がよい。

なお、前述の特開2004-32875号公報に示された方法では、負荷回路に整流方式切替信号発生機能がないと使用できない、という問題点がある。

10

【0016】

(目的)

本発明の目的は、上述した実情を考慮してなされたものであって、スイッチングレギュレータ単体で同期整流方式とダイオード整流方式の切り替えが可能で、不連続モードにおいても逆流が発生せず、しかも軽負荷でのスイッチングロスを無くし、軽負荷時の効率を向上させることの出来るスイッチングレギュレータを提供することにある。

【課題を解決するための手段】

【0017】

上記の課題を解決するために、本発明のスイッチングレギュレータは、インダクタに流れる入力電流をオン・オフするスイッチングトランジスタ、および該スイッチングトランジスタのオン期間にオフし、オフ期間にオンとなる同期整流トランジスタを有する第1のスイッチレギュレータ方式と、該スイッチングトランジスタを共有するとともに、該スイッチングトランジスタのオフ期間に該インダクタに蓄えられたエネルギーを負荷に供給するための転流ダイオードを有する第2のスイッチレギュレータ方式とを備え、該同期整流トランジスタを制御することで、該第1のスイッチレギュレータ方式または該第2のスイッチレギュレータ方式のいずれかに切り替えて駆動することを特徴としている。

20

【0018】

さらに詳細には、入力端子と接地端子間に印加された入力直流電圧を、所定の電圧に変換して出力端子より負荷に出力するスイッチングレギュレータにおいて、インダクタと、該インダクタに流れる入力電流をオン/オフするスイッチングトランジスタと、該スイッチングトランジスタのオフ期間に、前記インダクタに蓄えられたエネルギーを負荷に供給するための転流ダイオードと、前記転流ダイオードに並列に接続され、前記スイッチングトランジスタのオン期間にオフし、オフ期間にオンとなる同期整流トランジスタと、前記出力端子の電圧に比例した電圧を出力する出力電圧検出手段と、第1の基準電圧と、前記出力電圧検出手段からの出力電圧と前記第1の基準電圧の差を増幅し、誤差電圧を出力する誤差増幅回路と、第2の基準電圧と、前記誤差電圧と前記第2の基準電圧を比較する比較回路と、前記誤差電圧および、前記比較回路の出力に応じて、前記スイッチングトランジスタと前記同期整流トランジスタのオン/オフ制御を行う制御回路を備えることを特徴としている。

30

【0019】

本発明においては、前記負荷に供給する負荷電流が所定の電流値以下になったとき、前記比較回路の出力が反転するように前記第2の基準電圧を設定し、前記比較回路の出力が反転した場合は、前記制御回路は前記同期整流トランジスタをオフにするようにしたので、負荷電流検出用の抵抗を設けることなく、負荷電流が検出できるようになり、軽負荷時は同期整流方式からダイオード整流方式に切り替え、出力端子からの逆流電流を防止でき、さらに、第2の基準電圧を調整することで、同期整流方式からダイオード整流方式に切り替わる負荷電流を調整できるため、最も効率の良い切り替わりポイントを選択できるようになった。

40

【0020】

また、スローブ補償を、インダクタに流れる電流を検出する電流検出手段の出力に対し

50

て行うようにしたので、電流モード制御を備えたスイッチングレギュレータにおいても実施可能となった。

【発明の効果】

【0021】

本発明によれば、誤差電圧の状態から負荷電流を検出するようにしたので、負荷電流検出による損失なしにスイッチングレギュレータ単体で同期整流方式とダイオード整流方式の切り替えが可能となった。

【0022】

また、第2の基準電圧を調整することで、同期整流方式とダイオード整流方式を切替える負荷電流値を任意に設定可能としたので、最も効率の良い負荷電流値において同期整流方式とダイオード整流方式の切り替えを可能とした。

10

【0023】

さらに、スロー補償をインダクタ電流検出回路に設けたため、電流モード制御のスイッチングレギュレータにも応用できるようになった。

【発明を実施するための最良の形態】

【0024】

以下、図面を参照して、本発明の実施形態を詳細に説明する。

(第1の実施例)

図1は、本発明の第1の実施例を示すスイッチングレギュレータの回路ブロック図である。

20

この回路は、降圧型スイッチングレギュレータの例である。

M1はスイッチングトランジスタ、M2は同期整流トランジスタ、D1は転流ダイオード、L1はインダクタ、C1は出力コンデンサ、R1とR2は出力電圧検出用の抵抗、1は誤差増幅回路、2は第1の基準電圧、3は比較回路、4は第2の基準電圧、10は制御回路、20は負荷である。

【0025】

スイッチングトランジスタM1はPMOSトランジスタで構成され、ゲート電圧がローレベルでオン、ハイレベルでオフとなる。同期整流トランジスタM2はNMOSトランジスタで構成され、ゲート電圧がハイレベルでオン、ローレベルでオフとなる。

制御回路10は、スイッチングトランジスタM1と同期整流トランジスタM2のオン/オフ制御を行う。スイッチングトランジスタM1がオンの期間は、同期整流トランジスタM2をオフに、スイッチングトランジスタM1がオフの期間は、同期整流トランジスタM2をオンに制御する。

30

【0026】

スイッチングトランジスタM1と同期整流トランジスタM2は直列に接続され、入力端子Vinと接地端子Vss間に接続されている。スイッチングトランジスタM1と同期整流トランジスタM2の交点LXと出力端子Vout間にはインダクタL1が接続されている。同期整流トランジスタM2と並列に転流ダイオードD1が接続されている。出力端子Voutと接地端子Vss間には出力コンデンサC1が接続されている。

さらに、出力端子Voutと接地端子Vss間には出力電圧検出抵抗R1とR2の直列回路が接続されている。

40

【0027】

誤差増幅回路1の反転入力には出力検出抵抗R1とR2の交点が接続され、非反転入力には第1の基準電圧2が接続されている。また、誤差増幅回路1の出力は比較回路3の非反転入力と制御回路10に接続されている。

比較回路3の反転入力には第2の基準電圧4が接続され、出力は制御回路10に接続されている。

【0028】

誤差増幅回路1は、出力電圧検出抵抗R1とR2の交点の電圧と第1の基準電圧2の差に応じた誤差電圧Aを出力する。誤差電圧Aは負荷電流に応じて昇降する電圧で、本実施

50

例では負荷電流が少なくなるほど低い電圧となる。

制御回路 10 は誤差電圧 A に応じてスイッチングトランジスタ M1 の駆動パルスを生成し、出力電圧を所定の電圧に制御する。

【0029】

比較回路 3 は誤差電圧 A と第 2 の基準電圧 4 を比較し、誤差電圧 A が第 2 の基準電圧 4 より低下すると反転してローレベルとなる。

制御回路 10 は、比較回路 3 の出力がローレベルになると、同期整流トランジスタ M2 のゲート電圧をローレベルにして同期整流トランジスタ M2 をオフにし、同期整流方式から転流ダイオード D1 によるダイオード整流方式に切替える。

【0030】

以上のように、負荷電流に比例した誤差電圧 A が第 2 の基準電圧 4 以下に低下したことを比較回路 3 で検出し、その結果により、同期整流方式からダイオード整流方式に切替えるようにしたので、従来例のように、電流検出抵抗 R3 による電力ロスが発生せず、また、同期整流方式とダイオード整流方式を切替える負荷電流の値は第 2 の基準電圧 4 の電圧を変更することで任意に設定することが可能となった。

【0031】

(第 2 の実施例)

図 2 は、本発明の第 2 の実施例を示すスイッチングレギュレータの構成図であって、本発明を電流モード制御のスイッチングレギュレータに応用した場合の例を示している。

電流モード制御のスイッチングレギュレータとは、通常出力電圧帰還制御に加えて、インダクタ L1 に流れる電流 IL を検出してその電流値 IL によってスイッチングトランジスタ M1 の制御を行う帰還ループを設けた制御方法である。これにより、スイッチングトランジスタ全体の安定性を増すことができる。

【0032】

図 1 の回路とは、入力端子 Vin とスイッチングトランジスタ M1 の間に電流検出抵抗 R3 が挿入されていることと、制御回路 10 の構成が異なっているので、破線内の制御回路 10 について詳しく説明を行う。

制御回路 10 は、PWM コンパレータ 11、スローブ補償回路 12、インバータ 13、RS フリップフロップ回路 14、発振回路 15、アンド回路 16 で構成されている。

【0033】

スローブ補償回路 12 は、電流検出抵抗 R3 の電圧降下を検出し、さらにハーモニック発振を防止するためのスローブ補償を行ったスローブ信号 B を出力する。なお、図 3 のスローブ信号 (B 点) に示すように、スローブ信号の傾斜はコイルと出力電圧と入力電圧で一意に決定されるため一定である。この傾きのまま、誤差増幅回路 1 の出力は減少あるいは増大する。ハーモニック発振は、この制御において、コイルのピーク電圧がノイズにより揺れた場合に発生する。ピーク電圧に位置する点は Duty を決める点であるため、傾きが小さいと、Duty の幅が一杯にずれることによりハーモニック発振が生じるので、コイルの出力電圧の傾きよりも急峻な動きを加えることで、発振を防止している。

PWM コンパレータ 11 は、誤差電圧 A とスローブ信号 B を入力して、スローブ信号 B が誤差電圧 A を超えたとき、RS フリップフロップ回路 14 をリセットする。

【0034】

発振回路 15 はクロック信号を出力し、所定の周期で RS フリップフロップ回路 14 をセットする。

RS フリップフロップ回路 16 の出力 QB は、スイッチングトランジスタ M1 のゲートと、アンド回路 16 の一方の入力に接続されている。

比較回路 3 の出力は、AND 回路 16 の他方の入力に接続されている。

【0035】

次に、図 2 の回路の動作を図 3 のタイミングチャートを参照して説明する。

発振回路 15 からクロック信号が出力されている。RS フリップフロップ回路 14 はクロック信号の立ち上がりでセットされ、出力端子 QB をローレベルにする。この信号はス

10

20

30

40

50

スイッチングトランジスタM1のゲート電圧でもあるので、スイッチングトランジスタM1はオンとなる。また、この信号はアンド回路16の一方の入力にも接続されているので、アンド回路16の出力をローレベルにする。アンド回路16の出力は同期整流トランジスタM2のゲート電圧なので、同期整流トランジスタM2をオフにする。

スイッチングトランジスタM1がオンになると、入力電圧からインダクタL1に電流ILが流れる。この電流ILは時間の経過に従い徐々に増加する。

【0036】

インダクタ電流ILが徐々に増加するので、スローブ補償回路12のスローブ信号Bも、時間の経過とともに上昇する。そして誤差電圧Aを超えるとPWMコンパレータ11の出力は反転してローレベルを出力する。この信号はインバータ13で反転され、RSフリップフロップ回路をリセットする。これにより、出力端子QBはハイレベルに反転するため、スイッチングトランジスタM1をオフにする。インダクタ電流ILが常に0より大きい連続モードの場合は、誤差電圧Aは第2の基準電圧4より高いので、比較回路3の出力はハイレベルとなっている。そのため、アンド回路16の出力もハイレベルとなって、同期整流トランジスタM2をオンにする。

10

【0037】

同期整流トランジスタM2がオンになると、インダクタL1には同期整流トランジスタM1を介して継続してインダクタ電流ILが流れるようになる。この電流は時間の経過に従い徐々に減少する。連続モードでは、インダクタ電流ILが0になる前に、発振回路15より次のクロック信号がRSフリップフロップ回路14のセット入力Sに印加されるので、再びスイッチングトランジスタM1がオンとなり、インダクタL1に電流を供給するため、インダクタ電流ILは0にならない。

20

【0038】

軽負荷になると、誤差電圧Aが低下して第2の基準電圧4以下になる。これにより、比較回路3の出力はローレベルとなり、RSフリップフロップ回路14の出力QBのレベルに関係なくアンド回路16の出力をローレベルにするので、同期整流トランジスタM2はオフ状態となる。そのため、スイッチングトランジスタM1がオフした後のインダクタ電流ILは、転流ダイオードD1を通して流れるようになる。インダクタ電流ILが0になっても、同期整流トランジスタM2はオフしているので出力コンデンサC1の電荷が逆流してしまふことが無い。

30

【0039】

以上述べたように、本発明の制御方法は、電流モード制御のスイッチングレギュレータにおいても実施可能である。

なお、電流モード制御のスイッチングレギュレータに適用する場合は、上述のようにハーモニク発振を防止するスローブ補償はインダクタL1の電流検出回路で行うことで誤差電圧Aにスローブ補償電圧が重畳されてしまうのを防ぐことが出来る。すなわち、従来の回路では、ダイオードか、あるいは同期整流トランジスタM2のいずれか一方が接続されていたため、スイッチングトランジスタM1をオフさせても、コイルの電流を同期整流トランジスタM2を介して同一方向に流そうとすることで、コイル電流が増大し、誤差電圧Aにスローブ補償電圧が重畳されてしまう場合が生じる。本実施例では、負荷が軽くなった場合には、同期整流トランジスタM2を使用せずに、転流ダイオードD1を使用して電流を逃がしている。これにより、重畳されることはない。

40

【0040】

(第3の実施例)

図8は、本発明の第3の実施例を示すスイッチングレギュレータの構成図であって、本発明を昇圧型のスイッチングレギュレータに適用した例である。

以下では、図1に示す降圧型と異なる部分だけ説明を行う。

インダクタL1とスイッチングトランジスタM1は入力端子Vinと接地端子Vss間に直列接続されている。同期整流トランジスタM2は、インダクタL1とスイッチングトランジスタM1の交点LXと出力端子Vout間に接続されている。また、転流ダイオー

50

ド D 1 は同期整流トランジスタ M 2 に並列に接続されている。

【 0 0 4 1 】

スイッチングトランジスタ M 1 は N M O S トランジスタで、同期整流トランジスタ M 2 は P M O S トランジスタで構成されている。

スイッチングトランジスタ M 1 と同期整流トランジスタ M 2 は、制御回路 1 0 により排他的にオン / オフ制御されている。

【 0 0 4 2 】

図 3 に示すように、負荷電流が減少し、誤差電圧 A が第 2 の基準電圧 (V r e f 2) より低下すると、比較回路 3 が反転し、制御回路 1 0 を介して同期整流トランジスタ M 2 をオフにする。その結果、整流方式が同期整流方式から転流ダイオード D 1 によるダイオード整流方式に切り替わる。さらに、同期整流トランジスタ M 2 がオフしたため、不連続モードにおいても出力コンデンサ C 1 からの逆流電流を防止することが出来る。

10

【 図面の簡単な説明 】

【 0 0 4 3 】

【 図 1 】 本発明の第 1 の実施例を示す降圧型スイッチングレギュレータの回路ブロック図である。

【 図 2 】 本発明の第 2 の実施例を示す電流モード制御のスイッチングレギュレータの回路ブロック図である。

【 図 3 】 図 2 に示すスイッチングレギュレータのタイミングチャートである。

【 図 4 】 従来例のスイッチングレギュレータの回路図である。

20

【 図 5 】 従来例の同期整流方式スイッチングレギュレータの回路図である。

【 図 6 】 従来例の同期整流方式スイッチングレギュレータの回路図である。

【 図 7 】 従来例の同期整流方式スイッチングレギュレータの回路図である。

【 図 8 】 本発明の第 3 の実施例を示す昇圧型スイッチングレギュレータの回路ブロック図である。

【 符号の説明 】

【 0 0 4 4 】

1 誤差増幅回路、 2 第 1 の基準電圧、 3 比較回路、 4 第 2 の基準電圧、

1 0 制御回路 1 1 P W M コンパレータ、 1 2 スローブ補償回路、

1 3 インバータ 1 4 R S フリップフロップ、 1 5 発振回路、

30

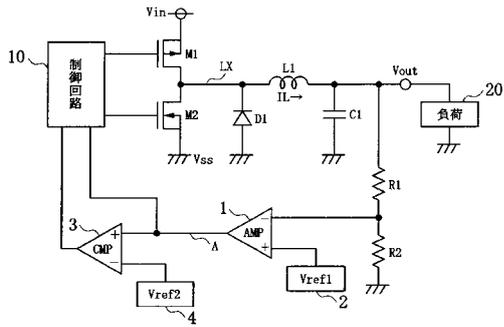
1 6 アンド回路、 2 0 負荷

M 1 スwitchングトランジスタ、 M 2 同期整流トランジスタ

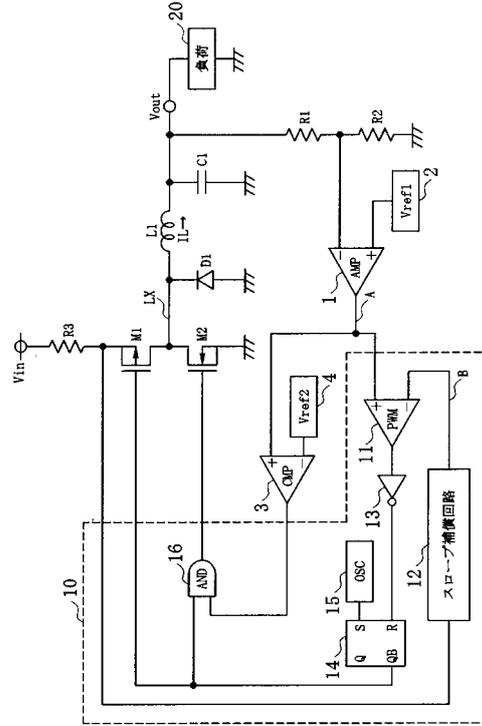
D 1 転流ダイオード、 L 1 インダクタ、 C 1 出力コンデンサ、

R 1 ~ R 3 抵抗

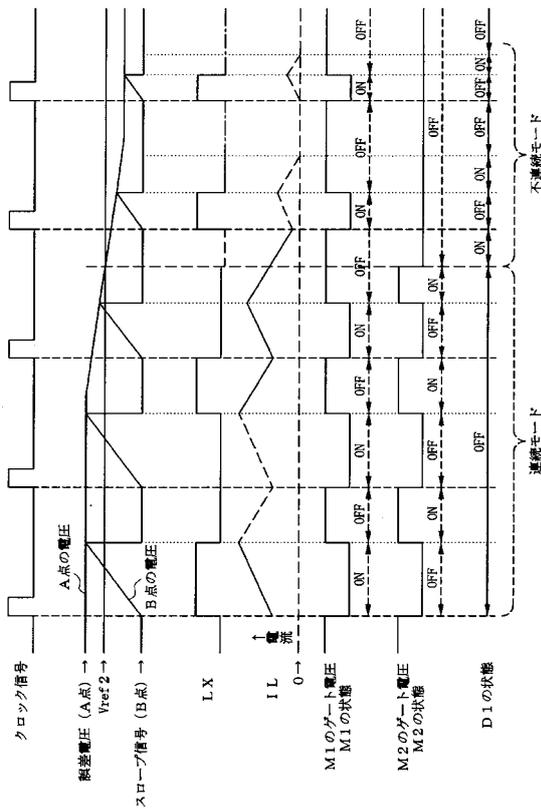
【図1】



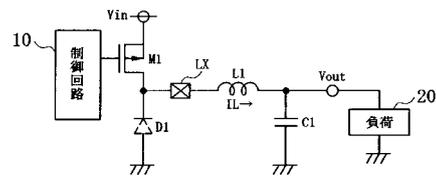
【図2】



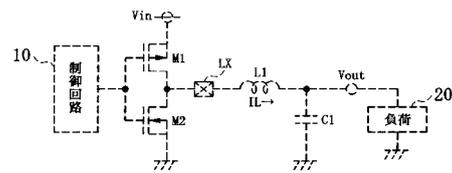
【図3】



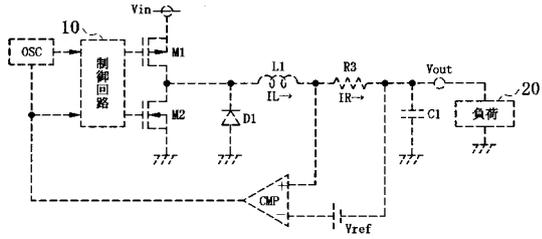
【図4】



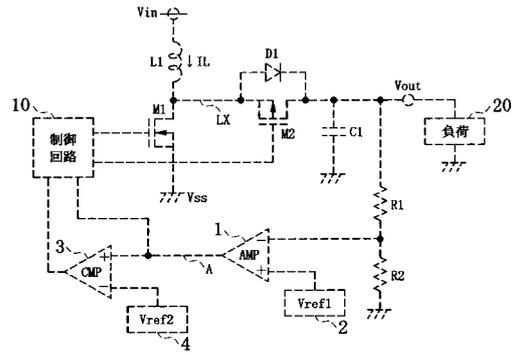
【図5】



【 図 6 】



【 図 8 】



【 図 7 】

