

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5414974号
(P5414974)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G02F 1/1343 (2006.01)	G02F 1/1343
G02F 1/1345 (2006.01)	G02F 1/1345
G02F 1/1368 (2006.01)	G02F 1/1368

請求項の数 12 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2007-5538 (P2007-5538)	(73) 特許権者	512187343
(22) 出願日	平成19年1月15日(2007.1.15)		三星ディスプレイ株式会社
(65) 公開番号	特開2007-188089 (P2007-188089A)		Samsung Display Co., Ltd.
(43) 公開日	平成19年7月26日(2007.7.26)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成22年1月12日(2010.1.12)		95, Samsung 2 Ro, Gih eung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2006-0003996	(74) 代理人	100121382
(32) 優先日	平成18年1月13日(2006.1.13)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	河 廷 勳
			大韓民国ソウル市江南区大峙洞東部セントレビルアパート103-2702
		審査官	武田 悟
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板、

前記基板の上にマトリクス状に形成された複数の画素から成り、隣接する第1の画素行と第2の画素行とを含む画素マトリクス、

前記基板の上で前記画素マトリクスの行方向に延び、前記第1の画素行に含まれる画素のいずれかに接続されている第1のゲート線、

前記基板の上で前記画素マトリクスの行方向に延び、前記第1の画素行に含まれる画素のいずれかと、前記第2の画素行に含まれる画素のいずれかと、に接続されている第2のゲート線、

前記基板の上で前記画素マトリクスの行方向に延び、前記第2の画素行に含まれる画素のいずれかに接続されている第3のゲート線、

前記第1のゲート線に接続される第1のゲート駆動部、

前記第2のゲート線に接続される第2のゲート駆動部、及び、

前記第3のゲート線に接続される第3のゲート駆動部、

を備え、

前記第1ないし第3のゲート駆動部が、水平周期の2倍に等しい期間中に、ゲートオン電圧を前記第1ないし第3のゲート線に順番に供給する、液晶表示装置。

【請求項2】

前記第1ないし第3のゲート駆動部が前記基板に集積化されている、請求項1に記載の

液晶表示装置。

【請求項 3】

前記第 1 のゲート駆動部と前記第 2 のゲート駆動部とが前記画素マトリックスの行方向で前記画素マトリックスを隔てて互いに対向している、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 1 ないし第 3 のゲート線のそれぞれに対するゲートオン電圧の印加期間が水平周期の $1/3$ 倍 ~ 1 倍ずつ互いに重なっている、請求項 1 に記載の液晶表示装置。

【請求項 5】

基板、

前記基板の上にマトリックス状に形成された複数の画素から成り、隣接する第 1 の画素行と第 2 の画素行とを含む画素マトリックス、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 1 の画素行に含まれる画素のいずれかに接続されている第 1 のゲート線、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 1 の画素行に含まれる画素のいずれかと、前記第 2 の画素行に含まれる画素のいずれかと、に接続されている第 2 のゲート線、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 2 の画素行に含まれる画素のいずれかに接続されている第 3 のゲート線、及び、

前記基板の上で前記画素マトリックスの列方向に延び、各画素にデータ電圧を供給する第 1 のデータ線と第 2 のデータ線、

を備え、

前記第 1 の画素行に含まれる 3 つの隣接する画素のうち、2 つは前記第 1 のゲート線に接続され、残り 1 つは前記第 2 のゲート線に接続され、

前記第 2 の画素行に含まれる 3 つの隣接する画素のうち、1 つは前記第 2 のゲート線に接続され、残り 2 つは前記第 3 のゲート線に接続され、

前記第 1 の画素行に含まれる 3 つの隣接する画素のうち、少なくとも 1 つは前記第 1 のデータ線に接続され、残りは前記第 2 のデータ線に接続されている、

液晶表示装置。

【請求項 6】

基板、

前記基板の上にマトリックス状に形成された複数の画素から成り、隣接する第 1 の画素行と第 2 の画素行とを含む画素マトリックス、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 1 の画素行に含まれる画素のいずれかに接続されている第 1 のゲート線、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 1 の画素行に含まれる画素のいずれかと、前記第 2 の画素行に含まれる画素のいずれかと、に接続されている第 2 のゲート線、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 2 の画素行に含まれる画素のいずれかに接続されている第 3 のゲート線、及び、

前記基板の上で前記画素マトリックスの列方向に延び、各画素にデータ電圧を供給する第 1 のデータ線と第 2 のデータ線、

を備え、

前記第 1 の画素行に含まれる 3 つの隣接する画素のうち、少なくとも 1 つは前記第 1 のデータ線に接続され、残りは前記第 2 のデータ線に接続され、

前記第 2 の画素行に含まれる 3 つの隣接する画素のうち、少なくとも 1 つは前記第 2 のデータ線に接続され、残りは前記第 1 のデータ線に接続されている、

液晶表示装置。

【請求項 7】

前記第 1 の画素行に含まれる 3 つの隣接する画素を、第 1 の画素、第 2 の画素、及び第 3 の画素、とし、

10

20

30

40

50

前記第 2 の画素行に含まれる 3 つの隣接する画素であり、前記第 1 の画素、前記第 2 の画素、及び前記第 3 の画素、のそれぞれに前記画素マトリックスの列方向で隣接する 3 つの画素を、第 4 の画素、第 5 の画素、及び第 6 の画素、とするとき、

前記第 1 の画素は前記第 1 のデータ線に接続され、第 2 の画素は前記第 2 のデータ線に接続され、前記第 3 の画素は前記第 2 のデータ線に接続され、

前記第 4 の画素は前記第 1 のデータ線に接続され、前記第 5 の画素は前記第 1 のデータ線に接続され、前記第 6 の画素は前記第 2 のデータ線に接続されている、
請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 の画素行に含まれる 3 つの隣接する画素を、第 1 の画素、第 2 の画素、及び第 3 の画素、とし、

前記第 2 の画素行に含まれる 3 つの隣接する画素であり、前記第 1 の画素、前記第 2 の画素、及び前記第 3 の画素、のそれぞれに前記画素マトリックスの列方向で隣接する 3 つの画素を、第 4 の画素、第 5 の画素、及び第 6 の画素、とするとき、

前記第 1 の画素は前記第 2 のデータ線に接続され、前記第 2 の画素は前記第 1 のデータ線に接続され、前記第 3 の画素は前記第 2 のデータ線に接続され、

前記第 4 の画素は前記第 1 のデータ線に接続され、前記第 5 の画素は前記第 2 のデータ線に接続され、前記第 6 の画素は前記第 1 のデータ線に接続されている、
請求項 6 に記載の液晶表示装置。

【請求項 9】

前記第 1 の画素行と前記第 2 の画素行とのそれぞれに含まれる 3 つの隣接する画素が、赤色画素、緑色画素、及び青色画素からなる請求項 5 または 6 に記載の液晶表示装置。

【請求項 10】

基板、

前記基板の上にマトリックス状に形成された複数の画素からなり、隣接する第 1 の画素行と第 2 の画素行とを含む画素マトリックス、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 1 の画素行に含まれる画素のいずれかに接続されている第 1 のゲート線、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 1 の画素行に含まれる画素のいずれかと、前記第 2 の画素行に含まれる画素のいずれかとに接続されている第 2 のゲート線及び、

前記基板の上で前記画素マトリックスの行方向に延び、前記第 2 の画素行に含まれる画素のいずれかに接続されている第 3 のゲート線を備えている液晶表示装置を駆動する方法であり、

ゲートオン電圧を、水平周期の 2 倍に等しい期間中に、前記第 1 ないし第 3 のゲート線に対して順番に印加する段階を含む液晶表示装置の駆動方法。

【請求項 11】

前記第 1 ないし第 3 のゲート線のそれぞれに対し、短くとも水平周期の 2 / 3 倍に等しい時間ずつゲートオン電圧を印加する請求項 10 に記載の液晶表示装置の駆動方法。

【請求項 12】

前記第 1 ないし第 3 のゲート線のそれぞれに対するゲートオン電圧の印加期間を水平周期の 1 / 3 倍 ~ 1 倍ずつ互いに重ねる請求項 10 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に液晶表示パネル上に形成された電極の構造及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置 (LCD) は、従来のブラウン管 (CRT) より小型軽量化及び大画面化

10

20

30

40

50

に優れている。それにより、液晶表示装置は特に、携帯電話、携帯情報端末（PDA）、デジタルカメラ、ビデオカメラ等の携帯用電子機器に搭載されている。液晶表示装置はその他に、デスクトップ型パソコンのモニターや大型の表示装置としても多用されている。

【0003】

液晶表示装置の各画素では、2つの電極が一定の間隔で対向し、それらの間に液晶層が挟まれている。液晶表示装置は、それら2つの電極の間に電圧を印加して液晶層に電界を生成し、更に、その電界の強度を画素ごとに調節し、液晶層を通過する光の量を画素ごとに調節する。それにより、所望の画像が画面に表示される。

【0004】

液晶に対して一方向の電界が長時間印加されると、その液晶は劣化しやすい。その劣化を防ぐために、液晶表示装置では、各画素の2つの電極間の電圧の極性を周期的に（好ましくはフレームごとに）反転させる。それにより、画質を長期間、一定のレベル以上に維持している。しかし、上記の極性反転を全ての画素で共通に行えば、画面にちらつき（フリッカ）が生じる。そこで、2つの電極間の電圧の極性を更に、画素マトリックスの行、若しくは列ごとに、または画素（ドット）ごとに反転させ、フリッカを抑えている（ライン反転駆動、列反転駆動、ドット反転駆動）。

【特許文献1】特開2002 - 62852号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ライン反転駆動、列反転駆動、及びドット反転駆動のいずれでも、消費電力の更なる削減が問題である。

反転駆動には更に次のような問題がある。画素マトリックスの行方向や列方向で隣接する画素間には一般に、電極間の電圧のキックバックや、電極間の結合容量に差がある。それらの差は、ライン反転駆動では画面上に縦縞状のムラを引き起こすおそれがあり、列反転駆動では画面上に横縞状のムラを引き起こすおそれがある。それらのムラにより、液晶表示装置の更なる高画質化が阻まれている。

そこで、本発明は、反転駆動に伴う縦縞状または横縞状のムラを低減して更なる高画質化を可能にし、かつ反転駆動に要する消費電力の更なる削減を可能にする液晶表示装置、の提供を目的とする。

【課題を解決するための手段】

【0006】

本発明による液晶表示装置は、
基板、

その基板の上にマトリックス状に形成された複数の画素から成り、隣接する第1の画素行と第2の画素行とを含む画素マトリックス、

その基板の上で画素マトリックスの行方向に延び、第1の画素行に含まれる画素のいずれかに接続されている第1のゲート線、

その基板の上で画素マトリックスの行方向に延び、第1の画素行に含まれる画素のいずれかと、第2の画素行に含まれる画素のいずれかと、に接続されている第2のゲート線、
及び、

その基板の上で画素マトリックスの行方向に延び、第2の画素行に含まれる画素のいずれかに接続されている第3のゲート線、を備えている。

【0007】

好ましくは、第1の画素行に含まれる3つの隣接する画素のうち、2つは第1のゲート線に接続され、残り1つは第2のゲート線に接続されている。一方、第2の画素行に含まれる3つの隣接する画素のうち、1つは第2のゲート線に接続され、残り2つは第3のゲート線に接続されている。ここで、それら3つの隣接する画素は好ましくは、赤色画素、緑色画素、及び青色画素から成る。

【0008】

10

20

30

40

50

好ましくは、水平周期の2倍に等しい期間中に、ゲートオン電圧が第1ないし第3のゲート線に順番に供給される。更に好ましくは、第1ないし第3のゲート線のそれぞれに対するゲートオン電圧の印加期間が水平周期の1/3倍～1倍ずつ重なっている。

【0009】

本発明による上記の液晶表示装置は好ましくは、

基板の上で画素マトリックスの列方向に延び、各画素にデータ電圧を供給する第1のデータ線と第2のデータ線、を更に備えている。その上、第1の画素行に含まれる3つの隣接する画素のうち、少なくとも1つは第1のデータ線に接続され、残りは第2のデータ線に接続されている。一方、第2の画素行に含まれる3つの隣接する画素のうち、少なくとも1つは第2のデータ線に接続され、残りは第1のデータ線に接続されている。更に好ましくは、第1の画素行に含まれる3つの隣接する画素を、第1の画素、第2の画素、及び第3の画素、とし、第2の画素行に含まれる3つの隣接する画素であり、第1の画素、第2の画素、及び第3の画素、のそれぞれに画素マトリックスの列方向で隣接する3つの画素を、第4の画素、第5の画素、及び第6の画素、とするとき、第1の画素は第1のデータ線に接続され、第2の画素は第2のデータ線に接続され、第3の画素は第2のデータ線に接続され、第4の画素は第1のデータ線に接続され、第5の画素は第1のデータ線に接続され、第6の画素は第2のデータ線に接続されている。その他に、第1の画素は第2のデータ線に接続され、第2の画素は第1のデータ線に接続され、第3の画素は第2のデータ線に接続され、第4の画素は第1のデータ線に接続され、第5の画素は第2のデータ線に接続され、第6の画素は第1のデータ線に接続されていても良い。

【発明の効果】

【0010】

本発明による液晶表示装置では、隣接する2つの画素行ごとに3本のゲート線が設けられ、特にそのうちの1本が、各画素行に含まれる画素のいずれかに接続されている。すなわち、隣接する2つの画素行ではいずれかの画素が同じゲート線に接続され、同じゲートオン電圧で同時に駆動される。好ましくは、ゲートオン電圧が、隣接する2つの画素行の一方に含まれる画素にのみ接続されたゲート線、各画素行に含まれる画素に接続されたゲート線、及びそれら2つの画素行の他方に含まれる画素にのみ接続されたゲート線の順に印加される。特に、各ゲート線に対するゲートオン電圧の印加期間が、水平周期の2/3倍ずつに設定される。このように、隣接する2つの画素行の一方に対してのみゲートオン電圧が印加される期間と、他方に対してのみゲートオン電圧が印加される期間との間に、各画素行に含まれる画素に対してゲートオン電圧が同時に印加される期間が設けられている。従って、本発明による液晶表示装置が反転駆動を行う場合、従来の表示装置での反転駆動とは異なり、隣接する2つの画素行では一部の画素でキックバックが同時に生じる。その結果、ライン反転駆動では画素マトリックスの列方向に延びる縞状のムラが低減し、列反転駆動では画素マトリックスの行方向に延びる縞状のムラが低減する。それに加え、各画素行に含まれる各画素に対し、極性の異なるデータ電圧を異なるタイミングで印加することができる。それにより、画素間での画素電圧の差が抑えられるので、漏れ電流等に起因する消費電力が削減される。

【0011】

更に好ましくは、上記3本のゲート線に対するゲートオン電圧の印加期間が互いに重ねられている。それにより、各画素に対するデータ電圧の印加時間を十分に長く確保できる。従って、データ電圧の印加開始から各画素の電極間電圧(画素電圧)が目標値に達するまでの時間を十分に確保したまま、各画素に含まれる維持キャパシタの容量を十分に大きくできる。その結果、画素電圧に対するキックバックの影響を低減できる。こうして、上記の縞状のムラを更に効果的に防ぐことができる。

【0012】

本発明による液晶表示装置はその他に、隣接する2つの画素行当たり3本のゲート線と、隣接する3つの画素列当たり2本のデータ線とを用い、ドット反転駆動を実現できる。従って、従来の表示装置でのドット反転駆動(特に、各画素行にゲート線が2本ずつ付設

10

20

30

40

50

され、各画素列にデータ線が2本ずつ付設される場合)と比べ、ゲート線の総数を3/4倍に削減でき、データ線の総数を1/3倍に削減できる。従って、本発明による液晶表示装置では、表示パネル上の回路設計の柔軟性を更に高めることができ、且つ各画素の開口率を更に高めることができる。また、ゲート線及びデータ線の各総数の削減により、それらの駆動ICの個数が削減可能であるので、液晶表示装置の製造コストを削減できる。その上、駆動ICの個数の減少に伴い、特にゲート線の駆動回路を集積化可能な表示パネル上の面積が増大する。従って、表示パネル上に回路を集積化する工程では十分なマージンが確保され得るので、その工程を更に簡単化でき、且つその工程の信頼性を更に向上できる。

【0013】

以上の通り、本発明による液晶表示装置は、ゲート線、データ線、及び画素の配置を工夫することにより、反転駆動に起因する画素間での輝度のムラを防ぎ、更なる高画質化を実現できる。更に、反転駆動に伴う消費電力を削減できる。

【発明を実施するための最良の形態】

【0014】

以下、添付された図面を参照しながら、本発明の好適な実施形態について詳細に説明する。

図1に示されているように、本発明の第1の実施形態による液晶表示装置は、液晶表示パネルアセンブリ300、ゲート駆動部400L、400R、データ駆動部500、階調電圧生成部800、及び、信号制御部600を備えている。

【0015】

液晶表示パネルアセンブリ300は、複数の表示信号線D1~Dm、G1~Gnと、マトリックス状に配列された複数の画素Pとを備えている。

表示信号線は、ゲート信号(「走査信号」とも呼ばれる。)を供給する複数のゲート線G1~Gnと、データ電圧を供給するデータ線D1~Dmと、を含む。ゲート線G1~Gnは、互いに平行に、画素マトリックスの行方向に延びている。データ線D1~Dmは、互いに平行に、画素マトリックスの列方向に延びている。

【0016】

各画素Pは、図2に示されているように、ゲート線の一つGi(i=1、...、n)とデータ線の一つDj(j=1、...、m)とに接続されたスイッチング素子T、液晶キャパシタC_{lc}、及び維持キャパシタC_{st}を備えている。尚、維持キャパシタC_{st}は必要に応じて省略可能である。スイッチング素子Tは好ましくは下部表示パネル100に設けられた3端子素子である。スイッチング素子Tの制御端子はゲート線Giに接続され、入力端子はデータ線Djに接続され、出力端子は液晶キャパシタC_{lc}及び維持キャパシタC_{st}に接続されている。

【0017】

液晶キャパシタC_{lc}は、下部表示パネル100の画素電極190と上部表示パネル200の共通電極270とを2つの端子として含む。更に、2つの電極190、270の間の液晶層3が誘電体として機能する。画素電極190はスイッチング素子Tに接続され、スイッチング素子Tを通してデータ線Djからデータ電圧を受ける。共通電極270は上部表示パネル200の全面にわたって形成され、外部から共通電圧V_{com}を受ける。尚、図2とは異なり、共通電極270が下部表示パネル100に設けられていても良い。その場合、両電極190、270は共に、線形または棒状に形成される。

維持キャパシタC_{st}は、下部表示パネル100に設けられた別の信号線(維持電極線。図示せず)と画素電極190との重なり部分から形成されている。尚、維持電極線に対しては、共通電圧V_{com}などの所定の電圧が外部から印加される。

【0018】

カラー表示を実現する方式には、各画素に3原色のいずれか1色を表示させる空間分割方式と、各画素に3原色の各色を時間的に交互に表示させる時間分割方式とが知られている。3原色の空間的分布、または時間的な変化により、所望のカラー画像が画面に表示される。図2は空間分割方式の一例であり、各画素が、画素電極190と対応する上部表示パネル200の領域にカラーフィルター230を備えている。尚、図2の構造の他に、カラーフィル

10

20

30

40

50

ター230が下部表示パネル100の画素電極190の上または下に形成されていても良い。カラーフィルタ230の色は好ましくは、赤R、緑G、青Bのいずれかである。以下、各画素を、それに含まれるカラーフィルタ230の色別に、赤色画素、緑色画素、及び青色画素と称する。

【0019】

2枚の表示パネル100、200の少なくとも一方の外面には偏光子（図示せず）が設けられている。また、その偏光子と表示パネル100、200との間に補償板（図示せず）が設置され、液晶層3の屈折率の異方性に起因する透過光の偏光状態の変動が補償されても良い。

また、上部表示パネル200にはブラックマトリクスが形成され、画素間から漏れる光を遮っていても良い。それにより、画面の視認性が高められている。

10

【0020】

階調電圧生成部800は複数の階調電圧を生成する。好ましくは階調電圧が2組生成され、一方は共通電圧Vcomに対して正の値から成り、他方は負の値から成る。

データ駆動部500は、信号制御部600、液晶表示パネルアセンブリ300のデータ線D1～Dm、及び階調電圧生成部800に接続されている。データ駆動部500は、信号制御部600からの映像データDATに基づいて階調電圧生成部800からの階調電圧のいずれかを選択し、選択された階調電圧をデータ電圧として、信号制御部600からのデータ制御信号CONT1の示すタイミングで、目標のデータ線D1～Dmに対して印加する。

【0021】

一对のゲート駆動部400L、400Rは、画素マトリクスを隔てて液晶表示パネルアセンブリ300の両側に配置されている。尚、一对のゲート駆動部400L、400Rが液晶表示パネルアセンブリ300の同じ側に配置されていても良い。各ゲート駆動部400L、400Rは、信号制御部600、液晶表示パネルアセンブリ300のゲート線G1～Gn、及び電源（図示せず）に接続されている。ここで、隣接する3本のゲート線の各組G1～G3、…、Gn-2～Gnでは、両端の2本G1、G3、…、Gn-2、Gnが第1のゲート駆動部400Lに接続され、真ん中の1本G2、…、Gn-1が第2のゲート駆動部400Rに接続されている。その他に、第1のゲート駆動部400Lが更に2つの駆動部（第1のゲート駆動部と第3のゲート駆動部）に分割され、第1のゲート駆動部にゲート線の各組の一本G1、…、Gn-2が接続され、第3のゲート駆動部にゲート線の各組の残りの一本G3、…、Gnが接続されていても良い。各ゲート駆動部400L、400Rは、外部の電源からゲートオン電圧Von及びゲートオフ電圧Voffを受け、それらのい

20

30

【0022】

ゲート駆動部400L、400R、及びデータ駆動部500は好ましくは複数のICチップに集積され、TCP（tape carrier package）（図示せず）で液晶表示パネルアセンブリ300に実装される。その他に、表示パネルのガラス基板の上に上記のチップが直接実装されていても良い（COG（chip on glass））。更に、それらのチップと同等な回路が、各画素の積層構造と一緒に、液晶表示パネルアセンブリ300に直接形成されていても良い。

【0023】

信号制御部600は、外部のグラフィックコントローラ（図示せず）から、入力映像信号R、G、B、及び入力制御信号（例えば、垂直同期信号Vsync、水平同期信号Hsync、メインクロックCLK、データイネーブル信号DEなど）を受信する。信号制御部600は、受信された入力映像信号R、G、Bを液晶表示パネルアセンブリ300の動作条件に合わせて適切に処理し、映像データDATを生成する。ここで、入力映像信号R、G、Bの処理には、液晶表示パネルアセンブリ300の画素配列に合わせて入力映像信号R、G、Bを再配列する動作が含まれる。一方、信号制御部600は入力制御信号に基づき、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成する。ゲート制御信号CONT1はゲート駆動部400L、400Rに送られ、データ制御信号CONT2はデータ駆動部500に送られる。ゲート制御信号CONT1は、ゲートオン電圧Vonの出力開始を指示する垂直同期開始信号、ゲートオン電圧Vonの出力時期を制御するゲートクロック信号、及びゲートオン電圧Vonの持続時間を限定する出力イネーブル信号など

40

50

を含む。データ制御信号CONT2は、映像データDATの送信開始を知らせる水平同期開始信号、データ線D1～Dmへのデータ電圧の印加を指示するロード信号、共通電圧Vcomに対するデータ電圧の極性（以下、単にデータ電圧の極性と略す。）の反転を指示する反転信号、及びデータクロック信号などを含む。

【0024】

以下では、ゲート線、データ線、及び画素の配置について図3を参照しながら説明する。

隣接する3本のゲート線の組G1～G3、G4～G6はそれぞれ、隣接する2つの画素行のそれぞれに対応づけられている。各ゲート線は各画素行の間に配置され、各画素のスイッチング素子（薄膜トランジスタ）Tに接続されている。一方、隣接する一对のデータ線D1とD2、D3とD4、D5とD6はそれぞれ、隣接する3つの画素列のそれぞれに対応づけられている。各データ線は各画素列の間に配置され、各画素の薄膜トランジスタTに接続されている。

【0025】

複数の画素は、行方向で隣接する3つの画素R、G、Bから成る画素群に分けられている。好ましくは、それら3つの画素が、赤色画素R、緑色画素G、及び青色画素Bである。更に好ましくは、各画素が同じ面積である。各画素群は更に列方向に揃えられ、上記一对のデータ線（D1とD2、D3とD4、D5とD6）の間に挟まれている。各画素群の外側の画素R、Bはそれぞれ、直近のデータ線に接続されている。各画素群の中心の画素Gは、画素行ごとに反対側のデータ線に接続されている。図3では、隣接する2つの画素行のうち、上側の画素行に含まれる各画素群の中心の画素Gは、その画素群を挟んで対向する一对のデータ線のうち、右側の一つ（第2のデータ線D2、D4、D6）に接続されている。一方、下側の画素行に含まれる各画素群の中心の画素Gは、上記一对のデータ線のうち、左側の一つ（第1のデータ線D1、D3、D5）に接続されている。

【0026】

列方向で隣接する2つの画素群はそれぞれ、上記3本のゲート線のうち、外側の2本の間（すなわち、第1のゲート線G1、G4と第3のゲート線G3、G6との間）に挟まれている。更に、それら2つの画素群の間に、上記3本のゲート線の真ん中の1本（第2のゲート線G2、G5）が延びている。図3では、第1のゲート線G1、G4は、直下の画素行に含まれる各画素群の外側に位置する2つの画素（第1の画素R1、第3の画素B3）の各薄膜トランジスタTに接続されている。第2のゲート線G2、G5は、上下2つの画素行のそれぞれに含まれる各画素群の真ん中に位置する画素（第2の画素G2、第5の画素G5）の薄膜トランジスタに接続されている。第3のゲート線G3、G6は、直上の画素行に含まれる各画素群の外側に位置する2つの画素（第4の画素R4、第6の画素B6）に接続されている。

【0027】

このように、本発明の第1の実施形態による液晶表示装置では、行方向で隣接する3つの画素R、G、Bが一つの画素群を構成し、列方向で隣接する2つの画素群（図3に示されている点線で囲まれた部分）が一つのブロックを構成している。更に、合計で6つの画素R1、G2、B3、R4、G5、B6から成るそのブロックが複数個、マトリクス状に配列されている。

【0028】

尚、各ブロックに含まれる6つの画素と第1ないし第3のゲート線との間の接続、及び、それら6つの画素と第1のデータ線または第2のデータ線との間の接続はその他にも変更可能である。すなわち、第1のデータ線と第2のデータ線とのそれぞれに、各ブロックに含まれる6つの画素が半分ずつ接続され、第1ないし第3のゲート線のそれぞれに1/3ずつ接続されていれば良い。例えば、各ブロックに含まれる二つの画素群の真ん中の画素（第2の画素と第5の画素）がそれぞれ、図3に示されているデータ線とは反対側のデータ線に接続されていても良い。すなわち、第2の画素G2が第1のデータ線D1に接続され、第5の画素G5が第2のデータ線D2に接続されていても良い。

【0029】

上記の配置は、各画素列にデータ線を2本ずつ付設する従来の表示装置と比べ、データ

10

20

30

40

50

線の総数を1/3に削減できる。その結果、データ駆動ICの個数を削減できる。上記の配置は更に、各画素行にゲート線を2本ずつ付設する従来の表示装置と比べ、ゲート線の総数を3/4に削減できる。その結果、ゲート駆動ICの個数を削減できる。データ線やゲート線の総数の削減は更に、各画素の開口率を高める。一方、ゲート駆動回路（例えばシフトレジスタ）の面積が減る（特に第1のゲート駆動部400Lでは2/3に減る）ので、表示パネル上ではゲート駆動回路領域のマージンが拡大可能である。

【0030】

以下、液晶表示パネルアセンブリに含まれる下部表示パネル100の構造の詳細について図4、5を参照しながら説明する。

下部表示パネル100は薄膜トランジスタ表示パネルである。下部表示パネル100では、透明なガラスなどの絶縁基板110の上にゲート線121a、121b、121cが形成されている。特に、図4に示されている3本のゲート線121a、121b、121cが上記の第1ないし第3のゲート線の組を構成している。尚、複数の維持電極線がゲート線と一緒に、絶縁基板110の上に形成されていても良い。各ゲート線121a、121b、121cの一部は各画素の付近で列方向に突出し、ゲート電極124を成す。

【0031】

ゲート線121a、121b、121cの上にはゲート絶縁膜140が形成されている。ゲート絶縁膜140は好ましくは酸化膜や窒化膜を含む。ゲート絶縁膜140の上には、シリコン膜を含む活性層151が形成されている。活性層151の上には、シリサイド、または、不純物がドーパされたシリコン膜、を含むオーミックコンタクト層161が形成されている。

【0032】

オーミックコンタクト層161の上にはドレイン電極175とデータ線171a、171bとが形成されている。各データ線171a、171bの一部は各画素の付近で行方向に延び、ソース電極174を形成している。特に、図4に示されている2本のデータ線171a、171bが、上記の第1のデータ線と第2のデータ線との対を構成している。ソース電極174とドレイン電極175とは、ゲート電極124の上方で、所定の距離を隔てて対向している。ゲート電極124、ソース電極174、ドレイン電極175、及びそれらの間に挟まれた活性層151の部分が一つの薄膜トランジスタを構成し、上記のスイッチング素子Tとして利用される。その薄膜トランジスタのチャンネルは、ソース電極174とドレイン電極175との間に挟まれた活性層151の部分に形成される。

【0033】

ゲート電極124、ソース電極174、及びドレイン電極175の上には保護膜180が形成されている。各画素を覆う保護膜180の部分にはコンタクトホール181が形成され、そこからドレイン電極175が露出している。

各画素を覆う保護膜180の上には画素電極190が一つずつ形成されている。画素電極190は好ましくは、インジウム錫酸化物（ITO）またはインジウム亜鉛酸化物（IZO）から成る。画素電極190はコンタクトホール181を介してドレイン電極175と物理的・電氣的に接続されている。従って、薄膜トランジスタがターンオンするとき、画素電極190に対してドレイン電極175からデータ電圧が印加される。そのとき、画素電極190と図2に示されている共通電極270との間には電場が生成され、それにより、それら2つの電極190、270間に挟まれた液晶層3では液晶分子の配向方向が変化する。

画素電極190の上には更に配向膜（図示せず）が塗布されている。

【0034】

尚、ゲート線121a、121b、121c、データ線171a、171b、ソース電極174、及びドレイン電極175は好ましくは、Cr、Mo、W、Cr/Al、Cu、Al(Nd)、Mo/Al、Mo/Al(Nd)、及びCr/Al(Nd)の少なくともいずれかを含む。

【0035】

図1に示されている液晶表示装置は以下のように動作する。

まず、信号制御部600が、外部のグラフィックコントローラ（図示せず）から入力映像信号R、G、B及び入力制御信号を受信する。信号制御部600は入力映像信号R、G、Bを映像

10

20

30

40

50

データDATに変換し、ゲート制御信号CONT1及びデータ制御信号CONT2を生成する。映像データDATとゲート制御信号CONT1とはゲート駆動部400L、400Rに送られ、データ制御信号CONT2はデータ駆動部500に送られる。

【0036】

データ駆動部500はデータ制御信号CONT2に従い、各画素行に対する映像データDATを半ずつ順番に受信する。データ駆動部500は続いて、階調電圧生成部800により生成された階調電圧の中から、映像データDATに対応する階調電圧を選択し、データ電圧として目標のデータ線D1 - Dmに対し、データ制御信号CONT2の示すタイミングで印加する。

【0037】

ゲート駆動部400L、400Rはゲート制御信号CONT1に従い、ゲートオン電圧Vonをゲート線G1 ~ Gnに対して順番に印加する。それにより、各ゲート線G1 ~ Gnに接続されたスイッチング素子Tがターンオンする。更に、そのスイッチング素子Tに接続されたデータ線D1 ~ Dmからデータ電圧が、ターンオンしたスイッチング素子Tを介してその画素の画素電極190に対して印加される。そのデータ電圧と共通電圧Vcomとの間の差が、液晶キャパシタC1cの両端電圧、すなわち、画素電圧として現れる。画素電極190と共通電極270との間の液晶層3では、液晶分子の配向方向が画素電圧に応じて変化する。それに伴い、液晶層3を通過する光の偏光方向が変化する。この偏光方向の変化が、表示パネル100、200に設置された偏光子（図示せず）によって、各画素の透過率の変化として現れる。

【0038】

好ましくは、水平周期の2/3倍に等しい周期で、データ駆動部500とゲート駆動部400L、400Rとが上記の動作を繰り返す。それにより、1フレーム中に全てのゲート線に対して順番にゲートオン電圧を印加し、全ての画素に対してデータ電圧を印加する。更に、次のフレームでは、データ駆動部500に対する反転信号の状態が制御され、各画素に対して印加されるデータ電圧の極性が直前のフレームでの極性から反転する（フレーム反転駆動）。更に、同じフレーム内でも、データ電圧の極性が、画素列ごとに、画素行ごとに、または画素ごとに反転する（列反転駆動、ライン反転駆動、ドット反転駆動）。

【0039】

以下、第1の実施形態による列反転駆動について、図6、7を参照しながら説明する。

図6に示されているように、第1のデータ線と第2のデータ線との間ではデータ電圧の極性が反対である。従って、それら一対のデータ線の間には挟まれた画素群R、G、Bでは、外側の画素（第1の画素R、第3の画素B）に対するデータ電圧の極性が反対である。一方、列方向では、第1の画素Rに対するデータ電圧の極性が等しく、第3の画素Bに対するデータ電圧の極性が等しい。こうして、列反転駆動が実現する。更に、第1のゲート線G1と第3のゲート線G3とに挟まれた2つの画素群では、中央の画素（第2の画素）Gに対するデータ電圧の極性が反対である。すなわち、第2の画素から成る画素列では、データ電圧の極性が画素ごとに反転する。

【0040】

図7に示されているように、第1ないし第3のゲート線G1、G2、G3のそれぞれに対してはゲートオン電圧が、連続する2つの水平期間（1H）中に、水平周期の2/3倍に等しい時間（2/3H）ずつ順番に印加される。図7では、第1のゲート線G1、第2のゲート線G2、及び第3のゲート線G3の順にゲートオン電圧が印加される。尚、ゲートオン電圧がそれら3本のゲート線G1、G2、G3に対し、異なる順番で印加されても良い。更に、ゲートオン電圧の印加されるゲート線が切り換えられるごとに、データ電圧が切り換えられる。

【0041】

最初の2/3H中に第1のゲート線G1に対してゲートオン電圧が印加されると、第1のゲート線G1に接続された第1の画素R及び第3の画素Bにデータ電圧が供給される（図6参照）。2番目の2/3H中に第2のゲート線G2にゲートオン電圧が印加されると、第2のゲート線G2に接続された第2の画素G及び第5の画素Gにデータ電圧が供給される。3番目の2/3H中に第3のゲート線G3に対してゲートオン電圧が印加されると、第3のゲート線G3に接続された第4の画素R及び第6の画素Bにデータ電圧が供給される。このように、隣接す

10

20

30

40

50

る2つの画素行の一方に対してのみゲートオン電圧が印加される期間と、他方に対してのみゲートオン電圧が印加される期間との間に、各画素行に含まれる画素に対してゲートオン電圧が同時に印加される期間が設けられている。それにより、隣接する2つの画素行では一部の画素でキックバックが同時に生じる。その結果、列反転駆動では行方向に延びる縞状のムラが低減する。

【0042】

図7では、第1ないし第3のゲート線に対するゲートオン電圧の印加期間が互いにずれている。それにより、画素間での画素電圧の差が抑えられるので、漏れ電流等に起因する消費電力が削減される。

その他に、図7とは異なり、第1ないし第3のゲート線に対するゲートオン電圧の印加期間を互いに重ねても良い(図示せず)。好ましくは、その重複期間の長さが $1/3H \sim 1H$ である。それにより、その重複期間中に各画素の液晶キャパシタ(及び維持キャパシタ)を予備充電できる。従って、ゲートオン電圧の印加期間中に画素電圧を目標のレベルまで確実に到達させることができる。その結果、キックバックの影響が弱められるので、列反転駆動では行方向に延びる縞状のムラが発生しない。

【0043】

以下、図8、9、10を参照しながら、本発明の第2の実施形態による液晶表示装置を説明する。尚、第1の実施形態と同様な部分については、上述の説明を援用する。

図8に示されているように、第2の実施形態による液晶表示装置では、第1の実施形態による液晶表示装置とは異なり、ゲート駆動部400が液晶表示パネルアセンブリ300の片側だけに設けられている。従って、全てのゲート線 $G1 \sim Gn$ が同じゲート駆動部400に接続されている。

【0044】

第2の実施形態では更に、第1の実施形態とは、一つのブロックを構成する6つの画素と一組のゲート線 $G1 \sim G3$ との間の接続、及び、それら6つの画素と一対のデータ線 $D1$ 、 $D2$ との間の接続がいずれも異なる。

図9では、第1のゲート線 $G1$ 、 $G4$ は、直下の画素群の真ん中に位置する第2の画素 $G2$ と、右端に位置する第3の画素 $B3$ とに接続されている。第2のゲート線 $G2$ 、 $G5$ は、直上の画素群の左端に位置する第1の画素 $R1$ と、直下の画素群の右端に位置する第6の画素 $B6$ とに接続されている。第3のゲート線 $G3$ 、 $G6$ は、直下の画素群の左端に位置する第4の画素 $R4$ と、真ん中に位置する第5の画素 $G5$ とに接続されている。

一方、第1のデータ線 $D1$ は、第2の画素 $G2$ 、第4の画素 $R4$ 、及び第6の画素 $G6$ に接続されている。第2のデータ線 $D2$ は、第1の画素 $R1$ 、第3の画素 $B3$ 、及び第5の画素 $G5$ に接続されている。

【0045】

その他に、例えば、第1の画素 $R1$ が第1のゲート線 $G1$ と第1のデータ線 $D1$ とに接続され、第2の画素 $G2$ が第1のゲート線 $G1$ と第2のデータ線 $D2$ とに接続され、第3の画素 $B3$ が第2のゲート線 $G2$ と第1のデータ線 $D1$ とに接続されていても良い。更に、第4の画素 $R4$ が第3のゲート線 $G3$ と第2のデータ線 $D2$ とに接続され、第5の画素 $G5$ が第2のゲート線 $G2$ と第1のデータ線 $D1$ とに接続され、第6の画素 $B6$ が第2のゲート線 $G2$ と第2のデータ線 $D2$ とに接続されていても良い。

【0046】

第2の実施形態による液晶表示装置は、ドット反転駆動、列反転駆動、ライン反転駆動及びフレーム反転駆動を実現可能である。以下、ライン反転駆動について図10を参照しながら説明する。

第2の実施形態によるライン反転駆動では、列方向だけでなく行方向でも画素ごとにデータ電圧が反転し、実質的にはドット反転駆動と等価である。例えば図9に示されているように、画素とデータ線との間、及び画素とゲート線との間が接続されている場合は下記の通りである。第1のゲート線 $G1$ に対してゲートオン電圧が印加されると、第1のゲート線 $G1$ に接続された第2の画素 $G2$ に対しては第1のデータ線 $D1$ から正(+)のデータ電圧が

10

20

30

40

50

印加され、第3の画素B3に対しては第2のデータ線D2から負(-)のデータ電圧が印加される。続いて、第2のゲート線G2に対してゲートオン電圧が印加されると、第2のゲート線G2に接続された第1の画素R1に対しては第2のデータ線D2から負(-)のデータ電圧が印加され、第6の画素B6に対しては第1のデータ線D1から正(+)のデータ電圧が印加される。更に、第3のゲート線G3に対してゲートオン電圧が印加されると、第3のゲート線G3に接続された第4の画素R4に対しては第1のデータ線D1から正(+)のデータ電圧が印加され、第5の画素G5に対しては第2のデータ線D2から負(-)のデータ電圧が印加される。

【0047】

このように、データ電圧の極性が列方向と行方向との両方で画素ごとに反転する。更に、6つの画素R1、G2、B3、R4、G5、B6で構成される一つのブロックに対しては、正負両極性のデータ電圧が常に同時に印加される。それにより、各ブロック内では各画素で生じるキックバックの影響が相殺されるので、画素電圧の差に起因する画素間での輝度ムラが抑えられる。

10

【0048】

以上、本発明の好ましい実施形態による液晶表示装置について説明した。しかし、これらは単なる例示に過ぎず、本発明の技術的範囲はそれらには限定されない。実際、当業者であれば、特許請求の範囲において請求されている本発明の要旨を逸脱することなく、種々の変更が可能であろう。従って、それらの変更も当然に、本発明の技術的範囲に属すると解されるべきである。

20

【図面の簡単な説明】

【0049】

【図1】本発明の第1の実施形態による液晶表示装置のブロック図

【図2】本発明の第1の実施形態による液晶表示装置に含まれる一つの画素の構成を示す模式図

【図3】本発明の第1の実施形態による液晶表示装置に含まれる画素マトリックスを模式的に示す平面図

【図4】本発明の第1の実施形態による薄膜トランジスタ表示パネルに含まれる1ブロックの平面図

【図5】図4に示されている直線A-Aに沿った断面図

30

【図6】図3に示されている画素マトリックスについて、ライン反転駆動時でのデータ電圧の極性の分布を示す平面図

【図7】本発明の第1の実施形態による液晶表示装置で使用されるゲートオン電圧の波形図

【図8】本発明の第2の実施形態による液晶表示装置のブロック図

【図9】本発明の第2の実施形態による液晶表示装置に含まれる画素マトリックスを模式的に示す平面図

【図10】図9に示されている画素マトリックスについて、ライン反転駆動時でのデータ電圧の極性の分布を示す平面図

【符号の説明】

40

【0050】

100：下部表示パネル（薄膜トランジスタ表示パネル）

200：上部表示パネル

300：液晶表示パネルアセンブリ

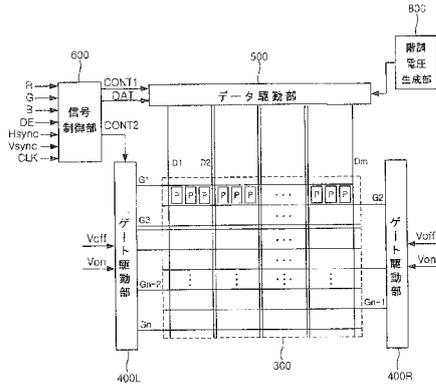
400：ゲート駆動部

500：データ駆動部

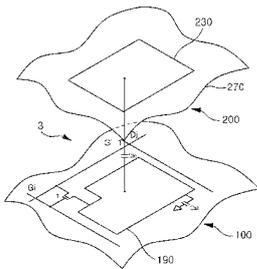
600：信号制御部

800：階調電圧生成部

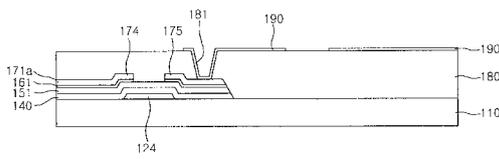
【図1】



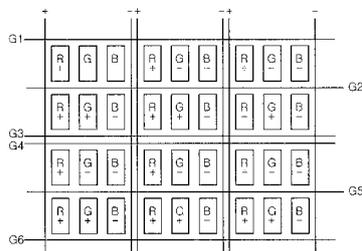
【図2】



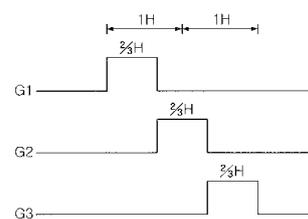
【図5】



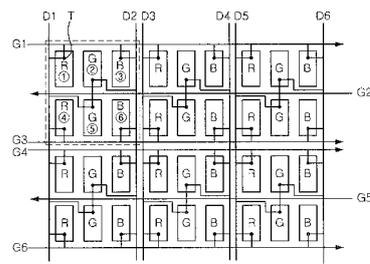
【図6】



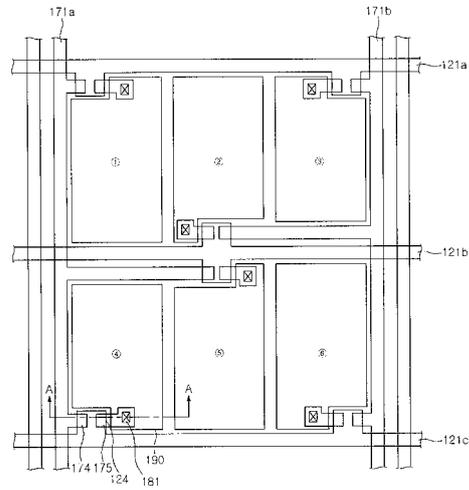
【図7】



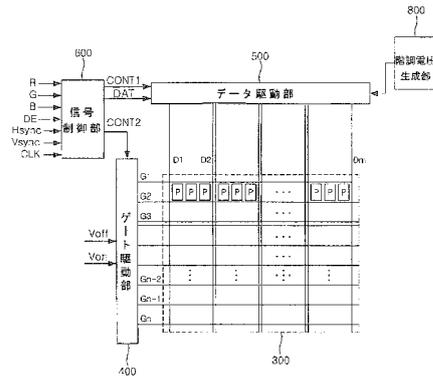
【図3】



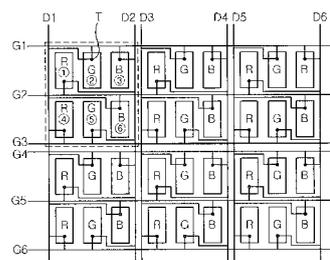
【図4】



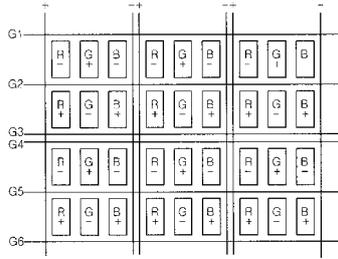
【図8】



【図9】



【 10】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 (2006.01) G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 4 2 A

(56)参考文献 特開平5 - 1 3 4 6 2 9 (J P , A)
特開昭6 2 - 2 0 8 0 2 5 (J P , A)
特開平2 - 4 2 4 2 0 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 - 1 / 1 3 6 8