



## 【特許請求の範囲】

## 【請求項 1】

高濃度の一導電型半導体基板に一導電型半導体層を積層した基板と、  
前記一導電型半導体層に互いに離間して設けられた複数の逆導電型半導体領域と、  
前記基板の一主面に設けられた絶縁膜と、  
該絶縁膜に設けられ前記逆導電型半導体領域が露出する開口部と、  
前記絶縁膜上に設けられ、前記開口部を介して前記逆導電型半導体領域とコンタクトする金属層と、  
を具備することを特徴とするダイオード。

## 【請求項 2】

前記逆導電型半導体領域の不純物の電荷量は、前記半導体層の不純物の電荷量の 1 倍 ~ 2 倍であることを特徴とする請求項 1 に記載のダイオード。

## 【請求項 3】

前記金属層は、前記逆導電型半導体領域とオーミック接合することを特徴とする請求項 1 に記載のダイオード。

## 【請求項 4】

隣り合う前記逆導電型半導体領域間の前記半導体層の表面は前記絶縁膜により被覆されることを特徴とする請求項 1 に記載のダイオード。

## 【請求項 5】

高濃度の一導電型半導体基板に一導電型半導体層を積層した基板と、  
前記一導電型半導体層に互いに離間して設けられた複数の逆導電型半導体領域と、  
前記基板の第 1 主面に設けられた第 1 絶縁膜と、  
該第 1 絶縁膜に設けられ前記逆導電型半導体領域が露出する第 1 開口部と、  
前記第 1 絶縁膜上に設けられ、前記第 1 開口部を介して前記逆導電型半導体領域とコンタクトする第 1 金属層と、  
前記基板の第 2 主面に設けられた第 2 絶縁膜と、  
該第 2 絶縁膜に選択的に設けられた複数の第 2 開口部と、  
前記第 2 絶縁膜を覆って設けられ前記第 2 開口部を介して前記第 2 主面とコンタクトする第 2 金属層と、  
を具備することを特徴とするダイオード。

## 【請求項 6】

前記第 2 開口部の面積は、前記第 2 主面に対して 35% ~ 80% であることを特徴とする請求項 5 に記載のダイオード。

## 【請求項 7】

前記第 2 開口部は、均等な形状を有し互いに均等な距離で離間して設けられることを特徴とする請求項 5 に記載のダイオード。

## 【請求項 8】

前記第 2 開口部は、正六角形状であることを特徴とする請求項 5 に記載のダイオード。

## 【請求項 9】

前記逆導電型半導体領域の不純物の電荷量は、前記半導体層の不純物の電荷量の 1 倍 ~ 2 倍であることを特徴とする請求項 5 に記載のダイオード。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ダイオードに関し、特にリーク電流の低減と、スイッチングタイムの高速化を実現したダイオードに関する。

## 【背景技術】

## 【0002】

ダイオードの代表的な構造として、pn 接合ダイオードとショットキーバリアダイオードが知られている。

10

20

30

40

50

## 【0003】

図13には、pn接合ダイオード110の断面図を示す。

## 【0004】

pn接合ダイオード110は、n+型シリコン半導体基板111上にn-型半導体層112を積層した基板SB'表面の動作領域ORに、高濃度のp型不純物を拡散するなどしたp型不純物領域113およびガードリング117を設ける。基板SB'表面に設けた絶縁膜115上にアノード電極118を設け、アノード電極118は絶縁膜115の1つの開口部OP'を介してp型不純物領域113とコンタクトする。n+型シリコン半導体基板111の裏面には、全面にカソード電極119を設ける(例えば特許文献1参照。)

## 【0005】

図14は、従来ショットキーバリアダイオード120を示す断面図である。

## 【0006】

基板SB'はn+型半導体基板121にn-半導体層122を積層したものである。n-型半導体層122の動作領域ORには、複数に分離された高濃度のp型不純物によるp+型不純物領域123が複数設けられ、n-型半導体層122の表面には開口部OP'を有する絶縁膜125を設け、開口部OP'を介してn-型半導体層122とショットキー接合を形成する金属層126を設ける。この金属層126は例えばTiである。更に金属層126全面を覆ってアノード電極128となるAl層を設ける。半導体基板SB'外周には耐圧を確保するために高濃度のP型不純物を拡散したガードリング127が設けられ、その一部が金属層126とコンタクトする。基板SB'裏面はカソード電極129が設けられる。

## 【0007】

このダイオード(以下JBS: Junction Barrier Schottky Diode)120に逆バイアスを印加すると、図14の如くp+型不純物領域123からn-型半導体層122に空乏層50が広がる。隣り合うp+型不純物領域123の離間距離をその空乏層50がピンチオフする幅以下に設けることで、逆バイアス印加時にショットキー接合部でリーク電流が発生しても、空乏層50により遮断できるものである。すなわち、金属層126の特性として、リーク電流特性をそれほど考慮せずに、順方向電圧特性の低いものを選択することができる(例えば特許文献2参照。)

【特許文献1】特開平10-335679号公報(第20頁、第37図)

【特許文献2】特開2000-261004号公報(第2-4頁、第1、3図)

【発明の開示】

【発明が解決しようとする課題】

## 【0008】

図13の如き、pn接合ダイオード110は、一般的には逆方向降伏電圧が高いため、高耐圧用途に採用されることが多いが、順方向電圧VF特性も高いため消費電力が大きい問題がある。

## 【0009】

また、pn接合ダイオード110では、スイッチングタイムの増加や、逆回復損失の増大によりスイッチング特性が劣化する問題もある。

## 【0010】

すなわち、順方向電圧印加時にはp型不純物領域からn-型半導体層に少数キャリアであるホールが注入される。この状態で逆方向電圧を印加した場合、n-型半導体層122に蓄積された少数キャリアの引き抜きあるいは再結合を経た後でないと、電流が遮断できない。つまり少数キャリアの引き抜きあるいは再結合に要する時間(逆回復時間trr)が増大し、これがスイッチングタイムの増加や、逆回復損失の増大によりスイッチング特性の劣化の要因となる。

## 【0011】

これを解決するために、いわゆるライフタイムキラーと呼ばれる重金属をn-型半導体層112にドーブする方法が知られているが、重金属のドーブ量が多すぎても抵抗増加に

10

20

30

40

50

よる順方向電圧特性が劣化する問題があった。

【0012】

逆回復時間  $t_{rr}$  を短縮する方法として、p型不純物領域の不純物濃度を低減し、ドリフト層となるn型半導体層122へのホール注入量を減少させることが考えられる。

【0013】

しかし、p型不純物領域の不純物濃度を低減すると、当然ながらn型半導体層122でのキャリア(ホール)蓄積量が低減するため、伝導度変調効果の減少につながる。従って、定格電流付近での順方向電圧  $V_F$  が増大する問題がある。

【0014】

一方、ショットキーバリアダイオードは、一般的には順方向電圧特性が低く、スイッチング時間(逆回復時間  $t_{rr}$ )が短い特性を有している。しかし、n型半導体層と金属層とがショットキー接合を形成するため、ショットキー接合界面でのリーク電流が高い問題がある。

10

【0015】

そこで、図14の如きJBS120が採用され、ショットキー接合界面でリーク電流が発生した場合であっても空乏層50のピンチオフを利用してこれを遮断し、リーク電流の低減を図っている。

【0016】

しかし、この方法は理論的には可能であっても実際には空乏層50のみでリーク電流の経路を完全に遮断するのは困難である。空乏層50は電圧印加により発生するが、例えば40V程度の耐圧のJBS120では、n型半導体層122の比抵抗が低いため、空乏層50が設計値通りに十分広がらない場合もある。図14の構造では1カ所でも空乏層50の広がりが十分でなくピンチオフできない領域があれば、リーク電流を抑制することは不可能である。

20

【0017】

またJBS120においても、スイッチングタイムが増加する問題がある。例えば約0.6Vを超える順方向電圧  $V_F$  でJBS120を動作させると、p+型半導体領域123からn型半導体層122へ少数キャリア(ホール)が注入されやすい状態となる。

【0018】

この状態で逆方向電圧を印加すると、pn接合ダイオード110の場合と同様に、n型半導体層122に蓄積された少数キャリアの引き抜きあるいは再結合を経た後、n型半導体層122に空乏層50が広がる。つまりJBS120においても、逆回復時間  $t_{rr}$  が増加し、スイッチングタイムの増加やスイッチング特性が劣化する問題があった。

30

【課題を解決するための手段】

【0019】

本発明は、かかる課題に鑑みてなされ、第1に、高濃度の一導電型半導体基板に一導電型半導体層を積層した基板と、前記一導電型半導体層に互いに離間して設けられた複数の逆導電型半導体領域と、前記基板の一主面に設けられた絶縁膜と、該絶縁膜に設けられ前記逆導電型半導体領域が露出する開口部と、前記絶縁膜上に設けられ、前記開口部を介して前記逆導電型半導体領域とコンタクトする金属層と、を具備することにより解決するものである。

40

【0020】

第2に、高濃度の一導電型半導体基板に一導電型半導体層を積層した基板と、前記一導電型半導体層に互いに離間して設けられた複数の逆導電型半導体領域と、前記基板の第1主面に設けられた第1絶縁膜と、該第1絶縁膜に設けられ前記逆導電型半導体領域が露出する第1開口部と、前記第1絶縁膜上に設けられ、前記第1開口部を介して前記逆導電型半導体領域とコンタクトする第1金属層と、前記基板の第2主面に設けられた第2絶縁膜と、該第2絶縁膜に選択的に設けられた複数の第2開口部と、前記第2絶縁膜を覆って設けられ前記第2開口部を介して前記第2主面とコンタクトする第2金属層と、を具備することにより解決するものである。

50

## 【発明の効果】

## 【0021】

本実施形態によれば、第1に、基板の第1主面に分離した複数のp型半導体領域を設け、第1主面に設けた第1絶縁膜に第1開口部を設けてp型半導体領域のみを露出させ、第1金属層（表面電極）を設ける構造を採用することにより、動作領域においてn-型半導体層とショットキー接合を形成する領域が存在しなくなり、リーク電流を低減できる。

## 【0022】

第2に、動作領域のp型半導体領域は、複数に分離された領域であるので、図13に示す従来の全面にp型不純物領域を形成したpn接合ダイオードより逆回復時間 $t_{rr}$ を低減することができる。本実施形態では、動作領域において金属層がp型半導体領域とオーミック接合を形成し、pn接合ダイオードとして機能する。しかし、動作領域の全面にp型半導体領域を形成したpn接合ダイオード（図13参照）と比較して、p型半導体領域の総体積を小さくして電荷量を低減する。このため順方向電圧印加時のn-型半導体層への少数キャリア（ホール）の注入を低減できる。すなわち、逆方向電圧印加時にホールの引き抜きや再結合の時間も短くなり逆回復時間 $t_{rr}$ を短縮できる。

10

## 【0023】

第3に、従来のpn接合ダイオードと比較して、アノード側の電子の消滅を低減するので、伝導度変調にかかわる電子量が多くなり、伝導度変調効果を高めることができ、順方向電圧特性を改善できる。

## 【0024】

第4に、基板の第2主面を覆う第2絶縁膜に第2開口部を設け、第2絶縁膜上に設けた第2金属層（裏面電極）と基板の第2主面とをコンタクトさせることにより、第2金属層のコンタクト面積を低減できる。これにより、基板の第2主面近傍において少数キャリア（ホール）の蓄積効果を増大させることができる。

20

## 【0025】

逆回復時間 $t_{rr}$ 低減のために、ダイオードのp型不純物領域の電荷量を低減すると、伝導度変調効果が低減する問題があるが、本実施形態ではp型不純物領域の電荷量を低減した構成であっても、第2主面近傍において伝導度変調効果を増加させることができるので、ある電流ポイントにおける順方向電圧 $V_F$ の増大を防止できる。

## 【0026】

第5に、第2金属層のコンタクト（開口部）総面積を半導体基板の第2主面の面積の35%～80%程度にすることにより、第2金属層付近における少数キャリアの蓄積に起因する順方向電圧 $V_F$ の低減効果が、電流経路の狭小化による抵抗の増加分を上回ることができる。従って、従来構造において順方向電圧 $V_F$ が増大していた定格電流付近において、順方向電圧 $V_F$ を低減することができる。

30

## 【0027】

第6に、複数の開口部は正六角形状の均等なパターンで、且つ互いに均等な距離で離間することにより、キャリアが一箇所に集中することなく均一に引き抜くことができ、またドリフト電流の経路を均一にすることができる。

## 【発明を実施するための最良の形態】

40

## 【0028】

本発明の実施の形態を図1から図12を用いて詳細に説明する。

## 【0029】

まず図1から図4を参照して、本発明の第1の実施形態について説明する。

## 【0030】

図1には、本実施形態のダイオードを示す。図1(A)(B)はダイオード100の第1主面 $S_f1$ における平面図であり、図1(C)は図1(A)(B)のa-a線の断面図である。図1(A)は、ダイオード表面の金属層を省略した図であり、図1(B)は金属層と絶縁膜のパターンを示す図である。

50

## 【0031】

第1の実施形態のダイオード100は、一導電型半導体基板1と、一導電型半導体層2と、逆導電型半導体領域3と、第1絶縁膜5と、第1開口部OP1と、第1金属層7とから構成される。

## 【0032】

図1(A)(C)を参照して、基板SBは、高濃度の一導電型(以下n+型)シリコン半導体基板1上にn-型半導体層2を積層してなる。n-型半導体層2は、例えばエピタキシャル層である。

## 【0033】

基板SBの第1主面Sf1となるn-型半導体層2表面には複数の逆導電型半導体領域3が設けられる。逆導電型半導体領域3は、例えばn-型半導体層2にトレンチ10を形成してトレンチ10内に高濃度のp型不純物を導入したポリシリコン層を埋設した領域であり、以下p型半導体領域3と称する。

10

## 【0034】

トレンチ10は、それぞれ等しい所定の距離で離間して、n-型半導体層2に多数設けられる。トレンチ10間の距離d1は例えば1 $\mu$ m~10 $\mu$ m程度である。後に詳述するが、互いに隣接するp型半導体領域3は等間隔で配置する必要があり、図1(A)の如く、基板SBの第1主面のパターンにおいて正六角形状が望ましい。正六角形状の場合、トレンチ10の開口幅(対角線幅)d2は例えば10 $\mu$ mである。

## 【0035】

これらのトレンチ10にそれぞれ高濃度のp型不純物がドーブされたポリシリコンが埋め込まれ、これにより互いに等しい距離d1で離間した複数のp型半導体領域3が設けられる。

20

## 【0036】

尚、p型半導体領域3はトレンチ10にポリシリコンを埋設した構成に限らず、n-型半導体層2に、好適には上記のパターンで、互いに等距離で離間して高濃度のp型不純物を拡散した領域であってもよい。しかし、p型半導体領域3のそれぞれの距離d1で第1主面Sf1におけるパターンを正確に形成するには、トレンチ10にポリシリコンを埋設する構成が好適であり、以下本実施形態ではこの構成を用いて説明する。

## 【0037】

全てのp型半導体領域3を囲んでその外側には、リング状に、他のp型(p+型)半導体領域4を設ける。他のp+型半導体領域4は、ダイオード100の逆方向電圧印加時の耐圧を確保するために設けられた、ガードリング4である。ガードリング4は、p型半導体領域3と同様にトレンチ内に高濃度のp型不純物をドーブしたポリシリコンを埋設した領域あるいは、n-型半導体層2に高濃度のp型不純物を拡散した領域である。

30

## 【0038】

本実施形態では、ガードリング4の内側の領域を、ダイオード100として主に機能する領域として動作領域ORと称する。

## 【0039】

ガードリング4の外側には、空乏層の広がりを抑制する高濃度のn型不純物領域9が設けられる。n型不純物領域9の上にはn型不純物領域9に接してシールドメタル13が設けられる。

40

## 【0040】

図1(C)を参照して、基板SB(n-型半導体層2)の第1主面Sf1には第1絶縁膜5が設けられる。第1絶縁膜5は複数の第1開口部OP1を有する例えば酸化膜である。第1開口部OP1は、図1(A)に示す第1主面Sf1のパターンにおいて、全て動作領域OR内に設けられる。また第1絶縁膜5には、ガードリング4の一部が露出する他の開口部OP1'が設けられる。

## 【0041】

第1開口部OP1は、動作領域ORの全てのp型半導体領域3と同じパターンに設けら

50

れる。すなわち第1開口部OP1からはp型半導体領域3のみが露出し、動作領域ORのn-型半導体層2は第1絶縁膜5により被覆される。p型不純物領域3の深さは、ガードリング4より浅い。また他の開口部OP1'からはガードリング4の一部が露出する。

【0042】

図1(B)(C)を参照して、第1金属層7は、第1絶縁膜5上に設けられ、第1開口部OP1を介してp型半導体領域3とコンタクトする。第1金属層7は、例えばアルミニウム(Al)層であり、p型半導体領域3のみとオーミック接合を形成する。すなわち、ダイオード100は、pn接合ダイオードとして機能し、第1金属層7はアノード電極Aとなる。

【0043】

基板SBの第2主面Sf2(n+型シリコン半導体基板1表面)には、ダイオード100のカソード電極CAとなる第2金属層8が設けられる。

【0044】

このように本実施形態のダイオード100では、動作領域ORにおいてショットキー接合領域が存在しない。従って、図14に示す従来のJBS120と同一チップサイズで比較した場合、ショットキー接合面積が存在しない分、ショットキー接合界面で発生するリーク電流を低減することができる。

【0045】

また、図13に示す従来のpn接合ダイオードと比較して、逆回復時間 $t_{rr}$ を短縮することができる。

【0046】

以下、図2を参照して更に説明する。図2は、図1に示す動作領域ORの概要を示す拡大断面図であり、図2(A)が順方向電圧を印加した状態を示し、図2(B)が順方向電圧印加から逆方向電圧印加に遷移する状態を示し、図2(C)が逆方向電圧を印加した状態を示す。尚、図2においてガードリングは省略している。

【0047】

図2(A)の如く、オン状態でアノード電極A-カソード電極CA間に順方向電圧が印加されると、p型半導体領域3からn-型半導体層2に少数キャリア(ホール)が注入され、n-型半導体層2(ドリフト層)の伝導度が変調されるとともにダイオード100が導通し、電流Iがアノード電極A-カソード電極CA間に流れる。

【0048】

pn接合ダイオード100は伝導度変調型素子であり、p型半導体領域3からn-型半導体層2にホールが注入される。このとき例えば、図13に示す従来のpn接合ダイオード110と同一チップサイズとして比較すると、本実施形態では、p型半導体領域3をそれぞれ分離した複数の島状に形成することにより、p型半導体領域3の総体積が小さくなり、従来のp型不純物領域113より電荷量が少なくなる。従って、従来のpn接合ダイオード110と比較してn-型半導体層2に注入される少数キャリア(ホール)の量も低減できる。

【0049】

そしてアノード電極Aの接触面積が小さくなっているため電極からの電子の消滅が減少し、すなわちアノード側(基板SBの第1主面Sf1側)の電子の消滅を減らすことができる。そのため伝導度変調効果がより有効となり、従来のpn接合ダイオードと比較して順方向電圧VFをほぼ同等にできる。

【0050】

その後、図2(B)の如くダイオード100をオフ状態にするため、順方向電圧印加から逆方向電圧印加に転じると、n-型半導体層2に蓄積された少数キャリアの引き抜きあるいは再結合をした後、空乏層が広がる。

【0051】

ここで、上述したとおり本実施形態ではp型半導体領域3の電荷量が、従来のpn接合ダイオード110と比較して少ないため、順方向電圧印加時にn-型半導体層2に蓄積さ

10

20

30

40

50

れた少数キャリアの量も減少する。従って、少数キャリアの引き抜きまたは再結合の時間（逆回復時間： $t_{rr}$ ）を短縮することができる。

【0052】

これにより従来のpn接合ダイオード110（図13）と比較して、逆回復時間 $t_{rr}$ を低減することができ、スイッチング時間の低減や、逆回復損失の低減によるスイッチング特性の改善に寄与できる。

【0053】

次に、図2（C）を参照して、逆方向電圧印加により、少数キャリアは消滅し、n-型半導体層2中に空乏層50が広がり電流を遮断する。

【0054】

ここで、p型半導体領域3の形状は、逆方向電圧印加時に空乏層10が均等に広がってエピタキシャル層2を埋め尽くせるよう、各々均等な離間距離で配置されることが必要であるので、正六角形状が最適である。

【0055】

また、p型半導体領域3の離間距離がある程度確保できる場合は、正六角形状に開口されたマスクを用いてエピタキシャル層2にp型不純物をイオン注入して拡散した拡散領域でもよい。しかし、離間距離が狭い場合は不純物拡散領域では横方向への広がりが避けられないため、トレンチ10にポリシリコン32を埋設したp型半導体領域3を採用する方が好ましい。

【0056】

本実施形態では、p型半導体領域3の不純物の電荷量は、n-型半導体層2の不純物の電荷量の1倍～2倍である。

【0057】

図3は、順方向電圧 $V_F$ と逆方向電圧 $V_R$ に対する、p型不純物とn型不純物の電荷比（ $p/n$ 電荷比）の依存性を示す図である。図3（A）が順方向電圧 $V_F$ の場合であり、図3（B）が逆方向電圧 $V_R$ の場合であり、それぞれの縦軸が電圧、横軸が $p/n$ 電荷比である。 $p/n$ 電荷比は、図1に示す本実施形態の構造において、p型半導体領域3とn-型半導体層2の電荷比を変化させ、順方向電圧 $V_F$ と逆方向電圧 $V_R$ を測定した。

【0058】

より具体的には、n-型半導体層2の電荷量を固定し、p型半導体領域3深さを変更することにより $p/n$ 電荷比を変化させた。また2種類（ $5E15\text{ cm}^{-3}$ 、 $1E16\text{ cm}^{-3}$ ）のp型半導体領域3の不純物濃度について、測定した。

【0059】

これによれば、順方向電圧 $V_F$ は一次的な依存性ではなく、p層に一定量以上のホールが存在しても順方向電圧 $V_F$ はほとんど変わらない。つまり、図3（A）より、 $p/n$ 電荷比が0.5～2の場合、順方向電圧 $V_F$ はほとんど変化していない。また、逆方向電圧 $V_R$ は $p/n$ 電荷比が1以上で逆方向電圧 $V_R$ の安定領域となる。この結果より、本実施形態のp型半導体領域3の不純物の電荷量は、n-型半導体層2の不純物の電荷量の1倍～2倍とする。

【0060】

図4は、本実施形態のダイオード100（実線）と、図14に示す従来のJBS120（破線）のリーク電流特性を比較した図である。縦軸が逆方向電流（リーク電流） $I_R$ であり、横軸が逆方向電圧 $V_R$ である。

【0061】

このように、本実施形態では、ショットキー接合領域の面積が小さいため、同一チップサイズであればリーク電流が大幅に低減でき、良好なリーク電流特性を得ることができる。

【0062】

次に、図5から図10を参照して、本発明の第2の実施形態について説明する。第2の実施形態は、基板SBの第2主面に設ける第2金属層の構造が、第1の実施形態と異なる

10

20

30

40

50

ものである。従って、第1の実施形態と同一構成要素については同一符号で示し、その説明を省略する。

【0063】

第2の実施形態のダイオード105は、一導電型半導体基板1と、一導電型半導体層2と、逆導電型半導体領域3と、第1絶縁膜5と、第1開口部OP1と、第1金属層7と、第2絶縁膜11と、第2開口部OP2と、第2金属層12と、から構成される。

【0064】

図5および図6は、第2の実施形態のダイオード105を示す図であり、図5がダイオード105の断面図、図6(A)が第2主面Sf2の第2絶縁膜11の平面図、図6(B)が第2主面Sf2側の第2金属層12を設けた平面図である。尚、図5は、図6のb-b線断面図である。また、第1主面Sf1側の構成は、第1の実施形態(図1(A)(B))と同様である。

10

【0065】

図5および図6(A)を参照して、基板SBの第2主面Sf2側には、全面に第2絶縁膜11が設けられる。第2絶縁膜11は例えば酸化膜であり、複数の第2開口部OP2が選択的に設けられる。

【0066】

それぞれの第2開口部OP2は、均等な形状(大きさ)で、第2開口部OP2の中心部からの距離が互いに均等な距離で離間して配置される。その結果、第2開口部OP2間の離間距離d3(図6(A))は等間隔となる。第2開口部OP2の形状は、正六角形状である。第2開口部OP2の総面積は、半導体基板SBの第2主面Sf2に対して35%~80%である。

20

【0067】

一例として半導体基板SBの第2主面の面積(チップサイズ)が、例えば3mm角程度の場合、1つの第2開口部OP2の面積は1000 $\mu\text{m}^2$ 程度であり、それぞれ15 $\mu\text{m}$ 程度離間して設けられる。

【0068】

図5を参照して、第2金属層12は、第2絶縁膜11を覆って第2主面Sf2側に設けられ、図6(B)の破線で示す第2開口部OP2を介して半導体基板SBの第2主面(n+型シリコン半導体基板1)とコンタクトし、ダイオード105のカソード電極CAとなる。

30

【0069】

第2金属層12は、例えば、第2主面Sf2側からTi-Ni-Agの多層金属構造である。チップサイズが0.6mm角以上と大きい場合は、リードフレーム等の支持材30とダイオード105との固着に共晶を採用すると、ムラができ易く、振動で割れが発生するなど好ましくない。そこで、チップサイズが大きい場合には接着材にて固着することが望ましい。

【0070】

また、例えばチップサイズが0.6mm角より小さい場合、リードフレーム等の支持材30とダイオード105とを共晶にて固着できるので、この場合の第2金属層12は、第2主面Sf2側からNiCr-Auの多層金属構造を採用し、支持材(例えば銅(Cu))と共晶させて固着する。

40

【0071】

第2主面Sf2では、第2開口部OP2を設けた第2絶縁膜11を覆って第2金属層12が設けられる。これにより、第2金属層12と基板SB(n+型シリコン半導体基板1)とのトータルのコンタクト面積は、基板SBの面積の35%~80%となる。しかし、第2金属層12と、リードフレーム等の支持材30との固着面積は、基板SBの面積(チップサイズ)を維持でき、従来どおりの固着強度を確保できる(図5参照)。

【0072】

第2の実施形態では、第2金属層12と基板SBとのコンタクト面積を低減することに

50

より、第2金属層12近傍において少数キャリア（ホール）の消滅を減らすことができ、伝導度変調効果を向上させることができる。

【0073】

図7は、ダイオード105に順方向電圧VFを印加した場合の、第2金属層12付近の拡大断面図である。

【0074】

第1金属層7（アノード電極A）に正電位を印加し、第2金属層12（カソード電極C）に負電位を印加すると、p型不純物領域3からn型半導体層2にホールの注入が生じ、n型半導体層2（ドリフト層）の伝導度が変調されるとともに半導体装置20が導通し、電流が第1電極5から第2金属層12に向かって流れる。

10

【0075】

このとき第2金属層12付近において、第2絶縁膜11の第2開口部OP2付近の少数キャリア（ホール）は、第2金属層12に引き抜かれるが、第2開口部OP2の周辺では第2絶縁膜11に阻まれた少数キャリア（ホール）が蓄積する。その結果伝導度変調効果が増加し、順方向電圧VFが低減する。

【0076】

また、第1の実施形態と同様に基板SBの第1主面Sf1側において、p型半導体領域3を複数に分離した島状に形成する。これにより、例えば図13に示す従来のpn接合ダイオード110と同一チップサイズとして比較すると、本実施形態では、p型半導体領域3の総体積が小さくなり、従来のp型不純物領域113より電荷量が少なくなる。従って、従来のpn接合ダイオード110と比較してn型半導体層2に注入される少数キャリア（ホール）の量も低減できる。

20

【0077】

更に、第2の実施形態では、アノード電極Aの接触面積が小さくなっているため電極からの電子の消滅が減少し、すなわちアノード側（基板SBの第1主面Sf1側）の電子の消滅を減らすことができる。

【0078】

そのため伝導度変調効果がより有効となり、従来のpn接合ダイオードと比較して順方向電圧VFをほぼ同等にできる。

【0079】

上述したがp型半導体領域3は、逆回復時間 $t_{rr}$ 低減のため、その不純物濃度を低減し、不純物の電荷量を従来のpn接合ダイオード110と比較して減少させている。具体的には、p型半導体領域3の不純物の電荷量はn型半導体層2の不純物の電荷量の1倍～2倍である。

30

【0080】

この場合、ドリフト層であるn型半導体層2に注入される少数キャリア（ホール）が低減するので、この点では伝導度変調効果が低減してしまう。

【0081】

また、第2絶縁膜11はドリフト電流の経路を狭小化するので、電流の抵抗が若干増加する。

40

【0082】

しかし、第2の実施形態ではカソード側において、選択的に第2金属層12をコンタクトさせ、また第2開口部OP2の面積および配置を適切に選択することにより、電流の抵抗増加分と、少数キャリアの注入量の低減分を上回る伝導度変調効果を得ることができる。従って、逆回復時間 $t_{rr}$ の低減と、伝導度変調効果を高めることによる順方向電圧VFの低減を実現できる。

【0083】

図8および図9は、p型半導体領域3の不純物濃度による順方向電圧VF - 順方向電流IF特性を説明する図である。

【0084】

50

図8は、従来構造(図13)のpn接合ダイオード110におけるp型不純物領域113の2種類の不純物濃度についての順方向電圧VF - 順方向電流IF特性を示しており、破線が、p型不純物領域113の不純物濃度が $2.5 \times 10^{18} \text{ cm}^{-3}$ の場合であり、実線が、p型不純物領域113の不純物濃度が $1.0 \times 10^{15} \text{ cm}^{-3}$ の場合である。

【0085】

これによれば、順方向電流IFが5(A)の場合、p型不純物領域の不純物濃度を低減することにより、順方向電圧VFが0.3V程度増加することがわかる。

【0086】

図9は、従来のpn接合ダイオード110と、第2の実施形態のダイオード105の第1主面Sf1を従来のpn接合ダイオード110とした場合の順方向電流IF - 順方向電圧VF特性を比較した図である。破線が従来構造の如くカソード電極119が基板SB'の全面とコンタクトした場合であり、実線が本実施形態の如く、第2電極12(カソード電極CA)と基板SBとのコンタクト面積が、基板SBの総面積の2分の1の場合である。またp型半導体領域3の不純物濃度は、図8に示した、 $1.0 \times 10^{15} \text{ cm}^{-3}$ の場合である。

10

【0087】

このように本実施形態によれば、第2電極12と半導体基板SBとのコンタクト面積を低減(例えばチップ総面積の2分の1)にすることにより、順方向電流IFが約0.1A以上の場合と同じ順方向電流IFにおける順方向電圧VFを低減することができる。

【0088】

図8で、p型不純物領域の濃度を低濃度にしたとき、順方向電流IFが約1Aまでは順方向電圧VFも低い(低VF)が、順方向電流IFが約1Aを超えた領域で、同じ順方向電流IFにおける順方向電圧VFが増大してしまう(図8)。

20

【0089】

しかし、本実施形態においてコンタクト面積を低減することにより、順方向電流IFが約0.1A以上の領域で、順方向電圧VFを逆転させ、同じ順方向電流IFにおける順方向電圧VF値を低減できる。なお、順方向電流IFが約0.1A以下では第2電極(カソード電極)が全面でコンタクトする方がよいが、これは同じ不純物濃度で第2電極を全面に設けた場合と、その2分の1の面積の場合を比較しているからである。

【0090】

p型不純物領域(p型半導体領域3)が高濃度(図8)の場合と比べれば、低濃度の方が順方向電流IFが約1A以下で低VFであり(図8)、順方向電圧VFが大きくなる約0.1A以下(図9)でも従来構造(p型不純物領域113が高濃度でカソード電極が全面でコンタクトするpn接合ダイオード110)より低VFにできる。

30

【0091】

尚、第2絶縁膜11は電流の経路を狭小化するので、電流の抵抗が若干増加するが、第2開口部OP2の面積および配置を適切に選択することにより、電流の抵抗増加分を上回る伝導度変調効果を得ることができる。

【0092】

図10は、第2開口部OP2の開口率と順方向電圧VFとの関係を示す図である。横軸が、第2主面の面積に対する第2開口部OP2の総面積の割合を示す開口率[%]であり、縦軸がそれぞれの開口率における順方向電圧VF[V]である。

40

【0093】

これにより、第2開口部OP2の総面積が、半導体基板SBの第2主面の総面積の2分の1の場合に、最も順方向電圧VFの低減を実現することができる。

【0094】

次に、図11および図12を参照して第2の実施形態のダイオード105の製造方法を説明する。

【0095】

第1工程(図11(A)) : n+型半導体基板1にn-型半導体層2を積層した基板S

50

Bを準備し、酸化膜などを所望のパターンにエッチングしたマスクMを第1主面Sf1の全面に生成する。マスクMから露出したn-型半導体層2表面を異方性エッチングし、深さ例えば4 $\mu$ m程度のトレンチ10を形成する。基板SBの一主面におけるトレンチ10のパターンは正六角形状であり、その幅(対角線幅)は例えば10 $\mu$ m程度である。トレンチ10間の距離d1は互いに等間隔であり、例えば1 $\mu$ m~10 $\mu$ m程度である。

【0096】

第2工程(図11(B))：マスクMを除去し高濃度のp型不純物がドーブされたポリシリコンを堆積し、トレンチ10内にもポリシリコンを埋め込む。またノンドープのポリシリコンを堆積後、高濃度のp型不純物を導入しても良い。そして、全面のエッチバックによりトレンチ10内のみポリシリコンを残し、n-型半導体層2表面を露出する。

10

【0097】

その後、酸化膜を全面に形成し、熱処理によりポリシリコン中のp型不純物を活性化し、p型半導体領域3を形成する。

【0098】

また、p型半導体領域3を不純物のイオン注入と拡散で形成する場合には、第2工程においてトレンチを形成せず、マスクMを介してn-型半導体層2に不純物を注入し、拡散する。

【0099】

絶縁膜5を堆積し、絶縁膜5を所望のパターンでエッチングして、第1開口部とOP1および他の開口部OP1'を形成する。

20

【0100】

第1開口部OP1は、所定の距離で離間して複数形成される。第1開口部OP1は正六角形状であり、その幅は例えば10 $\mu$ m程度である。また第1開口部OP1間の距離d2は互いに等間隔で離間される。

【0101】

第3工程(図11(C))：その後、基板SBの第1主面Sf1側にA1層などによる第1金属層7を形成する。第1金属層7は、第1開口部OP1から露出したp型半導体領域3とオーミック接合を形成してアノード電極Aとなる。

【0102】

第4工程(図12(A))：基板SBの第2主面Sf2に酸化膜などの第2絶縁膜11を設ける。第2絶縁膜11上に所望のパターンのマスク(不図示)を設けて第2絶縁膜11をエッチングし、第2開口部OP2を形成する。

30

【0103】

第2開口部OP2は、それぞれ均等な形状(大きさ)で、第2開口部OP2の中心部からの距離が互いに均等な距離で離間するように形成され、その形状は、正六角形状である。

【0104】

また、第2開口部OP2の総面積は、基板SBの第2主面Sf2の面積に対して35%~80%程度になるように形成する。

【0105】

第5工程(図12(B))：その後、第2絶縁膜11上に、蒸着によりTi-Ni-Agまたは、NiCr-Auの第2金属層12を形成する。これにより、第2開口部OP2を介して基板SBの第2主面Sf2(n+型シリコン半導体基板1)と選択的にコンタクトする、カソード電極CAを形成する。

40

【0106】

尚、第1の実施形態の場合は、図12(A)の第4工程において、第2絶縁膜11を形成せず、Ti-Ni-Ag等の第2金属層8を基板SBの第2主面Sf2の全面に直接、蒸着などし、カソード電極CAを形成する。

【図面の簡単な説明】

【0107】

50

【図 1】本発明のダイオードを説明するための ( A ) 平面図、 ( B ) 平面図、 ( C ) 断面図である。

【図 2】本発明のダイオードを説明するための断面図である。

【図 3】本発明のダイオードを説明するための特性図である。

【図 4】本発明のダイオードを説明するための特性図である。

【図 5】本発明のダイオードを説明するための断面図である。

【図 6】本発明のダイオードを説明するための平面図である。

【図 7】本発明のダイオードを説明するための断面図である。

【図 8】本発明のダイオードを説明するための特性図である。

【図 9】本発明のダイオードを説明するための特性図である。

10

【図 10】本発明のダイオードを説明するための特性図である。

【図 11】本発明のダイオードの製造方法を説明するための断面図である。

【図 12】本発明のダイオードの製造方法を説明するための断面図である。

【図 13】従来の p n 接合ダイオードを説明するための断面図である。

【図 14】従来のショットキーバリアダイオードを説明するための断面図である。

【符号の説明】

【 0 1 0 8 】

1 n + 型シリコン半導体基板

2 n - 型半導体層

3 p 型半導体領域

20

4 ガードリング

5 第 1 絶縁膜

7 第 1 金属層 ( アノード電極 )

8、12 第 2 金属層 ( カソード電極 )

9 n 型不純物領域

10 トレンチ

11 第 2 絶縁膜

50 空乏層

100、105 ダイオード

110 p n 接合ダイオード

30

111 n + 型シリコン半導体基板

112 n - 型半導体層

115 絶縁膜

117 ガードリング

118 アノード電極

119 カソード電極

113 p + 型不純物領域

120 ショットキーバリアダイオード ( J B S )

121 n + 型シリコン半導体基板

122 n - 型半導体層

40

123 p + 型不純物領域

125 絶縁膜

126 金属層

127 ガードリング

128 アノード電極

129 カソード電極

S B、S B ' 半導体基板

O R 動作領域

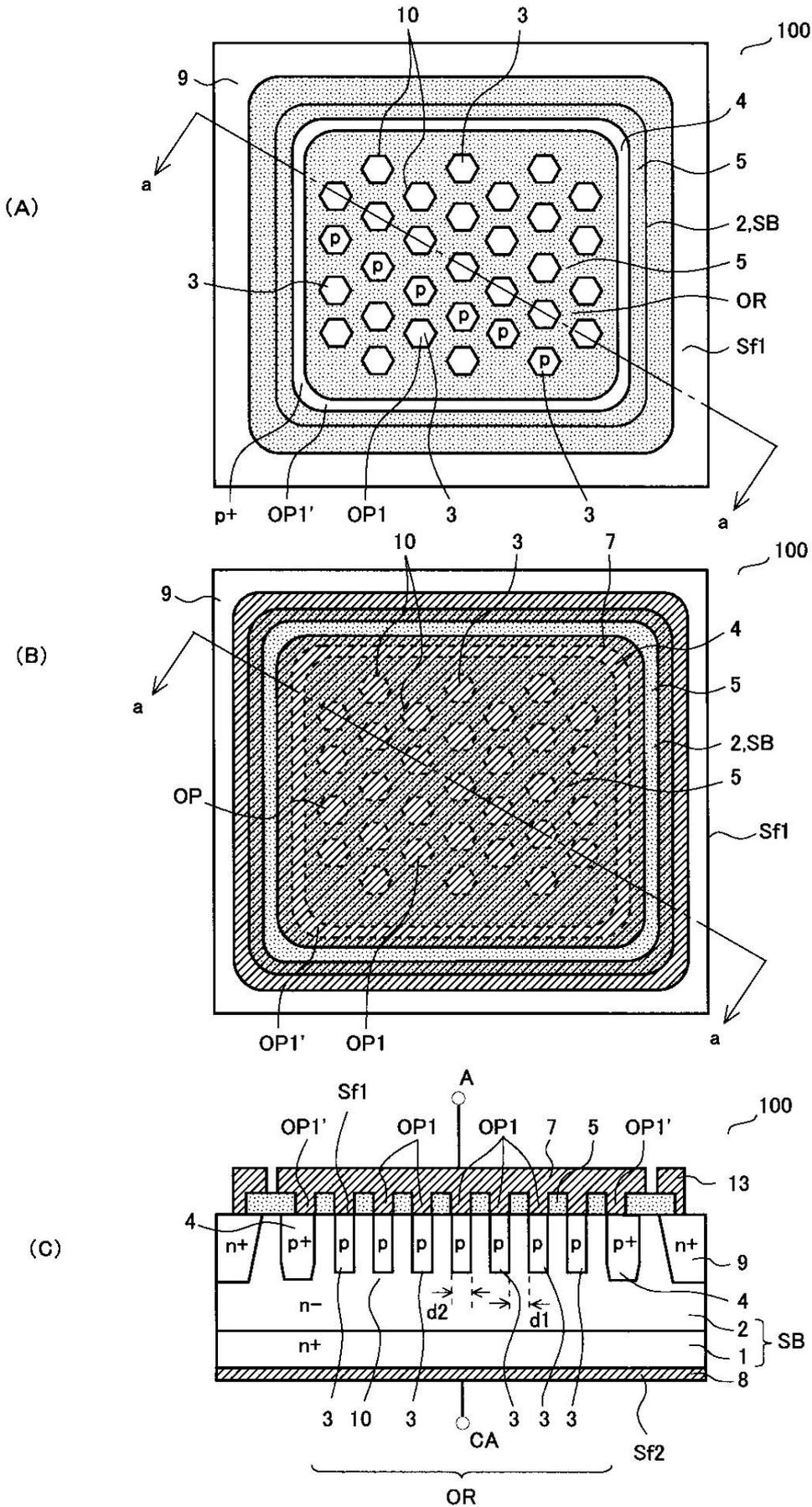
O P 1 第 1 開口部

O P 2 第 2 開口部

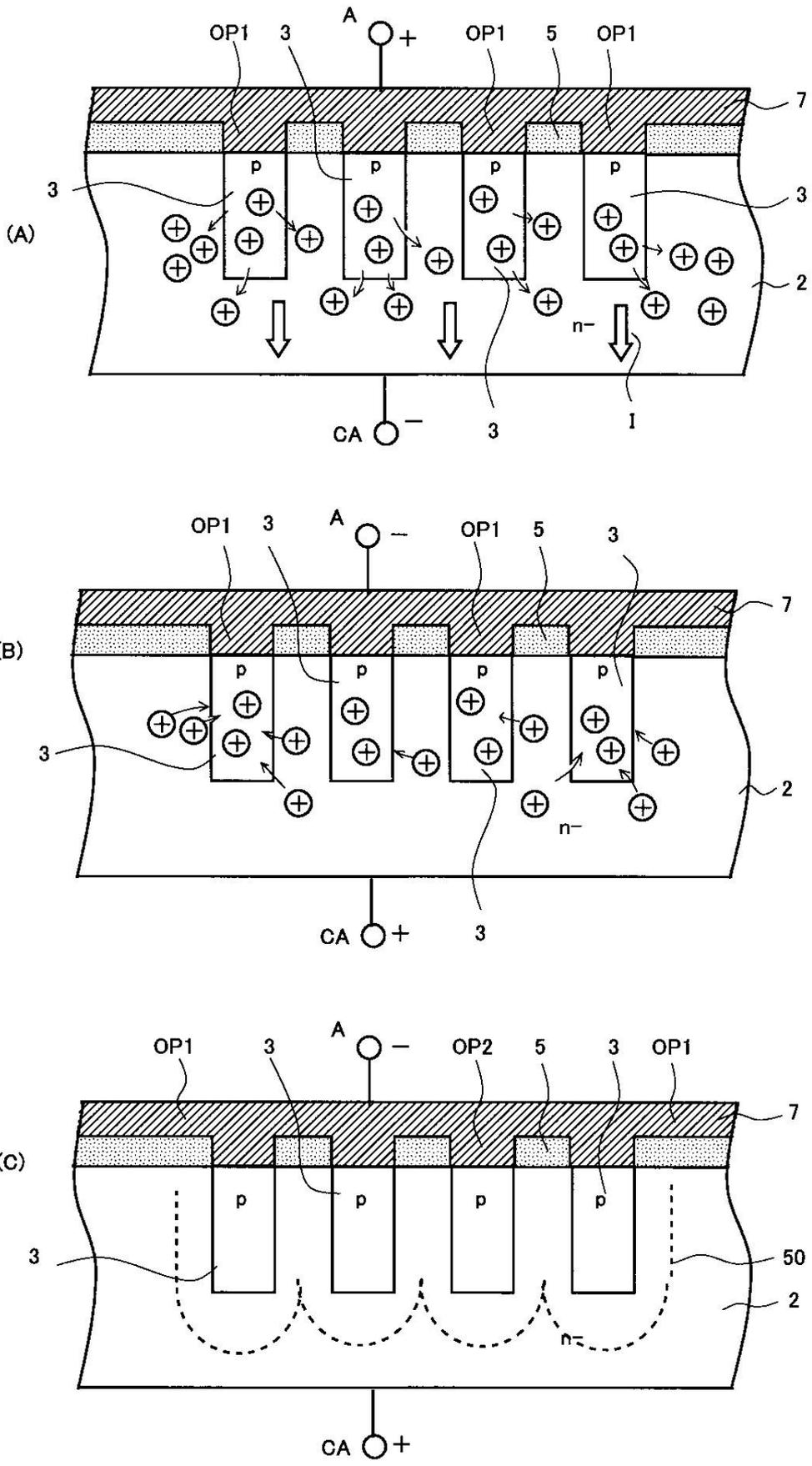
50

OP 1' 他の開口部

【 図 1 】

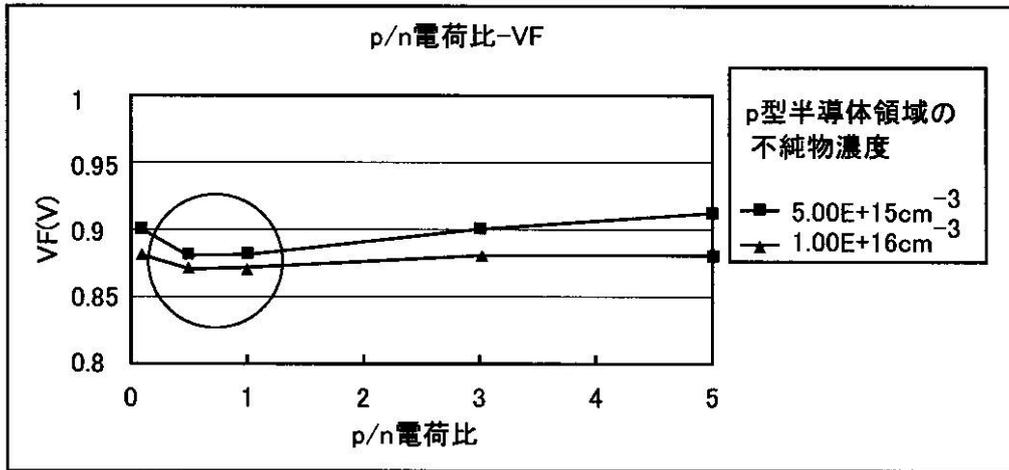


【 図 2 】

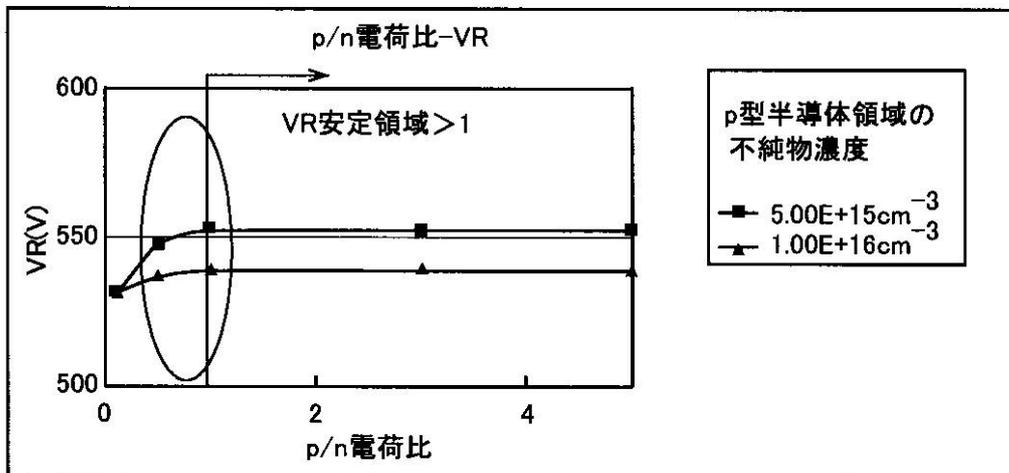


【 図 3 】

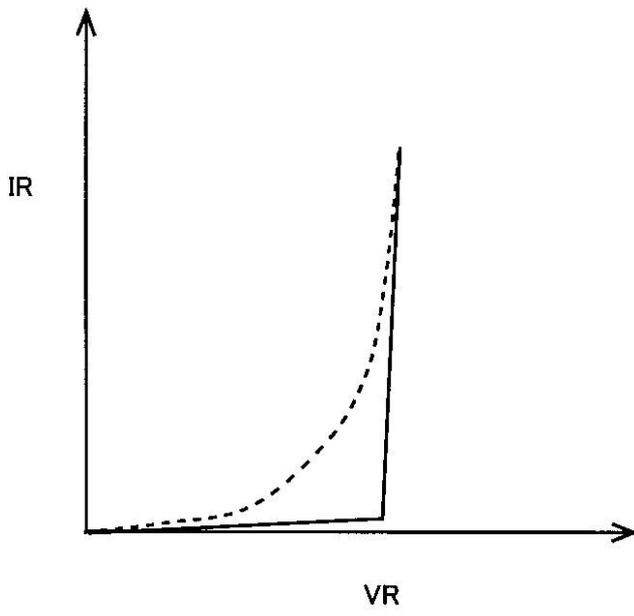
(A)



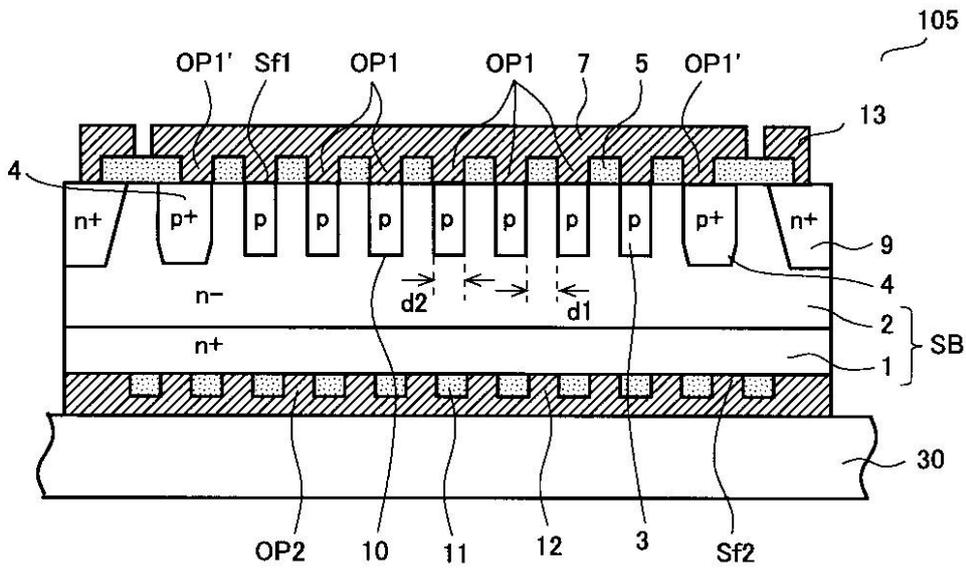
(B)



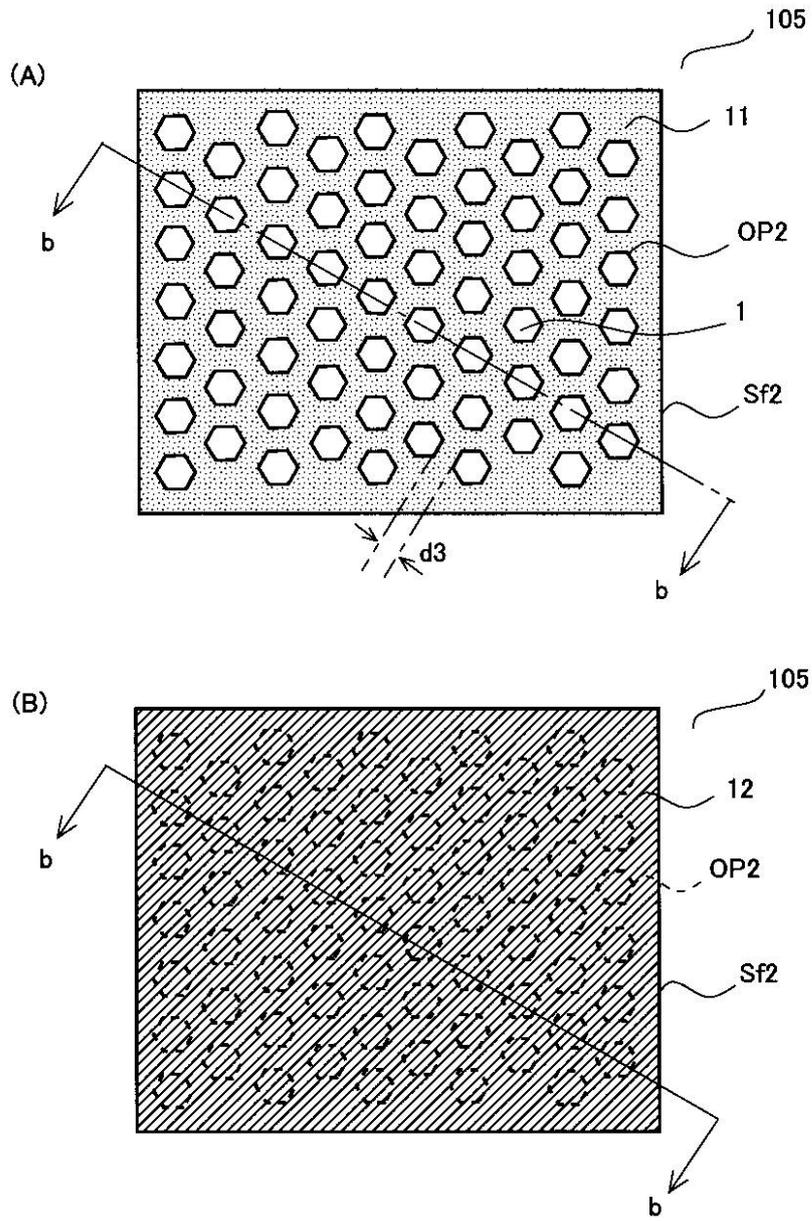
【 図 4 】



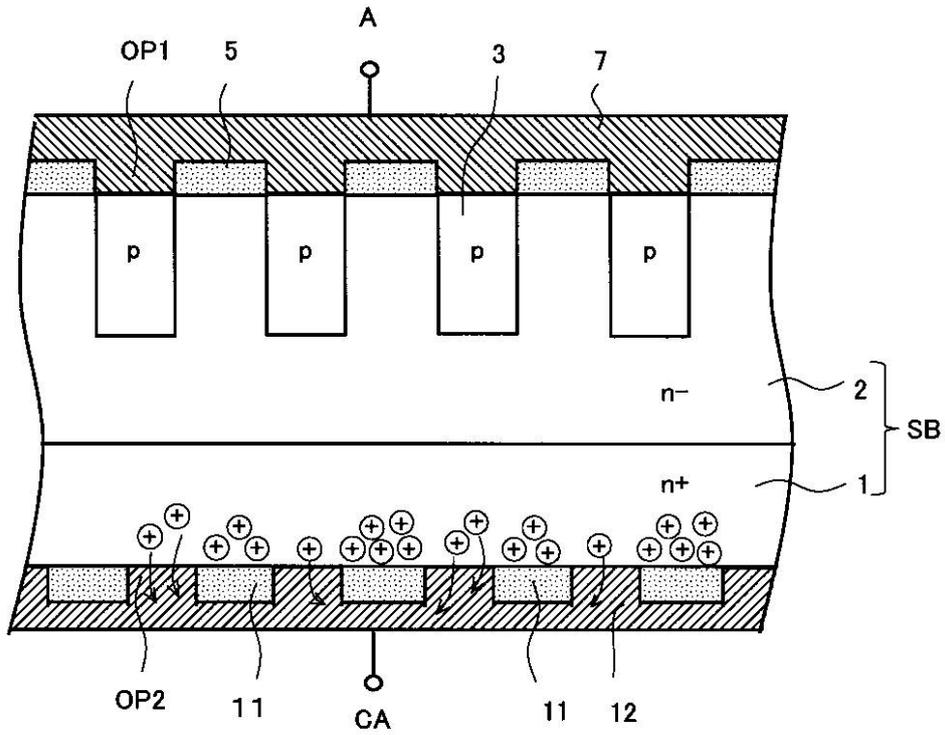
【 図 5 】



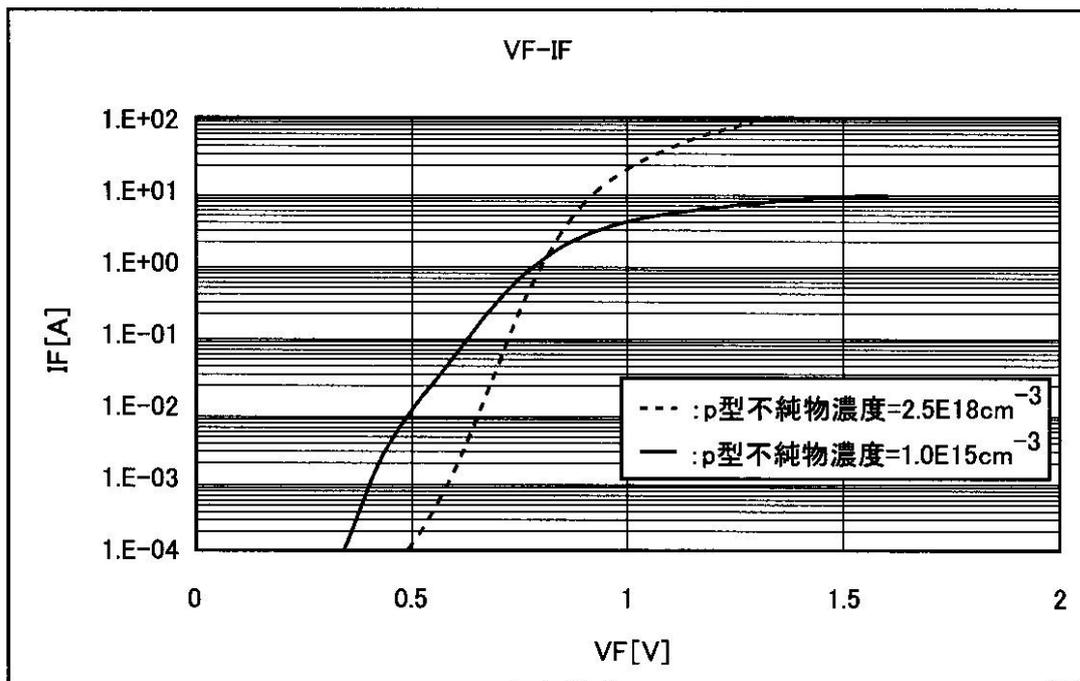
【 図 6 】



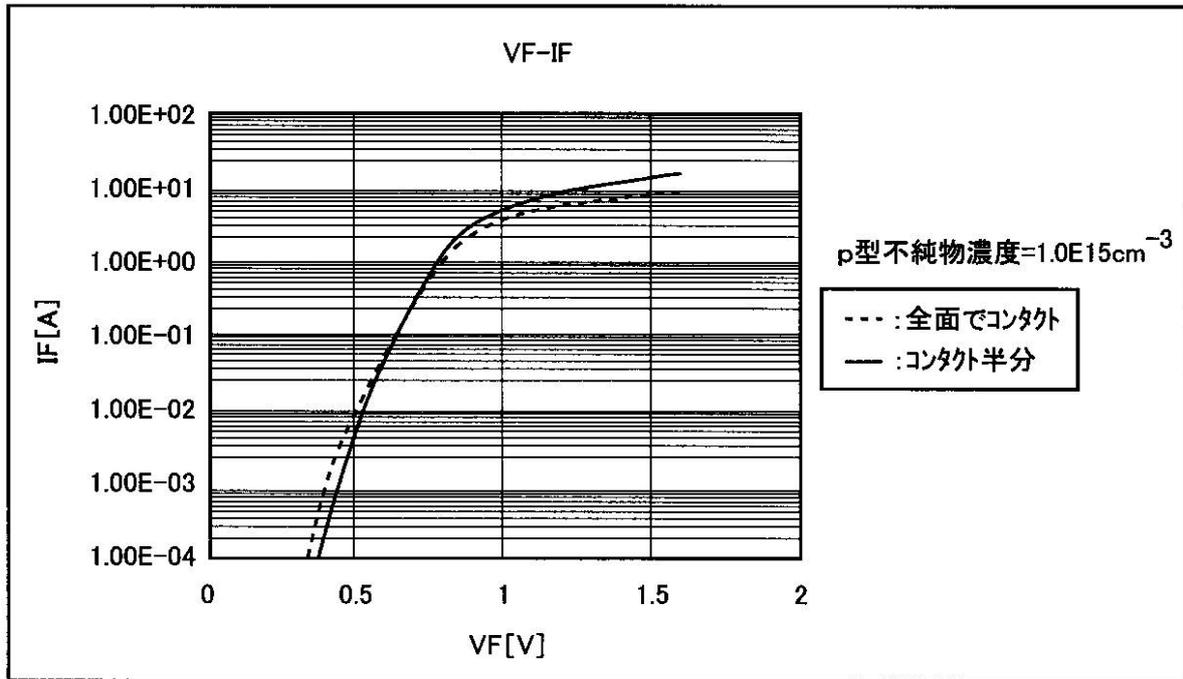
【 図 7 】



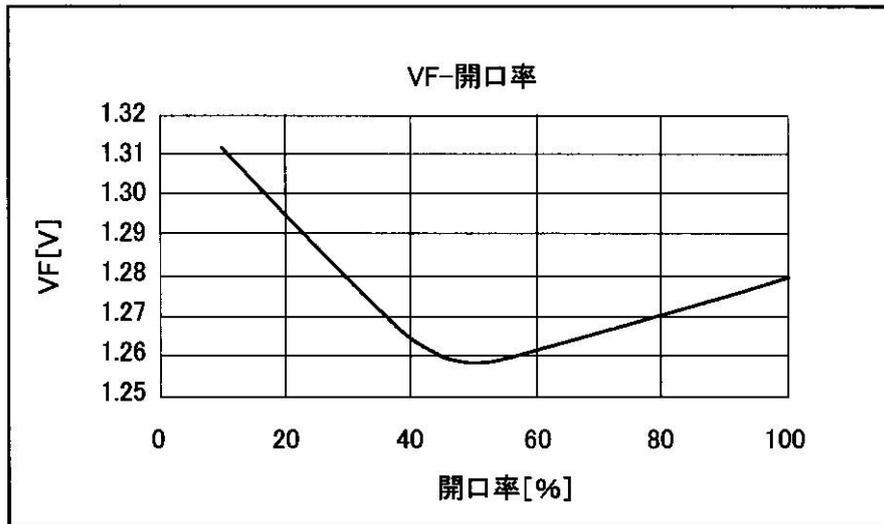
【 図 8 】



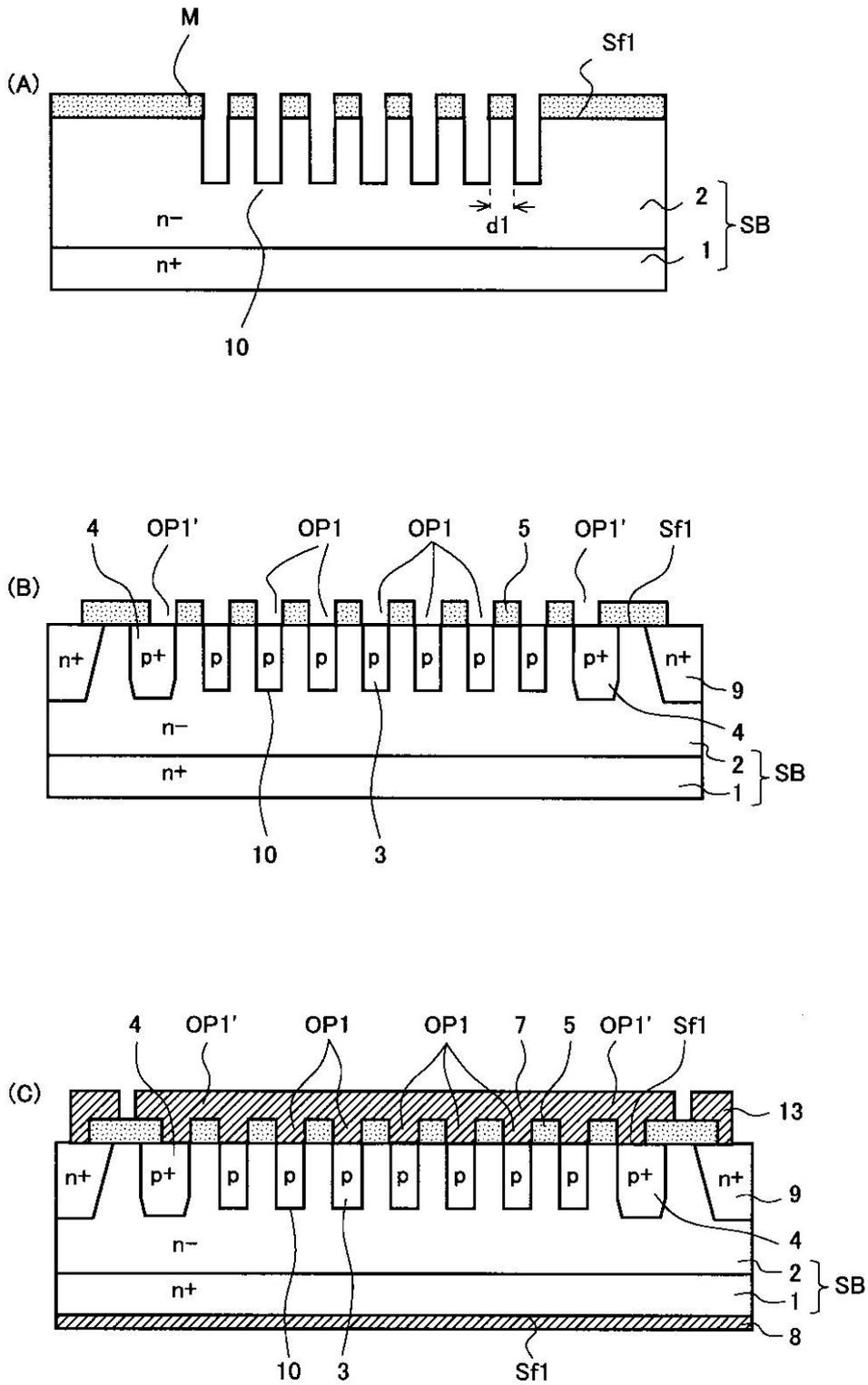
【 図 9 】



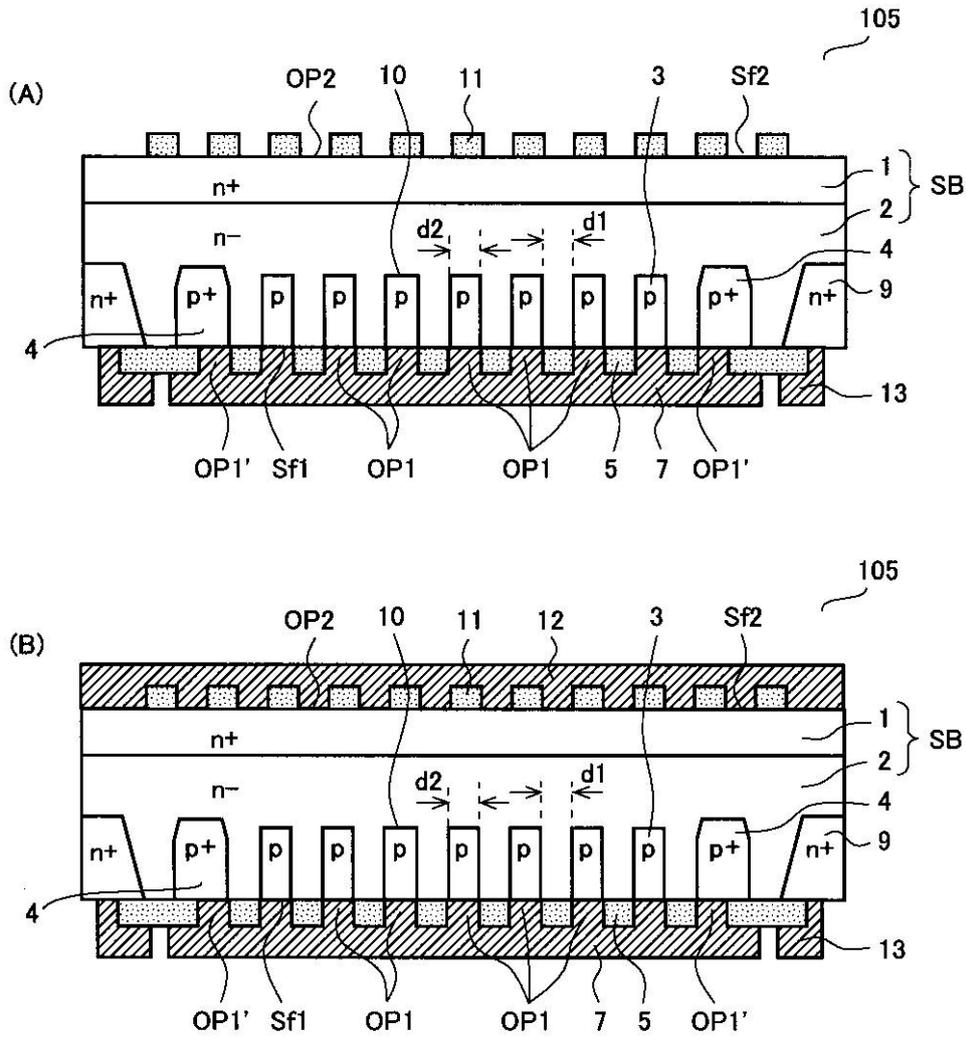
【 図 10 】



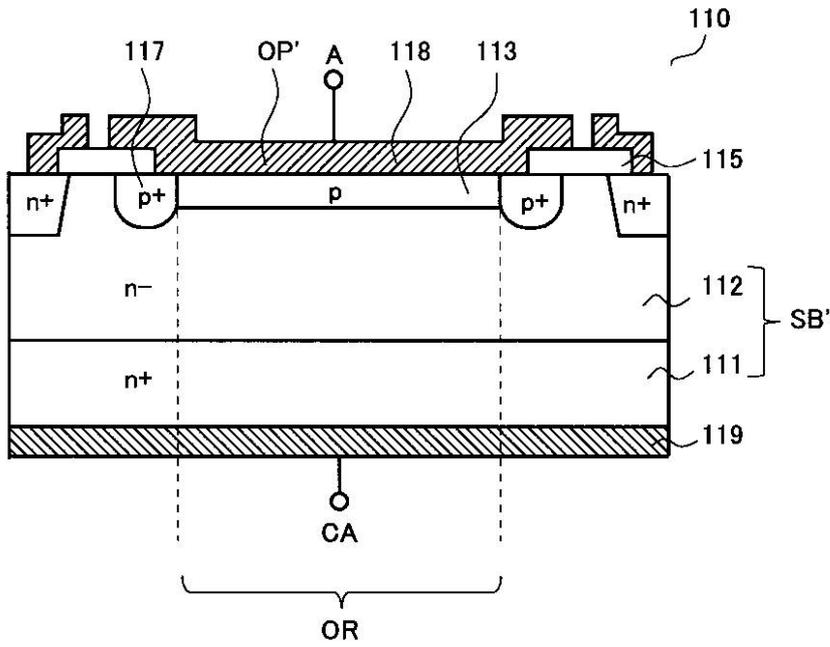
【図 11】



【 図 1 2 】



【 図 1 3 】



【 図 1 4 】

