



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월29일
(11) 등록번호 10-1691088
(24) 등록일자 2016년12월23일

(51) 국제특허분류(Int. Cl.)
G11C 16/08 (2006.01) G11C 16/06 (2006.01)
(21) 출원번호 10-2010-0014275
(22) 출원일자 2010년02월17일
심사청구일자 2015년01월21일
(65) 공개번호 10-2011-0094711
(43) 공개일자 2011년08월24일
(56) 선행기술조사문헌
US05673223 A
KR1020080071297 A
KR100157342 B1
W02009086618 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
심선일
서울특별시 송파구 오금로31길 27, 104동 704호
(방이동, 코오롱아파트 103동)
장재훈
경기도 성남시 분당구 내정로165번길 35, 청구아파트 210동 103호 (수내동, 양지마을)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

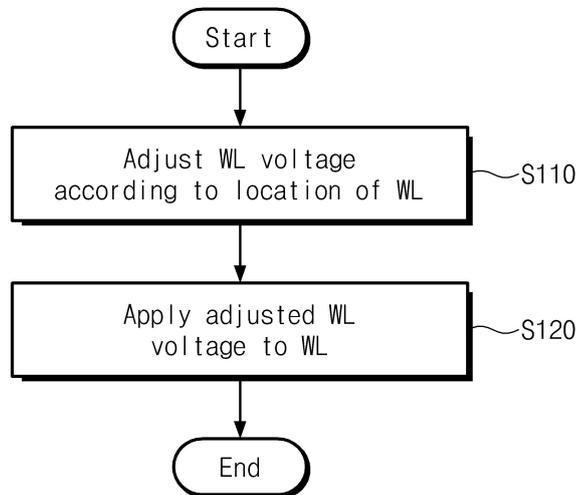
심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 장치, 그것의 동작 방법, 그리고 그것을 포함하는 메모리 시스템

(57) 요약

본 발명은 불휘발성 메모리 장치에 관한 것이다. 본 발명의 불휘발성 메모리 장치는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 복수의 메모리 셀들에 연결된 복수의 워드 라인들에 워드 라인 전압들을 각각 인가하도록 구성되는 워드 라인 구동기로 구성된다. 워드 라인 전압들의 레벨들은 복수의 워드 라인들의 위치들에 따라 조절된다.

대표도 - 도7



(72) 발명자

채동혁

서울특별시 관악구 신림로3길 40, 건영3차 아파트
1동 405호 (신림동)

임영호

경기도 용인시 수지구 진산로 90, 삼성5차아파트
삼성수지5차 512동 1201호 (풍덕천동)

김한수

경기도 수원시 영통구 청명북로 33, 삼성래미안
APT 431동 601호 (영통동)

정재훈

경기도 화성시 영통로26번길 24, 신동탄 대우푸르
지오아파트 305동 1206호 (반월동)

명세서

청구범위

청구항 1

기관과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 그리고

상기 복수의 메모리 셀들에 연결된 복수의 워드 라인들에 워드 라인 전압들을 각각 인가하도록 구성되는 워드 라인 구동기를 포함하고,

상기 워드 라인 전압들의 레벨들은 상기 복수의 워드 라인들에 연결된 상기 복수의 메모리 셀들의 바디들의 폭들에 따라 조절되는 불휘발성 메모리 장치.

청구항 2

기관과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 그리고

상기 복수의 메모리 셀들에 연결된 복수의 워드 라인들에 워드 라인 전압들을 각각 인가하도록 구성되는 워드 라인 구동기를 포함하고,

상기 워드 라인 전압들의 레벨들은 상기 복수의 워드 라인들의 위치들에 따라 조절되고,

상기 복수의 워드 라인들은 복수의 그룹들로 분할되고, 상기 워드 라인 전압들의 레벨들은 상기 분할된 워드 라인들의 그룹 단위로 조절되는 불휘발성 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 메모리 셀 어레이는 복수의 스트링들을 포함하고,

각 스트링은 스트링 선택 트랜지스터 및 접지 선택 트랜지스터 사이에 연결되며, 상기 복수의 워드 라인들에 의해 각각 제어되는 메모리 셀들을 포함하고,

상기 워드 라인 전압들의 레벨들은 상기 스트링 선택 트랜지스터에 연결된 스트링 선택 라인과의 거리에 따라 조절되는 불휘발성 메모리 장치.

청구항 4

제 2 항에 있어서,

프로그램 동작 시에, 상기 구동기는 선택 워드 라인의 위치에 따라 상기 선택 워드 라인에 인가되는 프로그램 전압의 레벨을 조절하도록 구성되는 불휘발성 메모리 장치.

청구항 5

제 4 항에 있어서,

프로그램 동작 시에, 상기 구동기는 상기 선택 워드 라인의 위치에 따라 상기 프로그램 전압의 증분을 조절하도록 구성되는 불휘발성 메모리 장치.

청구항 6

제 2 항에 있어서,

프로그램 동작 시에, 상기 구동기는 비선택 워드 라인들의 위치에 따라 상기 비선택 워드 라인들에 인가되는 패스 전압의 레벨을 조절하도록 구성되는 불휘발성 메모리 장치.

청구항 7

제 2 항에 있어서,

읽기 동작 시에, 상기 구동기는 비선택 워드 라인들의 위치에 따라 상기 비선택 워드 라인들에 인가되는 비선택 읽기 전압의 레벨을 조절하도록 구성되는 불휘발성 메모리 장치.

청구항 8

제 2 항에 있어서,

소거 동작 시에, 상기 구동기는 상기 복수의 워드 라인들의 위치에 따라 상기 복수의 워드 라인들에 인가되는 워드 라인 소거 전압의 레벨을 조절하도록 구성되는 불휘발성 메모리 장치.

청구항 9

기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

특정 워드 라인의 위치에 따라 워드 라인 전압의 레벨을 조절하고; 그리고

상기 조절된 워드 라인 전압을 상기 특정 워드 라인에 제공하는 것을 포함하고,

프로그램 동작 시에, 상기 특정 워드 라인의 위치에 따라 상기 특정 워드 라인에 인가되는 프로그램 전압의 증분이 조절되는 동작 방법.

청구항 10

불휘발성 메모리 장치; 그리고

상기 불휘발성 메모리 장치를 제어하도록 구성되는 컨트롤러를 포함하고,

상기 불휘발성 메모리 장치는

기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 복수의 메모리 셀들에 연결된 복수의 워드 라인들 중 선택 워드 라인에 선택 전압을 인가하고 비선택 워드 라인에 비선택 전압을 인가하도록 구성되는 워드 라인 구동기를 포함하고;

상기 선택 전압의 레벨은 상기 복수의 워드 라인들 중 상기 선택 워드 라인의 위치에 따라 조절되고,

프로그램 동작 시에, 특정 워드 라인의 위치에 따라 상기 특정 워드 라인에 인가되는 패스 전압의 레벨이 조절되는 메모리 시스템.

발명의 설명

기술 분야

본 발명은 반도체 메모리에 관한 것으로, 더 상세하게는 불휘발성 메모리 장치, 그것의 동작 방법, 그리고 그것을 포함하는 메모리 시스템에 관한 것이다.

배경 기술

반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리 장치는 크게 노어 타입과 낸드 타입으로 구분된다.

발명의 내용

해결하려는 과제

본 발명의 목적은 향상된 신뢰성을 갖는 불휘발성 메모리 장치, 그것의 프로그램 방법, 그리고 그것을 포함하는 메모리 시스템을 제공하는 데에 있다.

과제의 해결 수단

본 발명의 실시 예에 따른 불휘발성 메모리 장치는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 상기 복수의 메모리 셀들에 연결된 복수의 워드 라인들에 워드 라인 전압들을 각각 인가하도록 구성되는 워드 라인 구동기를 포함하고; 상기 워드 라인 전압들의 레벨들은 상기 복수의 워드 라인들의 위치들에 따라 조절된다.

실시 예로서, 상기 복수의 워드 라인들은 복수의 그룹들로 분할되고, 상기 워드 라인 전압들의 레벨들은 상기 분할된 워드 라인들의 그룹 단위로 조절된다.

실시 예로서, 상기 메모리 셀 어레이는 복수의 스트링들을 포함하고, 각 스트링은 스트링 선택 트랜지스터 및 접지 선택 트랜지스터 사이에 연결되며, 상기 복수의 워드 라인들에 의해 각각 제어되는 메모리 셀들을 포함하고, 상기 워드 라인 전압들의 레벨들은 상기 스트링 선택 트랜지스터에 연결된 스트링 선택 라인과의 거리에 따라 조절된다.

실시 예로서, 프로그램 동작 시에, 상기 구동기는 선택 워드 라인의 위치에 따라 상기 선택 워드 라인에 인가되는 프로그램 전압의 레벨을 조절하도록 구성된다.

실시 예로서, 프로그램 동작 시에, 상기 구동기는 상기 선택 워드 라인의 위치에 따라 상기 프로그램 전압의 증분을 조절하도록 구성된다.

실시 예로서, 프로그램 동작 시에, 상기 구동기는 비선택 워드 라인들의 위치에 따라 상기 비선택 워드 라인들에 인가되는 패스 전압의 레벨을 조절하도록 구성된다.

실시 예로서, 읽기 동작 시에, 상기 구동기는 비선택 워드 라인들의 위치에 따라 상기 비선택 워드 라인들에 인가되는 비선택 읽기 전압의 레벨을 조절하도록 구성된다.

실시 예로서, 소거 동작 시에, 상기 구동기는 상기 복수의 워드 라인들의 위치에 따라 상기 복수의 워드 라인들에 인가되는 워드 라인 소거 전압의 레벨을 조절하도록 구성된다.

본 발명의 실시 예에 따른 불휘발성 메모리 장치의 동작 방법은 특정 워드 라인의 위치에 따라 워드 라인 전압의 레벨을 조절하고; 그리고 상기 조절된 워드 라인 전압을 상기 특정 워드 라인에 제공하는 것을 포함한다.

본 발명의 실시 예에 따른 메모리 시스템은 불휘발성 메모리 장치; 그리고 상기 불휘발성 메모리 장치를 제어하도록 구성되는 컨트롤러를 포함하고, 상기 불휘발성 메모리 장치는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 상기 복수의 메모리 셀들에 연결된 복수의 워드 라인들 중 선택 워드 라인에 선택 전압을 인가하고 비선택 워드 라인에 비선택 전압을 인가하도록 구성되는 워드 라인 구동기를 포함하고; 상기 선택 전압의 레벨은 상기 복수의 워드 라인들 중 상기 선택 워드 라인의 위치에 따라 조절된다.

발명의 효과

본 발명에 의하면, 워드 라인의 위치에 따라 워드 라인 전압의 레벨이 조절된다. 따라서, 워드 라인의 위치에 터널 효과가 평준화되므로, 불휘발성 메모리 장치의 신뢰성이 향상된다.

도면의 간단한 설명

도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 2는 도 1의 메모리 셀 어레이를 보여주는 블록도이다.

도 3은 도 2의 메모리 블록들 중 하나를 보여주는 회로도이다.

도 4는 도 3의 메모리 블록에 대응하는 구조의 제 1 실시 예를 보여주는 사시도이다.

도 5는 도 4의 메모리 블록의 선에 따른 단면도이다.

- 도 6은 도 5의 트랜지스터 구조를 보여주는 단면도이다.
- 도 7은 도 1의 구동기의 동작을 설명하기 위한 순서도이다.
- 도 8은 도 7의 동작 방법에 따른 프로그램 동작 시의 전압 조건들을 보여주는 테이블이다.
- 도 9는 도 8에 도시된 전압들의 예시적인 레벨들을 보여주는 그래프이다.
- 도 10은 도 7의 동작 방법에 따른 읽기 동작 시의 전압 조건들을 보여주는 테이블이다.
- 도 11은 도 10에 도시된 전압들의 예시적인 레벨들을 보여주는 그래프이다.
- 도 12는 도 7의 동작 방법에 따른 소거 동작 시의 전압 조건들을 보여주는 테이블이다.
- 도 13은 도 12에 도시된 전압들의 예시적인 레벨들을 보여주는 그래프이다.
- 도 14는 도 3의 메모리 블록에 대응하는 구조의 제 2 실시 예를 보여주는 사시도이다.
- 도 15는 도 14의 메모리 블록의 선에 따른 단면도이다.
- 도 16은 도 3, 도 14 및 도 15의 메모리 블록의 워드 라인들에 인가되는 워드 라인 전압들을 보여주는 다이어그램이다.
- 도 17은 도 3의 메모리 블록에 대응하는 구조의 제 3 실시 예를 보여주는 사시도이다.
- 도 18은 도 17의 메모리 블록의 선에 따른 단면도이다.
- 도 19는 도 3의 메모리 블록에 대응하는 구조의 제 4 실시 예를 보여주는 사시도이다.
- 도 20은 도 19의 메모리 블록의 선에 따른 단면도이다.
- 도 21은 도 3의 메모리 블록에 대응하는 구조의 제 5 실시 예를 보여주는 사시도이다.
- 도 22는 도 21의 메모리 블록의 선에 따른 단면도이다.
- 도 23은 도 3의 메모리 블록에 대응하는 구조의 제 6 실시 예를 보여주는 사시도이다.
- 도 24는 도 23의 메모리 블록의 선에 따른 단면도이다.
- 도 25는 도 3의 메모리 블록에 대응하는 구조의 제 7 실시 예를 보여주는 사시도이다.
- 도 26은 도 25의 메모리 블록의 선에 따른 단면도이다.
- 도 27은 도 25 및 도 26의 메모리 블록(BLK_i_7)에 제공되는 워드 라인 전압들의 예시적인 레벨들을 보여주는 그래프이다.
- 도 28은 도 2의 메모리 블록들 중 하나의 다른 실시 예를 보여주는 회로도이다.
- 도 29는 도 2의 메모리 블록들(BLK₁-BLK_h) 중 하나의 다른 실시 예(BLK_p)를 보여주는 회로도이다.
- 도 30은 도 1의 불휘발성 메모리 장치를 포함하는 메모리 시스템을 보여주는 블록도이다.
- 도 31은 도 30의 메모리 시스템의 응용 예를 보여주는 블록도이다.
- 도 32는 도 31을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 동일한 구성 요소들은 동일한 참조 번호를 이용하여 인용될 것이다. 유사한 구성 요소들은 유사한 참조 번호들을 이용하여 인용될 것이다.

도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 구동기(120), 읽기 및 쓰기 회로(130), 데이터 입출력 회로(140), 그리고 제어 로직(150)을 포함한다.

메모리 셀 어레이(110)는 워드 라인들(WL)을 통해 구동기(120)에 연결되고, 비트 라인들(BL)을 통해 읽기 및 쓰

기 회로(130)에 연결된다. 메모리 셀 어레이(110)는 복수의 메모리 셀들을 포함한다. 예시적으로, 행 방향으로 배열되는 메모리 셀들은 워드 라인들(WL)에 연결된다. 열 방향으로 배열되는 메모리 셀들은 비트 라인들(BL)에 연결된다. 예시적으로, 메모리 셀 어레이(110)는 셀 당 하나 또는 그 이상의 비트를 저장할 수 있도록 구성된다.

메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLK_n)을 포함한다. 각 메모리 블록(BLK)은 복수의 메모리 셀들을 포함한다. 각 메모리 블록(BLK)에 복수의 워드 라인들(WL), 복수의 선택 라인들(SL), 그리고 적어도 하나의 공통 소스 라인(CSL)이 제공된다.

구동기(120)는 워드 라인들(WL)을 통해 메모리 셀 어레이(110)에 연결된다. 구동기(120)는 제어 로직(150)의 제어에 응답하여 동작하도록 구성된다. 구동기(120)는 외부로부터 어드레스(ADDR)를 수신한다.

구동기(120)는 수신된 어드레스(ADDR)를 디코딩하도록 구성된다. 디코딩된 어드레스를 이용하여, 구동기(120)는 워드 라인들(WL)을 선택한다. 구동기(120)는 워드 라인들(WL)에 워드 라인 전압을 인가하도록 구성된다. 예를 들면, 구동기(120)는 선택 및 비선택된 워드 라인들(WL)에 각각 선택 전압 및 비선택 전압 또는 워드 라인 소거 전압을 인가하도록 구성된다. 예를 들면, 프로그램 동작, 읽기 동작, 또는 소거 동작 시에, 구동기(120)는 프로그램 동작과 연관된 프로그램 동작 전압, 읽기 동작과 연관된 읽기 동작 전압, 또는 소거 동작과 연관된 소거 동작 전압을 워드 라인들(WL)에 인가하도록 구성된다. 예를 들면, 구동기(120)는 워드 라인들을 선택 및 구동하는 워드 라인 구동기(121)를 포함할 것이다.

예시적으로, 구동기(120)는 선택 라인들(SL)을 선택 및 구동하도록 구성될 것이다. 예를 들면, 구동기(120)는 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)을 더 선택 및 구동하도록 구성될 것이다. 예를 들면, 구동기(120)는 선택 라인들을 선택 및 구동하도록 구성되는 선택 라인 구동기(미도시)를 포함할 것이다.

예시적으로, 구동기(120)는 공통 소스 라인(CSL)을 구동하도록 구성될 것이다. 예를 들면, 구동기(120)는 공통 소스 라인(CSL)을 구동하도록 구성되는 공통 소스 라인 구동기(미도시)를 포함할 것이다.

읽기 및 쓰기 회로(130)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결되고, 데이터 라인들(DL)을 통해 데이터 입출력 회로(140)에 연결된다. 읽기 및 쓰기 회로(130)는 제어 로직(150)의 제어에 응답하여 동작한다. 읽기 및 쓰기 회로(130)는 비트 라인들(BL)을 선택하도록 구성된다.

예시적으로, 읽기 및 쓰기 회로(130)는 외부로부터 데이터(DATA)를 수신하고, 수신된 데이터(DATA)를 메모리 셀 어레이(110)에 기입한다. 읽기 및 쓰기 회로(130)는 메모리 셀 어레이(110)로부터 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 외부에 전달한다. 읽기 및 쓰기 회로(130)는 메모리 셀 어레이(110)의 제 1 저장 영역으로부터 데이터를 읽고, 읽어진 데이터를 메모리 셀 어레이(110)의 제 2 저장 영역에 기입한다. 예를 들면, 읽기 및 쓰기 회로(230)는 카피-백(copy-back) 동작을 수행하도록 구성된다.

예시적으로, 읽기 및 쓰기 회로(130)는 페이지 버퍼(또는 페이지 레지스터), 열 선택 회로, 데이터 버퍼 등과 같이 잘 알려진 구성 요소들을 포함한다. 다른 예로서, 읽기 및 쓰기 회로(130)는 감지 증폭기, 쓰기 드라이버, 열 선택 회로, 데이터 버퍼 등과 같이 잘 알려진 구성 요소들을 포함한다.

제어 로직(140)은 구동기(120) 그리고 읽기 및 쓰기 회로(130)에 연결된다. 제어 로직(140)은 불휘발성 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 제어 로직(140)은 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 동작한다.

도 2는 도 1의 메모리 셀 어레이(110)를 보여주는 블록도이다. 도 2를 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLK_n)을 포함한다. 각 메모리 블록(BLK)은 3차원 구조(또는 수직 구조)를 갖는다. 예를 들면, 각 메모리 블록(BLK)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다. 예를 들면, 각 메모리 블록(BLK)은 제 2 방향을 따라 신장된 복수의 낸드 스트링들(NS)을 포함한다. 예를 들면, 제 1 및 제 3 방향들을 따라 복수의 낸드 스트링들(NS)이 제공될 것이다.

각 낸드 스트링(NS)은 비트 라인(BL), 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 워드 라인들(WL), 그리고 공통 소스 라인(CSL)에 연결된다. 즉, 각 메모리 블록은 복수의 비트 라인들(BL), 복수의 스트링 선택 라인들(SSL), 복수의 접지 선택 라인들(GSL), 복수의 워드 라인들(WL), 그리고 복수의 공통 소스 라인(CSL)에 연결될 것이다. 메모리 블록들(BLK1~BLK_n)은 도 3을 참조하여 더 상세하게 설명된다.

도 3은 도 2의 메모리 블록들(BLK1~BLK_n) 중 하나(BLK_i)를 보여주는 회로도이다. 도 3을 참조하면, 제 1 비트 라인(BL1) 및 공통 소스 라인(CSL) 사이에 낸드 스트링들(NS11~NS31)이 제공된다. 제 2 비트 라인(BL2) 및 공통

소스 라인(CSL) 사이에 낸드 스트링들(NS12, NS22, NS32)이 제공된다. 제 3 비트 라인(BL3) 및 공통 소스 라인(CSL) 사이에, 낸드 스트링들(NS13, NS23, NS33)이 제공된다.

각 낸드 스트링(NS)은 스트링 선택 트랜지스터(SST), 접지 선택 트랜지스터(GST), 그리고 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 연결된 복수의 메모리 셀들(MC)을 포함한다. 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST)는 대응하는 비트 라인(BL)과 연결된다. 각 낸드 스트링(NS)의 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)과 연결된다.

이하에서, 행 및 열 단위로 낸드 스트링들(NS)을 정의한다. 하나의 비트 라인(BL)에 공통으로 연결된 낸드 스트링들(NS)은 하나의 열을 형성한다. 예를 들면, 제 1 비트 라인(BL1)에 연결된 낸드 스트링들(NS11~NS31)은 제 1 열에 대응할 것이다. 제 2 비트 라인(BL2)에 연결된 낸드 스트링들(NS12~NS32)은 제 2 열에 대응할 것이다. 제 3 비트 라인(BL3)에 연결된 낸드 스트링들(NS13~NS33)은 제 3 열에 대응할 것이다.

하나의 스트링 선택 라인(SSL)에 연결되는 낸드 스트링들(NS)은 하나의 행을 형성한다. 예를 들면, 제 1 스트링 선택 라인(SSL1)에 연결된 낸드 스트링들(NS11~NS13)은 제 1 행을 형성한다. 제 2 스트링 선택 라인(SSL2)에 연결된 낸드 스트링들(NS21~NS23)은 제 2 행을 형성한다. 제 3 스트링 선택 라인(SSL3)에 연결된 낸드 스트링들(NS31~NS33)은 제 3 행을 형성한다.

각 낸드 스트링(NS)에서, 높이가 정의된다. 예시적으로, 각 낸드 스트링(NS)에서, 접지 선택 트랜지스터(GST)에 인접한 메모리 셀(MC1)의 높이는 1이다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접할수록 메모리 셀의 높이는 증가한다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접한 메모리 셀(MC7)의 높이는 7이다.

동일한 행의 낸드 스트링들(NS)은 스트링 선택 라인(SSL)을 공유한다. 상이한 행의 낸드 스트링들(NS)은 상이한 스트링 선택 라인(SSL)에 연결된다. 낸드 스트링들(NS11~NS13, NS21~NS23, NS31~NS33)은 접지 선택 라인(GSL)을 공유한다. 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 메모리 셀들은 워드 라인을 공유한다. 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 워드 라인들(WL)은 공통으로 연결된다. 공통 소스 라인(CSL)은 낸드 스트링들(NS)에 공통으로 연결된다.

도 3에 도시된 바와 같이, 동일 높이의 워드 라인들(WL)은 공통으로 연결되어 있다. 따라서, 특정 워드 라인(WL)이 선택될 때, 특정 워드 라인(WL)에 연결된 모든 낸드 스트링들(NS)이 선택될 것이다. 상이한 행의 낸드 스트링들(NS)은 상이한 스트링 선택 라인(SSL)에 연결되어 있다. 따라서, 스트링 선택 라인들(SSL1~SSL3)을 선택함으로써, 동일 워드 라인(WL)에 연결된 낸드 스트링들(NS) 중 비선택 행의 낸드 스트링들(NS)이 비트 라인들(BL1~BL3)로부터 분리될 수 있다. 즉, 스트링 선택 라인들(SSL1~SSL3)을 선택함으로써, 낸드 스트링들(NS)의 행이 선택될 수 있다. 그리고, 비트 라인들(BL1~BL3)을 선택함으로써, 선택 행의 낸드 스트링들(NS)이 열 단위로 선택될 수 있다.

도 4는 도 3의 메모리 블록(BLK_i)에 대응하는 구조의 제 1 실시 예(BLK_i_1)를 보여주는 사시도이다. 도 5는 도 4의 메모리 블록(BLK_i_1)의 선(I-I')에 따른 단면도이다. 도 4 및 도 5를 참조하면, 메모리 블록(BLK_i_1)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다.

우선, 기관(111)이 제공된다. 예시적으로, 기관(111)은 제 1 타입 불순물로 도핑된 실리콘 물질을 포함할 것이다. 예를 들면, 기관(111)은 p 타입 불순물로 도핑된 실리콘 물질을 포함할 것이다. 예를 들면, 기관(111)은 p 타입 웰(예를 들면, 포켓 p 웰)일 것이다. 이하에서, 기관(111)은 p 타입 실리콘인 것으로 가정한다. 그러나, 기관(111)은 p 타입 실리콘으로 한정되지 않는다.

기관(111) 상에, 제 1 방향을 따라 신장된 복수의 도핑 영역들(311~314)이 제공된다. 예를 들면, 복수의 도핑 영역들(311~314)은 기관(111)과 상이한 제 2 타입을 가질 것이다. 예를 들면, 복수의 도핑 영역들(311~314)은 n-타입을 가질 것이다. 이하에서, 제 1 내지 제 4 도핑 영역들(311~314)은 n-타입인 것으로 가정한다. 그러나, 제 1 내지 제 4 도핑 영역들(311~314)은 n-타입인 것으로 한정되지 않는다.

제 1 및 제 2 도핑 영역들(311, 312) 사이에 대응하는 기관(111) 상의 영역에서, 제 1 방향을 따라 신장되는 복수의 절연 물질들(112)이 제 2 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(112) 및 기관(111)은 제 2 방향을 따라 미리 설정된 거리 만큼 이격되어 제공될 것이다. 예를 들면, 복수의 절연 물질들(112)은 각각 제 2 방향을 따라 미리 설정된 거리 만큼 이격되어 제공될 것이다. 예시적으로, 절연 물질들(112)은 실리콘 산화물(Silicon Oxide)을 포함할 것이다.

제 1 및 제 2 도핑 영역들(311, 312) 사이에 대응하는 기관(111) 상의 영역에서, 제 1 방향을 따라 순차적으로 배치되며 제 2 방향을 따라 절연 물질들(112)을 관통하는 복수의 필라들(113)이 제공된다. 예시적으로, 복수의 필라들(113) 각각은 절연 물질들(112)을 관통하여 기관(111)과 연결될 것이다.

예시적으로, 각 필라(113)는 복수의 물질들로 구성될 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 제 1 타입으로 도핑된 실리콘 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 기관(111)과 동일한 타입으로 도핑된 실리콘 물질을 포함할 것이다. 이하에서, 각 필라(113)의 표면층(114)은 p-타입 실리콘을 포함하는 것으로 가정한다. 그러나, 각 필라(113)의 표면층(114)은 p-타입 실리콘을 포함하는 것으로 한정되지 않는다.

각 필라(113)의 내부층(115)은 절연 물질로 구성된다. 예를 들면, 각 필라(113)의 내부층(115)은 실리콘 산화물(Silicon Oxide)을 포함할 것이다.

제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연 물질들(112), 필라들(113), 그리고 기관(111)의 노출된 표면을 따라 절연막(116)이 제공된다. 예시적으로, 절연막(116)의 두께는 절연 물질들(112) 사이의 거리의 1/2 보다 작을 것이다. 즉, 절연 물질들(112) 중 제 1 절연 물질의 하부면에 제공된 절연막(116), 그리고 제 1 절연 물질 하부의 제 2 절연 물질의 상부면에 제공된 절연막(116) 사이에, 절연 물질들(112) 및 절연막(116) 이외의 물질이 배치될 수 있는 영역이 제공될 것이다.

제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연막(116)의 노출된 표면 상에 도전 물질들(211~291)이 제공된다. 예를 들면, 기관(111)에 인접한 절연 물질(112) 및 기관(111) 사이에 제 1 방향을 따라 신장되는 도전 물질(211)이 제공된다. 더 상세하게는, 기관(111)에 인접한 절연 물질(112)의 하부면의 절연막(116) 및 기관(111) 사이에, 제 1 방향으로 신장되는 도전 물질(211)이 제공된다.

절연 물질들(112) 중 특정 절연 물질 상부면의 절연막(116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부면의 절연막(116) 사이에, 제 1 방향을 따라 신장되는 도전 물질이 제공된다. 예시적으로, 절연 물질들(112) 사이에, 제 1 방향으로 신장되는 복수의 도전 물질들(221~281)이 제공된다. 또한, 절연 물질들(112) 상의 영역에 제 1 방향을 따라 신장되는 도전 물질(291)이 제공된다. 예시적으로, 제 1 방향으로 신장된 도전 물질들(211~291)은 금속 물질일 것이다. 예시적으로, 제 1 방향으로 신장된 도전 물질들(211~291)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.

제 2 및 제 3 도핑 영역들(312, 313) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제 2 및 제 3 도핑 영역들(312, 313) 사이의 영역에서, 제 1 방향으로 신장되는 복수의 절연 물질들(112), 제 1 방향을 따라 순차적으로 배치되며 제 3 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 제 1 방향을 따라 신장되는 복수의 도전 물질들(212~292)이 제공된다.

제 3 및 제 4 도핑 영역들(313, 314) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제 3 및 제 4 도핑 영역들(312, 313) 사이의 영역에서, 제 1 방향으로 신장되는 복수의 절연 물질들(112), 제 1 방향을 따라 순차적으로 배치되며 제 3 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 제 1 방향을 따라 신장되는 복수의 도전 물질들(213~293)이 제공된다.

복수의 필라들(113) 상에 드레인들(320)이 각각 제공된다. 예시적으로, 드레인들(320)은 제 2 타입으로 도핑된 실리콘 물질들일 것이다. 예를 들면, 드레인들(320)은 n 타입으로 도핑된 실리콘 물질들일 것이다. 이하에서, 드레인들(320)은 n-타입 실리콘을 포함하는 것으로 가정한다. 그러나, 드레인들(320)은 n-타입 실리콘을 포함하는 것으로 한정되지 않는다. 예시적으로, 각 드레인(320)의 폭은 대응하는 필라(113)의 폭 보다 클 수 있다. 예를 들면, 각 드레인(320)은 대응하는 필라(113)의 상부면에 패드 형태로 제공될 수 있다.

드레인들(320) 상에, 제 3 방향으로 신장된 도전 물질들(331~333)이 제공된다. 도전 물질들(331~333)은 제 1 방향을 따라 순차적으로 배치된다. 도전 물질들(331~333) 각각은 대응하는 영역의 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 제 3 방향으로 신장된 도전 물질(333)은 각각 콘택 플러그들(contact plug)을 통해 연결될 수 있다. 예시적으로, 제 3 방향으로 신장된 도전 물질들(331~333)은 금속 물질들일 것이다. 예시적으로, 제 3 방향으로 신장된 도전 물질들(331~333)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.

도 4 및 도 5에서, 각 필라(113)는 절연막(116) 및 제 1 방향을 따라 신장되는 복수의 도체 라인들(211~291,

212~292, 213~293)과 함께 낸드 스트링(NS)을 형성한다. 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함한다. 트랜지스터 구조(TS)는 도 6을 참조하여 더 상세하게 설명된다.

도 6은 도 5의 트랜지스터 구조(TS)를 보여주는 단면도이다. 도 4 내지 도 6을 참조하면, 절연막(116)은 적어도 세 개의 서브 절연막들(117, 118, 119)을 포함한다.

필라(113)의 p-타입 실리콘(114)은 바디(body)로 동작할 것이다. 필라(113)에 인접한 제 1 서브 절연막(117)은 터널링 절연막으로 동작할 것이다. 예를 들면, 필라(113)에 인접한 제 1 서브 절연막(117)은 열산화막을 포함할 것이다.

제 2 서브 절연막(118)은 전하 저장막으로 동작할 것이다. 예를 들면, 제 2 서브 절연막(118)은 전하 포획층으로 동작할 것이다. 예를 들면, 제 2 서브 절연막(118)은 질화막 또는 금속 산화막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 것이다.

도전 물질(233)에 인접한 제 3 서브 절연막(119)은 블로킹 절연막으로 동작할 것이다. 예시적으로, 제 1 방향으로 신장된 도전 물질(233)과 인접한 제 3 서브 절연막(119)은 단일층 또는 다층으로 형성될 수 있다. 제 3 서브 절연막(119)은 제 1 및 제 2 서브 절연막들(117, 118) 보다 높은 유전상수를 갖는 고유전막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)일 수 있다.

도전 물질(233)은 게이트(또는 제어 게이트)로 동작할 것이다. 즉, 게이트(또는 제어 게이트, 233), 블로킹 절연막(119), 전하 저장막(118), 터널링 절연막(117), 그리고 바디(114)는 트랜지스터(또는 메모리 셀 트랜지스터 구조)를 형성할 것이다. 예시적으로, 제 1 내지 제 3 서브 절연막들(117~119)은 ONO (oxide-nitride-oxide)를 구성할 수 있다. 이하에서, 필라(113)의 p-타입 실리콘(114)을 제 2 방향의 바디라 부르기로 한다.

메모리 블록(BLK_i_1)은 복수의 필라들(113)을 포함한다. 즉, 메모리 블록(BLK_i_1)은 복수의 낸드 스트링들(NS)을 포함한다. 더 상세하게는, 메모리 블록(BLK_i_1)은 제 2 방향(또는 기판과 수직한 방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함한다.

각 낸드 스트링(NS)은 제 2 방향을 따라 배치되는 복수의 트랜지스터 구조들(TS)을 포함한다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 스트링 선택 트랜지스터(SST)로 동작한다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 접지 선택 트랜지스터(GST)로 동작한다.

게이트들(또는 제어 게이트들)은 제 1 방향으로 신장된 도전 물질들(211~291, 212~292, 213~293)에 대응한다. 즉, 게이트들(또는 제어 게이트들)은 제 1 방향으로 신장되어 워드 라인들, 그리고 적어도 두 개의 선택 라인들(예를 들면, 적어도 하나의 스트링 선택 라인(SSL) 및 적어도 하나의 접지 선택 라인(GSL))을 형성한다.

제 3 방향으로 신장된 도전 물질들(331~333)은 낸드 스트링들(NS)의 일단에 연결된다. 예시적으로, 제 3 방향으로 신장된 도전 물질들(331~333)은 비트 라인들(BL)로 동작한다. 즉, 하나의 메모리 블록(BLK_i_1)에서, 하나의 비트 라인(BL)에 복수의 낸드 스트링들이 연결된다.

제 1 방향으로 신장된 제 2 타입 도핑 영역들(311~314)이 낸드 스트링들의 타단에 제공된다. 제 1 방향으로 신장된 제 2 타입 도핑 영역들(311~314)은 공통 소스 라인들(CSL)로 동작한다.

요약하면, 메모리 블록(BLK_i_1)은 기판(111)에 수직한 방향(제 2 방향)으로 신장된 복수의 낸드 스트링들을 포함하며, 하나의 비트 라인(BL)에 복수의 낸드 스트링들(NS)이 연결되는 낸드 플래시 메모리 블록(예를 들면, 전하 포획형)으로 동작한다.

도 4 내지 도 6에서, 제 1 방향으로 신장되는 도체 라인들(211~291, 212~292, 213~293)은 9 개의 층에 제공되는 것으로 설명되었다. 그러나, 제 1 방향으로 신장되는 도체 라인들(211~291, 212~292, 213~293)은 9 개의 층에 제공되는 것으로 한정되지 않는다. 예를 들면, 제 1 방향으로 신장되는 도체 라인들은 8개의 층, 16개의 층, 또는 복수의 층에 제공될 수 있다. 즉, 하나의 낸드 스트링에서, 트랜지스터는 8개, 16개, 또는 복수개일 수 있다.

도 4 내지 도 6에서, 하나의 비트 라인(BL)에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명되었다. 그러나, 하나의 비트 라인(BL)에 3개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예시적으로, 메모리 블록(BLK_i_1)에서, 하나의 비트 라인(BL)에 m 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 하나의 비트 라인(BL)에 연결되는 낸드 스트링들(NS)의 수 만큼, 제 1 방향으로 신장되는 도전 물질들(211~291, 212~292, 213~293)의 수 및 공통 소스 라인들(311~314)의 수 또한 조절될 것이다.

도 4 내지 도 6에서, 제 1 방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명되었다. 그러나, 제 1 방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예를 들면, 제 1 방향으로 신장된 하나의 도전 물질에, n 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 제 1 방향으로 신장된 하나의 도전 물질에 연결되는 낸드 스트링들(NS)의 수 만큼, 비트 라인들(331~333)의 수 또한 조절될 것이다.

도 4 내지 도 6에 도시된 바와 같이, 메모리 셀(MC)의 높이에 따라 필라(113)의 폭이 변화한다. 예시적으로, 공정의 특성 또는 오차에 의해 필라(113)의 폭이 변화할 것이다. 예를 들면, 메모리 셀(MC)의 높이가 감소할수록, 즉 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 필라(113)의 폭은 감소한다.

필라(113)는 터널링 절연막으로 동작하는 실리콘 산화막(117), 전하 저장막으로 동작하는 실리콘 질화막(118), 그리고 블로킹 절연막으로 동작하는 실리콘 산화막(119)을 포함한다. 게이트(또는 제어 게이트) 및 바디(114) 사이의 전압 차이로 인해, 게이트(또는 제어 게이트) 및 바디(114) 사이에 전계(electric field)가 형성된다. 형성된 전계는 터널링 절연막(117), 전하 저장막(118), 그리고 블로킹 절연막(119)에 분배된다.

분배된 전계 중 터널링 절연막(117)에 분배되는 전계가 Fowler-Nordheim 터널링을 유발한다. 즉, 터널링 절연막(117)에 분배되는 전계에 의해, 메모리 셀(MC)이 프로그램 또는 소거된다. 프로그램 동작 시에 전하 저장막(118)에 포획되는 전하의 양 또는 소거 동작 시에 전하 저장막으로부터 유출되는 전하의 양은 터널링 절연막(117)에 분배되는 전계에 따라 결정될 것이다.

전계는 터널링 절연막(117), 전하 저장막(118), 그리고 블로킹 절연막(119) 각각의 정전 용량(capacitance)에 기반하여 터널링 절연막(117), 전하 저장막(118), 그리고 블로킹 절연막(119)에 분배된다. 필라(113)의 폭이 감소할수록, 터널링 절연막(117)의 블로킹 절연막(119)에 대한 면적 비율은 감소한다. 터널링 절연막(117)의 블로킹 절연막(119)에 대한 면적 비율이 감소할수록, 터널링 절연막(117)의 정전 용량의 블로킹 절연막(119)의 정전 용량에 대한 비율은 감소한다. 터널링 절연막(117)의 정전 용량의 블로킹 절연막(119)의 정전 용량에 대한 비율이 감소할수록, 터널링 절연막(117)에 분배되는 전계가 증가한다.

따라서, 필라(113)의 폭이 감소할수록, 프로그램 동작 시에 전하 저장막(118)에 포획되는 전하의 양 및 소거 동작 시에 전하 저장막(118)으로부터 유출되는 전하의 양이 증가한다. 즉, 필라(113)의 폭의 차이에 의해, 터널링 효과의 크기가 변화하며, 프로그램 동작 또는 소거 동작 시에 메모리 셀들(MC1~MC7)의 문턱 전압의 변화량이 변화한다.

필라(113)의 폭에 따른 메모리 셀들(MC)의 터널링 효과(또는 문턱 전압의 변화량)의 차이를 보상하기 위하여, 본 발명의 실시 예에 따른 구동기(120, 도 1 참조)는 워드 라인(WL)의 위치에 따라 워드 라인(WL)에 인가되는 워드 라인 전압의 레벨을 조절하도록 구성된다. 예시적으로, 구동기(120)는 선택 워드 라인에 인가되는 선택 전압(Vs), 비선택 워드 라인에 인가되는 비선택 전압(Vus), 그리고 소거 동작 시에 인가되는 워드 라인 소거 전압(Vew)의 레벨을 조절하도록 구성된다.

도 7은 도 1의 구동기(120)의 동작을 설명하기 위한 순서도이다. 도 1 및 도 7을 참조하면, S110 단계에서, 워드 라인(WL)의 위치에 따라 워드 라인 전압이 조절된다. 예를 들면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 워드 라인 전압의 레벨이 조절된다. S120 단계에서, 조절된 워드 라인 전압이 워드 라인(WL)에 인가된다.

도 8은 도 7의 동작 방법에 따른 프로그램 동작 시의 전압 조건들을 보여주는 테이블이다. 도 9는 도 8에 도시된 전압들의 예시적인 레벨들을 보여주는 그래프이다. 도 9에서, 가로 축은 워드 라인들(WL)을 나타내며, 세로 축은 전압(V)을 나타낸다. 도 8 및 도 9를 참조하면, 프로그램 동작 시에, 선택 워드 라인(WL)에 프로그램 전압(Vpgm)이 인가되며, 비선택 워드 라인들(WL)에 패스 전압(Vpass)이 인가된다.

프로그램 전압(Vpgm)은 초기 프로그램 전압(Vini) 및 증분(increment)으로 구성된다. 프로그램 동작이 시작될 때, 프로그램 전압(Vpgm)의 레벨은 초기 프로그램 전압(Vini)의 레벨로 제어된다. 프로그램 루프가 수행될 때마다, 프로그램 전압(Vpgm)의 레벨은 증분 만큼 증가한다. 즉, 프로그램 동작은 증가형 스텝 펄스 프로그램(ISPP, Incremental Step Pulse Program)에 기반하여 수행된다.

예시적으로, 선택 워드 라인(WL)의 위치에 따라 초기 프로그램 전압(Vini)의 레벨이 조절될 것이다. 예를 들면, 스트링 선택 라인(SSL) 및 선택 워드 라인(WL) 사이의 거리에 따라, 초기 프로그램 전압(Vini)의 레벨이 조절될 것이다. 제 1 내지 제 7 초기 프로그램 전압들(Vini1~Vini7)은 각각 제 1 내지 제 7 워드 라인들(WL1~WL7)에 대

응할 것이다.

예시적으로, 워드 라인(WL) 및 스트링 선택 라인(SSL) 사이의 거리가 증가함에 따라, 초기 프로그램 전압(Vini)의 레벨은 감소할 것이다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인(WL)에 대응하는 필라 영역의 폭은 감소한다. 즉, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 터널링 효과(또는 문턱 전압 변화량)는 증가한다. 워드 라인(WL) 및 스트링 선택 라인(SSL) 사이의 거리가 증가함에 따라 초기 프로그램 전압(Vini)의 레벨이 조절(예를 들면, 감소)되면, 워드 라인들(WL1~WL7)에 대응하는 터널링 효과(또는 문턱 전압 변화량)는 평준화될 수 있다.

예시적으로, 선택 워드 라인(WL)의 위치에 따라 증분이 조절될 것이다. 예를 들면, 스트링 선택 라인(SSL) 및 선택 워드 라인 사이의 거리에 따라, 증분의 크기가 조절될 것이다. 제 1 내지 제 7 증분들(Vi1~Vi7)은 각각 제 1 내지 제 7 워드 라인들(WL1~WL7)에 대응할 것이다.

예시적으로, 워드 라인(WL) 및 스트링 선택 라인(SSL) 사이의 거리가 증가함에 따라, 증분(Vi)은 감소할 것이다. 워드 라인(WL) 및 스트링 선택 라인(SSL) 사이의 거리가 증가함에 따라 증분(Vi)이 감소되면, 워드 라인들(WL1~WL7)에 대응하는 터널링 효과(또는 문턱 전압 변화량)는 평준화될 수 있다.

워드 라인들(WL1~WL7)에 따른 터널링 효과(또는 문턱 전압 변화량)가 평준화되면, 워드 라인들(WL1~WL7)에 따른 프로그램 속도가 평준화될 것이다. 그리고, 프로그램된 메모리 셀들(MC)의 문턱 전압 산포가 감소할 것이다. 따라서, 불휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상될 것이다. 예시적으로, 프로그램 속도의 평준화는 스트링 선택 라인(SSL)에 인접한 워드 라인에 대응하는 메모리 셀들의 프로그램 속도를 가속함으로써 수행될 것이다. 예시적으로, 프로그램 속도의 평준화는 접지 선택 라인(GSL)과 인접한 워드 라인에 대응하는 메모리 셀들의 프로그램 속도를 안정화(또는 감소)함으로써 수행될 것이다.

예시적으로, 워드 라인들(WL1~WL7)에 각각 상이한 레벨의 초기 프로그램 전압(Vini) 및 증분(Vi)이 적용될 수 있다. 즉, 워드 라인들(WL1~WL7)에 각각 상이한 레벨의 프로그램 전압(Vpgm)이 인가될 수 있다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 상이한 레벨의 초기 프로그램 전압(Vini) 및 증분(Vi)이 적용될 수 있다. 즉, 분할된 워드 라인들의 그룹 단위로 상이한 레벨의 프로그램 전압(Vpgm)이 인가될 수 있다.

예시적으로, 비선택 워드 라인(WL)의 위치에 따라 패스 전압(Vpass)의 레벨이 조절될 것이다. 예를 들면, 스트링 선택 라인(SSL) 및 선택 워드 라인(WL) 사이의 거리에 따라, 패스 전압(Vpass)의 레벨이 조절될 것이다. 제 1 내지 제 7 패스 전압들(Vpass1~Vpass7)은 각각 제 1 내지 제 7 워드 라인들(WL1~WL7)에 대응할 것이다.

상술한 바와 같이, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인(WL)에 대응하는 메모리 셀의 터널링 효과(또는 문턱 전압 변화량)가 증가한다. 즉, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인(WL)에 대응하는 메모리 셀에서 패스 전압(Vpass)에 의한 프로그램 교란이 발생할 확률이 증가한다. 워드 라인(WL)의 위치에 따라, 더 상세하게는 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 패스 전압(Vpass)의 레벨이 조절되면, 패스 전압(Vpass)에 의한 프로그램 교란이 방지 또는 감소될 수 있다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 패스 전압(Vpass)의 레벨은 감소할 것이다. 즉, 메모리 셀의 터널링 효과(또는 문턱 전압 변화량)가 증가할수록, 패스 전압(Vpass)의 레벨은 감소할 것이다. 따라서, 패스 전압(Vpass)에 의한 프로그램 교란이 방지 또는 감소될 수 있다. 즉, 불휘발성 메모리 장치(100)의 신뢰성이 향상된다.

예시적으로, 워드 라인들(WL1~WL7)에 각각 상이한 레벨의 패스 전압(Vpass)이 인가될 수 있다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 상이한 레벨의 패스 전압(Vpass)이 인가될 수 있다.

도 10은 도 7의 동작 방법에 따른 읽기 동작 시의 전압 조건들을 보여주는 테이블이다. 도 11은 도 10에 도시된 전압들의 예시적인 레벨들을 보여주는 그래프이다. 도 11에서, 가로 축은 워드 라인들(WL)을 나타내며, 세로 축은 전압(V)을 나타낸다. 도 10 및 도 11을 참조하면, 읽기 동작 시에, 비선택 워드 라인들(WL)에 비선택 읽기 전압(Vread)이 인가된다.

도 8 및 도 9에서 패스 전압(Vpass)을 참조하여 설명된 바와 마찬가지로, 비선택 읽기 전압(Vread) 또한 프로그램 교란의 원인으로 작용할 수 있다. 따라서, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 비

선택 읽기 전압(Vread)의 레벨이 조절되면, 비선택 읽기 전압(Vread)에 의한 프로그램 교란이 방지 또는 감소될 수 있다. 예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 비선택 읽기 전압(Vread)의 레벨은 감소할 것이다. 즉, 메모리 셀들(MC)의 터널링 효과(또는 문턱 전압의 변화량)가 증가할수록, 비선택 읽기 전압(Vread)의 레벨이 감소할 것이다. 따라서, 비선택 읽기 전압(Vread)에 의한 프로그램 교란이 방지 또는 감소될 것이다. 예시적으로, 제 1 내지 제 7 비선택 읽기 전압들(Vread1~Vread7)은 각각 제 1 내지 제 7 워드 라인들(WL1~WL7)에 대응할 것이다.

예시적으로, 워드 라인들(WL1~WL7)에 각각 상이한 레벨의 비선택 읽기 전압들(Vread)이 인가될 수 있다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 상이한 레벨의 비선택 읽기 전압들(Vread)이 인가될 수 있다.

도 12는 도 7의 동작 방법에 따른 소거 동작 시의 전압 조건들을 보여주는 테이블이다. 도 13은 도 12에 도시된 전압들의 예시적인 레벨들을 보여주는 그래프이다. 도 13에서, 가로 축은 워드 라인들(WL)을 나타내며, 세로 축은 전압(V)을 나타낸다. 도 12 및 도 13을 참조하면, 소거 동작 시에, 워드 라인들(WL)에 워드 라인 소거 전압(Vew)이 인가된다. 예시적으로, 워드 라인 소거 전압(Vew)은 접지 전압(Vss) 또는 접지 전압(Vss)에 인접한 레벨을 갖는 전압일 것이다. 소거 동작 시에, 워드 라인들(WL1~WL7)에 각각 워드 라인 소거 전압들(Wew1~Wew7)이 인가되고, 바디(114)에 소거 전압(Vers)이 인가될 것이다. 소거 전압(Vers)은 고전압일 것이다. 소거 전압(Vers) 및 워드 라인 소거 전압들(Wew1~Wew7) 사이의 전압 차이에 의해, 메모리 셀들(MC)에서 Fowler-Nordheim 터널링이 발생할 것이다. Fowler-Nordheim 터널링에 의해, 메모리 셀들(MC)이 소거될 것이다.

스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인(WL)에 대응하는 메모리 셀(MC)의 터널링 효과(또는 문턱 전압 변화량)는 증가한다. 소거 동작 시에, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 워드 라인 소거 전압(Vew)의 레벨이 조절되면, 스트링 선택 라인(SSL) 및 워드 라인(WL)에 대응하는 터널링 효과(또는 문턱 전압 변화량)는 평준화될 수 있다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록 워드 라인 소거 전압(Vew)의 레벨은 증가할 것이다. 즉, 메모리 셀들(MC)의 터널링 효과(또는 문턱 전압 변화량)가 증가할수록, 워드 라인 소거 전압(Vew)의 레벨은 증가할 것이다. 이때, 워드 라인들(WL1~WL7)에 따른 메모리 셀들의 터널링 효과(또는 문턱 전압 변화량)는 평준화될 수 있다. 따라서, 소거 상태의 메모리 셀들(MC)의 문턱 전압 산포가 감소하며, 불휘발성 메모리 장치(100)의 신뢰성이 향상된다.

예시적으로, 워드 라인들(WL1~WL7)에 각각 상이한 레벨의 워드 라인 소거 전압(Vew)이 인가될 수 있다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 상이한 레벨의 워드 라인 소거 전압(Vew)이 인가될 수 있다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따른 워드 라인 소거 전압(WL)의 변화 방향은, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따른 프로그램 전압(Vpgm)과 같은 선택 전압, 그리고 패스 전압(Vpass) 또는 비선택 읽기 전압(Vread)과 같은 비선택 전압의 변화 방향과 반대일 것이다.

예시적으로, 제 1 내지 제 7 워드 라인 소거 전압들(Wew1~Wew7)은 접지 전압(Vss) 보다 높은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(Wew1~Wew7)은 접지 전압(Vss) 보다 낮은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(Wew1~Wew7) 중 일부는 접지 전압(Vss) 보다 높은 레벨을 갖고, 나머지 일부는 접지 전압(Vss) 보다 낮은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(Wew1~Wew7) 중 적어도 하나는 접지 전압(Vss)일 수 있다.

도 14는 도 3의 메모리 블록에 대응하는 구조의 제 2 실시 예(BLK_i_2)를 보여주는 사시도이다. 도 15는 도 14의 메모리 블록(BLK_i_2)의 선(II-II')에 따른 단면도이다. 하나의 필라가 제 1 서브 필라(113a) 및 제 2 서브 필라(113b)로 구성되는 것을 제외하면, 메모리 블록(BLK_i_2)은 도 4 내지 도 13을 참조하여 설명된 메모리 블록(BLK_i_1)과 동일하다. 따라서, 동일한 구성에 대한 중복되는 설명은 생략된다.

도 3, 도 14 및 도 15를 참조하면, 기관 상에 제 1 서브 필라(113a)가 제공된다. 예시적으로, 제 1 서브 필라(113a)의 표면층(114a)은 p-타입 실리콘으로 구성된다. 예를 들면, 제 1 서브 필라(113a)의 표면층(114a)은 바디를 형성한다. 제 1 서브 필라(113a)의 내부층(115a)은 절연 물질로 구성된다.

제 1 서브 필라(113a) 상에 제 2 서브 필라(113b)가 제공된다. 예시적으로, 제 2 서브 필라(113b)의 표면층(114b)은 p-타입 실리콘으로 구성된다. 예를 들면, 제 2 서브 필라(113b)의 표면층(114b)은 바디를 형성한다.

제 2 서브 필라(113b)의 내부층(115b)은 절연 물질로 구성된다.

예시적으로, 제 1 서브 필라(113a)의 바디(114a) 및 제 2 서브 필라(113b)의 바디(114b)는 연결된다. 예를 들면, 도 14 및 도 15에 도시된 바와 같이, 제 1 서브 필라(113a)의 바디(114a) 및 제 2 서브 필라(113b)의 바디(114b)는 p-타입 실리콘 패드를 통해 연결될 것이다.

예시적으로, 스트링 선택 라인(SSL)과의 거리가 증가할수록, 제 1 서브 필라(113a)의 폭은 감소한다. 또한, 스트링 선택 라인(SSL)과의 거리가 증가할수록, 제 2 서브 필라(113b)의 폭은 감소한다. 제 1 및 제 2 필라들(113a, 113b)의 폭의 변화는 메모리 셀들(MC)의 터널링 효과(또는 문턱 전압 변화량)의 변화를 유발한다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 워드 라인 전압의 레벨이 조절되면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따른 터널링 효과(또는 문턱전압 변화량)의 차이가 보상될 수 있다.

도 16은 도 3, 도 14 및 도 15의 메모리 블록(BLK_i_2)의 워드 라인들(WL1~WL7)에 인가되는 워드 라인 전압들을 보여주는 다이어그램이다. 도 3, 도 14 내지 도 16을 참조하면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 워드 라인 전압의 레벨이 조절된다. 예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 선택 전압(V_s)의 레벨은 순차적으로 감소하고, 증가하고, 그리고 다시 순차적으로 감소할 것이다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 제 2 서브 필라(113b)의 폭이 감소한다. 제 2 서브 필라(113b)의 폭의 감소를 보상하기 위하여, 선택 전압(V_s)의 레벨이 순차적으로 감소할 것이다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가하여 제 4 워드 라인(WL4)이 선택될 때, 필라의 폭 제 2 서브 필라(113b)의 하부의 폭으로부터 제 1 서브 필라(113a)의 상부의 폭으로 증가한다. 따라서, 선택 전압(V_{s4})의 레벨 또한 증가한다. 이후에, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 다시 증가하면, 제 1 서브 필라(113a)의 폭이 감소한다. 제 1 서브 필라(113a)의 폭의 감소를 보상하기 위하여, 선택 전압(V_s)의 레벨이 순차적으로 감소할 것이다.

예시적으로, 선택 전압(V_s)은 초기 프로그램 전압(V_{ini}) 및 증분(V_i)으로 구성되는 프로그램 전압(V_{pgm})을 포함할 것이다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 비선택 전압(V_{us})의 레벨은 순차적으로 감소하고, 증가하고, 그리고 다시 순차적으로 감소할 것이다. 예를 들면, 제 1 내지 제 7 비선택 전압들(V_{us1}~V_{us7})은 각각 제 1 내지 제 7 워드 라인들(WL1~WL7)에 대응할 것이다. 예를 들면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따른 비선택 전압(V_{us})의 변화 방향은 선택 전압(V_s)의 변화 방향과 일치할 것이다. 예시적으로, 비선택 전압(V_{us})은 패스 전압(V_{pass}) 및 비선택 읽기 전압(V_{read})을 포함할 것이다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인 소거 전압(V_{ew})의 레벨은 순차적으로 증가하고, 감소하고, 그리고 다시 순차적으로 증가할 것이다. 예를 들면, 제 1 내지 제 7 워드 라인 소거 전압들(V_{ew1}~V_{ew7})은 각각 제 1 내지 제 7 워드 라인들(WL1~WL7)에 대응할 것이다. 예를 들면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따른 워드 라인 소거 전압(V_{ew})의 변화 방향은 선택 전압(V_s) 및 비선택 전압(V_{us})의 변화 방향과 반대일 것이다.

예시적으로, 제 1 내지 제 7 워드 라인 소거 전압들(V_{ew1}~V_{ew7})은 접지 전압(V_{ss}) 보다 높은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(V_{ew1}~V_{ew7})은 접지 전압(V_{ss}) 보다 낮은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(V_{ew1}~V_{ew7}) 중 일부는 접지 전압(V_{ss}) 보다 높은 레벨을 갖고, 나머지 일부는 접지 전압(V_{ss}) 보다 낮은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(V_{ew1}~V_{ew7}) 중 적어도 하나는 접지 전압(V_{ss})일 수 있다.

예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 선택 전압(V_s), 비선택 전압(V_{us}), 그리고 워드 라인 소거 전압(V_{ew})의 레벨들이 각각 조절될 수 있다.

도 17은 도 3의 메모리 블록에 대응하는 구조의 제 3 실시 예(BLK_i_3)를 보여주는 사시도이다. 도 18은 도 17의 메모리 블록(BLK_i_3)의 선(III-III')에 따른 단면도이다. 공통 소스 라인(CSL)이 플레이트(plate) 형태의 n-웰(315)로 제공되는 것을 제외하면, 메모리 블록(BLK_i_3)은 도 4 내지 도 13을 참조하여 설명된 메모리 블록(BLK_i_1)과 동일하게 구성된다. 워드 라인 전압의 레벨들 또한 도 4 내지 도 13을 참조하여 설명된 바와 마찬가지로 조절될 것이다.

예를 들면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라, 선택 전압(V_s) 및 비선택 전압(V_{us})

의 레벨은 순차적으로 감소할 것이다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라, 워드 라인 소거 전압(Vew)의 레벨은 순차적으로 증가할 것이다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 워드 라인 전압의 레벨이 조절될 수 있다.

도 19는 도 3의 메모리 블록(BLK_i)에 대응하는 구조의 제 4 실시 예(BLK_{i_4})를 보여주는 사시도이다. 도 20은 도 19의 메모리 블록(BLK_{i_4})의 선(IV-IV')에 따른 단면도이다. 공통 소스 라인(CSL)이 플레이트(plate) 형태의 n-웰(315)로 제공되는 것을 제외하면, 메모리 블록(BLK_{i_4})은 도 14 내지 도 16을 참조하여 설명된 메모리 블록(BLK_{i_2})과 동일하게 구성된다. 워드 라인 전압의 레벨들 또한 도 14 내지 도 16을 참조하여 설명된 바와 마찬가지로 조절될 것이다.

예를 들면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라, 선택 전압(Vs) 및 비선택 전압(Vus)의 레벨은 순차적으로 감소하고, 증가하고, 다시 순차적으로 감소할 것이다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라, 워드 라인 소거 전압(Vew)의 레벨은 순차적으로 증가하고, 감소하고, 다시 순차적으로 증가할 것이다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 워드 라인 전압의 레벨이 조절될 수 있다.

도 21은 도 3의 메모리 블록(BLK_i)에 대응하는 구조의 제 5 실시 예(BLK_{i_5})를 보여주는 사시도이다. 도 22는 도 21의 메모리 블록(BLK_{i_5})의 선(V-V')에 따른 단면도이다. 도 21 및 도 22를 참조하면, 공통 소스 라인(CSL)은 도 17 및 도 18을 참조하여 설명된 바와 같이 플레이트(plate) 형태의 n-웰(315)로 제공된다.

도 17 및 도 18을 참조하여 설명된 메모리 블록(BLK_{i_3})과 비교하면, 접지 선택 라인(GSL, 211') 및 워드 라인들(WL1~WL7, 221'~281')은 플레이트(plate) 형태로 제공된다. 각 필라(113')의 표면층(116')은 도 17 및 도 18을 참조하여 설명된 절연막(116)과 같이 구성된다. 각 필라(113')의 중간층(114')은 도 17 및 도 18을 참조하여 설명된 바디(114)와 같이 구성된다. 각 필라(113')의 내부층(115')은 도 17 및 도 18을 참조하여 설명된 절연 물질(115)과 같이 구성된다.

도 21 및 도 22에 도시된 바와 같이, 워드 라인(WL) 및 스트링 선택 라인(SSL) 사이의 거리에 따라, 필라(113')의 폭이 변화(또는 감소)한다. 도 17 및 도 18을 참조하여 설명된 바와 마찬가지로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 터널링 효과(또는 문턱 전압의 변화량)가 증가한다. 필라(113')의 폭의 변화에 따른 동작 특성의 변화를 보상하기 위하여, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 워드 라인 전압의 레벨이 조절된다. 예를 들면, 메모리 블록(BLK_{i_5})에 인가되는 워드 라인 전압의 레벨은 도 17 및 도 18을 참조하여 설명된 바와 마찬가지로 조절될 것이다.

예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 선택 전압(Vs) 및 비선택 전압(Vus)의 레벨은 각각 순차적으로 증가할 것이다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인 소거 전압(Vew)의 레벨은 순차적으로 감소할 것이다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 워드 라인 전압의 레벨이 조절될 것이다.

도 23은 도 3의 메모리 블록(BLK_i)에 대응하는 구조의 제 6 실시 예(BLK_{i_6})를 보여주는 사시도이다. 도 24는 도 23의 메모리 블록(BLK_{i_6})의 선(VI-VI')에 따른 단면도이다. 하나의 필라가 제 1 서브 필라(113a') 및 제 2 서브 필라(113b')로 구성되는 것을 제외하면, 메모리 블록(BLK_{i_6})은 도 21 및 도 22를 참조하여 설명된 메모리 블록(BLK_{i_5})과 동일하다. 따라서, 동일한 구성에 대한 중복되는 설명은 생략된다.

도 3, 도 23 및 도 24를 참조하면, 기판 상에 제 1 서브 필라(113a')가 제공된다. 예시적으로, 제 1 서브 필라(113a')의 표면층(114a)은 p-타입 실리콘으로 구성된다. 예를 들면, 제 1 서브 필라(113a')의 표면층(114a')은 바디를 형성한다. 제 1 서브 필라(113a')의 내부층(115a')은 절연 물질로 구성된다.

제 1 서브 필라(113a') 상에 제 2 서브 필라(113b')가 제공된다. 예시적으로, 제 2 서브 필라(113b')의 표면층(114b')은 p-타입 실리콘으로 구성된다. 예를 들면, 제 2 서브 필라(113b')의 표면층(114b')은 바디를 형성한다. 제 2 서브 필라(113b')의 내부층(115b')은 절연 물질로 구성된다.

예시적으로, 제 1 서브 필라(113a')의 바디(114a') 및 제 2 서브 필라(113b')의 바디(114b')는 연결된다. 예를 들면, 도 23 및 도 24에 도시된 바와 같이, 제 1 서브 필라(113a')의 바디(114a') 및 제 2 서브 필라(113b')의 바디(114b')는 p-타입 실리콘 패드를 통해 연결될 것이다.

도 23 및 도 24에 도시된 바와 같이, 워드 라인(WL) 및 스트링 선택 라인(SSL) 사이의 거리에 따라, 제 1 및 제 2 필라들(113a', 113b')의 폭이 변화한다. 도 20 및 도 21을 참조하여 설명된 바와 마찬가지로, 스트링 선택 라

인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 터널링 효과(또는 문턱 전압의 변화량)가 순차적으로 증가하고, 감소하고, 다시 순차적으로 증가한다. 제 1 및 제 2 필라들(113a', 113b')의 폭의 변화에 따른 동작 특성의 변화를 보상하기 위하여, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 워드 라인 전압의 레벨이 조절된다.

예를 들면, 메모리 블록(BLK_i_6)에 인가되는 워드 라인 전압의 레벨은 도 20 및 도 21을 참조하여 설명된 바와 마찬가지로 조절될 것이다. 예시적으로, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 선택 전압(V_s) 및 비선택 전압(V_{us})의 레벨은 순차적으로 감소하고, 증가하고, 다시 순차적으로 감소할 것이다. 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리가 증가할수록, 워드 라인 소거 전압(V_{ew})의 레벨은 순차적으로 증가하고, 감소하고, 다시 순차적으로 증가할 것이다. 예시적으로, 워드 라인들(WL1~WL7)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 워드 라인 전압의 레벨이 조절될 것이다.

도 25는 도 3의 메모리 블록(BLK_i)에 대응하는 구조의 제 7 실시 예(BLK_i_7)를 보여주는 사시도이다. 도 26은 도 25의 메모리 블록(BLK_i_7)의 선(VII-VII')에 따른 단면도이다.

도 25 및 도 26을 참조하면, 기판(111) 상에, 제 1 방향을 따라 신장되는 제 1 내지 제 4 상부 워드 라인들(UW1~UW4)이 제 2 방향을 따라 순차적으로 제공된다. 제 1 내지 제 4 상부 워드 라인들(UW1~UW4)은 제 2 방향을 따라 미리 설정된 거리 만큼 이격되어 제공된다. 제 1 방향을 따라 순차적으로 배치되며, 제 2 방향을 따라 제 1 내지 제 4 상부 워드 라인들(UW1~UW4)을 관통하는 제 1 상부 필라들(UP1)이 제공된다.

기판(111) 상에, 제 1 방향을 따라 신장되는 제 1 내지 제 4 하부 워드 라인들(DW1~DW4)이 제 2 방향을 따라 순차적으로 제공된다. 제 1 내지 제 4 하부 워드 라인들(DW1~DW4)은 제 2 방향을 따라 미리 설정된 거리 만큼 이격되어 제공된다. 제 1 방향을 따라 순차적으로 배치되며, 제 2 방향을 따라 제 1 내지 제 4 하부 워드 라인들(DW1~DW4)을 관통하는 제 1 하부 필라들(DP1)이 제공된다. 그리고, 제 1 방향을 따라 순차적으로 배치되며, 제 2 방향을 따라 제 1 내지 제 4 하부 워드 라인들(DW1~DW4)을 관통하는 제 2 하부 필라들(DP2)이 제공된다. 예시적으로, 제 1 하부 필라들(DP1) 및 제 2 하부 필라들(DP2)은 제 2 방향을 따라 평행하게 배치될 수 있다.

기판(111) 상에, 제 1 방향을 따라 신장되는 제 5 내지 제 8 상부 워드 라인들(UW5~UW8)이 제 2 방향을 따라 순차적으로 제공된다. 제 5 내지 제 8 상부 워드 라인들(UW5~UW8)은 제 2 방향을 따라 미리 설정된 거리 만큼 이격되어 제공된다. 제 1 방향을 따라 순차적으로 배치되며, 제 2 방향을 따라 제 5 내지 제 8 상부 워드 라인들(UW5~UW8)을 관통하는 제 2 상부 필라들(UP2)이 제공된다.

제 1 및 제 2 하부 필라들(DP1, DP2)의 상부에 제 1 방향으로 신장되는 공통 소스 라인(CSL)이 제공된다. 예시적으로, 공통 소스 라인(CSL)은 n-타입 실리콘일 것이다. 예시적으로, 공통 소스 라인(CSL)이 금속 또는 폴리실리콘 등과 같이 극성을 갖지 않는 도전 물질로 구성될 때, 공통 소스 라인(CSL) 및 제 1 및 제 2 하부 필라들(DP1, DP2) 사이에 n-타입 소스들이 추가적으로 제공될 수 있다. 예시적으로, 공통 소스 라인(CSL) 및 제 1 및 제 2 하부 필라들(DP1, DP2)은 콘택 플러그들을 통해 각각 연결될 수 있다.

제 1 및 제 2 상부 필라들(UP1, UP2) 상부에 드레인들(320)이 각각 제공된다. 예시적으로, 드레인들(320)은 n-타입 실리콘일 것이다. 드레인들(320)의 상부에 제 3 방향을 따라 신장되는 복수의 비트 라인들(BL1~BL3)이 제 1 방향을 따라 순차적으로 제공된다. 예시적으로, 비트 라인들(BL1~BL3)은 금속으로 구성될 것이다. 예시적으로, 비트 라인들(BL1~BL3) 및 드레인들(320)은 콘택 플러그들을 통해 연결될 수 있다.

제 1 및 제 2 상부 필라들(UP1, UP2) 각각은 표면층(116'') 및 내부층(114'')을 포함한다. 제 1 및 제 2 하부 필라들(DP1, DP2) 각각은 표면층(116'') 및 내부층(114'')을 포함한다. 제 1 및 제 2 상부 필라들(UP1, UP2), 그리고 제 1 및 제 2 하부 필라들(DP1, DP2)의 표면층(116'')은 블로킹 절연막, 전하 저장막, 그리고 터널링 절연막을 포함할 것이다.

예시적으로, 터널 절연막은 열산화막을 포함할 것이다. 전하 저장막(118)은 절화막 또는 금속 산화막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 것이다. 블로킹 절연막(119)은 단일층 또는 다층으로 형성될 수 있다. 블로킹 절연막(119)은 터널 절연막 및 전하 저장막 보다 높은 유전상수를 갖는 고유전막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)일 수 있다. 예시적으로, 터널 절연막, 전하 저장막, 그리고 블로킹 절연막은 ONO (oxide-nitride-oxide)를 구성할 수 있다.

제 1 및 제 2 상부 필라들(UP1, UP2), 그리고 제 1 및 제 2 하부 필라들(DP1, DP2)의 내부층(114'')은 p-타입 실리콘일 것이다. 제 1 및 제 2 상부 필라들(UP1, UP2), 그리고 제 1 및 제 2 하부 필라들(DP1, DP2)의 내부층

(114'')은 바다로 동작한다.

제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)은 제 1 파이프라인 컨택들(PC1)을 통해 연결된다. 예시적으로, 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 표면층들(116'')은 제 1 파이프라인 컨택들(PC1)의 표면층들을 통해 각각 연결된다. 제 1 파이프라인 컨택들(PC1)의 표면층들은 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 표면층들(116'')과 동일한 물질들로 구성될 것이다.

예시적으로, 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 내부층들(114'')은 제 1 파이프라인 컨택들(PC1)의 내부층들을 통해 각각 연결된다. 제 1 파이프라인 컨택들(PC1)의 내부층들은 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 내부층들(114'')과 동일한 물질들로 구성될 것이다.

즉, 제 1 상부 필라들(UP1) 및 제 1 내지 제 4 상부 워드 라인들(UW1~UW4)은 제 1 상부 스트링들을 형성하고, 제 1 하부 필라들(DP1) 및 제 1 내지 제 4 하부 워드 라인들(DW1~DW4)은 제 1 하부 스트링들을 형성한다. 제 1 상부 스트링들 및 제 1 하부 스트링들은 각각 제 1 파이프라인 컨택들(PC1)을 통해 연결된다. 제 1 상부 스트링들의 일단에 드레인들(320) 및 비트 라인들(BL1~BL3)이 연결된다. 제 1 하부 스트링들의 일단에 공통 소스 라인(CSL)이 연결된다. 즉, 제 1 상부 스트링들 및 제 1 하부 스트링들은 비트 라인들(BL1~BL3) 및 공통 소스 라인(CSL) 사이에 연결된 복수의 스트링들을 형성한다.

마찬가지로, 제 2 상부 필라들(UP2) 및 제 5 내지 제 8 상부 워드 라인들(UW5~UW8)은 제 2 상부 스트링들을 형성하고, 제 2 하부 필라들(DP2) 및 제 1 내지 제 4 하부 워드 라인들(DW1~DW4)은 제 2 하부 스트링들을 형성한다. 제 2 상부 스트링들 및 제 2 하부 스트링들은 제 2 파이프라인 컨택들(PC2)을 통해 연결된다. 제 2 상부 스트링들의 일단에 드레인들(320) 및 비트 라인들(BL1~BL3)이 연결된다. 제 2 하부 스트링들의 일단에 공통 소스 라인(CSL)이 연결된다. 즉, 제 2 상부 스트링들 및 제 2 하부 스트링들은 비트 라인들(BL1~BL3) 및 공통 소스 라인(CSL) 사이에 연결되는 복수의 스트링들을 형성한다.

하나의 스트링에 8 개의 트랜지스터들이 제공되고, 제 1 내지 제 3 비트 라인들(BL1~BL3) 각각에 두 개의 스트링들이 연결되는 것을 제외하면, 메모리 블록(BLK_i_7)의 등가 회로는 도 3과 마찬가지로 나타날 것이다. 그러나, 메모리 블록(BLK_i_7)의 워드 라인들, 비트 라인들, 그리고 스트링들의 수는 한정되지 않는다.

예시적으로, 제 1 및 제 2 파이프라인 컨택들(PC1, PC2) 내의 바다들(114'')에 채널을 형성하기 위하여, 제 1 및 제 2 파이프라인 컨택 게이트들(미도시)이 각각 제공될 수 있다. 예시적으로, 제 1 및 제 2 파이프라인 컨택 게이트들(미도시)은 제 1 및 제 2 파이프라인 컨택들(PC1, PC2)의 표면상에 제공될 것이다.

예시적으로, 인접한 하부 필라들(DP1, DP2)에서 하부 워드 라인들(DW1~DW4)이 공유되는 것으로 설명되었다. 그러나, 상부 필라들(UP1, 또는 UP2)에 인접한 상부 필라들이 추가될 때, 인접한 상부 필라들은 상부 워드 라인들(UW1~UW4 또는 UW5~UW8)을 공유하도록 구성될 수 있다.

예시적으로, 제 4 상부 워드 라인들(UW4) 및 제 8 상부 워드 라인들(UW8)이 각각 스트링 선택 라인(SSL)으로 사용되는 것으로 가정한다. 제 1 하부 워드 라인(DW1)이 접지 선택 라인(GSL)으로 사용되는 것으로 가정한다. 그리고, 제 1 내지 제 3 상부 워드 라인들(UW1~UW3), 제 5 내지 제 7 상부 워드 라인들(UW5~UW7), 그리고 제 2 내지 제 4 하부 워드 라인들(DW2~DW4)은 각각 워드 라인들(WL)로 사용되는 것으로 가정한다.

도 25 및 도 26에 도시된 바와 같이, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 채널 상의 거리에 따라 필라의 폭이 변화한다. 예시적으로, 상부 필라들(UP1, UP2)에서, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 채널 상의 거리가 증가할수록 필라의 폭이 감소한다. 하부 필라들(DP1, DP2)에서, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 채널 상의 거리가 증가할수록, 필라의 폭이 증가한다.

필라의 폭의 변화에 따른 터널링 효과(또는 문턱 전압의 변화량)의 차이를 보상하기 위하여, 워드 라인 전압들의 레벨들이 조절될 수 있다.

도 27은 도 25 및 도 26의 메모리 블록(BLK_i_7)에 제공되는 워드 라인 전압들의 예시적인 레벨들을 보여주는 그래프이다. 도 27에서, 가로 축은 워드 라인들(WL)을 나타내며, 세로 축은 전압(V)을 나타낸다. 도 25 내지 도 27을 참조하면, 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 채널 상의 거리가 증가할수록, 선택 전압(V_s) 및 비선택 전압(V_{us})의 레벨은 순차적으로 감소한 후에 순차적으로 증가한다. 즉, 필라의 폭이 감소할수록 선택 전압(V_s) 및 비선택 전압(V_{us})의 레벨은 감소하며, 필라의 폭이 증가할수록 선택 전압(V_s) 및 비선택 전압(V_{us})의 레벨이 증가한다.

스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 채널 상의 거리가 증가할수록, 워드 라인 소거 전압(V_{ew})의 레

벨은 순차적으로 증가한 후에 순차적으로 감소한다. 즉, 필라의 폭이 감소할수록 워드 라인 소거 전압(Vew)의 레벨은 증가하며, 필라의 폭이 증가할수록 워드 라인 소거 전압(Vew)의 레벨은 감소한다.

스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 채널 상의 거리에 따라 워드 라인 전압들의 레벨들이 조절되면, 불휘발성 메모리 장치(100)의 신뢰성이 향상된다.

예시적으로, 제 1 내지 제 6 워드 라인 소거 전압들(Vew1~Vew6)은 접지 전압(Vss) 보다 높은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(Vew1~Vew7)은 접지 전압(Vss) 보다 낮은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(Vew1~Vew7) 중 일부는 접지 전압(Vss) 보다 높은 레벨을 갖고, 나머지 일부는 접지 전압(Vss) 보다 낮은 레벨을 가질 수 있다. 제 1 내지 제 7 워드 라인 소거 전압들(Vew1~Vew7) 중 적어도 하나는 접지 전압(Vss)일 수 있다.

예시적으로, 워드 라인들(WL)은 복수의 그룹들로 분할되고, 분할된 워드 라인들의 그룹 단위로 워드 라인 전압들의 레벨들이 조절될 수 있다.

도 28은 도 2의 메모리 블록들(BLK1~BLKh) 중 하나의 다른 실시 예(BLKj)를 보여주는 회로도이다. 도 3에 도시된 메모리 블록(BLK_i)과 비교하면, 각 낸드 스트링(NS)에서, 메모리 셀들(MC1~MC6) 및 공통 소스 라인(CSL) 사이에 두 개의 접지 선택 트랜지스터들(GST1, GST2)이 제공될 수 있다. 또한, 동일한 높이의 접지 선택 트랜지스터(GST1 또는 GST2)에 대응하는 접지 선택 라인들(GSL1, GSL2)은 공통으로 연결될 수 있다. 또한, 동일한 낸드 스트링(NS)에 대응하는 접지 선택 라인들(GSL1, GSL2)은 공통으로 연결될 수 있다. 메모리 블록(BLK_j)의 구조는 도 4 내지 도 24를 참조하여 설명된 바와 같이 구성될 것이다. 즉, 메모리 블록(BLK_j)에서, 워드 라인 전압의 레벨은 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 조절될 것이다.

도 29는 도 2의 메모리 블록들(BLK1~BLKh) 중 하나의 다른 실시 예(BLKp)를 보여주는 회로도이다. 도 28의 메모리 블록(BLK_j)과 비교하면, 각 낸드 스트링(NS)에서, 메모리 셀들(MC1~MC5) 및 비트 라인(BL) 사이에 두 개의 스트링 선택 트랜지스터들(SST1, SST2)이 제공될 수 있다. 또한, 동일한 낸드 스트링(NS)에 대응하는 스트링 선택 라인들(SSL)은 공통으로 연결될 수 있으며, 전기적으로 분리될 수 있다. 메모리 블록(BLK_p)의 구조는 도 4 내지 도 24를 참조하여 설명된 바와 같이 구성될 것이다. 즉, 메모리 블록(BLK_p)에서, 워드 라인 전압의 레벨은 스트링 선택 라인(SSL) 및 워드 라인(WL) 사이의 거리에 따라 조절될 것이다.

도 3, 도 28, 그리고 도 29를 참조하여 설명된 바와 같이, 각 낸드 스트링(NS)에 적어도 하나의 스트링 선택 트랜지스터(SST) 및 적어도 하나의 접지 선택 트랜지스터(GST)가 제공될 수 있다. 도 4 내지 도 27을 참조하여 설명된 바와 같이, 선택 트랜지스터들(SST 또는 GST) 및 메모리 셀들(MC)은 동일한 구조를 갖는다. 따라서, 도 4 내지 도 27을 참조하여 설명된 구조를 유지하면서, 스트링 선택 트랜지스터(SST)의 수 및 접지 선택 트랜지스터(GST)의 수가 가변될 수 있다.

도 30은 도 1의 불휘발성 메모리 장치(100)를 포함하는 메모리 시스템(1000)을 보여주는 블록도이다. 도 30을 참조하면, 메모리 시스템(1000)은 불휘발성 메모리 장치(1100) 및 컨트롤러(1200)를 포함한다.

불휘발성 메모리 장치(1100)는 도 1 내지 도 29를 참조하여 설명된 바와 마찬가지로 구성되고, 동작할 것이다.

컨트롤러(1200)는 호스트(Host) 및 불휘발성 메모리 장치(1100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1200)는 불휘발성 메모리 장치(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 불휘발성 메모리 장치(1200)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.

예시적으로, 도 1을 참조하여 설명된 바와 같이, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 제어 신호(CTRL) 및 어드레스(ADDR)를 제공하도록 구성된다. 그리고, 컨트롤러(1200)는 불휘발성 메모리 장치(1200)와 데이터(DATA)를 교환하도록 구성된다.

예시적으로, 컨트롤러(1200)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 더 포함한다. 램(RAM)은 프로세싱 유닛의 동작 메모리, 불휘발성 메모리 장치(1100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 불휘발성 메모리 장치(1100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛은 컨트롤러(1200)의 제반 동작을 제어한다.

호스트 인터페이스는 호스트(Host) 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한

다. 예시적으로, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성된다. 메모리 인터페이스는 불휘발성 메모리 장치(1100)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.

메모리 시스템(1000)은 오류 정정 블록을 추가적으로 포함하도록 구성될 수 있다. 오류 정정 블록은 오류 정정 코드(ECC)를 이용하여 불휘발성 메모리 장치(1100)로부터 읽어온 데이터의 오류를 검출하고, 정정하도록 구성된다. 예시적으로, 오류 정정 블록은 컨트롤러(1200)의 구성 요소로서 제공된다. 오류 정정 블록은 불휘발성 메모리 장치(1100)의 구성 요소로서 제공될 수 있다.

컨트롤러(1200) 및 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(1200) 및 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1200) 및 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.

컨트롤러(1200) 및 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(10)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(10)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.

다른 예로서, 메모리 시스템(10)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

예시적으로, 불휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 불휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.

도 31은 도 30의 메모리 시스템(1000)의 응용 예를 보여주는 블록도이다. 도 31을 참조하면, 메모리 시스템(2000)은 불휘발성 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 불휘발성 메모리 장치(2100)는 복수의 불휘발성 메모리 칩들을 포함한다. 복수의 불휘발성 메모리 칩들은 복수의 그룹들로 분할된다. 복수의 불휘발성 메모리 칩들의 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 도 31에서, 복수의 불휘발성 메모리 칩들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 불휘발성 메모리 칩은 도 1 내지 도 29를 참조하여 설명된 불휘발성 메모리 장치(100)와 마찬가지로 구성된다.

도 31에서, 하나의 채널에 복수의 불휘발성 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 불휘발성 메모리 칩이 연결되도록 메모리 시스템(2000)이 변형될 수 있음이 이해될 것이다.

도 32는 도 31을 참조하여 설명된 메모리 시스템(2000)을 포함하는 컴퓨팅 시스템(3000)을 보여주는 블록도이다. 도 32를 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 그리고 메모리 시스템(2000)을 포함한다.

메모리 시스템(3500)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.

도 32에서, 불휘발성 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 불휘발성 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다.

도 32에서, 도 31를 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 30을 참조하여 설명된 메모리 시스템(1000)으로 대체될 수 있다.

예시적으로, 컴퓨팅 시스템(3000)은 도 30 및 도 31을 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.

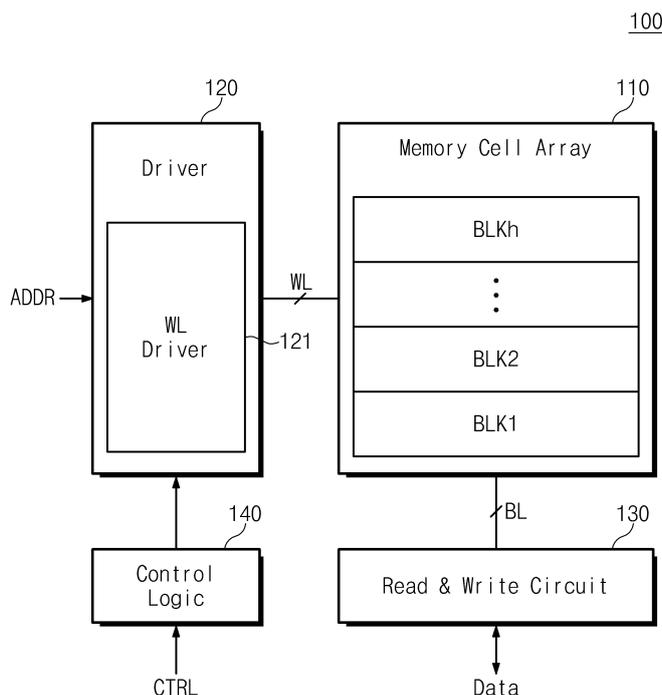
본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

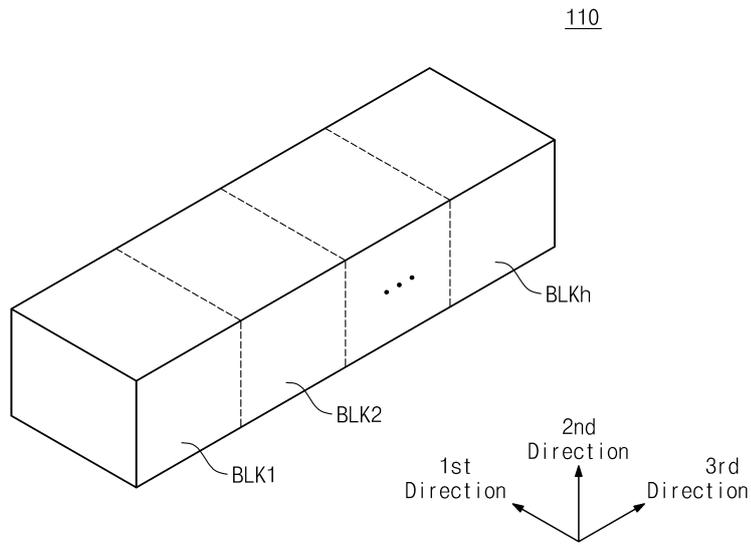
- 100 : 불휘발성 메모리 장치
- 110 : 메모리 셀 어레이
- BLKi : 메모리 블록
- NS : 낸드 스트링

도면

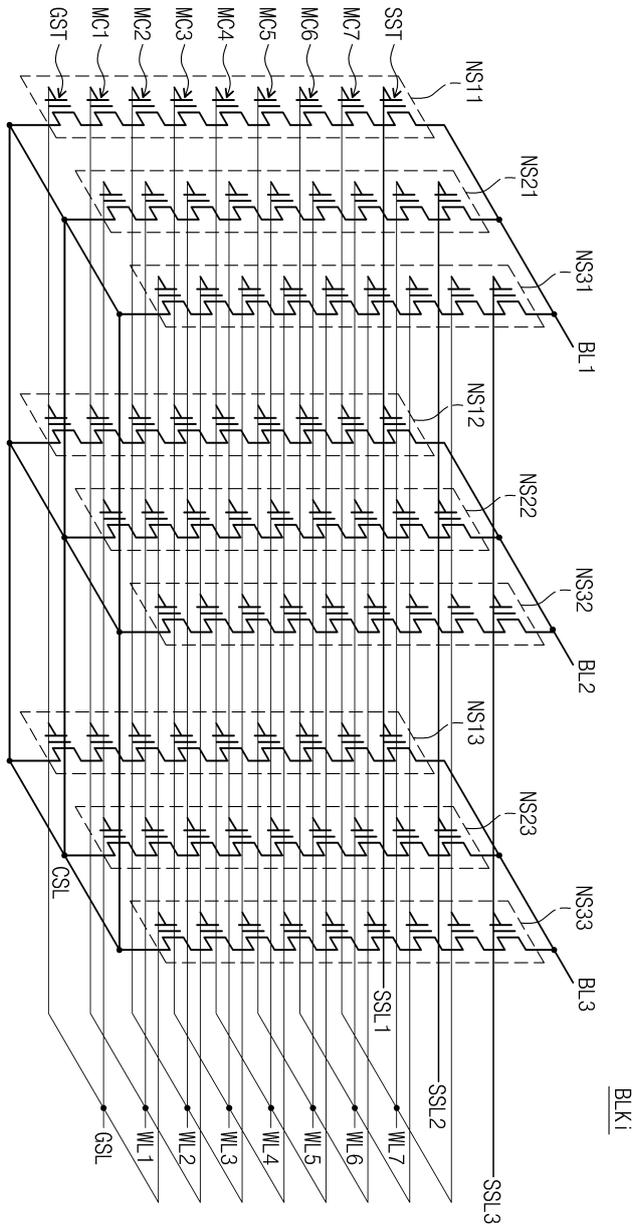
도면1



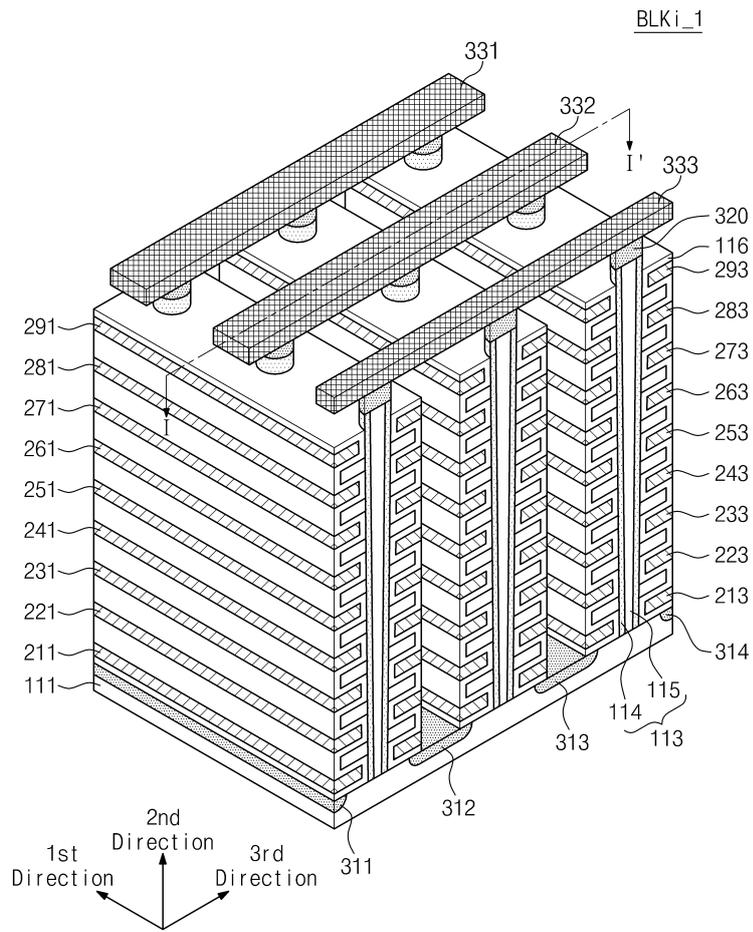
도면2



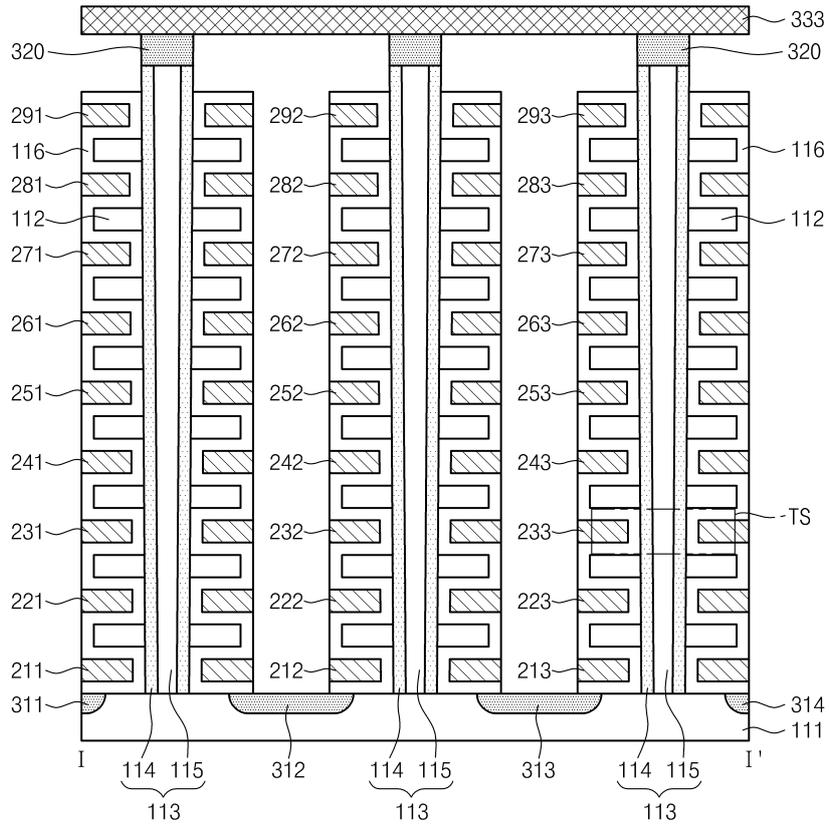
도면3



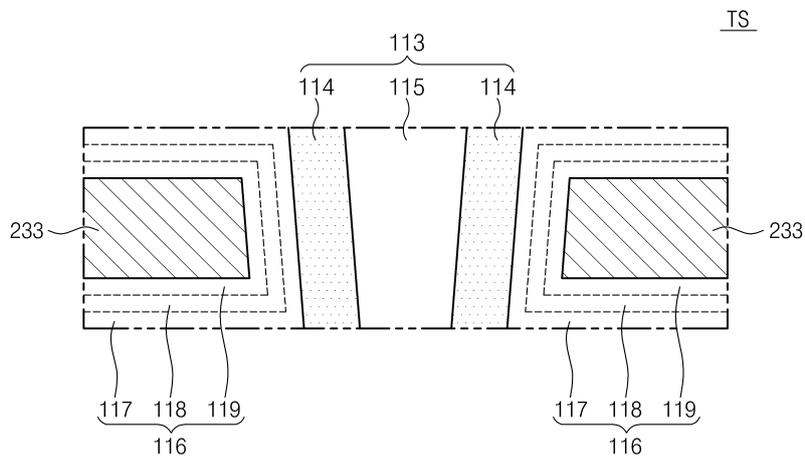
도면4



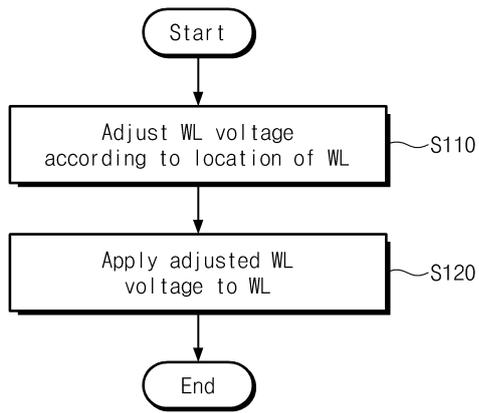
도면5



도면6



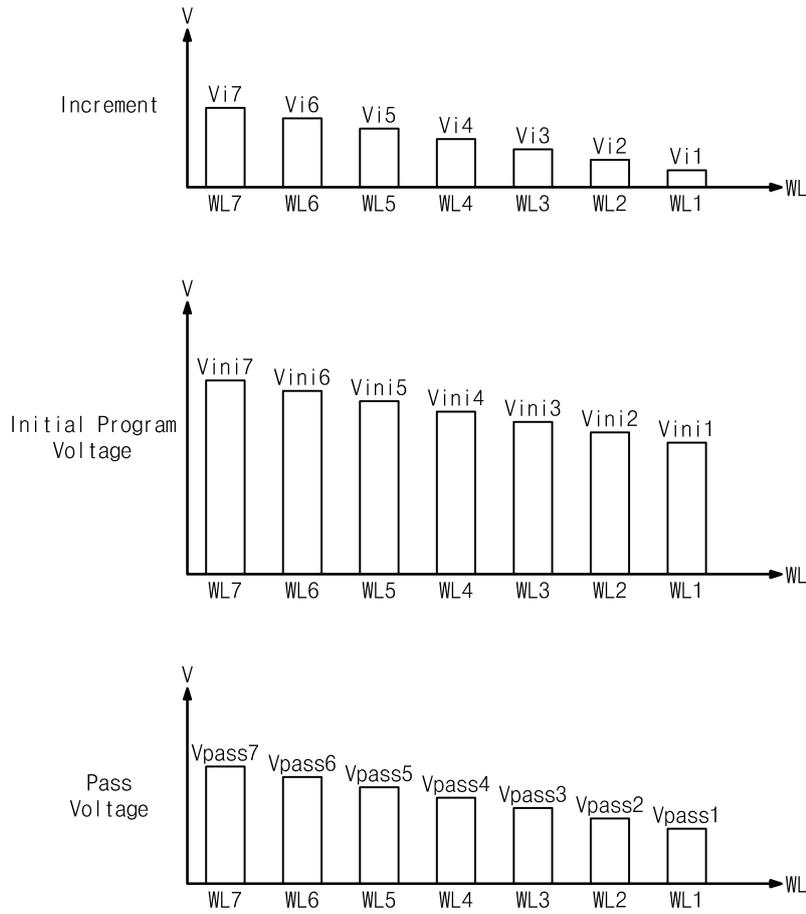
도면7



도면8

WL	Selected WL		Unselected WL
	Initial Program Voltage	Increment	Pass Voltage
WL7	Vini7	Vi7	Vpass7
WL6	Vini6	Vi6	Vpass6
WL5	Vini5	Vi5	Vpass5
WL4	Vini4	Vi4	Vpass4
WL3	Vini3	Vi3	Vpass3
WL2	Vini2	Vi2	Vpass2
WL1	Vini1	Vi1	Vpass1

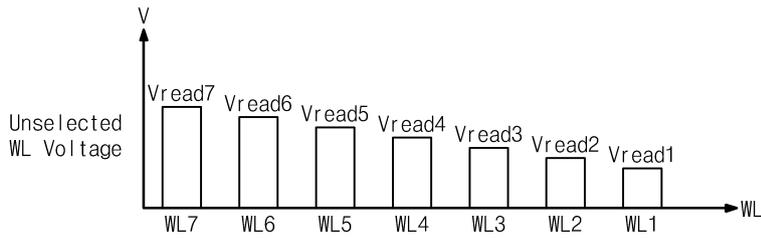
도면9



도면10

WL	Unselected WL
WL7	Vread7
WL6	Vread6
WL5	Vread5
WL4	Vread4
WL3	Vread3
WL2	Vread2
WL1	Vread1

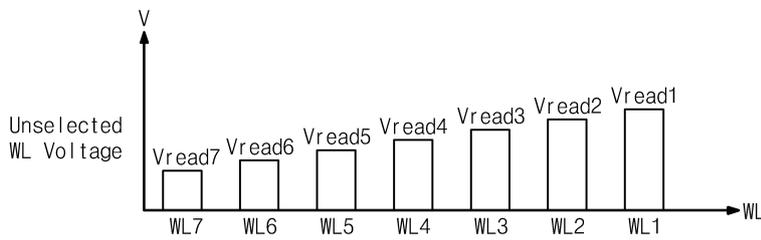
도면11



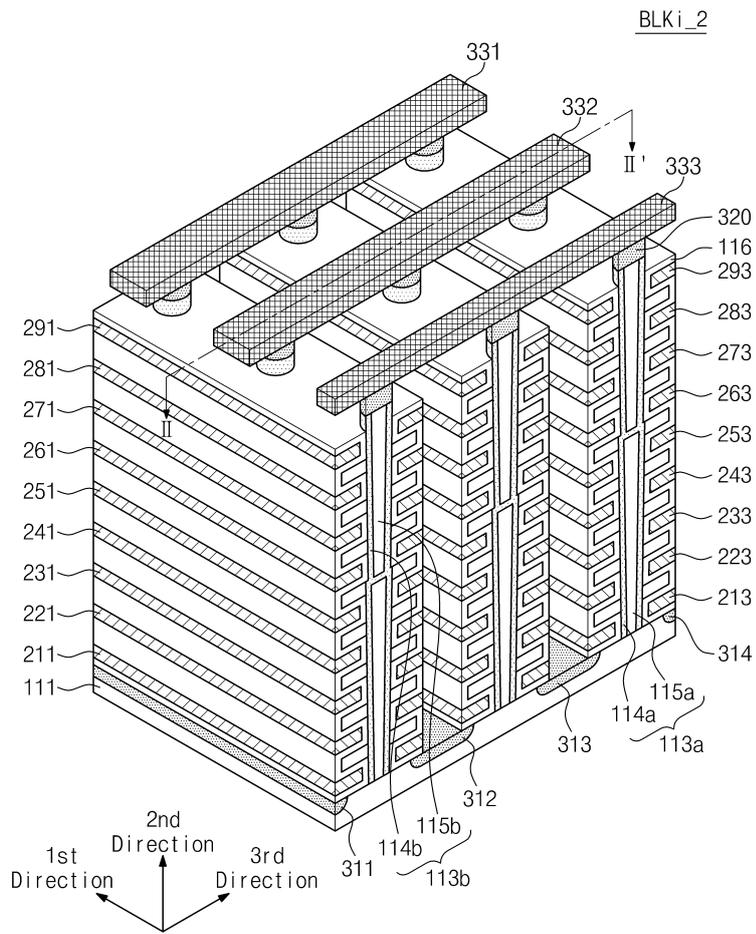
도면12

WL7	Vew7
WL6	Vew6
WL5	Vew5
WL4	Vew4
WL3	Vew3
WL2	Vew2
WL1	Vew1

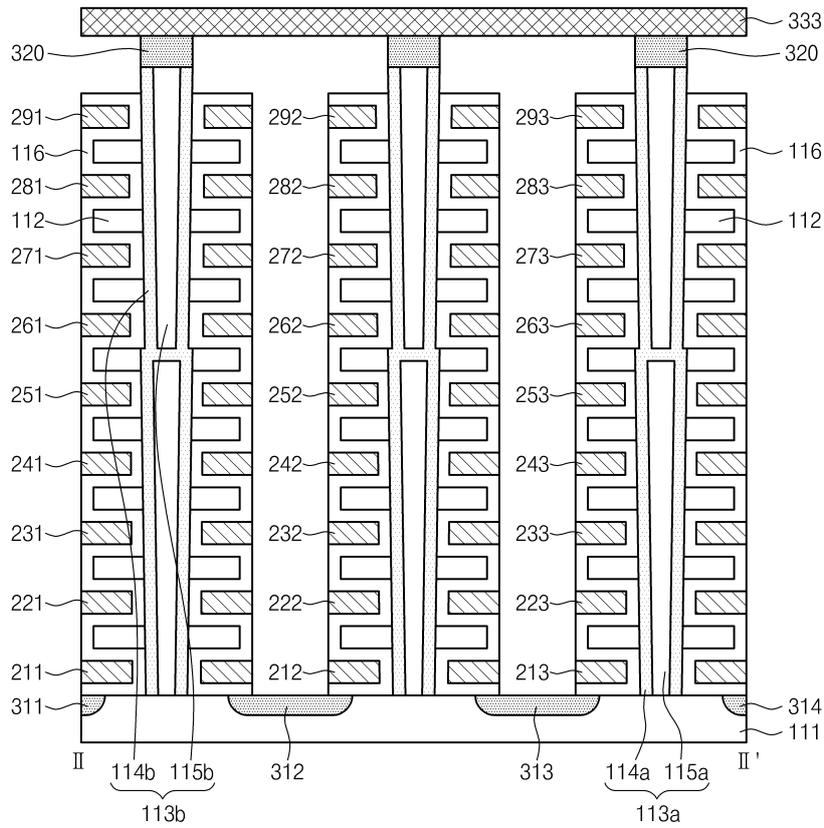
도면13



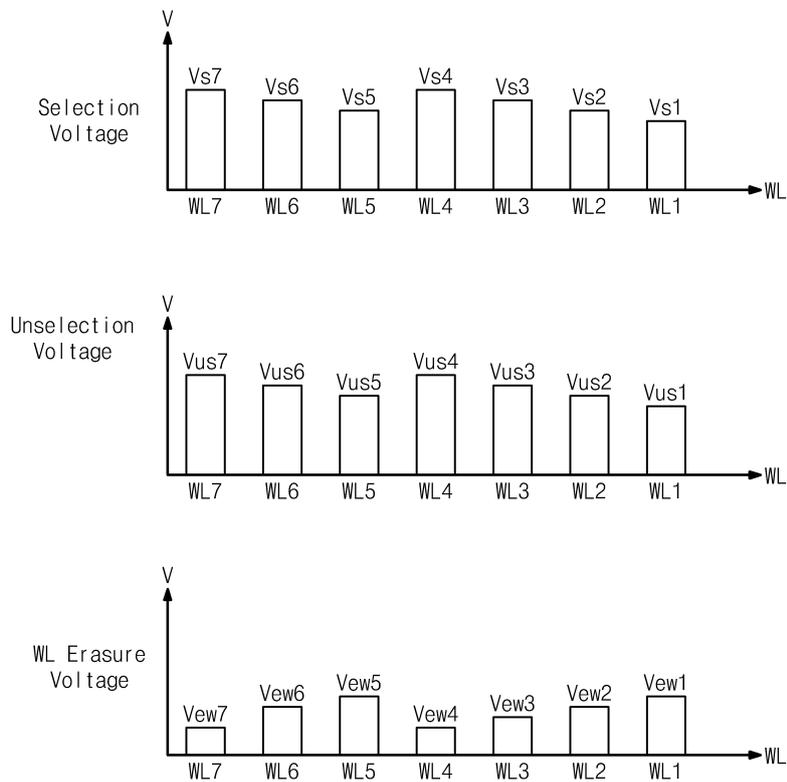
도면14



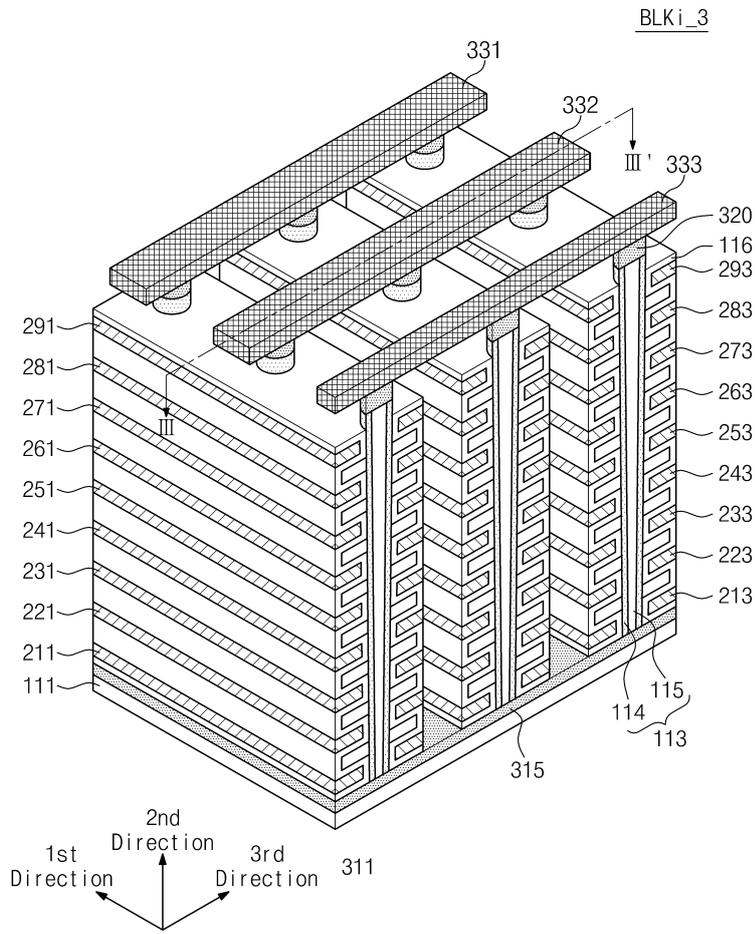
도면15



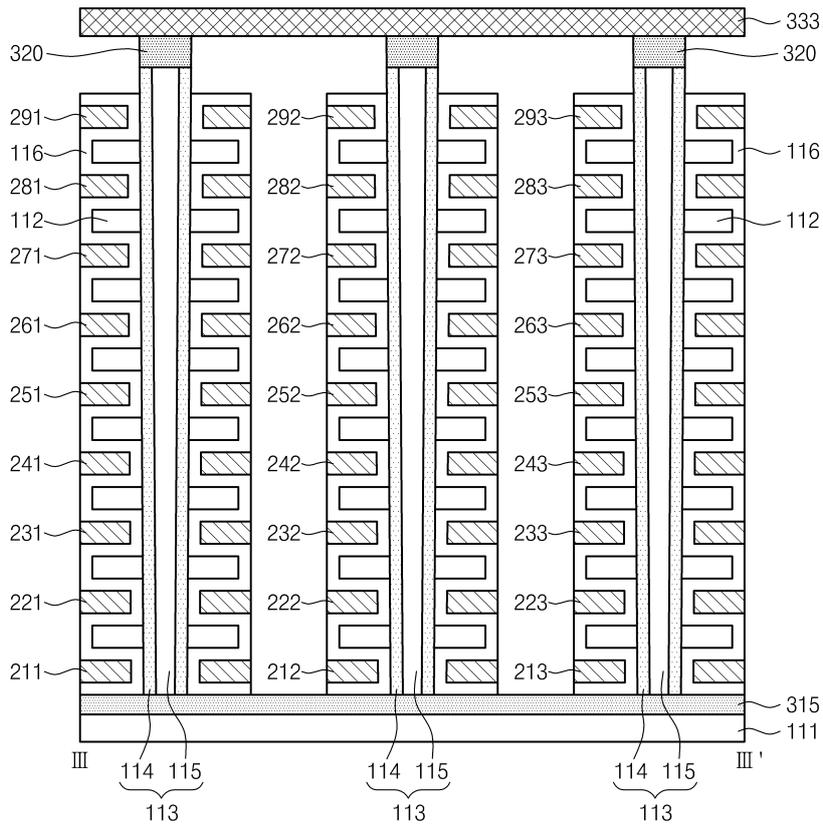
도면16



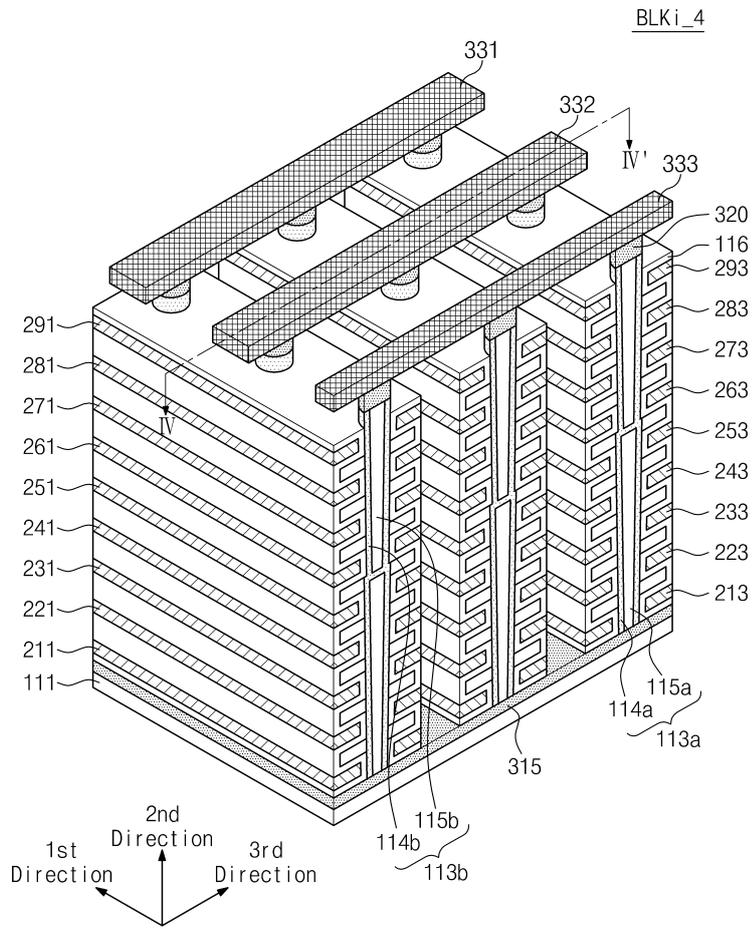
도면17



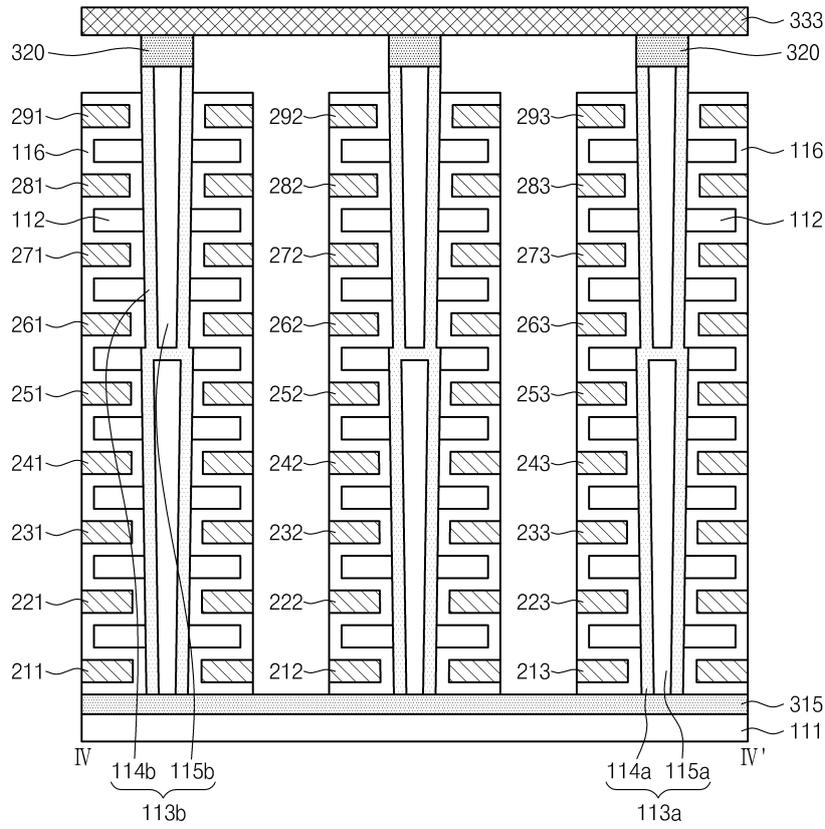
도면18



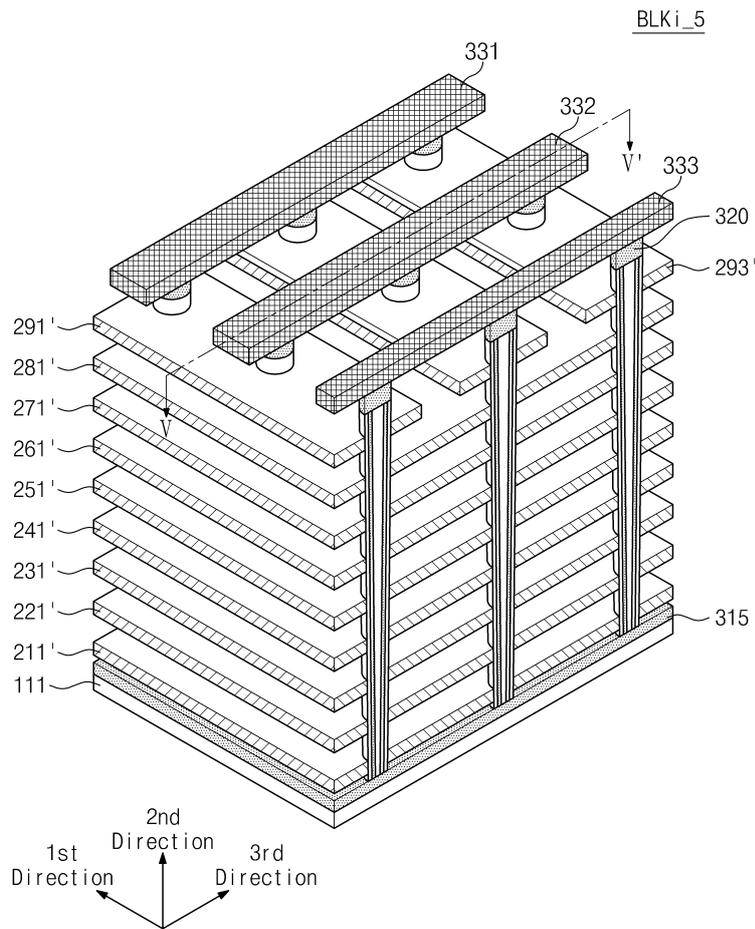
도면19



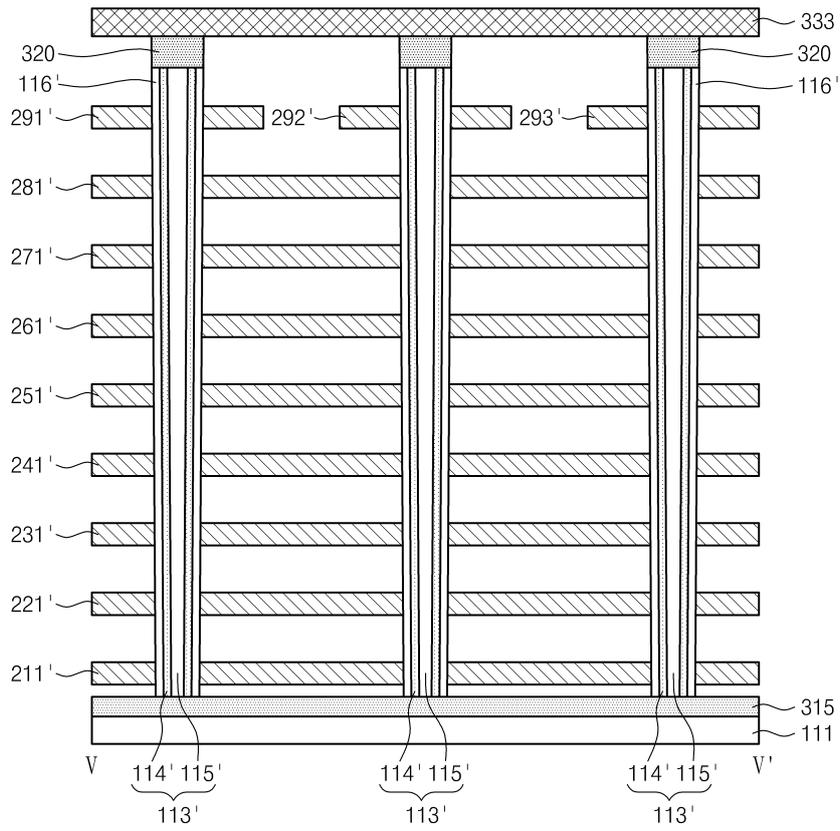
도면20



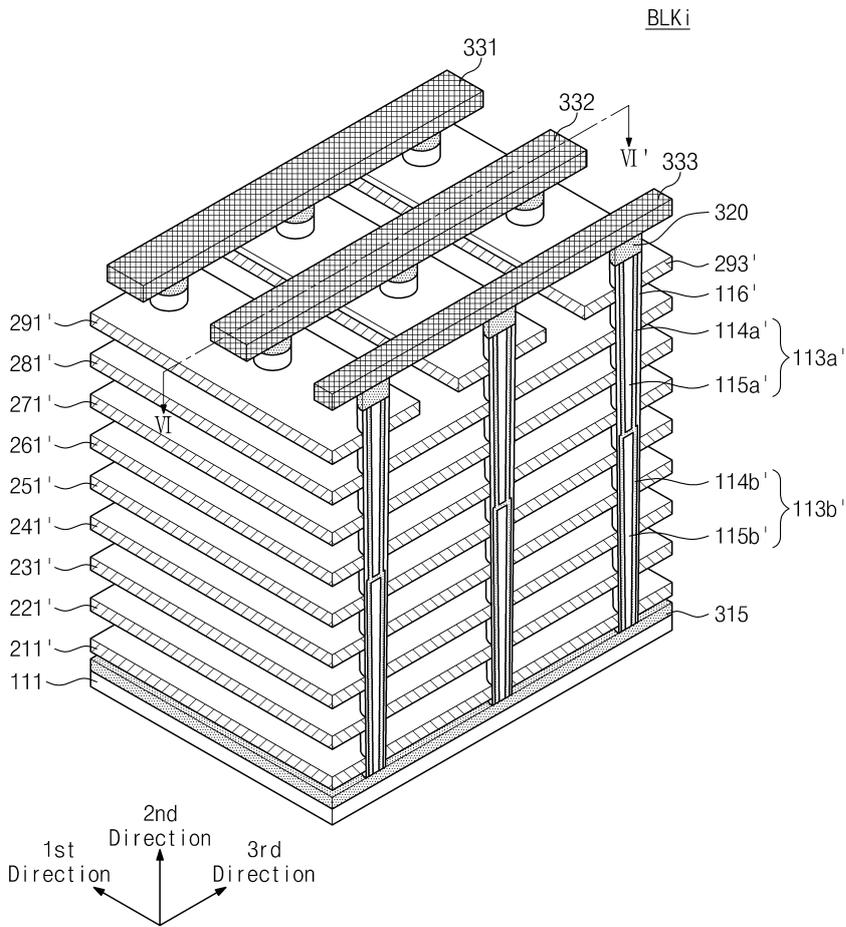
도면21



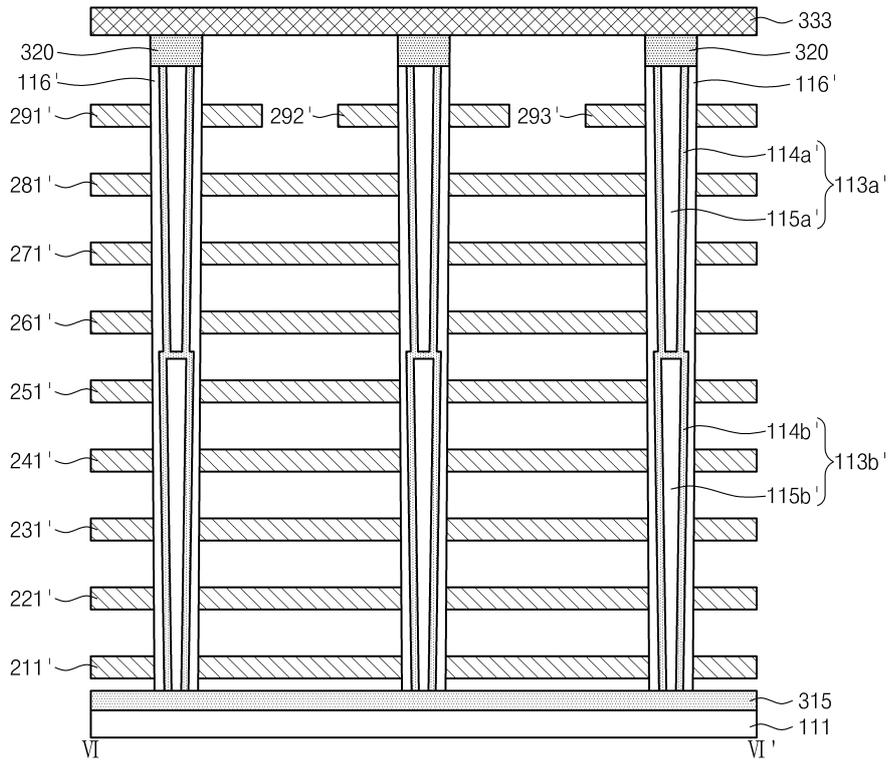
도면22



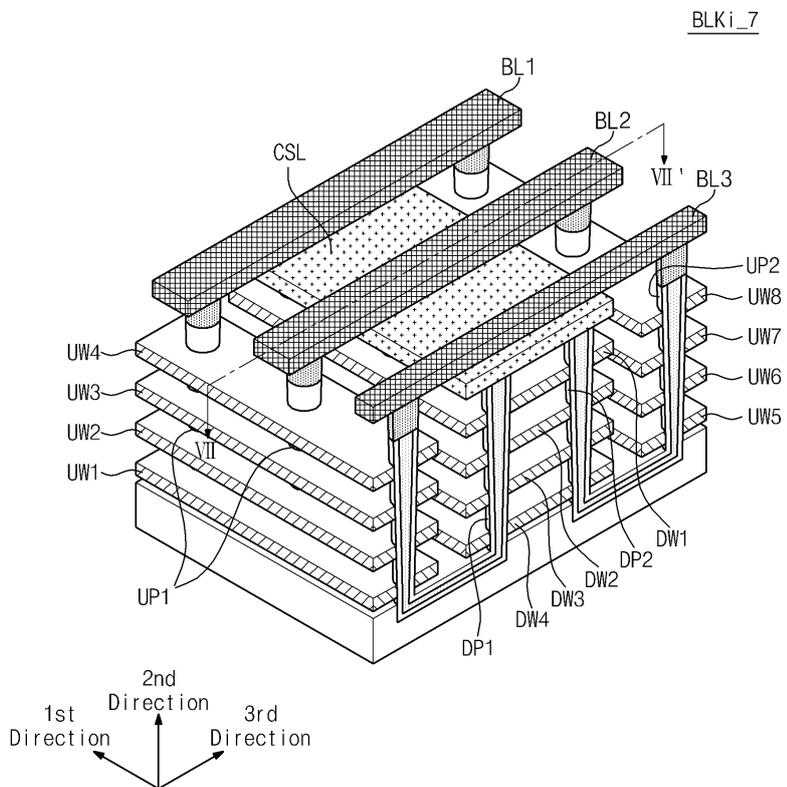
도면23



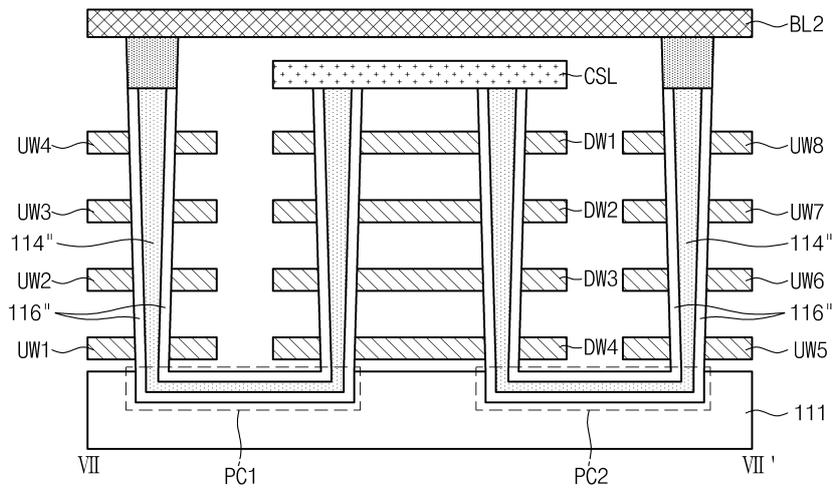
도면24



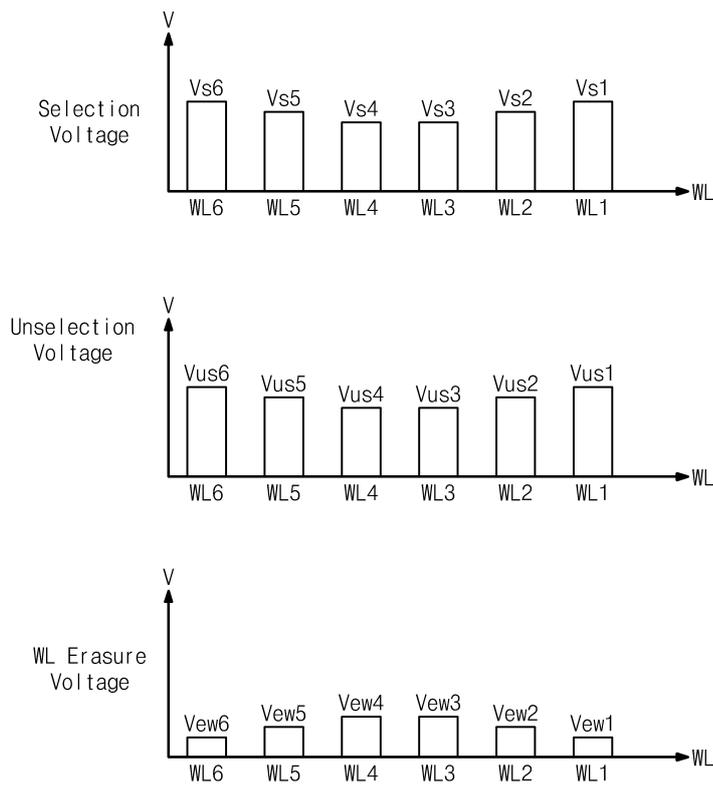
도면25



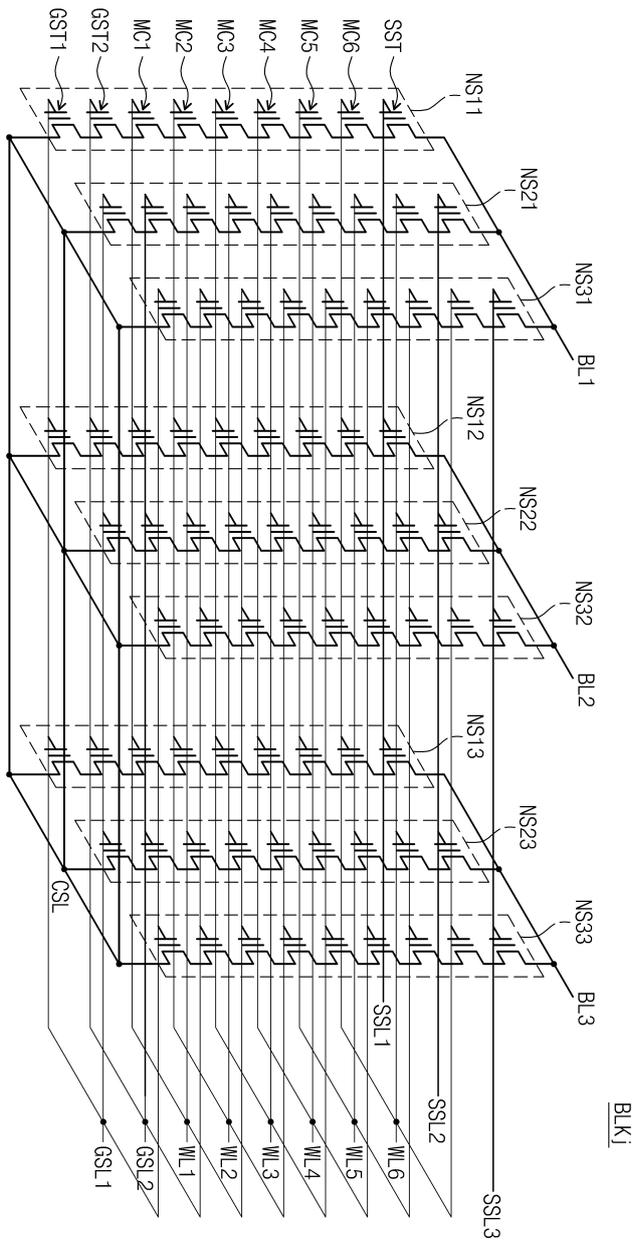
도면26



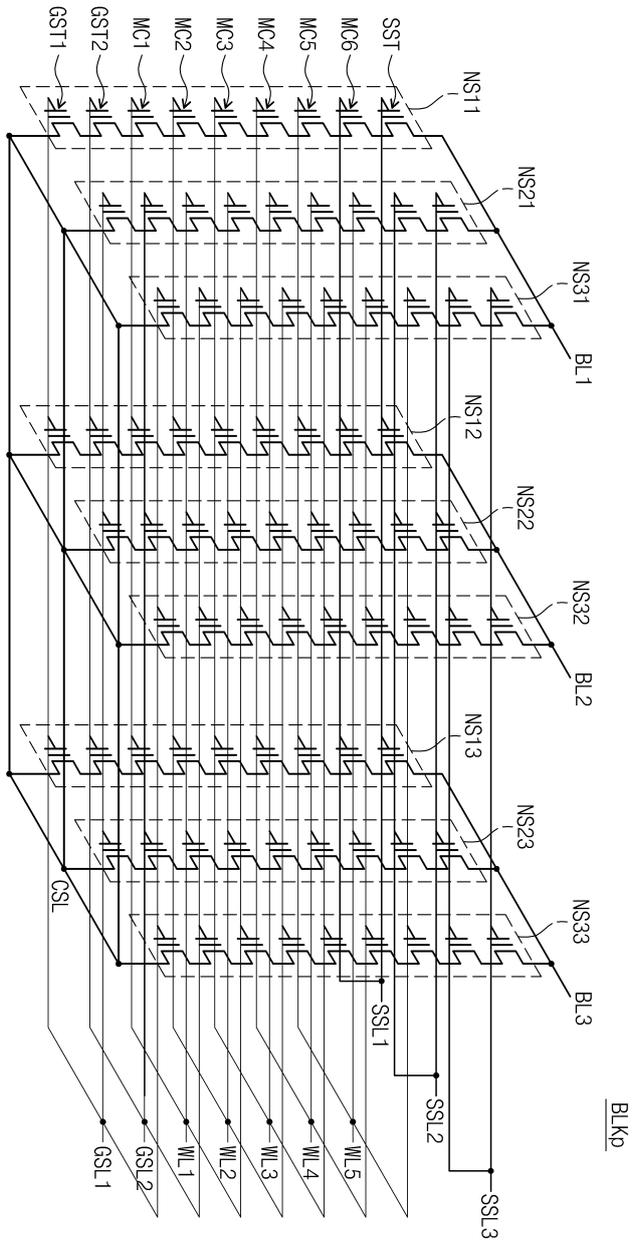
도면27



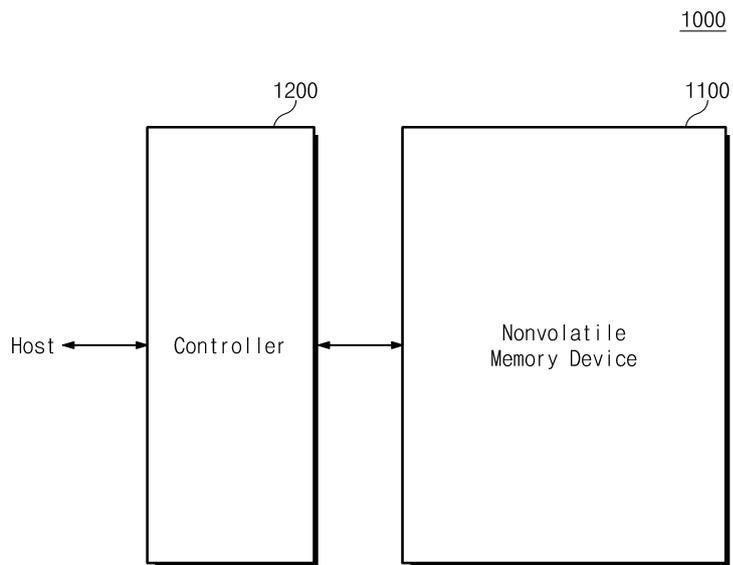
도면28



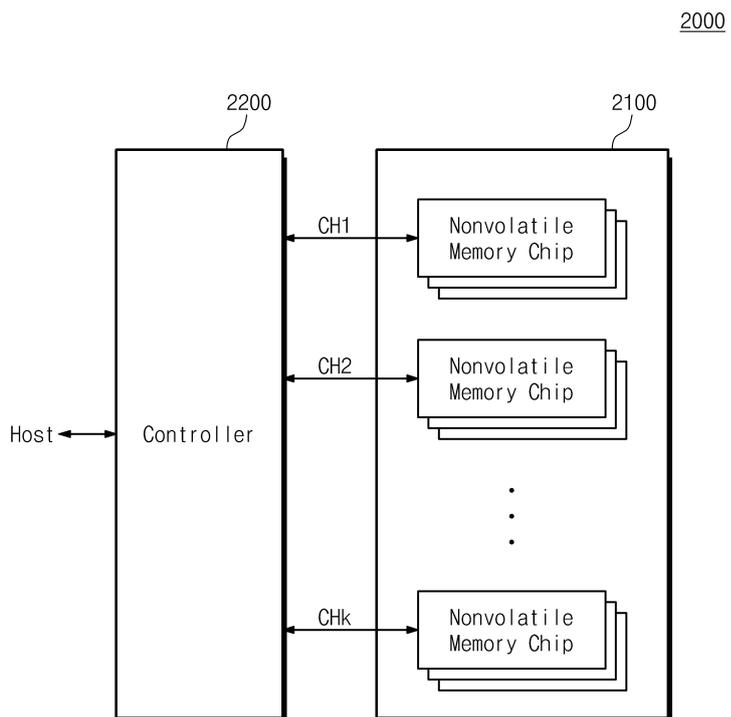
도면29



도면30



도면31



도면32

