



(12) 发明专利申请

(10) 申请公布号 CN 118473390 A

(43) 申请公布日 2024. 08. 09

(21) 申请号 202410633048.X

(22) 申请日 2024.05.21

(71) 申请人 北京领慧立芯科技有限公司

地址 100082 北京市海淀区高粱桥斜街59
号院1号楼13层1306

(72) 发明人 李雪民 王汉卿 刘银才 汪荔

(74) 专利代理机构 北京思创大成知识产权代理
有限公司 11614

专利代理师 张立君

(51) Int. Cl.

H03K 17/22 (2006.01)

H03K 5/24 (2006.01)

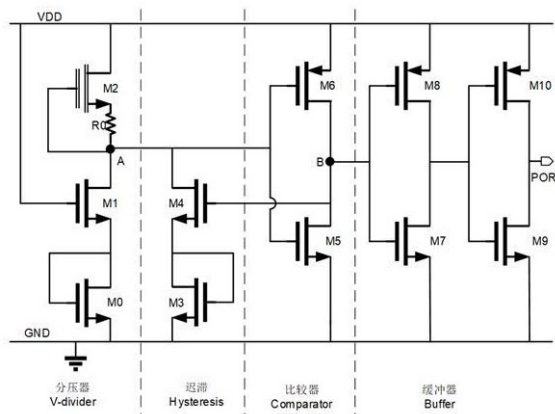
权利要求书2页 说明书7页 附图3页

(54) 发明名称

一种上电复位电路及方法

(57) 摘要

本发明涉及复位电路技术领域,具体公开一种上电复位电路及方法,该电路包括:分压器,包括分压MOS管和分压电阻,设置有分压输出点,用于产生触发分压并调整上电复位电路的功耗;迟滞器,包括迟滞MOS管,与分压输出点电连接,用于避免因电源电压抖动造成的复位电压抖动;比较器,输入端与分压输出点电连接,输出端与迟滞器的输入端电连接,用于将触发分压转换为逻辑信号;缓冲器,输入端与比较器输出端电连接,输出端作为上电复位电路的输出端,用于增加上电复位电路的驱动能力。本发明触发点精准,对工艺角和温度变化不敏感,触发点随工艺角、温度、电源电压变化范围在 $\pm 100\text{mV}$ 之内,且不随电源电压上升而上升,面积小、成本低。



1. 一种上电复位电路,其特征在于,包括:

分压器,包括分压MOS管和分压电阻,设置有分压输出点,用于产生触发分压并调整所述上电复位电路的功耗;

迟滞器,包括迟滞MOS管,与所述分压输出点电连接,用于避免因电源电压抖动造成的复位电压抖动;

比较器,输入端与所述分压输出点电连接,输出端与所述迟滞器的输入端电连接,用于将所述触发分压转换为逻辑信号;

缓冲器,输入端与所述比较器输出端电连接,输出端作为所述上电复位电路的输出端输出所述复位电压,用于增加所述上电复位电路的驱动能力。

2. 根据权利要求1所述的上电复位电路,其特征在于,所述分压MOS管包括本征NMOS管、第一分压NMOS管和第二分压NMOS管;

所述本征NMOS管的漏极与电源电连接,源极与所述分压电阻的一端电连接;

所述分压电阻的另一端同时与所述本征NMOS管的栅极、第一分压NMOS管的漏极电连接,并作为所述分压输出点;

所述第一分压NMOS管的源极与所述第二分压NMOS管的漏极电连接,栅极与电源电连接;

所述第二分压NMOS管的源极与地电连接,栅极与自身的漏极电连接。

3. 根据权利要求1所述的上电复位电路,其特征在于,所述迟滞NMOS管包括第一迟滞NMOS管和第二迟滞NMOS管;

所述第一迟滞NMOS管的漏极与所述分压输出点电连接,源极与所述第二迟滞NMOS管的漏极电连接;

所述第二迟滞NMOS管的源极与地电连接,栅极与自身的漏极电连接。

4. 根据权利要求3所述的上电复位电路,其特征在于,所述比较器包括比较PMOS管和比较NMOS管;

所述比较PMOS管的源极与电源电连接,漏极与所述比较NMOS管的漏极电连接;

所述比较NMOS管的源极与地电连接,漏极与所述第一迟滞NMOS管的栅极电连接;

所述比较PMOS管和比较NMOS管的栅极同时与所述分压输出点电连接。

5. 根据权利要求1所述的上电复位电路,其特征在于,所述缓冲器包括至少两级串联的缓冲单元;

首级缓冲单元的输入端与所述比较NMOS管的漏极电连接;

末级缓冲单元的输出端作为所述上电复位电路的输出端;

除末级外,每级缓冲单元的输入端与上一级缓冲单元的输出端电连接;

所述至少两级串联的缓冲单元的个数为偶数。

6. 根据权利要求5所述的上电复位电路,其特征在于,每级缓冲单元包括缓冲PMOS管和缓冲NMOS管;

所述缓冲PMOS管的源极与电源电连接,漏极与所述缓冲NMOS管的漏极电连接;

所述缓冲NMOS管的源极与地电连接;

所述缓冲PMOS管和缓冲NMOS管的栅极相互电连接,并作为缓冲单元的输入端;

所述缓冲NMOS管的漏极作为缓冲单元的输出端。

7. 一种在权利要求1-6中任意一项所述的上电复位电路中进行的上电复位方法,其特征在于,包括:

通过所述分压MOS管和分压电阻产生所述触发分压并调整上电复位电路的功耗;

所述触发分压同时传输至所述迟滞器和比较器的输入端;

所述迟滞器通过所述触发分压和所述比较器的输出信号进行信号迟滞,避免因电源电压抖动造成的复位电压抖动;

所述比较器将所述触发分压转换为逻辑信号后输出至所述缓冲器;

所述缓冲器将所述比较器输出的逻辑信号转化为驱动信号驱动外部电路。

8. 根据权利要求7所述的上电复位电路,其特征在于,通过所述分压MOS管和分压电阻产生所述触发分压并调整上电复位电路的功耗包括:

当电源电压低于所述第一分压NMOS管和第二分压NMOS管的阈值电压之和时,所述第一分压NMOS管和第二分压NMOS管均不导通,所述本征NMOS管导通无电流,所述触发分压为高电平;

当电源电压不小于所述第一分压NMOS管和第二分压NMOS管的阈值电压之和且逐渐升高时,所述本征NMOS管的源漏极之间的电压逐渐变大,流经其的电流逐渐增大,栅源极之间的电压逐渐减小且其值等于流经所述本征NMOS管的电流与分压电阻的积的负值,在此过程中,本征NMOS管工作在线性区,触发分压逐渐降低;

当电源电压增大到触发点电压时,触发分压足够低使复位电压从逻辑低电平突变到逻辑高电平;

当电源电压继续增大,使得所述本征NMOS管的栅源极之间的电压的减小引起流经其的电流的减小超过源漏极之间的电压变大引起流经其的电流的变大时,所述本征NMOS管工作在饱和区,流经其的电流保持不变,所述触发分压的值与所述第二分压NMOS管栅源极电压接近且保持不变;

通过调节所述调压电阻的大小,调整流过所述分压器通路的电流,进而调整上电复位电路的功耗。

9. 根据权利要求8所述的上电复位电路,其特征在于,所述迟滞器通过所述触发分压和比较器的输出信号进行信号迟滞,避免因电源电压抖动造成的复位电压抖动包括:

当所述触发分压为高电平时,所述比较器的输出电压为低电平,所述迟滞器关断;

当所述触发分压逐渐降低至所述比较器的阈值电压时,所述比较器的输出电压为高电平,所述第一迟滞NMOS管因栅极电压升高进而导通,所述第二迟滞NMOS管随之导通将所述触发分压继续拉低,如果下电时的电源电压下降到电源上升时的触发点电压时,所述触发分压阻止复位电压从逻辑高电平变到逻辑低电平,除非电源电压继续降低,避免了因电源电压抖动造成的复位电压抖动。

10. 根据权利要求9所述的上电复位电路,其特征在于,所述缓冲器将所述比较器输出的逻辑信号转化为驱动信号驱动外部电路包括:

通过至少两级串联的缓冲单元将所述比较器输出的逻辑信号分级转化为驱动信号驱动外部电路。

一种上电复位电路及方法

技术领域

[0001] 本发明涉及复位电路技术领域,具体涉及一种上电复位电路及方法。

背景技术

[0002] 上电复位为芯片上电后开始工作提供指示。上电复位电路一般都利用上电过程中不同节点变化不同而产生复位信号。在高精度产品中或者芯片上集成有存储单元IP时,要求比较精确的上电复位点。这样既可以保证存储单元IP的最低电源电压的要求,也可以避免由于电源电压太低影响其他模拟电路正常工作。另外,便携式设备应用通常对芯片整体功耗有着严格的要求,设计极低功耗的上电复位电路将不可避免。而极低功耗电路往往意味着较大的面积,这将极大地提高芯片成本,从而降低芯片的竞争力。

[0003] 现有上电复位电路的一种电路结构如图1所示,该上电复位电路具有如下缺点:1、大面积,分压器由PMOS管和NMOS管串联实现电源到地的连通,为实现低功耗必须将分压器的PMOS管和NMOS管L/W做的很大;2、触发点高度依赖于PMOS和NMOS的阈值电压,对温度和工艺角敏感;3、功耗高度依赖电源电压。高电源电压下功耗大。

[0004] 现有上电复位电路的另一种电路结构如图2所示,该上电复位电路具有结构更简单的优点,具有如下缺点:1、大面积:分压器由PMOS管和NMOS管以及电阻串联实现电源到地的连通,为实现低功耗必须将分压器的PMOS管和NMOS管L/W做的很大;2、触发点高度依赖于PMOS和NMOS的阈值电压,以及电阻,对温度和工艺角敏感;3、功耗高度依赖电源电压,高电源电压下功耗大,误差大约在 $\pm 200\text{mV}$ 。

[0005] 因此,特别需要一种能够实现低功耗、面积小且具有温度补偿,进而提高复位点的精确度的复位电路。

[0006] 基于这一技术背景,本发明研究了一种上电复位电路及方法。

发明内容

[0007] 针对现有技术的不足,本发明提出一种上电复位电路及方法,该电路触发点精准,对工艺角和温度变化不敏感,触发点随工艺角、温度、电源电压变化范围在 $\pm 100\text{mV}$ 之内,且不随电源电压上升而上升,面积小、成本低。

[0008] 为了实现上述目的,本发明第一方面提供一种上电复位电路,包括:

分压器,包括分压MOS管和分压电阻,设置有分压输出点,用于产生触发分压并调整所述上电复位电路的功耗;

迟滞器,包括迟滞MOS管,与所述分压输出点电连接,用于避免因电源电压抖动造成的复位电压抖动;

比较器,输入端与所述分压输出点电连接,输出端与所述迟滞器的输入端电连接,用于将所述触发分压转换为逻辑信号;

缓冲器,输入端与所述比较器输出端电连接,输出端作为所述上电复位电路的输出端输出复位电压,用于增加所述上电复位电路的驱动能力。

- [0009] 本发明第一方面提供一种在上述的上电复位电路中进行的上电复位方法,包括:
通过所述分压MOS管和分压电阻产生所述触发分压并调整上电复位电路的功耗;
所述触发分压同时传输至所述迟滞器和比较器的输入端;
所述迟滞器通过所述触发分压和所述比较器的输出信号进行信号迟滞,避免因电源电压抖动造成的复位电压抖动;
所述比较器将所述触发分压转换为逻辑信号后输出至所述缓冲器;
所述缓冲器将所述比较器输出的逻辑信号转化为驱动信号驱动外部电路。
- [0010] 本发明的有益效果包括:
(1) 本发明提出的上电复位电路,触发点精准,对工艺角和温度变化不敏感,触发点随工艺角、温度、电源电压变化范围在 $\pm 100\text{mV}$ 之内,且不随电源电压上升而上升,面积小、成本低。
- [0011] (2) 本发明提出的上电复位电路,功耗受本征NMOS管的漏电控制,不随电源电压上升而上升,通过分压电阻阻值大小,可以灵活改变分压器通路的电流,从而实现整个设计的极低功耗目标。
- [0012] (3) 本发明提出的上电复位电路,通过控制本征NMOS管的栅源电压来控制电流,在实现极低功耗设计的同时,避免了使用大尺寸的MOS管,从而节约成本。
- [0013] (4) 本发明提出的上电复位电路,触发分压受本征NMOS管、第一分压NMOS管和第二分压NMOS管的控制,由于三者都是NMOS晶体管,从而可以实现较好的工艺和温度的跟随,让触发分压在不同工艺和温度下变化更小。
- [0014] 本发明的其它特征和优点将在随后具体实施方式部分予以详细说明。

附图说明

- [0015] 通过结合附图对本发明示例性实施方式进行更详细的描述,本发明的上述以及其它目的、特征和优势将变得更加明显,其中,在本发明示例性实施方式中,相同的参考标号通常代表相同部件。
- [0016] 图1为现有上电复位电路的一种电路结构示意图。
- [0017] 图2为现有上电复位电路的另一种电路结构示意图。
- [0018] 图3为本发明提出的上电复位电路的一个具体实施方式的结构示意图。
- [0019] 图4为本发明提出的上电复位电路的一个具体实施方式中各节点电压波形示意图。
- [0020] 附图标记说明:
M0-第二分压NMOS管,M1-第一分压NMOS管,M2-本征NMOS管,M3-第二迟滞NMOS管,M4-第一迟滞NMOS管,M5-比较NMOS管,M6-比较PMOS管,M7-第一缓冲NMOS管,M8-第一缓冲PMOS管,M9-第二缓冲NMOS管,M10-第二缓冲PMOS管,R0-分压电阻;
VDD-电源,GND-地,A-分压输出点,B-比较器输出端,PORB-上电复位电路的输出端。

具体实施方式

- [0021] 下面将更详细地描述本发明的优选实施方式。虽然以下描述了本发明的优选实施

方式,然而应该理解,可以以各种形式实现本发明而不应被这里阐述的实施方式所限制。

[0022] 在本发明中,在未作相反说明的情况下,使用的方位词如“上、下”通常是指装置在正常使用状态下的上和下,“内、外”是指相对于装置轮廓而言的。此外,术语“第一、第二、第三”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一、第二、第三”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0023] 本发明提供一种上电复位电路,如图3所示,包括:

分压器,包括分压MOS管和分压电阻R0,设置有分压输出点A,用于产生触发分压并调整上电复位电路的功耗;

迟滞器,包括迟滞MOS管,与分压输出点A电连接,用于避免因电源VDD电压抖动造成的复位电压抖动;

比较器,输入端与分压输出点A电连接,输出端与迟滞器的输入端电连接,用于将触发分压转换为逻辑信号;

缓冲器,输入端与比较器输出端B电连接,输出端作为上电复位电路的输出端PORB输出复位电压,用于增加上电复位电路的驱动能力。

[0024] 本发明中,触发点精准,对工艺角和温度变化不敏感,触发点随工艺角、温度、电源VDD电压变化范围在 $\pm 100\text{mV}$ 之内,且不随电源VDD电压上升而上升,面积小、成本低。

[0025] 根据本发明,分压MOS管包括本征NMOS管M2、第一分压NMOS管M1和第二分压NMOS管M0;

本征NMOS管M2的漏极与电源VDD电连接,源极与分压电阻R0的一端电连接;

分压电阻R0的另一端同时与本征NMOS管M2的栅极、第一分压NMOS管M1的漏极电连接,并作为分压输出点A;

第一分压NMOS管M1的源极与第二分压NMOS管M0的漏极电连接,栅极与电源VDD电连接;

第二分压NMOS管M0的源极与地GND电连接,栅极与自身的漏极电连接。

[0026] 本发明中,功耗受本征NMOS管M2的漏电控制,不随电源VDD电压上升而上升,通过分压电阻R0阻值大小,可以灵活改变分压器通路的电流,从而实现整个设计的极低功耗目标。

[0027] 本发明中,通过控制本征NMOS管M2的栅源电压来控制电流,在实现极低功耗设计的同时,避免了使用大尺寸的MOS管,从而节约成本。

[0028] 本发明中,触发分压受本征NMOS管M2、第一分压NMOS管M1和第二分压NMOS管M0的控制,由于三者都是NMOS晶体管,从而可以实现较好的工艺和温度的跟随,让触发点电压在不同工艺和温度下变化更小。

[0029] 本发明中,触发点电压是指随着电源上升或者下降时,当发生复位电压从逻辑低电平突变到逻辑高电平或者从逻辑高电平突变到逻辑低电平时,此时对应的电源的电压叫触发点电压;触发分压为触发点电压在分压器的分压输出点A产生的电压,如图3所示。

[0030] 根据本发明,迟滞NMOS管包括第一迟滞NMOS管M4和第二迟滞NMOS管M3;

第一迟滞NMOS管M4的漏极与分压输出点A电连接,源极与第二迟滞NMOS管M3的漏

极电连接；

第二迟滞NMOS管M3的源极与地GND电连接,栅极与自身的漏极电连接。

[0031] 根据本发明,比较器包括比较PMOS管M6和比较NMOS管M5;

比较PMOS管M6的源极与电源VDD电连接,漏极与比较NMOS管M5的漏极电连接;
比较NMOS管M5的源极与地GND电连接,漏极与第一迟滞NMOS管M4的栅极电连接;
比较PMOS管M6和比较NMOS管M5的栅极同时与分压输出点A电连接。

[0032] 优选地,缓冲器包括至少两级串联的缓冲单元;

首级缓冲单元的输入端与比较NMOS管M5的漏极电连接;
末级缓冲单元的输出端作为上电复位电路的输出端PORB;
除末级外,每级缓冲单元的输入端与上一级缓冲单元的输出端电连接;
至少两级串联的缓冲单元的个数为偶数。

[0033] 优选地,每级缓冲单元包括缓冲PMOS管和缓冲NMOS管;

缓冲PMOS管的源极与电源VDD电连接,漏极与缓冲NMOS管的漏极电连接;
缓冲NMOS管的源极与地GND电连接;
缓冲PMOS管和缓冲NMOS管的栅极相互电连接,并作为缓冲单元的输入端;
缓冲NMOS管的漏极作为缓冲单元的输出端。

[0034] 本发明还提供一种在述的上电复位电路中进行的上电复位方法,包括:

通过分压MOS管和分压电阻R0产生触发分压并调整上电复位电路的功耗;
触发分压同时传输至迟滞器和比较器的输入端;

迟滞器通过触发分压和比较器的输出信号进行信号迟滞,避免因电源VDD电压抖动造成的复位电压抖动;

比较器将触发分压转换为逻辑信号后输出至缓冲器;

缓冲器将比较器输出的逻辑信号转化为驱动信号驱动外部电路。

[0035] 根据本发明,通过分压MOS管和分压电阻R0产生触发分压并调整上电复位电路的功耗包括:

当电源VDD电压低于第一分压NMOS管M1和第二分压NMOS管M0的阈值电压之和时,第一分压NMOS管M1和第二分压NMOS管M0均不导通,本征NMOS管M2导通无电流,触发分压为高电平;

当电源VDD电压不小于第一分压NMOS管M1和第二分压NMOS管M0的阈值电压之和且逐渐升高时,本征NMOS管M2的源漏极之间的电压逐渐变大,流经其的电流逐渐增大,栅源极之间的电压逐渐减小且其值等于流经本征NMOS管M2的电流与分压电阻R0的积的负值,在此过程中,本征NMOS管M2工作在线性区,触发分压逐渐降低;

当电源VDD电压增大到触发点电压时,触发分压足够低使复位电压从逻辑低电平突变到逻辑高电平;

当电源VDD电压继续增大,使得本征NMOS管M2的栅源极之间的电压的减小引起流经其的电流的减小超过源漏极之间的电压变大引起流经其的电流的变大时,本征NMOS管M2工作在饱和区,流经其的电流保持不变,触发分压的值与第二分压NMOS管M0栅源极电压接近且保持不变;

通过调节调压电阻的大小,调整流过分压器通路的电流,进而调整上电复位电路

的功耗。

[0036] 优选地,迟滞器通过触发分压和比较器的输出信号进行信号迟滞,避免因电源VDD电压抖动造成的复位电压抖动包括:

当触发分压为高电平时,比较器的输出电压为低电平,迟滞器关断;

当触发分压逐渐降低至比较器的阈值电压时,比较器的输出电压为高电平,第一迟滞NMOS管M4因栅极电压升高进而导通,第二迟滞NMOS管M3随之导通将触发分压继续拉低,如果下电时的电源VDD电压下降到电源VDD上升时的触发点电压时,触发分压阻止复位电压从逻辑高电平变到逻辑低电平,除非电源VDD电压继续降低,避免了因电源VDD电压抖动造成的复位电压抖动。

[0037] 根据本发明,缓冲器将比较器输出的逻辑信号转化为驱动信号驱动外部电路包括:

通过至少两级串联的缓冲单元将比较器输出的逻辑信号分级转化为驱动信号驱动外部电路。

[0038] 下面通过具体实施例对本发明进行更详细的说明。

实施例1

[0039] 如图3所示,本实施例提供一种上电复位电路,包括:

分压器,包括分压MOS管和分压电阻R0,设置有分压输出点A,用于产生触发分压并调整上电复位电路的功耗;

迟滞器,包括迟滞MOS管,与分压输出点A电连接,用于避免因电源VDD电压抖动造成的复位电压抖动;

比较器,输入端与分压输出点A电连接,输出端与迟滞器的输入端电连接,用于将触发分压转换为逻辑信号;

缓冲器,输入端与比较器输出端B电连接,输出端作为上电复位电路的输出端PORB输出复位电压,用于增加上电复位电路的驱动能力;

分压MOS管包括本征NMOS管M2、第一分压NMOS管M1和第二分压NMOS管M0;

本征NMOS管M2的漏极与电源VDD电连接,源极与分压电阻R0的一端电连接;

分压电阻R0的另一端同时与本征NMOS管M2的栅极、第一分压NMOS管M1的漏极电连接,并作为分压输出点A;

第一分压NMOS管M1的源极与第二分压NMOS管M0的漏极电连接,栅极与电源VDD电连接;

第二分压NMOS管M0的源极与地GND电连接,栅极与自身的漏极电连接;

迟滞NMOS管包括第一迟滞NMOS管M4和第二迟滞NMOS管M3;

第一迟滞NMOS管M4的漏极与分压输出点A电连接,源极与第二迟滞NMOS管M3的漏极电连接;

第二迟滞NMOS管M3的源极与地GND电连接,栅极与自身的漏极电连接;

比较器包括比较PMOS管M6和比较NMOS管M5;

比较PMOS管M6的源极与电源VDD电连接,漏极与比较NMOS管M5的漏极电连接;

比较NMOS管M5的源极与地GND电连接,漏极与第一迟滞NMOS管M4的栅极电连接;

比较PMOS管M6和比较NMOS管M5的栅极同时与分压输出点A电连接;

本实施例中,缓冲器包括两级串联的缓冲单元;

第一级缓冲单元的输入端与比较NMOS管M5的漏极电连接;

第二级缓冲单元的输出端作为上电复位电路的输出端PORB;

第二级缓冲单元的输入端与第一级缓冲单元的输出端电连接;

本实施例中,第一级缓冲单元包括第一缓冲PMOS管M8和第二缓冲NMOS管M7;第二级缓冲单元包括第二缓冲PMOS管M10和第二缓冲NMOS管M9;

每级缓冲PMOS管的源极与电源VDD电连接,漏极与缓冲NMOS管的漏极电连接;

每级缓冲NMOS管的源极与地GND电连接;

每级缓冲PMOS管和缓冲NMOS管的栅极相互电连接,并作为缓冲单元的输入端;

每级缓冲NMOS管的漏极作为缓冲单元的输出端。

[0040] 本实施例提供一种上电复位方法,包括:

当电源VDD电压较低时,第二分压NMOS管M0或第一分压NMOS管M1不导通,分压器通路关闭;本征NMOS管M2可导通但无电流流过,其 $V_{gs}=0$, $V_{ds}=0$;分压输出点A跟随电源VDD电压上升;比较器输出端B此时为低电平,上电复位电路的输出端PORB为低电平;此时第一迟滞NMOS管M4栅压为低电平,迟滞器通路处于关断状态;

当电源VDD电压逐渐超过第二分压NMOS管M0和第一分压NMOS管M1的阈值电压之和,第二分压NMOS管M0和第一分压NMOS管M1逐渐导通,将分压输出点A急剧下拉;此时本征NMOS管M2处于线性区,其 V_{ds} 逐渐变大,因此电流逐步上升,然而本征NMOS管M2的 V_{gs} 也逐渐减小; $V_{gs_M2}=-I*R0$;分压输出点A电压下降到比较器的阈值电压时,比较器输出端B电压迅速抬高,上电复位电路的输出端PORB信号从0跳变为1;

当电源VDD电压到达一定值后,本征NMOS管M2的 V_{gs} 减小带来本征NMOS管M2电流的减小将超过 V_{ds} 的增大带来本征NMOS管M2电流的增大,此后本征NMOS管M2电流保持一定;足够大的 V_{ds} 让本征NMOS管M2进入饱和区,电源VDD电压继续上升本征NMOS管M2电流保持不变;此时分压输出点A电压趋近于第二分压NMOS管M0管的 V_{gs} ,且保持不变;

迟滞器通路由于第一迟滞NMOS管M4管的栅压变高而导通,第二迟滞NMOS管M3和第一迟滞NMOS管M4产生的电流将分压输出点A下拉到更低,从而电源VDD下电时触发点低于电源VDD上升时,这样可以避免电源VDD抖动带来的上电复位电路的输出端PORB的抖动;

通过调节分压电阻R0阻值大小,可以灵活改变分压器通路的电流,从而实现整个设计的极低功耗目标;

电路中通过控制本征NMOS管M2的 V_{gs} 来控制电流,在实现极低功耗设计的同时,避免了使用大尺寸的MOS管,从而节约成本;

分压输出点A的触发分压受本征NMOS管M2、第一分压NMOS管M1和第二分压NMOS管M0的限制;由于三者都是NMOS晶体管,从而可以实现较好的工艺和温度的跟随,让触发点在不同工艺和温度下变化更小。

[0041] 图4示出了上电复位电路中各节点电压波形示意图,从该图可以看出本发明提出的上电复位方法实现了触发点的精准触发。

[0042] 本发明的实施例提出的上电复位电路,触发点精准,对工艺角和温度变化不敏感,触发点随工艺角、温度、电源电压变化范围在 $\pm 100\text{mV}$ 之内,且不随电源电压上升而上升,面积小、成本低。

[0043] 以上已经描述了本发明的各实施例,上述说明是示例性的,并非穷尽性的,并且也不限于所披露的各实施例。在不偏离所说明的各实施例的范围和精神的情况下,对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。

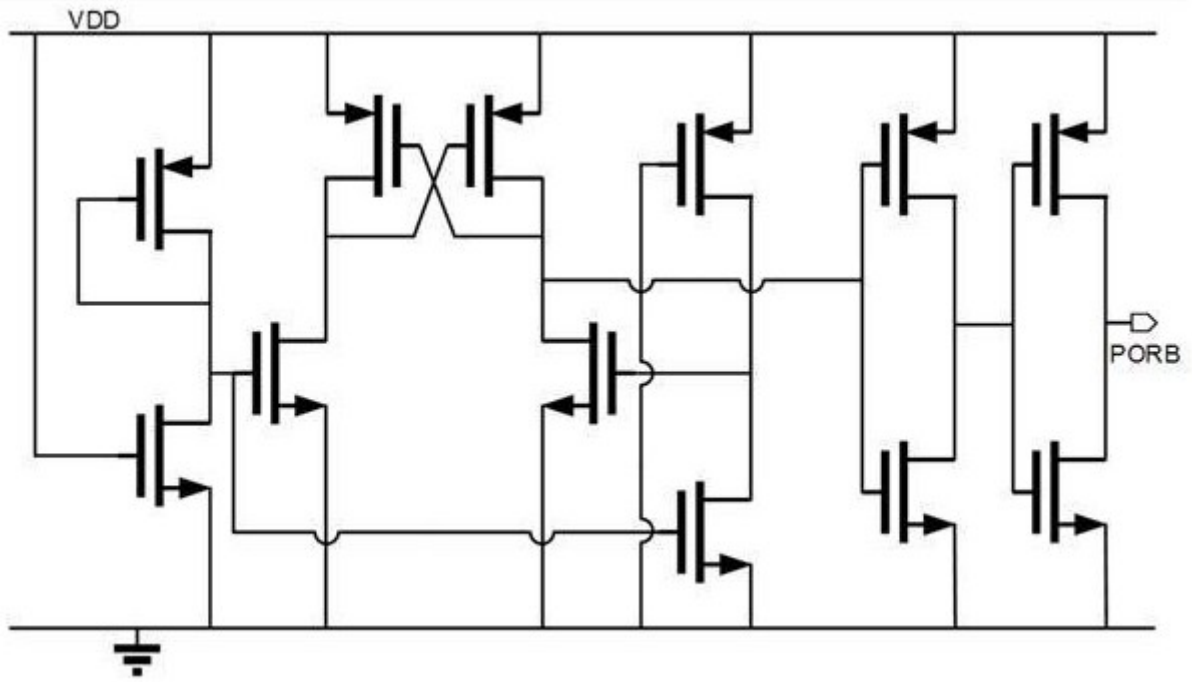


图 1

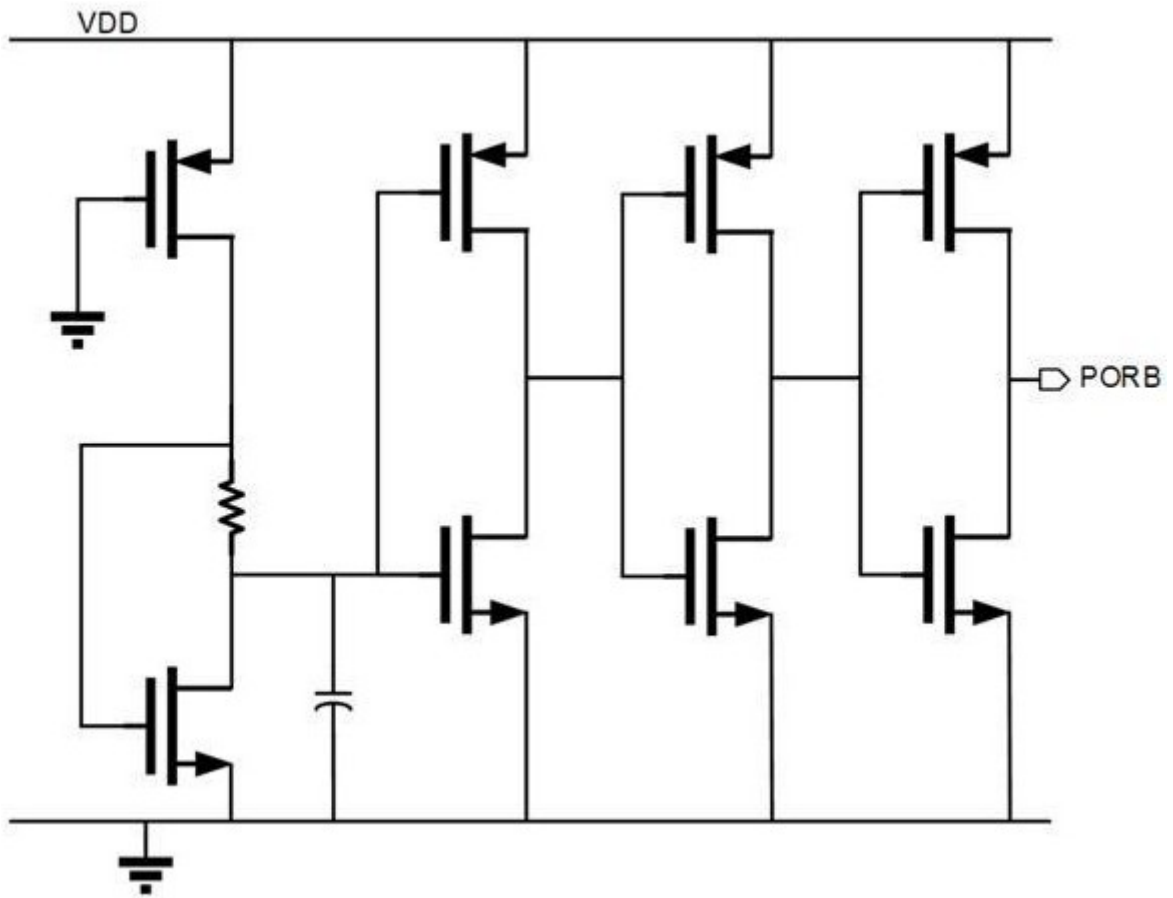


图 2

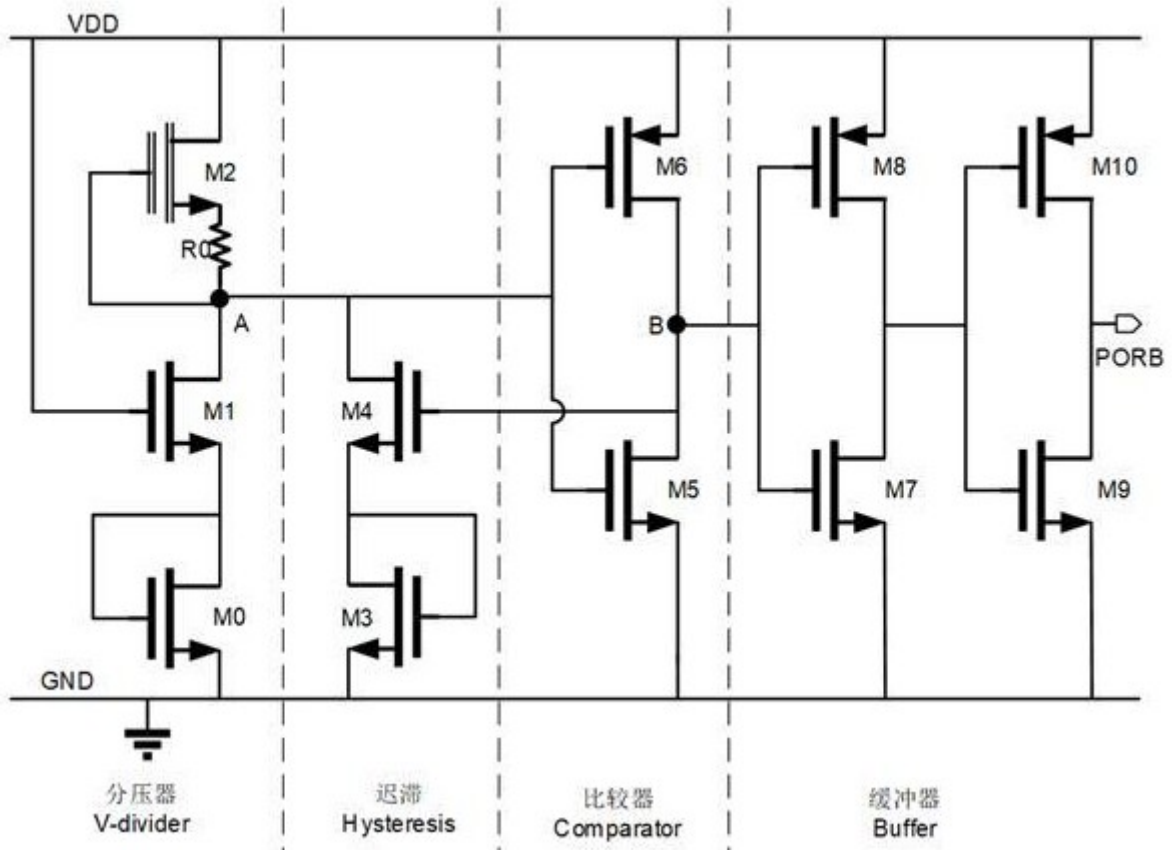


图 3

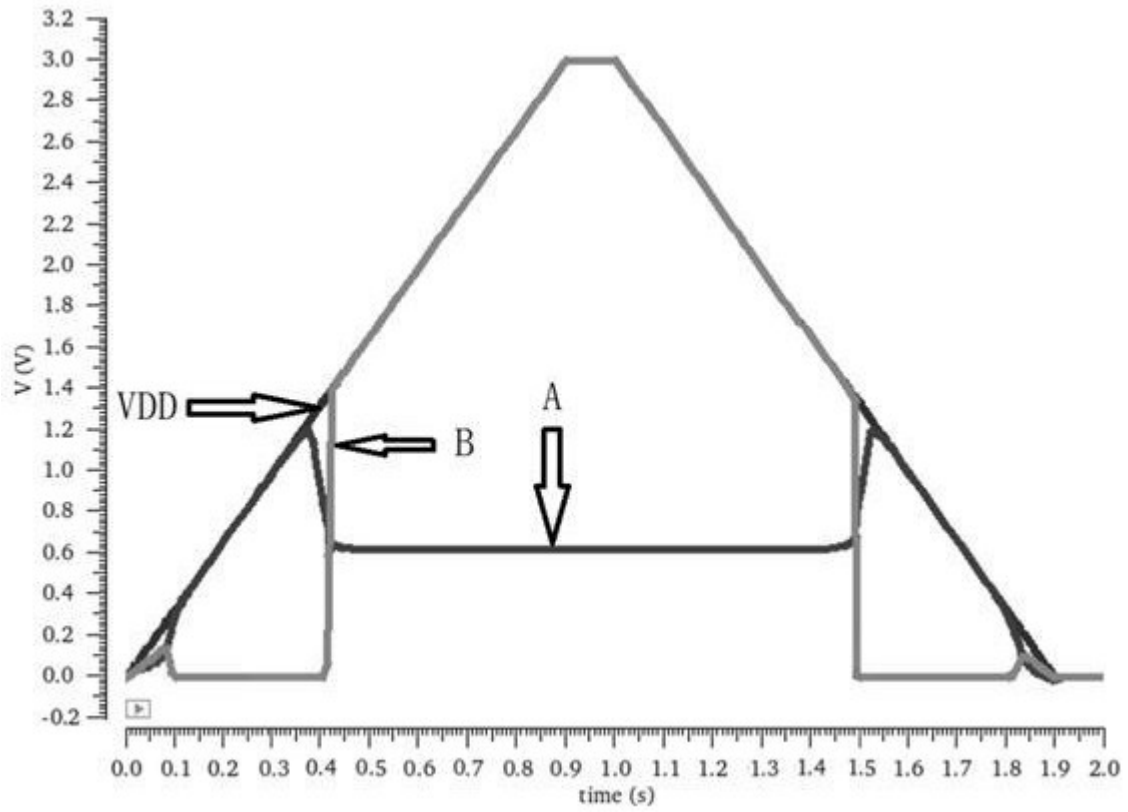


图 4