

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-176375  
(P2009-176375A)

(43) 公開日 平成21年8月6日(2009.8.6)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 29/34 (2006.01)</b>	G 1 1 C 29/00 6 7 3 P	5 B 1 2 5
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 0 1 Z	5 L 1 0 6

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2008-15451 (P2008-15451)  
(22) 出願日 平成20年1月25日 (2008.1.25)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100092820  
弁理士 伊丹 勝  
(74) 代理人 100106389  
弁理士 田村 和彦  
(71) 出願人 598010562  
東芝メモリシステムズ株式会社  
神奈川県横浜市栄区笠間2-5-1 S T  
Eビル  
(74) 代理人 100092820  
弁理士 伊丹 勝

最終頁に続く

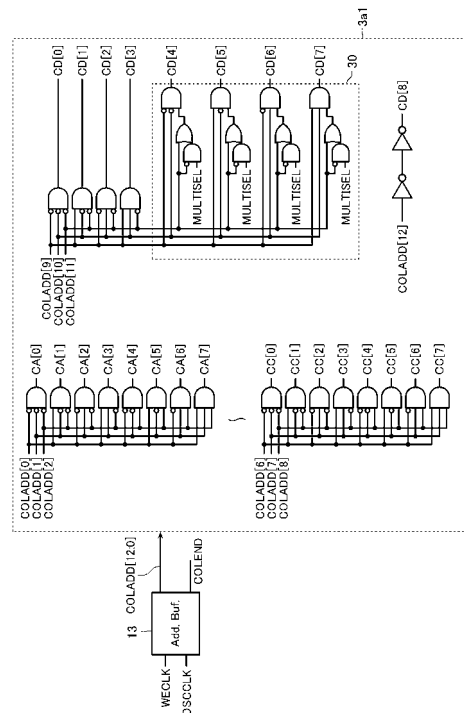
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】書き込み時間短縮を図った不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置は、電気的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイへの書き込みデータを保持するためのデータレジスタ回路と、書き込みアドレス信号をデコードして前記データレジスタ回路への書き込みデータロードを制御するための、前記データレジスタ回路の複数アドレス対応レジスタに同じ書き込みデータをロードする多重選択モードが設定可能に構成されたアドレスデコード回路とを有する。

【選択図】 図 3



**【特許請求の範囲】****【請求項 1】**

電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイへの書き込みデータを保持するためのデータレジスタ回路と、書き込みアドレス信号をデコードして前記データレジスタ回路への書き込みデータロードを制御するための、前記データレジスタ回路の複数アドレス対応レジスタに同じ書き込みデータをロードする多重選択モードが設定可能に構成されたアドレスデコード回路と、を備えたことを特徴とする不揮発性半導体記憶装置。

**【請求項 2】**

前記アドレスデコード回路の多重選択モードは、コマンドに従って設定及び解除がなされることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

10

**【請求項 3】**

前記メモリセルアレイは、同時書き込み可能な範囲が 2 のべき乗のアドレスで表される第 1 の領域と、付加的な第 2 の領域とからなり、前記アドレスデコード回路の多重選択モードは、前記第 1 の領域対応の書き込みデータロードに関して設定されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

**【請求項 4】**

前記アドレスデコード回路は、前記メモリセルアレイの同時書き込み範囲である 1 ページ内のカラム選択を行うカラムアドレスデコード回路であり、前記カラムアドレスデコード回路は、カラムアドレス信号を複数のワンホット信号にデコードするプリデコーダと、このプリデコーダのデコード信号を更にデコードするメインデコーダとを有し、前記プリデコーダ内に、多重選択信号に基づいて前記多重選択モードを選択的に設定するためのゲート回路が付加されていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

20

**【請求項 5】**

前記アドレスデコード回路のデコード出力によりデータセットされて、前記データレジスタ回路の各レジスタのデータ取り込みを活性にするためのシフトレジスタを更に備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置 (EEPROM) に係り、特に書き込みモードの改良に関する。

**【背景技術】****【0002】**

EEPROM の一つとして NAND 型フラッシュメモリが広く知られている。NAND 型フラッシュメモリでは、データの書き込みおよび読み出しがページ単位で実行される。1 ページは、たとえば 4 k B y t e のメインカラム領域と 6 4 B y t e の冗長カラム領域とから構成されて、合計 4 1 6 0 B y t e で構成される。ユーザデータは、通常 1 B y t e 単位でデータ入出力される。

40

**【0003】**

フラッシュメモリの出荷前検査において、ユーザデータとして予め決められたデータが正しく書き込まれるかどうかを試験することが行われる (例えば、特許文献 1 参照)。テスト用書き込みデータを I O ピンを介して外部から与えるのに、前述のように通常の書き込み時と同様に 1 B y t e 単位で行うとすると、書き込みサイクルを 3 0 n s とし、1 ページのテストデータ (= 4 1 6 0 B y t e ) をロードするのに、1 2 4 . 8 μ s の時間を要する。

50

## 【 0 0 0 4 】

従って書き込みテストのデータ入力に時間がかかり、特に今後のページ長増大に対してテスト時間増加の懸念が大きい。

【特許文献 1】特開 2 0 0 7 - 2 5 0 1 8 7 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 5 】

この発明は、書き込み時間短縮を図った不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

10

## 【 0 0 0 6 】

この発明の一態様による不揮発性半導体記憶装置は、  
電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、  
前記メモリセルアレイへの書き込みデータを保持するためのデータレジスタ回路と、  
書き込みアドレス信号をデコードして前記データレジスタ回路への書き込みデータロードを制御するための、前記データレジスタ回路の複数アドレス対応レジスタに同じ書き込みデータをロードする多重選択モードが設定可能に構成されたアドレスデコード回路と、  
を備えたことを特徴とする。

【発明の効果】

## 【 0 0 0 7 】

20

この発明によると、書き込み時間短縮を図った不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

## 【 0 0 0 8 】

以下、図面を参照して、この発明の実施の形態を説明する。

## 【 0 0 0 9 】

図 1 は、一実施の形態による N A N D 型フラッシュメモリの機能ブロック構成を示し、図 2 はそのメモリコア部のセルアレイ構成を示している。メモリセルアレイ 1 は、図 2 に示すように、複数の電氣的書き換え可能な複数の不揮発性メモリセル(図の例では 3 2 個のメモリセル) M 0 - M 3 1 が直列接続された N A N D セルユニット(N A N D ストリング) N U を配列して構成される。

30

## 【 0 0 1 0 】

N A N D セルユニット N U の一端は、選択ゲートトランジスタ S 0 を介してビット線 B L i に、他端は選択ゲートトランジスタ S 1 を介して共通ソース線 C E L S R C に接続される。メモリセル M 0 - M 3 1 の制御ゲートはそれぞれワード線 W L 0 - W L 3 1 に接続され、選択ゲートトランジスタ S 0 , S 1 のゲートは選択ゲート線 S G D , S G S に接続される。

## 【 0 0 1 1 】

ワード線方向に配列される N A N D セルユニット N U の集合が、データ消去の最小単位となるブロックを構成し、図示のようにビット線の方向に複数のブロック B L K 0 - B L K n が配置される。ビット線 B L i の一端側に、セルデータの読み出し及び書き込みに供させるセンスアンプ回路 3 が配置される。センスアンプ回路 3 は、データレジスタ回路を含み、更にカラム選択を行うカラムアドレスデコード回路 3 a が付属する。ワード線の一端側にはワード線及び選択ゲート線の選択駆動を行うロウデコーダ 2 が配置される。

40

## 【 0 0 1 2 】

コマンド、アドレス及びデータは、入力バッファ 1 1 を介して入力され、チップイネーブル信号 C E n x、書き込みイネーブル信号 W E n x、読み出しイネーブル信号 R E n x 等の外部制御信号は、入力バッファ 1 0 を介して入力される。コマンドは、コマンドデコーダ 1 2 でデコードされて、内部制御回路であるステートマシン 7 に送られる。

## 【 0 0 1 3 】

50

アドレスは、アドレスバッファ13を介し、ステートマシン7の制御により所定のタイミングにおいてコントロールレジスタ6a, 6bの出力信号と共にロウデコーダ2やカラムデコーダ3aに転送される。ここで、アドレスはロウアドレスROWADDとカラムアドレスCOLADDに分離され、所定の箇所に入力されるように構成される。カラムアドレス線はカラムアドレスカウンタから生成される場合を含む。

【0014】

レジスタ回路8は、セルアレイ1のROMフューズ領域からパワーオンリセット動作で読み出される電圧調整データ等を保持する。書き込みデータは、データバッファ14を介して、センスアンプ回路3にロードされ、センスアンプ回路3の読み出しデータはデータバッファ15を介して、外部に出力される。

10

【0015】

各動作モードに応じて必要とされる高電圧を発生するために、高電圧発生回路4が設けられている。高電圧発生回路4は、ステートマシン7からコントロールレジスタ5を介して与えられる指令に基づいて所定の高電圧を発生する。

【0016】

本実施の形態においては、書き込みテスト時に、データロードを高速に行う動作モードであることを指示するコマンドデコード信号である多重選択信号MULTISELの論理Hレベルがセンスアンプ回路3に入力されるようになっている。ユーザデータの書き込み時その他の通常動作時はMULTISELが論理Lレベルとなる。

20

【0017】

図3は本実施の形態にかかわるカラムアドレスデコードの論理である。

【0018】

アドレスバッファ13は、図示しないが、ライトイネーブル信号WEnxもしくはフラッシュメモリ内部発生のクロック信号OSCLKに同期してカウント動作を行うカウンタを有し、その出力はたとえば、同時書き込みの範囲である1ページ=4160Byteにアクセスするために13ビットのカラムアドレス信号COLADD[12:0]を構成する。

【0019】

このカラムアドレス信号は、カラムアドレスデコード回路3aのプリデコーダ3a1により、CA[7:0], CB[7:0], CC[7:0]及びCD[8:0]のワンホット信号にデコードされる。プリデコーダ3a1は、前述の多重選択信号MULTISELに基づいて、複数アドレス位置に同じ書き込みデータをロードするための多重選択モードを選択的に設定するためのゲート回路30を備えている。

30

【0020】

このプリデコード信号に基づいて、図4に示すように、メインデコーダ3a2により、センスアンプ回路3内のデータレジスタ(キャッシュ)3bのデータ取り込み許可信号CSL0-CSL4159が生成される。即ち、カラムアドレス信号COLADD[12:0]が指示するアドレス、ここではプリデコード信号CA, CB, CC, CDおよび取り込みタイミングを決定する信号CSLENのすべてが成立している箇所のみ、許可信号が“H”となり、データ線YIOの書き込みデータをラッチに取り込むことができる。

40

【0021】

図5は、カラムアドレスデコーダ(3a1, 3a2)とデータレジスタ回路3bの間に、データ取り込み用のシフトレジスタ3cを配置した例である。プリデコード信号CA, CB, CC, CD及びタイミング信号PSETのすべてが成立したレジスタを非同期セットし、ライトイネーブルWEnから生成されるクロック信号CLKによりシフトレジスタ3cを順次活性化して、データ線YIOのデータを順次ラッチする。

【0022】

ここで、ユーザが通常書き込みデータをロードする際は、コマンドにより多重選択モードは解除、即ち多重選択信号MULTISELが論理Lレベルとなるように構成されている。その選択論理は図6に示すようなプリデコード信号となる。この場合は、カラムア

50

ドレス信号COLADD[12:0]で指示された番地のみを選択し、ページ内では1 Byteのみが選択される。

【0023】

一方、テストモードでテスト用の書き込みデータを高速にロードする場合は、多重選択モードが設定される(MULTISELが論理Hレベル)。この場合は図7に示す選択論理となるようにプリデコード3a1が構成されている。即ち、図3に示したように、MULTISELが論理Hレベルのとき、ゲート回路30が活性になり、CD[0]とCD[4]が同時に選択され、同様に、CD[1]とCD[5]が、CD[2]とCD[6]が、CD[3]とCD[7]が同時に選択される。

【0024】

この実施の形態の場合、テスト時に同時選択されるカラム数は2である。即ち図3に示すように、0番地選択時に同時に2048番地が同時に選択される。プリデコード回路3a1の構成方法次第では同時に選択されるカラム数を4, 8等、他の適当な2のべき乗数に設定することができる。

【0025】

NAND型フラッシュメモリにおいては、その使用用途から、ページ長は2のべき乗で表現されるメインカラム領域(領域1)と所定バイトの冗長カラム領域(領域2)とからなる。例えば、領域1が4096Byteで、領域2が64Byteで計4160Byteからなる。冗長カラム領域2はそのアドレス信号の構成やカラムの物理構成が異なる場合があり、また回路の簡素化の目的でカラムプリデコード信号CA, CB, CC, CDのすべてを使用しない場合もある。

【0026】

本実施の形態では、CD[8]=1で領域2を選択することを指示する。領域2の64byteは、CD[8]信号と、CA[7:0], CB[7:0]信号のみでその番地を表現できるため、カラムメインデコード3a2の入力においては、CC信号を入力する必要がない。よってその信号入力を省略できる場合がある。そしてその場合は同時選択数や選択方法によっては予期せぬ複数回データロードを行ってしまう場合がある。

【0027】

以上のようにこの実施の形態では、1ページを論理的に2のべき乗で表現できる領域1と冗長領域2とに分け、データロードを高速に行う動作モードの場合に、領域1のデータロード手法と領域2のそれを異なるものとするのが特徴である。

【0028】

より具体的に説明する。同時選択カラム数を2とした場合でカラム長が4160バイトの場合、図6に示すように、領域1を0番地(0000h)から4095番地(0FFFh)、領域2を4096番地(1000h)から4159番地(103Fh)と論理的に分ける。さらに領域1は0番地から2047番地(07FFh)の多重選択領域1-1と、2048番地から4095番地(0FFFh)の多重選択領域1-2に分けて、これらの二つの多重選択領域1-1と1-2との間で同時にデータロードを行うようにする。

【0029】

これによりこの実施の形態では、2048回データロードすると、0番地から4096番地までデータロードがすべて終了したことになる。この後、ステートマシン7の指示によりカラムアドレスを4096番地に設定し、領域2について多重選択のない状態で4159番地までをロードする。もちろん、領域1とは異なる多重選択方法によって、この領域2のデータロードを高速化することも可能である。

【0030】

図8は、実施の形態での多重選択モードの説明図である。多重選択のない通常の場合(a)との比較で、実施の形態の2重選択モード(b)と4重選択モード(c)を示している。2重選択モード(b)では1回目のデータロードで0番地と2048番地のデータが同時に、2回目のデータロードで1番地と2049番地のデータが同時に、以下同様にして、2049番目のデータロードで4096番地のデータロードが同時に

10

20

30

40

50

行われる。

【0031】

4重選択モード(c)では、メインカラム領域1を4つの多重選択領域1-1~1-4に分けられ、これらから同時に4番地のデータがロードされる。この多重選択の数は、データバスのドライブ能力やデータ入力サイクルなどから最適値を与える必要がある。

【0032】

本実施の形態により、2重選択の場合、従来124.8μsかかっていたテストデータロードにかかる時間を、領域1においては62.4μsで完了することができ、従来のほぼ半分の時間にてデータロードが可能である。特に小単位のデータパターンをロードする必要があるテスト工程では有効である。これにより、NAND型フラッシュメモリのテスト時間短縮をはかることができ、製造にかかるコスト削減を可能とする。

10

【0033】

この発明は上記実施の形態に限定されるものではない。例えばNAND型フラッシュメモリに限らず、NOR型フラッシュメモリにも適用できるし、さらに抵抗値を不揮発に記憶する抵抗変化メモリ(Resistance Change Memory)等、他の不揮発性半導体メモリ装置に同様に適用可能である。その他この発明は、発明の要旨を逸脱しない範囲で種々変更して実施することが可能である。

【図面の簡単な説明】

【0034】

【図1】実施の形態のNAND型フラッシュメモリの機能ブロック構成を示す図である。

20

【図2】同フラッシュメモリのメモリコア部の構成を示す図である。

【図3】同フラッシュメモリのカラムアドレスプリデコーダの構成を示す図である。

【図4】同フラッシュメモリのカラムアドレスデコーダとデータキャッシュ部の構成を示す図である。

【図5】カラムアドレスデコーダとデータキャッシュの間にシフトレジスタを配置した例を示す図である。

【図6】多重選択のない場合のプリデコード論理を示すテーブルである。

【図7】2重選択を行う場合のプリデコード論理を示すテーブルである。

【図8】多重選択モードを、多重選択なしの場合と比較して示す図である。

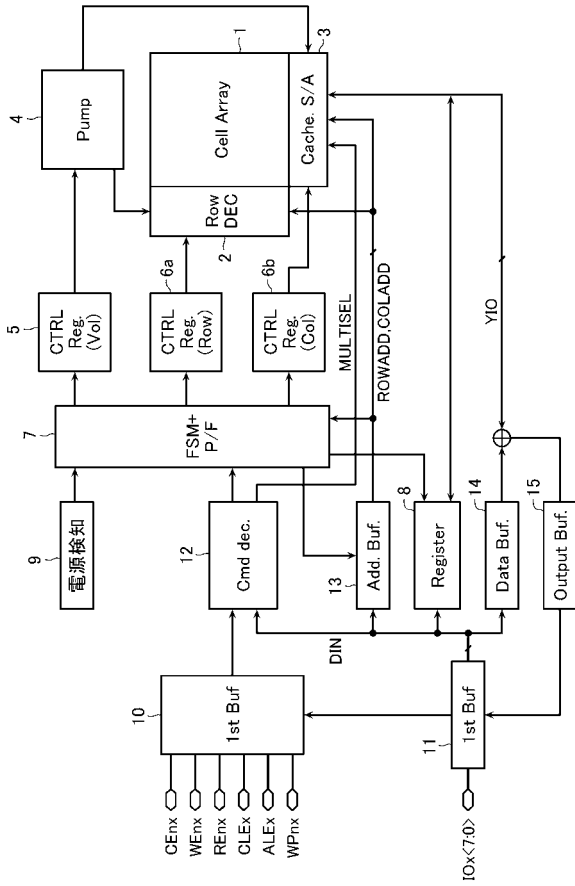
30

【符号の説明】

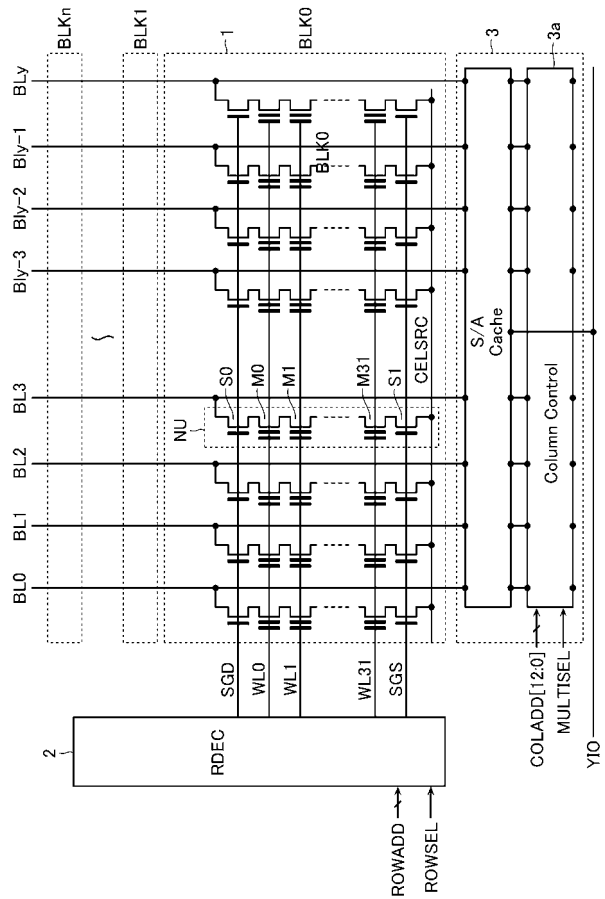
【0035】

1...メモリセルアレイ、2...ロウデコーダ、3...センスアンプ兼データキャッシュ回路、3a...カラムアドレスデコード回路、3a1...プリデコーダ、3a2...メインデコーダ、3b...データキャッシュ、3c...シフトレジスタ、4...高電圧発生回路、5,6a,6b...コントロールレジスタ、7...ステートマシン、8...レジスタ、9...電源投入検知回路、10,11...入力バッファ、12...コマンドデコーダ、13...アドレスバッファ、14...データバッファ、15...出力バッファ、30...多重選択用ゲート回路。

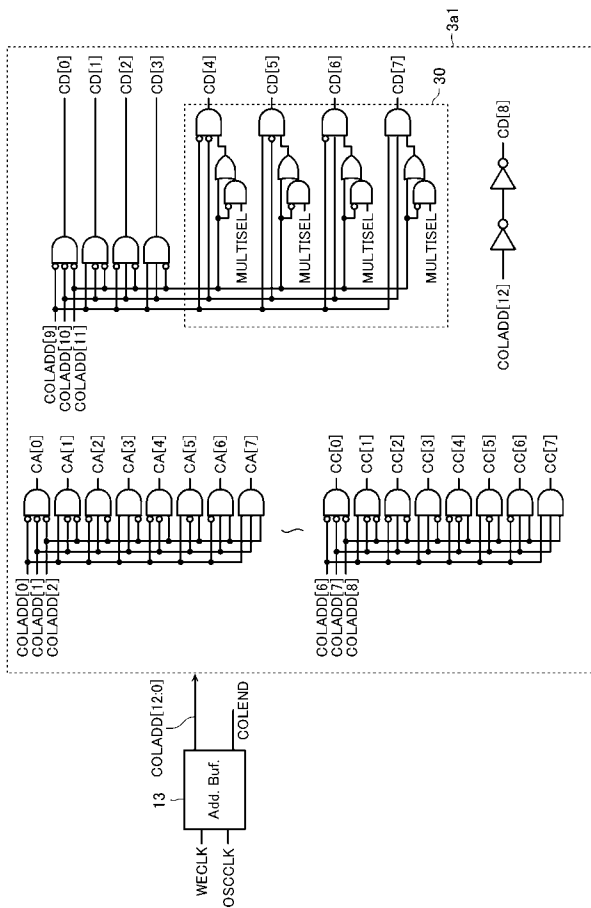
【 図 1 】



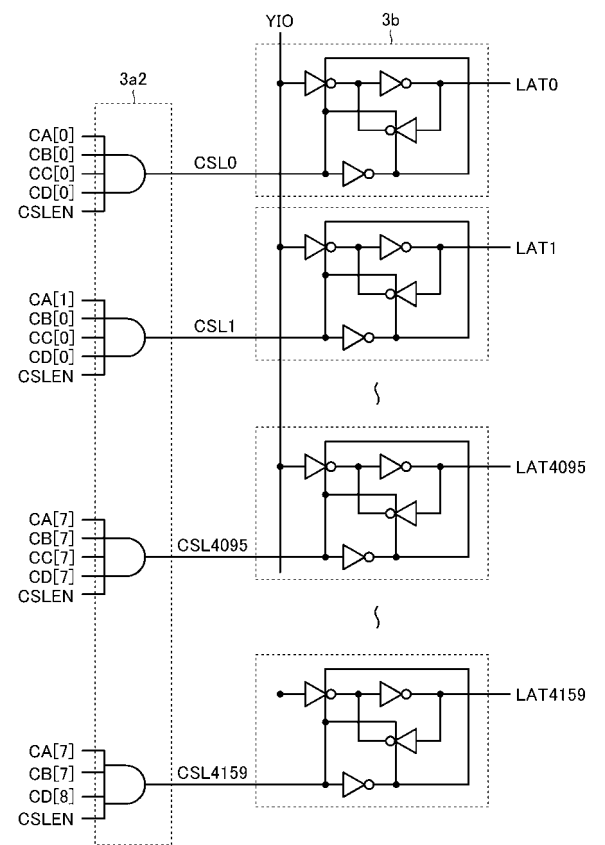
【 図 2 】



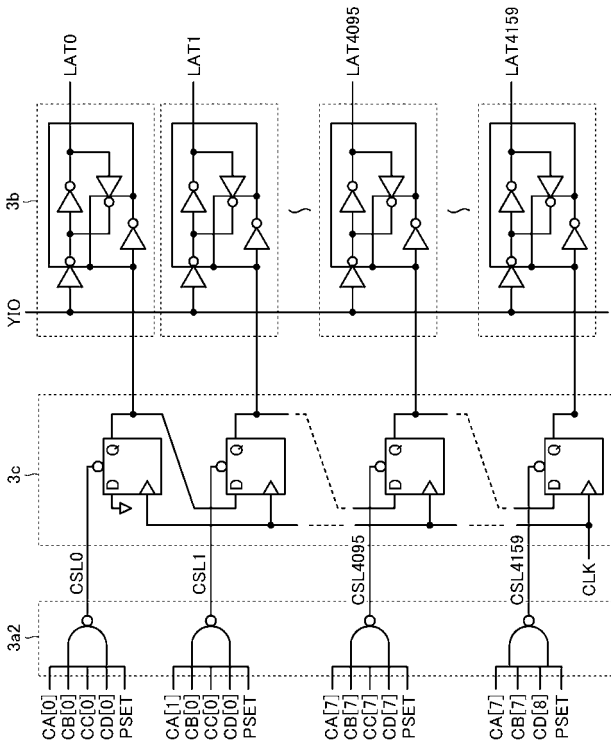
【 図 3 】



【 図 4 】



【図 5】



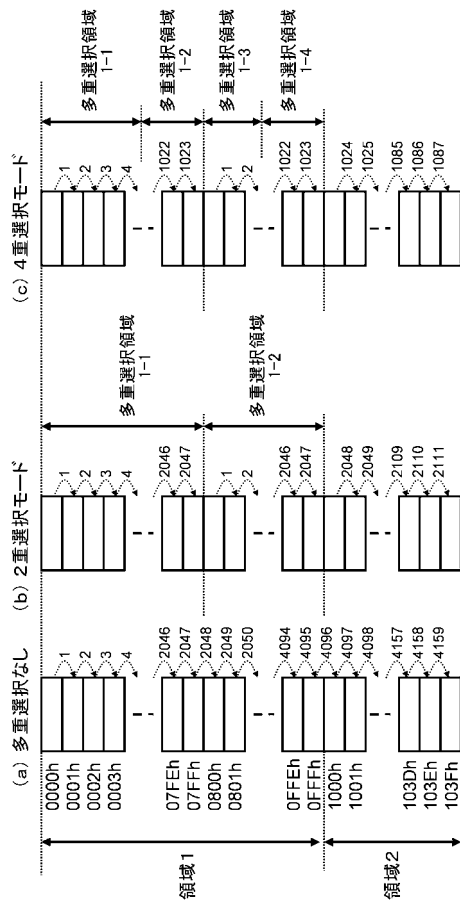
【図 6】

COLADD[12:0]	CD[8:0]	CC[7:0]	CB[7:0]	CA[7:0]
0000h				0000_0001
0001h				0000_0010
0002h				0000_0100
0003h				0000_1000
0004h				0001_0000
0005h				0010_0000
0006h				0100_0000
0007h				1000_0000
0008h				0000_0000
0009h				1000_0000
000Ah				0000_0001
000Bh				1000_0001
000Ch				0000_0010
000Dh				1000_0010
000Eh				0000_0001
000Fh				1000_0001
0100h				0000_0001
0101h				1000_0001
0102h				0000_0010
0103h				1000_0010
0104h				0000_0001
0105h				1000_0001
0106h				0000_0010
0107h				1000_0010
0108h				0000_0001
0109h				1000_0001
010Ah				0000_0010
010Bh				1000_0010
010Ch				0000_0001
010Dh				1000_0001
010Eh				0000_0010
010Fh				1000_0010
0200h				0000_0001
0201h				1000_0001
0202h				0000_0010
0203h				1000_0010
0204h				0000_0001
0205h				1000_0001
0206h				0000_0010
0207h				1000_0010
0208h				0000_0001
0209h				1000_0001
020Ah				0000_0010
020Bh				1000_0010
020Ch				0000_0001
020Dh				1000_0001
020Eh				0000_0010
020Fh				1000_0010
07FFh				0000_0000
0800h				1000_0000
0801h				0000_0001
0802h				1000_0001
0803h				0000_0000
0804h				1000_0000
0805h				0000_0001
0806h				1000_0001
0807h				0000_0000
0808h				1000_0000
0809h				0000_0001
080Ah				1000_0001
080Bh				0000_0000
080Ch				1000_0000
080Dh				0000_0001
080Eh				1000_0001
080Fh				0000_0000
103Dh				1000_0000
103Eh				0000_0000
103Fh				1000_0000

【図 7】

COLADD[12:0]	CD[8:0]	CC[7:0]	CB[7:0]	CA[7:0]
0000h				0000_0001
0001h				0000_0010
0002h				0000_0100
0003h				0000_1000
0004h				0001_0000
0005h				0010_0000
0006h				0100_0000
0007h				1000_0000
0008h				0000_0001
0009h				1000_0001
000Ah				0000_0010
000Bh				1000_0010
000Ch				0000_0001
000Dh				1000_0001
000Eh				0000_0010
000Fh				1000_0010
0100h				0000_0001
0101h				1000_0001
0102h				0000_0010
0103h				1000_0010
0104h				0000_0001
0105h				1000_0001
0106h				0000_0010
0107h				1000_0010
0108h				0000_0001
0109h				1000_0001
010Ah				0000_0010
010Bh				1000_0010
010Ch				0000_0001
010Dh				1000_0001
010Eh				0000_0010
010Fh				1000_0010
0200h				0000_0001
0201h				1000_0001
0202h				0000_0010
0203h				1000_0010
0204h				0000_0001
0205h				1000_0001
0206h				0000_0010
0207h				1000_0010
0208h				0000_0001
0209h				1000_0001
020Ah				0000_0010
020Bh				1000_0010
020Ch				0000_0001
020Dh				1000_0001
020Eh				0000_0010
020Fh				1000_0010
07FFh				0000_0000
0800h				1000_0000
0801h				0000_0001
0802h				1000_0001
0803h				0000_0000
0804h				1000_0000
0805h				0000_0001
0806h				1000_0001
0807h				0000_0000
0808h				1000_0000
0809h				0000_0001
080Ah				1000_0001
080Bh				0000_0000
080Ch				1000_0000
080Dh				0000_0001
080Eh				1000_0001
080Fh				0000_0000
103Dh				1000_0000
103Eh				0000_0000
103Fh				1000_0000

【図 8】





---

フロントページの続き

(72)発明者 常盤 直哉

神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 白川 政信

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

Fターム(参考) 5B125 BA01 CA01 DB02 DE07 EA05

5L106 AA10 DD06 DD11 EE04 FF04 GG05