

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-511867  
(P2008-511867A)

(43) 公表日 平成20年4月17日(2008.4.17)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/34 (2006.01)</b>	G09G 3/34 Z	2H141
<b>B81B 7/02 (2006.01)</b>	B81B 7/02	3C081
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 621B	5C080
<b>G02B 26/08 (2006.01)</b>	G09G 3/20 67OK	
	G09G 3/20 623Y	

審査請求 有 予備審査請求 未請求 (全 32 頁) 最終頁に続く

(21) 出願番号	特願2007-530007 (P2007-530007)	(71) 出願人	505258472 アイディーシー、エルエルシー
(86) (22) 出願日	平成17年8月23日 (2005. 8. 23)		アメリカ合衆国、カリフォルニア州 94
(85) 翻訳文提出日	平成19年4月26日 (2007. 4. 26)		107、サン・フランシスコ、サード・ス
(86) 国際出願番号	PCT/US2005/029796		トリート 2415
(87) 国際公開番号	W02006/026226	(74) 代理人	100058479 弁理士 鈴江 武彦
(87) 国際公開日	平成18年3月9日 (2006. 3. 9)	(74) 代理人	100091351 弁理士 河野 哲
(31) 優先権主張番号	60/604, 896	(74) 代理人	100088683 弁理士 中村 誠
(32) 優先日	平成16年8月27日 (2004. 8. 27)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(33) 優先権主張国	米国 (US)	(74) 代理人	100075672 弁理士 峰 隆司
(31) 優先権主張番号	60/606, 223		
(32) 優先日	平成16年8月31日 (2004. 8. 31)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/159, 073		
(32) 優先日	平成17年2月25日 (2005. 2. 25)		
(33) 優先権主張国	米国 (US)		

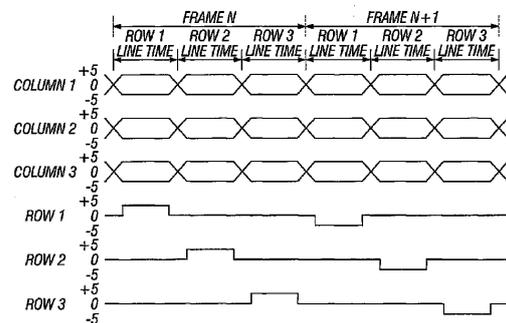
最終頁に続く

(54) 【発明の名称】 MEMS表示素子駆動システムおよび方法

(57) 【要約】

【解決手段】表示データをMEMS表示素子に書き込む方法が電荷蓄積および経時変化差を最小にするように構成される。本方法は、逆極性でデータを書き込むことと、表示更新過程の期間にMEMS素子を周期的に解放および/または作動させることを含むかもしれない。標準の表示データ書き込みの期間に用いられた電位差よりも高い電位差でMEMS素子を作動させることも利用されるかもしれない。

【選択図】 図7



**【特許請求の範囲】****【請求項 1】**

M E M S 表示素子を駆動するように構成された装置であって、

表示書き込み過程の第 1 の部分の期間に、第 1 の極性の電位差で、M E M S 表示素子を作動させる駆動回路を制御するように構成された制御器であって、前記作動後に駆動回路に前記 M E M S 表示素子を解放させ、次に前記表示書き込み過程の第 2 の部分の期間に前記第 1 の極性と逆の極性の電位差で前記 M E M S 表示素子を作動させるように構成されている制御器と、

表示書き込み過程の前記第 1 の部分の期間に、電位差を M E M S 表示素子に少なくとも部分的に伝達するように構成された少なくとも 1 つの出力端子とを含む装置。

10

**【請求項 2】**

前記少なくとも 1 つの出力端子が少なくとも 1 つのチップピンを含む請求項 1 に記載の装置。

**【請求項 3】**

前記少なくとも 1 つの出力端子が少なくとも 1 つの導電線を含む請求項 1 に記載の装置。

**【請求項 4】**

前記少なくとも 1 つの出力端子が前記駆動回路との少なくとも 1 つのインタフェースを含む請求項 1 に記載の装置。

**【請求項 5】**

前記少なくとも 1 つの出力端子が少なくとも 1 つの行出力端子および少なくとも 1 つの列出力端子を含む請求項 1 に記載の装置。

20

**【請求項 6】**

前記表示書き込み過程の前記第 1 の部分が、表示データの第 1 のフレームを前記 M E M S 表示素子に書き込むことを含み、かつ前記表示書き込み過程の前記第 2 の部分が、表示データの第 2 のフレームを前記 M E M S 表示素子に書き込むことを含む請求項 1 に記載の装置。

**【請求項 7】**

表示データの 1 つ以上の他のフレームが、前記第 1 のフレームと前記第 2 のフレームの間に、前記 M E M S 表示素子へ書き込まれる請求項 6 に記載の装置。

30

**【請求項 8】**

前記制御器が、前記表示書き込み過程の第 3 の部分の期間に前記第 1 の極性の電位差で、前記 M E M S 表示素子を作動させるようにさらに構成された請求項 1 に記載の装置。

**【請求項 9】**

前記制御器が、前記表示書き込み過程の交互に替わる部分の期間に、逆極性の電位差を交互に前記 M E M S 表示素子に印加するようにさらに構成された請求項 1 に記載の装置。

**【請求項 10】**

前記表示書き込み過程の交互に替わる部分が、表示データの交互に替わるフレームを M E M S 表示素子に書き込むことを含む請求項 9 に記載の装置。

**【請求項 11】**

前記表示書き込み過程の交互に替わる部分が、表示データの交互に替わる行を M E M S 表示素子アレイに書き込むことを含む請求項 10 に記載の装置。

40

**【請求項 12】**

前記制御器が、

前記 M E M S 表示素子を作動させるために表示データの第 1 のフレームを前記第 1 の極性の電位差で M E M S 表示素子アレイに書き込み、

前記アレイ内の実質的にすべての M E M S 素子を解放状態におき、

かつ、前記 M E M S 表示素子を作動させるために表示データの第 2 のフレームを前記第 1 の極性と逆の極性の電位差で前記アレイに書き込むように構成された請求項 1 に記載の装置。

50

- 【請求項 13】  
表示データの前記第1のフレームおよび表示データの前記第2のフレームが同一である請求項12に記載の装置。
- 【請求項 14】  
前記MEMS表示素子と電氣的に交信しているプロセッサであって、前記プロセッサが画像データを処理するように構成されたプロセッサと、  
前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項1に記載の装置。
- 【請求項 15】  
プロセッサが、前記画像データの少なくとも一部を前記制御器へ送るように構成された請求項14に記載の装置。 10
- 【請求項 16】  
前記画像データを前記プロセッサへ送るように構成された画像源モジュールをさらに含む請求項14に記載の装置。
- 【請求項 17】  
前記画像源モジュールが受信機、送受信機および送信機の少なくとも1つを含む請求項16に記載の装置。
- 【請求項 18】  
入力データを受信するように、かつ前記入力データを前記プロセッサに伝達するように構成された入力デバイスをさらに含む請求項14に記載の装置。 20
- 【請求項 19】  
前記制御器が、  
MEMS表示素子アレイの行内の実質的にすべてのMEMS素子を解放状態に置き、  
前記MEMS表示素子を作動させるために表示データの第1の組を前記第1の極性の電位差で行に書き込み、  
前記行内の実質的にすべてのMEMS素子を解放状態に置き、  
かつ、前記MEMS表示素子を作動させるために表示データの第2の組を前記第1の極性とは逆の極性の電位差で前記行に書き込むように構成された請求項1に記載の装置。
- 【請求項 20】  
表示データの前記第1の組および表示データの前記第2の組が同一データである請求項19に記載の装置。 30
- 【請求項 21】  
一組のMEMS表示素子を駆動するように構成された装置であって、  
表示書き込み過程の第1の部分の期間に、第1の極性の電位差で、前記MEMS表示素子の作動を制御するため、および前記MEMS表示素子を解放させ次に表示書き込み過程の第2の部分の期間に前記第1の極性と逆の極性を有する電位差で前記MEMS表示素子の作動を制御するための手段と、  
前記表示書き込み過程の第1の部分の期間に、電位差を前記MEMS表示素子に少なくとも部分的に伝達するための手段とを含む装置。
- 【請求項 22】  
前記MEMS表示素子の作動を制御するための前記手段が、制御器を含む請求項21に記載の装置。 40
- 【請求項 23】  
前記MEMS表示素子を解放させるための前記手段が、制御器を含む請求項22に記載の装置。
- 【請求項 24】  
前記MEMS表示素子の作動を制御するための前記手段が、プロセッサを含む請求項21に記載の装置。
- 【請求項 25】  
第1の極性の電位差で前記MEMS表示素子の作動を制御するための手段が、表示デー 50

タの第1のフレームを前記MEMS表示素子の組へ書き込むことを含み、かつ前記表示書き込み過程の前記第2の部分が、表示データの第2のフレームを前記MEMS表示素子の組へ書き込むことを含む請求項21に記載の装置。

【請求項26】

表示データの1つ以上の他のフレームが、前記第1のフレームと前記第2のフレームの間に、前記組へ書き込まれる請求項25に記載の装置。

【請求項27】

前記装置が、前記表示書き込み過程の第3の部分の期間に前記第1の極性の電位差で、前記MEMS表示素子の作動を制御するようにさらに構成された請求項21に記載の装置。

10

【請求項28】

前記装置が、前記表示書き込み過程の交互に替わる部分の期間に、逆極性の電位差を交互に前記組の表示素子に印加するようにさらに構成された請求項21に記載の装置。

【請求項29】

前記表示書き込み過程の交互に替わる部分が、表示データの交互に替わるフレームをMEMS表示素子の前記組に書き込むことを含む請求項28に記載の装置。

【請求項30】

前記表示書き込み過程の交互に替わる部分が、表示データの交互に替わる行をMEMS表示素子の前記組に書き込むことを含む請求項29に記載の装置。

20

【請求項31】

前記装置が、  
前記MEMS表示素子の作動を制御することによって表示データの第1のフレームを前記第1の極性の電位差でMEMS表示素子の前記組に書き込み、  
前記組内の実質的にすべてのMEMS素子を解放状態におき、  
かつ、前記MEMS表示素子の作動を制御することによって表示データの第2のフレームを前記第1の極性と逆の極性の電位差で前記組に書き込むようにさらに構成された請求項21に記載の装置。

【請求項32】

表示データの前記第1のフレームおよび表示データの前記第2のフレームが同一である請求項31に記載の装置。

30

【請求項33】

前記装置が、  
前記組の行内の実質的にすべてのMEMS素子を解放状態に置き、  
前記MEMS表示素子の作動を制御することによって表示データの第1の組を前記第1の極性の電位差で前記組の前記行に書き込み、  
前記組の前記行内の実質的にすべてのMEMS素子を解放状態に置き、  
かつ、前記MEMS表示素子の作動を制御することによって表示データの第2の組を前記第1の極性と逆の極性の電位差で前記組の前記行に書き込むように構成された請求項21に記載の装置。

【請求項34】

前記装置が、制御器を含む請求項33に記載の装置。

40

【請求項35】

表示データの前記第1の組および表示データの前記第2の組が同一のデータを含む請求項33に記載の装置。

【請求項36】

電位差を前記MEMS表示素子に少なくとも部分的に伝達するための前記手段が、制御器と交信している少なくとも1つの出力端子を含む請求項21に記載の装置。

【請求項37】

電位差を前記MEMS表示素子に少なくとも部分的に伝達するための前記手段が、少なくとも1つのチップピンを含む請求項21に記載の装置。

50

## 【請求項 38】

電位差を前記 M E M S 表示素子に少なくとも部分的に伝達するための前記手段が、少なくとも 1 つの導電線を含む請求項 21 に記載の装置。

## 【請求項 39】

電位差を前記 M E M S 表示素子に少なくとも部分的に伝達するための前記手段が、M E M S 表示素子を作動させる駆動回路との少なくとも 1 つのインタフェースを含む請求項 21 に記載の装置。

## 【請求項 40】

M E M S 表示素子アレイの一部を含む一組の M E M S 表示素子を作動させる方法であつて、

10

表示書き込み過程の第 1 の部分の期間に第 1 の極性の電位差で前記 M E M S 表示素子を作動させることと、

前記 M E M S 表示素子を解放することと、

前記表示書き込み過程の第 2 の部分の期間に前記第 1 の極性とは逆の極性を有する電位差で前記 M E M S 表示素子を作動させることとを含む方法。

## 【請求項 41】

前記表示書き込み過程の前記第 1 の部分が、表示データの第 1 のフレームを前記 M E M S 表示素子の前記アレイに書き込むことを含み、かつ前記表示書き込み過程の前記第 2 の部分が、表示データの第 2 のフレームを前記 M E M S 表示素子の前記アレイに書き込むこととを含む請求項 40 に記載の方法。

20

## 【請求項 42】

表示データの 1 つ以上の他のフレームが、前記第 1 のフレームと前記第 2 のフレームの間に、前記アレイに書き込まれる請求項 41 に記載の方法。

## 【請求項 43】

前記表示書き込み過程の第 3 の部分の期間に前記第 1 の極性の電位差で、前記 M E M S 表示素子を作動させることをさらに含む請求項 40 に記載の方法。

## 【請求項 44】

前記表示書き込み過程の交互に替わる部分の期間に、逆極性の電位差を交互に前記アレイの表示素子に印加することをさらに含む請求項 40 に記載の装置。

## 【請求項 45】

30

前記表示書き込み過程の前記交互に替わる部分が、表示データの交互に替わるフレームを M E M S 表示素子の前記アレイに書き込むことを含む請求項 44 に記載の方法。

## 【請求項 46】

前記表示書き込み過程の前記交互に替わる部分が、表示データの交互に替わる行を M E M S 表示素子の前記アレイに書き込むことを含む請求項 45 に記載の方法。

## 【請求項 47】

前記アレイの行内の実質的にすべての M E M S 素子を解放状態に置くことと、

前記 M E M S 表示素子を作動させるために表示データの第 1 の組を前記第 1 の極性の電位差で前記アレイの前記行に書き込むことと、

40

前記アレイの前記行内の実質的にすべての M E M S 素子を解放状態におくことと、

前記 M E M S 表示素子を作動させるために表示データの第 2 の組を前記第 1 の極性とは逆の極性の電位差で前記アレイの前記行に書き込むこととをさらに含む請求項 40 に記載の方法。

## 【請求項 48】

表示データの前記第 1 の組および表示データの前記第 2 の組が同一のデータを含む請求項 47 に記載の方法。

## 【請求項 49】

前記 M E M S 表示素子を作動させるために表示データの第 1 のフレームを前記第 1 の極性の電位差で前記アレイに書き込むことと、

前記アレイ内の実質的にすべての M E M S 素子を解放状態におくことと、

50

前記MEMS表示素子を作動させるために表示データの第2のフレームを前記第1の極性とは逆の極性の電位差で前記アレイに書き込むこととをさらに含む請求項40に記載の方法。

【請求項50】

表示データの前記第1のフレームおよび表示データの前記第2のフレームが同一である請求項49に記載の方法。

【請求項51】

表示を形成するMEMS素子アレイ内のMEMS素子进行操作するように構成された装置であって、

前記MEMS素子を作動させるために十分な振幅を有し、かつ極性を有する第1の電位差を前記MEMS素子に周期的に印加する駆動回路を制御するように構成された制御器であって、前記第1の電位差とほぼ等しい振幅と逆極性の第2の電位差を前記MEMS素子に周期的に印加するように構成されており、前記第1の電位差および前記第2の電位差が定められた時刻、および画像データが前記アレイのMEMS素子に書き込まれるレートに依存する定められた継続時間にわたってMEMS素子にそれぞれ印加され、かつ前記第1および第2の電位差が表示用に定められた期間にわたり、それぞれほぼ等しい時間長、前記MEMS素子に印加され、前記第1の極性の電位差および前記第1の極性と逆の電位差の双方を用いて同じデータのフレームを書き込むようにさらに構成される、制御器と、

表示書き込み過程の第1の部分の期間に、電位差をMEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子とを含む装置。

【請求項52】

前記MEMS素子と電氣的に交信しているプロセッサであって、前記プロセッサが画像データを処理するように構成されたプロセッサと、

前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項51に記載の装置。

【請求項53】

前記MEMS表示素子と交信している制御器に前記画像データの少なくとも一部を送るように構成されたプロセッサをさらに含む請求項52に記載の装置。

【請求項54】

前記画像データを前記プロセッサへ送るように構成された画像源モジュールをさらに含む請求項52に記載の装置。

【請求項55】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも1つを含む請求項54に記載の装置。

【請求項56】

入力データを受信するように、かつ前記入力データを前記プロセッサに伝達するように構成された入力デバイスをさらに含む請求項52に記載の装置。

【請求項57】

電位差を前記MEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子が、少なくとも1つのチップピンを含む請求項51に記載の装置。

【請求項58】

電位差を前記MEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子が、少なくとも1つの導電線を含む請求項51に記載の装置。

【請求項59】

電位差を前記MEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子が、前記駆動回路との少なくとも1つのインタフェースを含む請求項51に記載の装置。

【請求項60】

電位差を前記MEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子が、少なくとも1つの行出力端子および少なくとも1つの列出力端子

10

20

30

40

50

を含む請求項 5 1 に記載の装置。

【請求項 6 1】

光を変調するための手段と、

前記変調手段へ電位差を印加するための手段であって、前記印加手段は、第 1 の電位差および第 2 の電位差を前記変調手段に周期的に印加するように構成され、前記第 1 および第 2 の電位差は、前記変調手段を作動させるために十分な、逆極性でほぼ等しい振幅を有し、前記第 1 の電位差および前記第 2 の電位差が定められた時刻、および画像データが変調手段に書き込まれるレートに依存する、定められた継続時間にわたって前記変調手段にそれぞれ印加され、かつ前記第 1 および第 2 の電位差が表示用に定められた期間にわたり、それぞれほぼ等しい時間長、前記変調手段に印加され、前記印加手段が、前記第 1 の極性の電位差および前記第 1 の極性とは逆の極性の電位差双方を用いて同じデータのフレームを書き込むようにさらに構成される手段とを含む表示を更新するための装置。

10

【請求項 6 2】

前記印加手段が駆動回路を含む請求項 6 1 に記載の装置。

【請求項 6 3】

前記印加手段が少なくとも 1 つの出力端子を含む請求項 6 1 に記載の装置。

【請求項 6 4】

前記出力端子が少なくとも 1 つのチップピンを含む請求項 6 3 に記載の装置。

【請求項 6 5】

前記出力端子が少なくとも 1 つの導電線を含む請求項 6 3 に記載の装置。

20

【請求項 6 6】

前記出力端子が前記駆動回路との少なくとも 1 つのインターフェースを含む請求項 6 3 に記載の装置。

【請求項 6 7】

光を変調するための手段が干渉変調 MEMS デバイスを含む請求項 6 1 に記載の装置。

【請求項 6 8】

表示装置を形成する MEMS 素子アレイ内の MEMS 素子を操作する方法であって、

前記 MEMS 素子を作動させるために十分な振幅を有し、かつ極性を有する第 1 の電位差を前記 MEMS 素子に周期的に印加することと、

前記第 1 の電位差とほぼ等しい振幅並びに逆極性である第 2 の電位差を、前記 MEMS 素子に周期的に印加することとを含み、

30

前記第 1 の電位差および前記第 2 の電位差が、定められた時刻、および画像データが前記アレイの MEMS 素子に書き込まれるレートに依存する定められた継続時間にわたって MEMS 素子にそれぞれ印加され、かつ前記第 1 および第 2 の電位差が表示用に定められた期間にわたり、それぞれほぼ等しい時間長、前記 MEMS 素子に印加され、

前記方法が、前記第 1 の電位差および前記第 1 の極性とは逆の電位差の双方を用いて同じデータのフレームを書き込むことを含む、

方法。

【請求項 6 9】

表示内の複数の MEMS 素子と

40

前記表示の一部にあるすべての MEMS 素子を作動させ、かつ前記部分に表示データを書き込むように構成された制御器とを含む画像表示のための装置。

【請求項 7 0】

前記 MEMS 素子の少なくとも 1 つが、干渉変調器を含む請求項 6 9 に記載の装置。

【請求項 7 1】

複数の MEMS 素子の少なくとも 1 つと電氣的に交信しているプロセッサであって、前記プロセッサが画像データを処理するように構成されたプロセッサと、

前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項 6 9 に記載の装置。

【請求項 7 2】

50

前記画像データを前記プロセッサへ送るよう構成された画像源モジュールをさらに含む請求項 7 1 に記載の装置。

【請求項 7 3】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも 1 つを含む請求項 7 2 に記載の装置。

【請求項 7 4】

入力データを受信し、かつ前記入力データを前記プロセッサに伝達するよう構成された入力デバイスをさらに含む請求項 7 1 に記載の装置。

【請求項 7 5】

光変調のための複数の手段と、

10

光変調のため、および表示の一部に表示データを書き込むための前記複数の手段の作動を制御するための手段とを含む画像表示のための装置。

【請求項 7 6】

光変調のための前記複数の手段の少なくとも 1 つが、干渉変調 MEMS デバイスを含む請求項 7 5 に記載の装置。

【請求項 7 7】

前記制御手段が制御器を含む請求項 7 5 に記載の装置。

【請求項 7 8】

前記制御手段が、前記 MEMS 表示素子を作動させるよう構成された前記制御器と交信している少なくとも 1 つの出力端子をさらに含む請求項 7 5 に記載の装置。

20

【請求項 7 9】

前記少なくとも 1 つの出力端子が少なくとも 1 つのチップピンを含む請求項 7 8 に記載の装置。

【請求項 8 0】

前記少なくとも 1 つの出力端子が少なくとも 1 つの導電線を含む請求項 7 8 に記載の装置。

【請求項 8 1】

前記少なくとも 1 つの出力端子が前記 MEMS 表示装置を作動させるよう構成された駆動回路との少なくとも 1 つのインタフェースを含む請求項 7 8 に記載の装置。

【請求項 8 2】

30

前記部分が MEMS 表示素子の行を含む請求項 7 5 に記載の装置。

【請求項 8 3】

前記部分が MEMS 表示素子アレイ全体を含む請求項 7 5 に記載の装置。

【請求項 8 4】

前記制御手段が、前記部分に表示データを書き込む前に、前記アレイの前記部分内のすべての変調手段を解放するようさらに構成された請求項 7 5 に記載の装置。

【請求項 8 5】

MEMS 表示素子アレイに表示データを書き込む方法であって、

前記アレイの一部内のすべての MEMS 素子を作動させることと、

前記アレイの前記部分に表示データを書き込むこととを含む方法。

40

【請求項 8 6】

前記アレイの前記部分が、前記アレイの MEMS 素子の行を含む請求項 8 5 に記載の方法。

【請求項 8 7】

前記部分がアレイ全体を含む請求項 8 5 に記載の方法。

【請求項 8 8】

前記アレイの前記部分に表示データを書き込む前に、前記アレイの前記部分内のすべての MEMS 素子を解放することをさらに含む請求項 8 5 に記載の方法。

【請求項 8 9】

MEMS 表示素子アレイにデータを書き込むよう構成されたシステムであって、

50

列ドライバと、  
行ドライバとを含み、

前記行ドライバおよび列ドライバが、第1および第2の電位差で前記アレイの少なくともいくつかの素子を作動させるように構成され、第2の電位差の絶対値が第1の電位差の絶対値より大きいシステム。

【請求項90】

MEMS表示素子の前記アレイと電氣的に交信しているプロセッサであって、前記プロセッサが画像データを処理するように構成されたプロセッサと、

前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項89に記載のシステム。

10

【請求項91】

前記画像データの少なくとも一部を前記行ドライバおよび列ドライバの少なくとも1つに送るよう構成された制御器をさらに含む請求項90に記載のシステム。

【請求項92】

前記画像データを前記プロセッサへ送るよう構成された画像源モジュールをさらに含む請求項90に記載のシステム。

【請求項93】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも1つを含む請求項92に記載のシステム。

【請求項94】

入力データを受信し、かつ前記入力データを前記プロセッサに伝達するよう構成された入力デバイスをさらに含む請求項92に記載のシステム。

20

【請求項95】

MEMS表示素子アレイにデータを書き込むよう構成されたシステムであって、

前記MEMS表示素子の列を駆動するための手段と、

前記MEMS表示素子の行を駆動するための手段とを含み、

前記行および列駆動手段が、第1および第2の電位差で前記アレイの少なくともいくつかの素子を作動させるよう構成され、第2の電位差の絶対値が第1の電位差の絶対値より大きいシステム。

【請求項96】

前記列駆動手段が列駆動回路を含む請求項95に記載のシステム。

30

【請求項97】

前記行駆動手段が駆動回路を含む請求項95に記載のシステム。

【請求項98】

MEMS表示素子アレイに表示データを書き込む方法であって、第1および第2の電位差で前記アレイの少なくともいくつかの素子を作動させることを含み、第2の電位差の絶対値が第1の電位差の絶対値より大きい方法。

【発明の詳細な説明】

【背景技術】

【0001】

40

マイクロエレクトロメカニカルシステム(MEMS)はマイクロメカニカル素子、アクチュエータ、および電子機器を含む。マイクロメカニカル素子は、堆積、エッチングおよび/または他のマイクロマシンプロセスを用いて作製される。マイクロマシンプロセスは基板および/または堆積した材料の層の部分をエッチングで除去し、または電氣的および機械的デバイスを形成するために層を追加する。1つの形式のMEMSデバイスは干渉変調器と呼ばれる。干渉変調器は1組の導電性平板を含むかもしれない。その一方または双方は、全体または一部が透明および/または反射性であるかもしれないし、また、適切な電気信号を与えたときに、相対的に動くことが可能であるかもしれない。一方の平板は基板に堆積した固定層を含むかもしれない。他方の平板は固定層から空隙で隔てた金属膜を含むかもしれない。そのようなデバイスは応用の範囲が広く、また既存の製品を改良し、

50

まだ開発されていない新製品を作り出す時にそれらの特徴を利用することができるように、これらの形式のデバイスの特性を利用、および/または改良することは当業者に有益だろう。

【発明の開示】

【課題を解決するための手段】

【0002】

本発明のシステム、方法、およびデバイスそれぞれが、いくつかの態様を持ち、それらの1つだけが単独で、本発明の望ましい属性の原因となるということではない。この発明の範囲を制限することなく、そのより卓越した特徴がここに簡潔に検討されるだろう。この検討を考察することにより、特に「発明を実施するための最良の形態」を読むことにより、本発明の特徴がいかに他の表示デバイスよりも利点をもたらすかが理解されるだろう。

10

【0003】

一実施例において、本発明は、表示書き込み過程の第1の部分の期間に第1の極性の電位差でMEMS表示素子を作動させる駆動回路を制御するように構成された制御器を含む装置を提供する。本制御器は、前記作動後に駆動回路に、MEMS表示素子を解放するように、および次に表示書き込み過程の第2の部分の期間に第1の極性とは逆の極性の電位差でMEMS表示素子を作動させるように構成される。本装置は、表示書き込み過程の第1の部分の期間に、電位差をMEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子をさらに含む。

20

【0004】

他の実施例において、本発明は1組のMEMS表示素子を駆動するように構成された装置を提供する。本装置は、表示書き込み過程の第1の部分の期間に第1の極性の電位差でMEMS表示素子の作動を制御するための手段を含む。本装置は、MEMS表示素子を解放するための手段と、表示書き込み過程の第2の部分の期間に第1の極性とは逆の極性を有する電位差でMEMS表示素子の作動を制御するための手段を含む。装置は、表示書き込み過程の第1の部分の期間に、電位差をMEMS表示素子に少なくとも部分的に送るための手段をさらに含む。

【0005】

さらに他の実施例において、本発明はMEMS表示素子がMEMS表示素子アレイの一部を含む1組のMEMS表示素子を作動させる方法を提供する。本方法は、表示書き込み過程の第1の部分の期間に第1の極性の電位差でMEMS表示素子を作動させることと、前記MEMS表示素子を解放することと、次に表示書き込み過程の第2の部分の期間に前記第1の極性とは逆の極性を有する電位差で前記MEMS表示素子を作動させることとを含む。

30

【0006】

さらに他の実施例において、本発明はMEMS表示素子アレイ内のMEMS表示素子を操作するように構成された装置を提供する。本装置は、第1および第2の電位差をMEMS素子に周期的に印加する駆動回路を制御するように構成された制御器を含む。これらの第1および第2の電位差は、MEMS素子を作動させるために十分な、逆極性でほぼ等しい振幅を有する。本制御器はこれらの第1および第2の電位差をMEMS素子に交互形式で周期的に印加するように構成される。第1および第2の電位差は、定められた時刻、および画像データがMEMSアレイに書き込まれるレートに依存して定められた継続時間にわたってMEMS素子に印加される。第1および第2の電位差は、表示用に定められた期間にわたり、それぞれほぼ等しい時間長、MEMS素子に印加される。本制御器は、両方の電位差を用いて同じフレームのデータを書き込むようにさらに構成される。また、本装置は、表示書き込み過程の第1の部分の期間に、電位差をMEMS表示素子に少なくとも部分的に送るように構成された少なくとも1つの出力端子を含む。

40

【0007】

さらに他の実施例において、本発明は表示を更新するように構成された装置を提供する

50

。本装置は、光を変調するための手段および前記光変調手段へ電位差を印加するための手段を含む。光変調手段へ電位差を印加するための手段は、第1の電位差および第2の電位差を変調手段に周期的に印加するように構成される。第1および第2の電位差は、光変調手段を作動させるために十分な、逆極性でほぼ等しい振幅を有する。第1の電位差および前記第2の電位差は、定められた時刻、および画像データが変調手段に書き込まれるレートに依存して定められた継続時間にわたって光変調手段にそれぞれ印加される。第1および第2の電位差は、表示用に定められた期間にわたり、それぞれほぼ等しい時間長、光変調手段に印加される。印加手段は、第1および第2双方の電位差を用いて同じフレームのデータを書き込むようにさらに構成される。

**【0008】**

さらに他の実施例において、本発明は表示器を形成するMEMS素子アレイ内のMEMS素子を操作する方法を提供する。本方法は、第1の電位差をMEMS素子に周期的に印加することを含み、第1の電位差は、MEMS素子を作動させるために十分な、逆極性でほぼ等しい振幅を有する。本方法は、第2の電位差を前記MEMS素子に周期的に印加することをさらに含み、前記第2の電位差は前記第1の電位差と逆極性でほぼ等しい振幅である。これらの第1および第2の電位差は、定められた時刻、および画像データがMEMS素子アレイに書き込まれるレートに依存して定められた継続時間にわたってMEMS素子にそれぞれ印加される。第1および第2の電位差は、表示用に定められた期間にわたり、それぞれほぼ等しい時間長、MEMS素子に印加される。本方法は、前記第1の極性の電位差および前記第1の極性とは逆の極性の電位差の双方を用いて同じフレームのデータを書き込むことをさらに含む。

**【0009】**

さらに他の実施例において、本発明は画像を表示するように構成された装置を提供する。本装置は、表示器内に複数のMEMS素子、および前記表示器の一部にあるすべてのMEMS素子を作動させ、かつ前記部分に表示データを書き込むように構成された制御器を含む。

**【0010】**

さらに他の実施例において、本発明は画像を表示するための装置を提供する。光を変調するための複数の手段、および表示の一部にある前記複数の光変調手段のすべての作動と書き込みを制御するための手段とを含む装置。

**【0011】**

さらに他の実施例において、本発明はMEMS表示素子アレイに表示データを書き込む方法を提供する。本方法は、アレイの一部にあるすべてのMEMS素子を作動させること、および前記アレイの前記部分に表示データを書き込むことを含む。

**【0012】**

さらに他の実施例において、本発明はMEMS表示素子アレイにデータを書き込むように構成されたシステムを提供する。本システムは列ドライバと行ドライバを含む。行ドライバと列ドライバは、第1および第2の電位差でアレイの少なくともいくつかの素子を作動させるように構成されており、第2の電位差の絶対値は第1の電位差の絶対値より大きい。

**【0013】**

さらに他の実施例において、本発明はMEMS表示素子アレイにデータを書き込むように構成されたシステムを提供する。本システムは、前記MEMS表示素子の列を駆動するための手段、および前記MEMS表示素子の行を駆動するための手段を含む。行および列の駆動手段は、第1および第2の電位差で前記アレイの少なくともいくつかの素子を作動させるように構成されており、第2の電位差の絶対値は第1の電位差の絶対値より大きい。

**【0014】**

さらに他の実施例において、本発明はMEMS表示素子アレイにデータを書き込む方法を提供する。本方法は、第1および第2の電位差で前記アレイの少なくともいくつかの素

10

20

30

40

50

子を作動させることを含み、第2の電位差の絶対値は第1の電位差の絶対値より大きい。

【発明を実施するための最良の形態】

【0015】

以下の詳細な説明は本発明のある特定の実施例について述べられる。しかし、本発明は異なる多くの方法で具体化することができる。本明細書において、全体を通じて同じ部品が同じ数字を表している図面が参照される。以下の説明から明らかになるように、本発明は、動いているか（例えば、ビデオ）または静止しているか（例えば、静止画像）にかかわらず、および文字または画像にかかわらず、画像を表示するように構成された任意のデバイスにおいて実施されるかもしれない。より詳細には、本発明が種々の電子デバイス、例えば非限定的に、携帯電話、無線デバイス、携帯用情報端末（PDA）、ハンドヘルドもしくは携帯用計算機、GPS受信機/ナビゲータ、写真機、MP3プレーヤ、ビデオカメラ、ゲームコンソール、腕時計、時計、電卓、テレビジョンモニタ、平面ディスプレイ、計算機モニタ、自動車用表示器（例えば走行距離計表示器など）、操縦席の制御並びに/もしくは表示器、カメラ映像表示（例えば自動車のバックミラーカメラ）、電子写真、電子広告板もしくはサイン、プロジェクタ、建築構造物、パッケージ、および美的構造（例えば装身具上の画像表示）において実施され、または関連するかもしれないことが予想される。ここに説明されるデバイスに類似の構造のMEMSデバイスは電子切換デバイスのような非表示用途にも用いることができる。

10

【0016】

干渉MEMS表示素子を含む1つの干渉変調器型表示器の実施例を図1に示す。これらのデバイスにおいて、画素は明状態かまたは暗状態のいずれかにある。明状態（「オン」または「開」）において表示素子は入射可視光の大部分をユーザに向けて反射する。暗状態（「オフ」または「閉」）においては、表示素子はユーザに向けて入射可視光をほとんど反射しない。実施例によっては、「オン」および「オフ」状態の光反射特性は反転されるかもしれない。MEMS画素を、白黒に加えてカラー表示ができるように、選択された色を主として反射するように構成しても良い。

20

【0017】

図1は、映像表示器の一連の画素内の2つの隣接画素を表す斜視図であり、各画素はMEMS干渉変調器を含む。いくつかの実施例において、干渉変調器型表示器はこれらの干渉変調器の行/列アレイを含む。各干渉変調器は、少なくとも1つの可変寸法を有する共振光空洞を形成するために、互いに可変かつ制御可能な距離に配置した一对の反射層を含む。一実施例において、反射層の1つは2つの位置の間を動かされるかもしれない。ここでは解放状態と呼ばれる第1の位置において、可動層は固定の部分反射層から比較的大きい距離に位置する。第2の位置において、可動層は部分反射層により密接に隣接して位置する。2つの層から反射する入射光は、可動反射層の位置に依存して、加算的にまたは減算的に干渉し、各画素に対して全体として反射的または非反射的状态を作り出す。

30

【0018】

図1の画素アレイの図示した部分は、2つの隣接した干渉変調器12aおよび12bを含む。左の干渉変調器12aでは、可動かつ大きい反射率の層14aが、固定反射層16aから予め定めた距離にあり解放位置にある時を示す。右の干渉変調器12bでは、可動かつ大きい反射率の層14bが、固定反射層16bに隣接した作動位置にある時を示す。

40

【0019】

固定層16a、16bは、電氣的に伝導性があり、部分透明かつ部分反射的であり、例えば、透明な基板20上に各層がクロムおよびインジウム酸化スズの1つ以上の層を堆積して製造されるかもしれない。この層は、平行なストリップ状にパターンニングされ、さらに後で説明するように表示デバイス内に行電極を形成するかもしれない。可動層14a、14bは、ポスト18の頂部に堆積した一層または複数層の堆積金属層（行電極16a、16bと直交）の一連の平行ストリップおよびポスト18の間に堆積した介在犠牲材料として形成されるかもしれない。犠牲材料がエッチングされると、変形可能金属層は定められた空隙19によって固定金属層と分離される。アルミニウムのような高伝導性で高反射

50

性材料が変形可能層に用いられるかもしれない。また、これらのストリップは表示デバイスにおける列電極を形成するかもしれない。

【0020】

印加電圧がない場合、図1の画素12aに示すように、空洞19は14aと16aの間に存続し、変形可能層は機械的に緩和状態にある。

【0021】

しかし、電位差が選択された行および列に印加される場合、対応する画素における行および列電極の交差点で形成されるキャパシタが充電され、静電力により電極が互いに引張られる。電圧が十分高い場合、可動層は変形され、図1の右の画素12bで示されるように、固定層（図示されない誘電体材料が短絡を防ぎ、間隔を制御するために固定層上に堆積されるかもしれない）に押しつけられる。この動作は印加された電位差の極性に関係なく同じである。このように、非反射的対反射的画素状態を制御できる行/列の作動は、通常のLCDおよび他の表示技術に用いられる作動と多くの点で類似している。

10

【0022】

図2から図5に干渉変調器アレイを表示用途に用いるための1つの代表的プロセスおよびシステムを示す。図2は本発明の態様を組み込むかもしれない電子デバイスの一実施例を示すシステムブロック図である。代表的実施例において、電子デバイスはプロセッサ21を含む。このプロセッサは、ARM、Pentium（登録商標）、Pentium II（登録商標）、Pentium III（登録商標）、Pentium IV（登録商標）、Pentium（登録商標）Pro、8051、MIPS（登録商標）、Power PC（登録商標）、ALPHA（登録商標）のような汎用シングルチップもしくはマルチチップのマイクロプロセッサ、またはデジタル信号プロセッサ、マイクロコントローラ、もしくはプログラマブルゲートアレイのような専用マイクロプロセッサであるかもしれない。当業者においては一般的であるように、プロセッサ21は1つ以上のソフトウェアモジュールを実行するように構成されるかもしれない。オペレーティングシステムを実行することに加えて、プロセッサは、ウェブブラウザ、電話用アプリケーション、eメール用プログラム、または他の任意のソフトウェアアプリケーションを含む1つ以上のソフトウェアアプリケーションを実行するように構成されるかもしれない。

20

【0023】

一実施例において、プロセッサ21は、アレイ制御器22と通信するように構成される。一実施例において、アレイ制御器22は、信号を画素30へ供給する行駆動回路24および列駆動回路26を含む。図1に示すアレイの断面図は図2の線1-1によって示される。MEMS干渉変調器に関しては、行/列作動プロトコルは、図3に示すこれらのデバイスのヒステリシス特性を利用するかもしれない。例えば、可動層を解放状態から作動状態へ変形させるために10Vの電位差が必要かもしれない。しかし、電圧がその値から低下する場合、電圧が10V未満に落ちても、可動層はその状態を維持する。図3の代表的な実施例において、可動層は、電圧が2Vより低くなるまで完全には解放しない。その結果、デバイスが解放または作動状態のいずれかに安定する印加電圧の窓が存在する電圧範囲がある。図3に示す例においてはそれは約3から7Vである。これをここでは「ヒステリシス窓」または「安定窓」と呼ばれる。図3のヒステリシス特性を持っている表示アレイにおいて、行のストロージングの期間、ストロージングされる行内の作動されるべき画素は約10Vの電圧差をかけられ、また解放されるべき画素は0Vに近い電圧差をかけられるように、行/列作動プロトコルが設計されるかもしれない。ストロージングの後、画素は約5Vの定常状態電圧差をかけられ、その結果画素は、行ストロージングによって置かれたいずれの状態にもとどまる。書き込まれた後、各画素には、この例では3から7Vの「安定窓」の中の電位差がかかっている。この特徴により、図1に示す画素設計は、同じ印加電圧条件のもとでも、前の作動または解放状態のいずれかに安定する。干渉変調器の各画素は、作動状態、解放状態を問わず、本質的には固定および可動反射器で形成されたキャパシタであるため、ヒステリシス窓内の電圧で、ほとんど電力消費せずに安定状態が保持される。本質的に、印加電圧が固定していれば画素への電流流入はない。

30

40

50

## 【 0 0 2 4 】

典型的な用途において、表示フレームは、第 1 行内の作動される画素の所望の組に従って、列電極の組を宣言することにより作られるかもしれない。行パルスは行 1 の電極に印加され、宣言された列線路に関連する画素を作動させる。次に列電極の宣言された組は第 2 行内の作動画素の所望の組に関連して変更される。次に、パルスが行 2 の電極に印加され、宣言された列電極に従って行 2 内の適切な画素を作動させる。行 1 の画素は行 2 パルスの影響を受けず、行 1 パルスの期間に設定された状態にとどまる。これは連続するすべての行に対して連続した方式で繰り返し、フレームを生成するかもしれない。一般に、フレームは毎秒所望のフレーム数でこの過程を連続的に繰り返すことにより、リフレッシュおよび/または新しい表示データで更新される。表示フレームを形成するために画素アレイの行および列電極を駆動するための種々のプロトコルが知られており、本発明に関連して用いられるかもしれない。

10

## 【 0 0 2 5 】

図 4 および図 5 に、図 2 の  $3 \times 3$  のアレイに表示フレームを形成するための 1 つの可能性のある作動プロトコルを示す。図 4 に図 3 のヒステリシス曲線を示す画素に対して用いられるかもしれない列および行電圧レベルの可能性のあるセットを示す。図 4 の実施例において、画素を作動させることは、適切な列を  $-V_{bias}$  に、適切な行を  $+V$  に設定することを含む。これらの値はそれぞれ  $-5V$  および  $+5V$  と一致するかもしれない。画素を解放することは、適切な列を  $+V_{bias}$  に、適切な行を同じ  $+V$  に設定し、画素に  $0V$  の電位差を与えることによって達成される。

20

## 【 0 0 2 6 】

行電圧が  $0V$  に保持されている行においては、画素は初めにあった状態によらず、列が  $+V_{bias}$  または  $-V_{bias}$  にあるかに関係なく安定である。

## 【 0 0 2 7 】

図 5 B は、結果として図 5 A に示す画素配置となるであろう図 2 の  $3 \times 3$  のアレイに印加する一連の行および列信号を示すタイミング図である。ここで作動画素は非反射的とする。図 5 A に示すフレームを書き込む前に、画素は任意の状態であっても良い。この例ではすべての行は  $0V$  にあり、すべての列  $+5V$  にある。これらの印加電圧により、全画素は作動または解放の現在の状態に安定している。

## 【 0 0 2 8 】

30

図 5 A のフレームにおいて、画素、 $(1, 1)$ 、 $(1, 2)$ 、 $(2, 2)$ 、 $(3, 2)$  および  $(3, 3)$  が作動される。これを達成するために、行 1 に対する「ライン時間」の期間、列 1 および列 2 は  $-5V$  に設定され、列 3 は  $+5V$  に設定される。すべての画素は  $3$  から  $7V$  の安定窓内にとどまるため、どの画素の状態も変化しない。次に行 1 は  $0V$  から  $5V$  へ上昇し  $0V$  へ戻るパルスでストロープされる。これは画素  $(1, 1)$  および  $(1, 2)$  作動させ、画素  $(1, 3)$  を解放する。アレイの他の画素は影響を受けない。行 2 を所望のように設定するために、列 2 は  $-5V$  に設定され、列 1 および列 3 は  $+5V$  に設定される。行 2 に印加される同じストロープにより、画素  $(2, 2)$  が作動し、画素  $(2, 1)$  および  $(2, 3)$  が解放されるだろう。同様に、アレイの他の画素は影響を受けない。行 3 は列 2 および列 3 を  $-5V$  に、列 1 を  $+5V$  に設定することにより同様に設定される。行 3 のストロープは行 3 の画素を図 5 A に示すように設定する。フレームの書き込み後、行電位は  $0$  であり列電位は  $+5V$  または  $-5V$  のいずれかにとどまっても良く、従って表示は図 5 A の配置で安定している。同様の手順が数十または数百の行および列のアレイに対して用いることができるということが理解されるだろう。行および列の作動を実行するために用いられるタイミング、順序、および電圧レベルは上で概説した一般的原理の範囲内で広く変更可能であること、および上例は単に代表的にしか過ぎず、いかなる作動電圧方法も本発明と共に用いることができることも理解されるだろう。例えば、行が  $6.2V$  から  $6.2V + V_{bias}$  になり、同様に列が例えば  $1V$  から  $1V + 2 * V_{bias}$  に切り替わるかもしれないように、アレイ駆動回路の回路共通電圧からシフトとしている電圧でアレイ素子が駆動されるかもしれないことが理解されるだろう。この実施例

40

50

において、解放電圧は0 Vとは少し異なるかもしれない。それは、2 V程度でも良いが通常は1 Vより低い。

#### 【0029】

上述した原理に従って動作する干渉変調器の構造の細部は様々に変化するかもしれない。例えば、図6A - 6Cに可動反射板の3つの異なる実施例を示す。図6Aは図1の実施例の断面図であり、ストリップ状金属材料14が直交して伸びている支持物18上に堆積される。図6Bにおいて、可動反射材料14は支持物の角だけに係留体32で接続される。図6Cにおいて、可動反射材料14は変形可能層34から吊り下げられている。本実施例は利点を有しており、それは反射材料14に用いられる構造設計と材料を光特性に関して最適化でき、変形可能層34に用いるための構造設計および材料を所望の機械的特性に関して最適化できるためである。種々の形式の干渉デバイスの製造は、例えば米国特許出願2004/0051929を含む多くの刊行物に述べられている。一連の材料堆積、パターニングおよびエッチングステップを含む多くの周知の方法が上述した構造を製造するために用いられるかもしれない。

10

#### 【0030】

デバイスが作動され常に同じ方向の電界で作動状態に保持される場合に特に、デバイスの層間の誘電体に電荷が蓄積される場合があることは上述のデバイスの1つの性質である。例えば、デバイスが大きい方の安定しきい値よりも大きい電位で作動される時に、可動層が常に固定層に較べてより高い電位にあると、層間の誘電体上の緩やかに上昇する電荷蓄積によりデバイスのヒステリシス曲線がシフトし始めることがある。これは、時間と共に異なる様に作動される、異なる画素に対して、時間と共におよびそれぞれ違う変化を生ずるため望ましくない。図5Bの例に見ることができるように、与えられた画素には、作動期間に、10 Vの差があり、この例ではいつも行電極は列電極より電位が10 V高い。それ故、作動期間はプレート間の電界は常に行電極から列電極の一方向に向いている。

20

#### 【0031】

この問題は、MEMS表示素子を表示書き込み過程の第1の部分の期間は第1の極性の電位差で作動させ、MEMS表示素子を表示書き込み過程の第2の部分の期間は第1の極性とは逆の極性を持つ電位差で作動させることにより減少できる。図7、8A、および8Bにこの基本原理を示す。

#### 【0032】

図7において、表示データの2つのフレーム、フレームNおよびフレームN+1が連続して書き込まれる。この図において、列用のデータは、列1のライン時間の期間、列1に対して有効となり（すなわち、列1内の画素の所望状態に依存して+5または-5のいずれか）、列2のライン時間の期間、列2に対して有効となり、列3のライン時間の期間、列3に対して有効となる。フレームNは図5Bに示すように、MEMSデバイス作動の期間、列電極より10 V高い行電極で書き込まれる。これをここで正極性と名付ける。作動の期間、列電極は-5 Vであるかもしれない。また、この例では行に関する走査電圧は+5 Vである。このように、フレームNに対する作動および解放は図4と同じ図8の表に従って実行される。

30

#### 【0033】

フレームN+1は図8Bの表に従って書き込まれる。フレームN+1において、走査電圧は-5 Vであり、列電圧は作動用に+5 V、および解放用に-5 Vに設定される。したがって、フレームN+1において列電圧は行電圧より10 V高く、ここでは負極性と名付けられる。表示は連続的にリフレッシュおよび/または更新されるため、フレームN+2がフレームNと同じ方法で書き込まれ、フレームN+3がフレームN+1と同じ方法で書き込まれ、以下同様に、極性はフレーム間で交互に替わっても良い。このように、画素の作動は両方の極性で行われる。この原理に従う実施例において、逆極性の2つの電位は、定められた時刻に、画像データがアレイのMEMS素子に書き込まれる速度に依存する定められた持続時間、与えられたMEMS素子にそれぞれ印加される。また逆電位差は、表示に用いる与えられた期間にわたり、ほぼ等しい長さの時間、それぞれ印加される。これ

40

50

は、時間と共に増加する誘電体上の電荷蓄積を抑圧することに役立つ。

【0034】

この方式の種々の変更を実施することができる。例えば、フレームNおよびフレームN + 1は、異なる表示データを含んでも良い。代替的に、それはアレイに逆特性で2回書き込まれる同じ表示データであっても良い。また、所望の表示データを書き込む前に、すべてのもしくは実質的にすべての画素の状態を解放状態に設定するために、および/または、すべてのもしくは実質的にすべての画素の状態を作動状態に設定するために、いくつかのフレームを提供することは有益であるかもしれない。一つの行のライン時間内に、例えばすべての列を+5V(または-5V)に設定し、すべての行を同時に-5V走査(または+5V走査)で走査することによって、すべての画素を共通状態に設定することが実行されても良い。

10

【0035】

そのような実施例の1つにおいて、所望の表示データが1つの極性でアレイに書き込まれ、同じ表示データがもう一度逆極性で書き込まれる。これは、フレームN + 1と同様のフレームNを持ち、またフレーム間に挿入されたアレイ解放ライン時間を持つ、図7に示す方式と同様である。他の実施例において、行解放ライン時間は新しい表示データの各表示更新に先行する。

【0036】

他の実施例において、行ライン時間はアレイのすべての画素を作動させるために用いられ、第2のライン時間はアレイのすべての画素を解放するために用いられ、次に表示データ(例えばフレームN)が表示に書き込まれる。この実施例において、アレイ作動ライン時間、およびフレームNに先行する極性とは逆の極性のアレイ解放ライン時間がフレームN + 1に先行しても良い。次に、フレームN + 1が書き込まれても良い。いくつかの実施例において、1つの極性の作動ライン時間、同じ極性の解放ライン時間、逆極性の作動ライン時間、および逆極性の解放ライン時間はフレーム毎に先行しても良い。これらの実施例は、すべてまたは実質的にすべての画素が表示データの毎フレームに対して少なくとも一度作動することを確実にし、電荷蓄積の抑圧と同様に経時変化効果差を抑圧する。

20

【0037】

いくつかの場合、アレイ作動ライン時間の期間、特別な高い作動電圧を用いることは有利であるかもしれない。例えば、上述したアレイ作動ライン時間の期間、行の走査電圧は5Vではなく7Vまたは10Vであっても良い。この実施例において、画素に印加される最高電圧は、表示データ更新期間ではなくこれらの「過剰作動」のアレイ作動時間の期間に発生する。いくつかの画素は表示される画像によって表示更新期間中に頻繁に変化するかもしれないし、一方他の画素は表示更新期間中にほとんど変化しない。上記はそのような異なる画素に対する経時変化差を減少させることに役立つかもしれない。

30

【0038】

また、行毎に、これらの極性反転および作動/解放プロトコルを実行することが可能である。これらの実施例において、フレームの各行はフレーム書き込み過程の期間、一回より多く書き込まれるかもしれない。例えば、フレームNの行1を書き込む場合、行1の画素はすべて解放され、行1に対する表示データは正極性で書き込まれるかもしれない。行1の画素はもう一度解放され、行1の表示データは負極性で再度書き込まれるかもしれない。また、全体のアレイに対して上述したように、行1のすべての画素を作動させることが実行されるかもしれない。さらに、解放、作動、および過剰作動が表示更新/リフレッシュ過程期間の毎行書き込みまたは毎フレーム書き込みより低い頻度で実行されるかもしれないことがさらに理解されるだろう。

40

【0039】

図9Aおよび9Bは、表示デバイス2040の実施例を示すシステムブロック図である。例えば、表示デバイス2040は、携帯電話または移動電話でも良い。しかし、表示デバイス2040またはそのわずかに変形した同じ部品も、テレビジョンおよび携帯メディアプレーヤーのような種々の形式の表示デバイスの実例である。

50

## 【 0 0 4 0 】

表示デバイス 2 0 4 0 は筐体 2 0 4 1、表示器 2 0 3 0、アンテナ 2 0 4 3、スピーカ 2 0 4 5、入力デバイス 2 0 4 8、およびマイクロホン 2 0 4 6 を含む。一般に、筐体 2 0 4 1 は射出成形および真空成形を含む当業者に周知の種々の製造プロセスのいずれかで形成される。さらに、筐体 2 0 4 1 は、プラスチック、金属、ガラス、ゴム、セラミック、またはそれらの組み合わせを非限定的に含む種々の材料のいずれかで作られるかもしれない。一実施例において、筐体 2 0 4 1 は可換部分（図示しない）を含む。これは異なる色の、または異なるロゴ、絵もしくはシンボルを含む他の可換部分と交換可能であるかもしれない。

## 【 0 0 4 1 】

代表的な表示デバイス 2 0 4 0 の表示器 2 0 3 0 は、ここに述べるような双安定表示器を含む種々の表示器のいずれかであるかもしれない。他の実施例において、表示器 2 0 3 0 は、当業者に周知の、プラズマ、E L、O L E D、S T N L C D、もしくは上述の T F T L C D のような平面表示器、または、C R T もしくは他の真空管デバイスのような非平面表示器を含む。しかし、本実施例について説明するために、表示器 2 0 3 0 はここに説明されるような干渉変調器表示器を含む。

## 【 0 0 4 2 】

代表的な表示デバイス 2 0 4 0 の一実施例の部品を図 9 B に図式的に示す。例示した代表的な表示デバイス 2 0 4 0 は、筐体 2 0 4 1 を含み、そこに少なくとも部分的に内蔵された付加コンポーネントを含んでも良い。例えば、一実施例において、代表的な表示デバイス 2 0 4 0 は、送受信機 2 0 4 7 に接続されたアンテナ 2 0 4 3 を含むネットワークインタフェース 2 0 2 7 を含む。送受信機 2 0 4 7 はプロセッサ 2 0 2 1 に接続され、プロセッサは調整用ハードウェア 2 0 5 2 に接続される。調整用ハードウェア 2 0 5 2 は、信号を調整（例えば信号をフィルタリングする）するように構成されるかもしれない。調整用ハードウェア 2 0 5 2 は、スピーカ 2 0 4 5 およびマイクロホン 2 0 4 6 に接続される。プロセッサ 2 0 2 1 は、入力装置 2 0 4 8 およびドライバ制御器 2 0 2 9 にも接続される。ドライバ制御器 2 0 2 9 は、フレームバッファ 2 0 2 8 およびアレイドライバ 2 0 2 2 に接続される。アレイドライバは次に表示アレイ 2 0 3 0 に接続される。電源 2 0 5 0 は特定の代表的な表示デバイス 2 0 4 0 の設計が要求するようにすべての部品へ電力を供給する。

## 【 0 0 4 3 】

ネットワークインタフェース 2 0 2 7 は、代表的な表示デバイス 2 0 4 0 がネットワーク上で 1 つ以上のデバイスと交信できるように、アンテナ 2 0 4 3 および送受信機 2 0 4 7 を含む。一実施例において、ネットワークインタフェース 2 0 2 7 は、プロセッサ 2 0 2 1 の要求事項を緩和するためのいくつかの処理能力を有するかもしれない。アンテナ 2 0 4 3 は信号を送信および受信するための当業者に周知の任意のアンテナである。一実施例において、アンテナは、I E E E 8 0 2 . 1 1 ( a )、( b )、または ( g ) を含む I E E E 8 0 2 . 1 1 規格に従う R F 信号を送信および受信する。他の実施例において、アンテナは、B L U E T O O T H (登録商標) 規格に従う R F 信号を送信および受信する。携帯電話の場合において、アンテナは、C D M A、G S M、A M P S、または無線携帯電話ネットワーク内で交信するために用いられる他の周知の信号を受信するように設計される。信号をプロセッサ 2 0 2 1 で受信し、さらに処理するために送受信機 2 0 4 7 はアンテナ 2 0 4 3 からの受信信号を前処理する。信号をアンテナ 2 0 4 3 を介して代表的な表示デバイス 2 0 4 0 から送信するために、送受信機 2 0 4 7 はプロセッサ 2 0 2 1 からの受信信号も処理する。

## 【 0 0 4 4 】

代替的な実施例において、送受信機 2 0 4 7 は受信機に置き換えても良い。さらに他の代替的な実施例において、ネットワークインタフェース 2 0 2 7 は、プロセッサへ送られるべき画像データを蓄積または発生することができる画像源で置き換えても良い。例えば、画像源は、デジタルビデオディスク ( D V D )、画像データを格納するハードディスク

10

20

30

40

50

ドライブ、または画像データを発生するソフトウェアモジュールであっても良い。

【0045】

プロセッサ2021は、一般に代表的表示デバイス2040の全体的動作を制御する。プロセッサ2021は、ネットワークインタフェース2027または画像源から圧縮画像データのようなデータを受信し、データを生画像データへ、または生画像データへ容易に処理されるフォーマットへ加工する。プロセッサ2021は、次に処理済データをドライバ制御器2029または格納のためのフレームバッファ2028へ送る。通常、生データは画像内の各位置における画像の特性を特定する情報を指す。例えば、そのような画像特性は色、彩度、およびグレースケールレベルを含んでいても良い。

【0046】

一実施例において、プロセッサ2021は、代表的表示デバイス2040の動作を制御するためのマイクロコントローラ、CPU、または論理演算装置を含む。一般に、調整ハードウェア2052は、スピーカ2045へ信号を送るための、およびマイクロホン2046から信号を受信するための増幅器およびフィルタを含む。調整ハードウェア2052は、代表的表示デバイス2040内の個別部品であるかもしれないし、またはプロセッサ2021もしくは他の部品内に組み込まれるかもしれない。

【0047】

ドライバ制御器2029は、プロセッサ2021で生成された生画像データをプロセッサ2021から直接またはフレームバッファ2028からのいずれかで取り込み、生画像データをアレイドライバ2022への高速伝送用に適切に再フォーマットする。具体的には、ドライバ制御器2029は、表示アレイ2030全体にわたる走査に適した時間順序を有するように、生の画像データをラスタのようなフォーマットを有するデータフローへ再フォーマットする。次に、ドライバ制御器2029は、フォーマットされた情報をアレイドライバ2022に送る。LCD制御器のようなドライバ制御器2029はしばしば独立型集積回路(IC)としてシステムプロセッサ2021に関連しているが、そのような制御器は多くの方法で実施されるかもしれない。それらは、ハードウェアとしてプロセッサ2021に埋め込まれ、ソフトウェアとしてプロセッサ2021に埋め込まれ、またはハードウェアとしてアレイドライバ2022と共に完全に集積化されるかもしれない。

【0048】

通常、アレイドライバ2022はドライバ制御器2029からフォーマットされた情報を受信し、映像データを波形の並列のセットへ再フォーマットする。この波形は表示画素のx-y行列から出ている数百、時には数千のリード線へ毎秒多数回印加される。

【0049】

一実施例において、ドライバ制御器2029、アレイドライバ2022、および表示アレイ2030はここに説明されたいずれの形式の表示器に対しても適切である。例えば、一実施例において、ドライバ制御器2029は、従来の表示制御装置または双安定表示制御器(例えば干渉変調器制御器)である。他の実施例において、アレイドライバ2022は、従来のドライバまたは双安定表示ドライバ(例えば、干渉変調器型表示)である。一実施例において、ドライバ制御器2029はアレイドライバ2022と集積化される。そのような実施例は、携帯電話、腕時計、他の小面積表示器などの高集積度システムにおいて一般的である。さらに他の実施例において、表示アレイ2030は、通常表示アレイまたは双安定表示アレイ(例えば、干渉変調器アレイを含む表示器)である。

【0050】

入力デバイス2048により、ユーザは代表的な表示デバイス2040の動作を制御できる。一実施例において、入力デバイス2048はQWERTYキーボードまたは電話キーパッドのようなキーパッド、ボタン、スイッチ、接触式スクリーン、圧力もしくは感熱膜を含む。一実施例において、マイクロホン2046は代表的表示デバイス2040のための入力デバイスである。マイクロホン2046がデータをデバイスに入力するために用いられる場合、音声コマンドが代表的表示デバイス2040の動作を制御するためにユーザによって与えられるかもしれない。

10

20

30

40

50

## 【 0 0 5 1 】

電源 2 0 5 0 は、当業者に周知の種々のエネルギー蓄積デバイスを含んでもよい。例えば、一実施例において、電源 2 0 5 0 はニッケルカドミウム電池またはリチウムイオン電池のような二次電池である。他の実施例において、電源 2 0 5 0 は、再生可能エネルギー源、コンデンサ、またはプラスチック太陽電池を含む太陽電池、および太陽電池塗料である。他の実施例において、電源 2 0 5 0 は、壁コンセントから電力を受けるように構成される。

## 【 0 0 5 2 】

いくつかの実施において、制御プログラム化能力は、上述したように、電子表示システム内のいくつかの場所にあるかもしれないドライバ制御器内にある。いくつかの場合、制御プログラム化能力はアレイドライバ 2 0 2 2 にある。当業者は、上で説明された最適化が多くハードウェア並びに / またはソフトウェア部品、および種々の構成で実施されるかもしれないことを理解するだろう。

10

## 【 0 0 5 3 】

上の詳細な説明は種々の実施例に適用される場合の本発明の新しい特徴を示し、説明し、指摘したが、例示したデバイスまたはプロセスの形式並びに詳細における種々の省略、置き換え、および変更は、本発明の精神から逸脱することなく当業者によってなされるかもしれないことが理解されるだろう。一例として、試験電圧駆動回路が、表示生成のために用いられるアレイ駆動回路から独立しているかもしれないことが理解されるだろう。電流センサと同様に、別々の電圧センサが、別々の行電極に専用に使われるかもしれない。

20

## 【 図面の簡単な説明 】

## 【 0 0 5 4 】

【 図 1 】 第 1 の干渉変調器の可動反射層が解放位置にあり、第 2 の干渉変調器の可動反射層が作動位置にある干渉変調器型表示器の一実施例の一部を表す斜視図。

【 図 2 】 3 × 3 干渉変調器型表示器を組み込んだ電子デバイスの一実施例を示すシステムブロック図。

【 図 3 】 図 1 の干渉変調器の一代表的実施例に対する可動反射器の位置対印加電圧の図。

30

【 図 4 】 干渉変調器型表示器を駆動するために用いられるかもしれない 1 組の行および列電圧を示す図。

【 図 5 A 】 図 2 の 3 × 3 干渉変調器型表示器における表示データの 1 つの代表的フレーム。

【 図 5 B 】 図 5 A のフレームを書き込むために用いられるかもしれない行および列信号に対する 1 つの代表的なタイミング図。

【 図 6 A 】 図 1 のデバイスの断面図。

【 図 6 B 】 干渉変調器の代替的实施例の断面図。

【 図 6 C 】 干渉変調器の他の代替的实施例の断面図。

【 図 7 】 本発明の一実施例で用いられるかもしれない行および列信号に対する代表的なタイミング図。

40

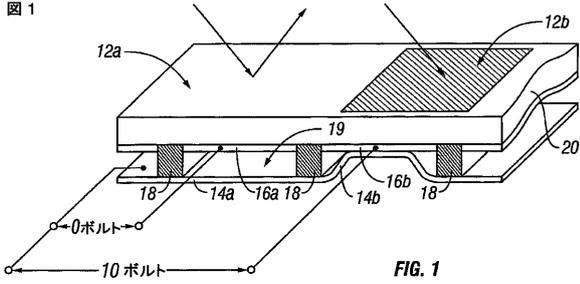
【 図 8 A 】 本発明の一実施例における干渉変調器型表示器を駆動するために用いられるかもしれない 1 組の行および列電圧。

【 図 8 B 】 本発明の一実施例における干渉変調器型表示器を駆動するために用いられるかもしれない 1 組の行および列電圧。

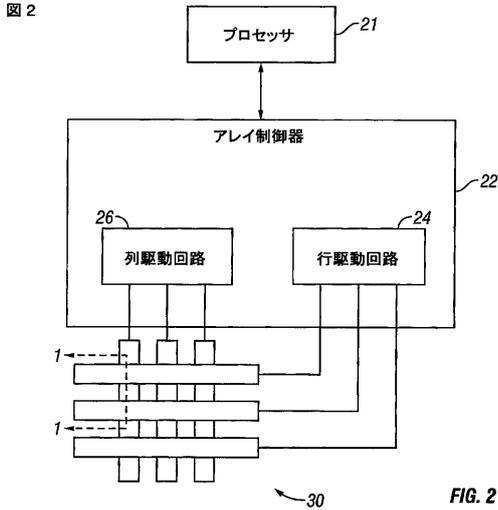
【 図 9 A 】 複数の干渉変調器を含む映像表示デバイスの実施例を示すシステムブロック図。

【 図 9 B 】 複数の干渉変調器を含む映像表示デバイスの実施例を示すシステムブロック図。

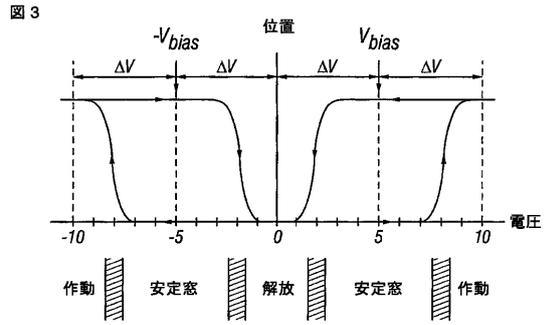
【 図 1 】



【 図 2 】



【 図 3 】



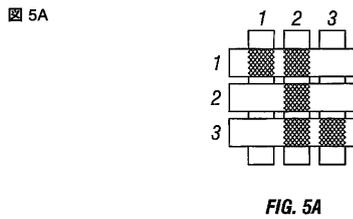
【 図 4 】

図 4

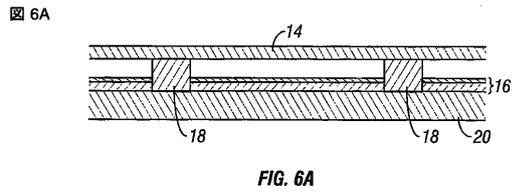
		列出力信号	
		+V <sub>bias</sub>	-V <sub>bias</sub>
行出力信号	0	安定	安定
	+ΔV	解放	作動

FIG. 4

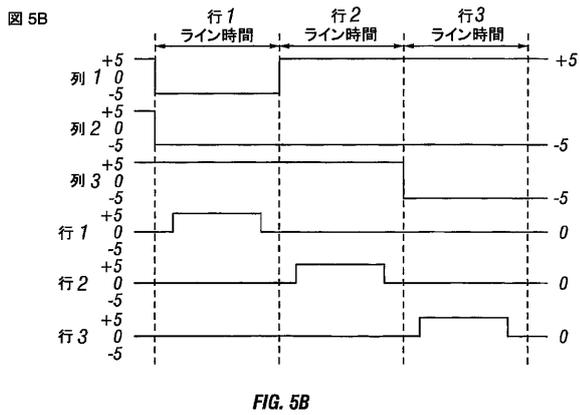
【 図 5 A 】



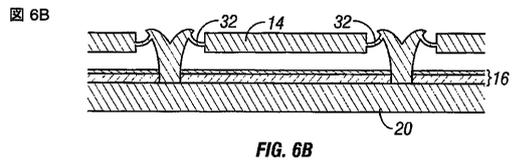
【 図 6 A 】



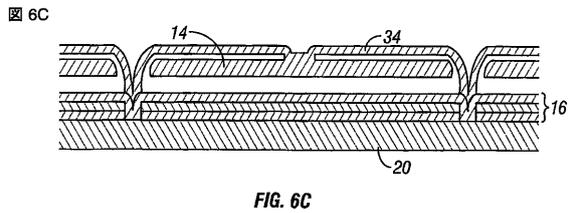
【 図 5 B 】



【 図 6 B 】



【 図 6 C 】



【 図 7 】

図 7

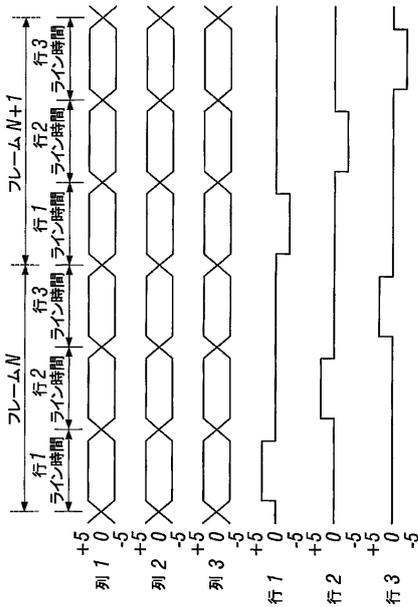


FIG. 7

【 図 8 A 】

図 8A

行出力 信号	列出力 信号	
	$+V_{bias}$	$-V_{bias}$
0	安定	安定
$+\Delta V$	解放	作動

FIG. 8A

【 図 8 B 】

図 8B

行出力 信号	列出力 信号	
	$+V_{bias}$	$-V_{bias}$
0	安定	安定
$-\Delta V$	作動	解放

FIG. 8B

【 図 9 A 】

図 9A

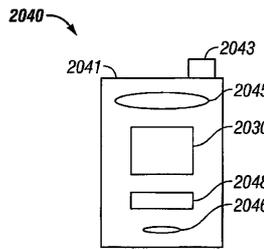


FIG. 9A

【 図 9 B 】

図 9B

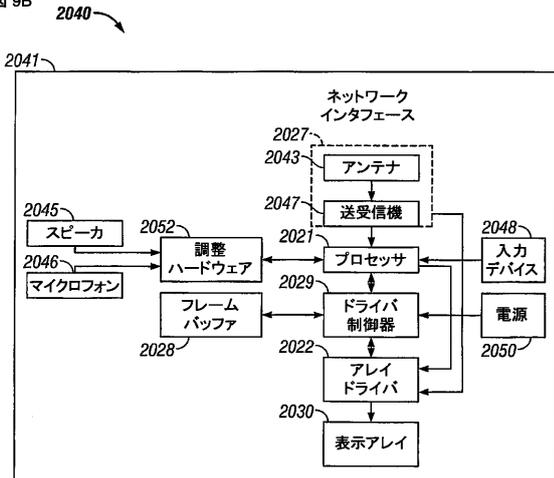


FIG. 9B

【手続補正書】

【提出日】平成19年10月29日(2007.10.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

M E M S表示素子を駆動するように構成された装置であって、

表示書き込み過程の第1の部分の期間に、第1の極性の電位差で、M E M S表示素子を作動させる駆動回路を制御するように構成された制御器であって、前記作動後に駆動回路に前記M E M S表示素子を解放させ、次に前記表示書き込み過程の第2の部分の期間に前記第1の極性と逆の極性の電位差で前記M E M S表示素子を作動させるように構成されている制御器と、

前記表示書き込み過程の前記第1の部分の期間に、前記電位差をM E M S表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子とを含む装置。

【請求項2】

前記制御器は、第1の極性の電位差で前記M E M S表示素子を駆動するように構成され

、  
前記M E M S表示素子の組に表示データの第1フレームを書き込むことを具備し、前記表示書き込み過程の前記第2の部分は、前記M E M S表示素子の組に表示データの第2フレームを書き込むことを具備する請求項1に記載の装置。

【請求項3】

表示データの1つ以上の他のフレームが、前記第1のフレームと前記第2のフレームの間に、前記M E M S表示素子の組に書き込まれる請求項2に記載の装置。

【請求項4】

前記装置は、前記表示書き込み過程の第3の部分の期間に前記第1の極性の電位差で、前記M E M S表示素子を作動させるようにさらに構成された請求項1に記載の装置。

【請求項5】

前記装置は、前記表示書き込み過程の交互に替わる部分の期間に、逆極性の電位差を交互に前記M E M S表示素子に印加するようにさらに構成された請求項1に記載の装置。

【請求項6】

前記表示書き込み過程の交互に替わる部分が、表示データの交互に替わるフレームを前記M E M S表示素子の組に書き込むことを含む請求項5に記載の装置。

【請求項7】

前記表示書き込み過程の交互に替わる部分が、表示データの交互に替わる行を前記M E M S表示素子の組に書き込むことを含む請求項6に記載の装置。

【請求項8】

前記制御器が、

前記M E M S表示素子の作動を制御することによって表示データの第1のフレームを前記第1の極性の電位差でM E M S表示素子アレイに書き込み、

前記アレイ内の実質的にすべてのM E M S素子を解放状態におき、

前記M E M S表示素子の作動を制御することによって表示データの第2のフレームを前記第1の極性と逆の極性の電位差で前記アレイに書き込むようにさらに構成された請求項1に記載の装置。

【請求項9】

表示データの前記第1のフレームおよび表示データの前記第2のフレームが同一である請求項8に記載の装置。

【請求項10】

前記制御器が、  
M E M S 表示素子アレイの行内の実質的にすべての M E M S 素子を解放状態に置き、  
前記 M E M S 表示素子を作動させるために表示データの第 1 の組を前記第 1 の極性の電  
位差で行に書き込み、

前記行内の実質的にすべての M E M S 素子を解放状態に置き、  
前記 M E M S 表示素子を作動させるために表示データの第 2 の組を前記第 1 の極性とは  
逆の極性の電位差で前記行に書き込むように構成された請求項 1 に記載の装置。

【請求項 1 1】

表示データの前記第 1 の組および表示データの前記第 2 の組が同一データである請求項  
1 に記載の装置。

【請求項 1 2】

前記出力端子は、制御器と通信する請求項 1 に記載の装置。

【請求項 1 3】

前記出力端子は、少なくとも 1 つのチップピンを含む請求項 1 に記載の装置。

【請求項 1 4】

前記出力端子は、少なくとも 1 つの導電線を含む請求項 1 に記載の装置。

【請求項 1 5】

前記出力端子は、M E M S 表示素子を作動させる駆動回路との少なくとも 1 つのインタ  
フェースを含む請求項 1 に記載の装置。

【請求項 1 6】

前記 M E M S 表示素子と電氣的に通信しているプロセッサであって、画像データを処理  
するように構成されたプロセッサと、  
前記プロセッサと電氣的に通信しているメモリデバイスとをさらに含む請求項 1 に記載  
の装置。

【請求項 1 7】

前記プロセッサが、前記画像データの少なくとも一部を前記制御器へ送るように構成さ  
れた請求項 1 に記載の装置。

【請求項 1 8】

前記画像データを前記プロセッサへ送るように構成された画像源モジュールをさらに含  
む請求項 1 に記載の装置。

【請求項 1 9】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも 1 つを含む請求項  
1 8 に記載の装置。

【請求項 2 0】

入力データを受信するように、かつ前記入力データを前記プロセッサに伝達するように  
構成された入力デバイスをさらに含む請求項 1 に記載の装置。

【請求項 2 1】

一組の M E M S 表示素子を駆動するように構成された装置であって、  
表示書き込み過程の第 1 の部分の期間に、第 1 の極性の電位差で、前記 M E M S 表示素  
子の作動を制御するとともに、前記表示書き込み過程の第 2 の部分の期間において、前記  
M E M S 表示素子を解放させ次に表示書き込み過程の前記第 1 の極性と逆の極性を有する  
電位差で前記 M E M S 表示素子の作動を制御する手段と、  
前記表示書き込み過程の第 1 の部分の期間に、前記電位差を前記 M E M S 表示素子に少  
なくとも部分的に伝達するための手段と、を含む装置。

【請求項 2 2】

M E M S 表示素子アレイの一部を含む一組の M E M S 表示素子を作動させる方法であっ  
て、  
表示書き込み過程の第 1 の部分の期間に第 1 の極性の電位差で前記 M E M S 表示素子を  
作動させることと、  
前記 M E M S 表示素子を解放することと、

前記表示書き込み過程の第 2 の部分の期間に前記第 1 の極性とは逆の極性を有する電位差で前記 M E M S 表示素子を作動させることとを含む方法。

【請求項 2 3】

前記表示書き込み過程の前記第 1 の部分が、表示データの第 1 のフレームを前記 M E M S 表示素子の前記アレイに書き込むこととを含み、かつ前記表示書き込み過程の前記第 2 の部分が、表示データの第 2 のフレームを前記 M E M S 表示素子の前記アレイに書き込むこととを含む請求項 2 2 に記載の方法。

【請求項 2 4】

表示データの 1 つ以上の他のフレームが、前記第 1 のフレームと前記第 2 のフレームの間に、前記アレイに書き込まれる請求項 2 3 に記載の方法。

【請求項 2 5】

前記表示書き込み過程の第 3 の部分の期間に前記第 1 の極性の電位差で、前記 M E M S 表示素子を作動させることをさらに含む請求項 2 2 に記載の方法。

【請求項 2 6】

前記表示書き込み過程の交互に替わる部分の期間に、逆極性の電位差を交互に前記アレイの表示素子に印加することをさらに含む請求項 2 2 に記載の装置。

【請求項 2 7】

前記表示書き込み過程の前記交互に替わる部分が、表示データの交互に替わるフレームを M E M S 表示素子の前記アレイに書き込むこととを含む請求項 2 6 に記載の方法。

【請求項 2 8】

前記表示書き込み過程の前記交互に替わる部分が、表示データの交互に替わる行を M E M S 表示素子の前記アレイに書き込むこととを含む請求項 2 6 に記載の方法。

【請求項 2 9】

前記アレイの行内の実質的にすべての M E M S 素子を解放状態に置くことと、  
前記 M E M S 表示素子を作動させるために表示データの第 1 の組を前記第 1 の極性の電位差で前記アレイの前記行に書き込むことと、  
前記アレイの前記行内の実質的にすべての M E M S 素子を解放状態におくことと、  
前記 M E M S 表示素子を作動させるために表示データの第 2 の組を前記第 1 の極性とは逆の極性の電位差で前記アレイの前記行に書き込むこと、とをさらに含む請求項 2 2 に記載の方法。

【請求項 3 0】

表示データの前記第 1 の組および表示データの前記第 2 の組が同一のデータを含む請求項 2 9 に記載の方法。

【請求項 3 1】

前記 M E M S 表示素子を作動させるために表示データの第 1 のフレームを前記第 1 の極性の電位差で前記アレイに書き込むことと、  
前記アレイ内の実質的にすべての M E M S 素子を解放状態におくことと、  
前記 M E M S 表示素子を作動させるために表示データの第 2 のフレームを前記第 1 の極性とは逆の極性の電位差で前記アレイに書き込むこととをさらに含む請求項 2 2 に記載の方法。

【請求項 3 2】

表示データの前記第 1 のフレームおよび表示データの前記第 2 のフレームが同一である請求項 3 1 に記載の方法。

【請求項 3 3】

実行されたときに、論理回路に一組の M E M S 表示素子を作動させる方法を実行させる命令が記憶されたコンピュータ読取り可能な記憶媒体であって、前記 M E M S 表示素子は前記 M E M S 表示素子アレイの一部を含み、前記方法は、  
表示書き込み過程の第 1 の部分の期間に第 1 の極性の電位差で前記 M E M S 表示素子を作動させることと、  
前記 M E M S 表示素子を解放することと、

前記表示書き込み過程の第2の部分の期間に前記第1の極性とは逆の極性を有する電位差で前記MEMS表示素子を作動させることとを含む方法。

【請求項34】

表示を形成するMEMS素子アレイ内のMEMS素子进行操作するように構成された装置であって、

前記MEMS素子に電位差を印加するように構成された駆動回路であって、第1の電位差と第2の電位差とを周期的に前記MEMS素子に印加するように構成され、前記第1の電位差と前記第2の電位差とは反対の極性を有し、かつ前記MEMS素子を作動させるために十分なほぼ等しい振幅を有し、前記第1の電位差と前記第2の電位差とはそれぞれ、定められた時刻および画像データが前記MEMS素子に書き込まれるレートに依存する規定の時間間隔だけMEMS素子にそれぞれ印加され、かつ前記第1および第2の電位差はそれぞれ所定期間の表示使用にわたってほぼ等しい時間だけ前記MEMS素子に印加され、さらに前記第1の極性の電位差および前記第1の極性と逆の電位差の双方を用いて同じデータのフレームを書き込むように構成される駆動回路と、

表示書き込み過程の第1の部分の期間に、電位差をMEMS表示素子に少なくとも部分的に伝達するように構成された少なくとも1つの出力端子と、  
を含む装置。

【請求項35】

前記出力端子が、少なくとも1つのチップピンを含む請求項34に記載の装置。

【請求項36】

前記出力端子が、少なくとも1つの導電線を含む請求項34に記載の装置。

【請求項37】

前記出力端子が、前記駆動回路との少なくとも1つのインタフェースを含む請求項34に記載の装置。

【請求項38】

前記MEMS表示素子の少なくとも1つが、干渉変調MEMSデバイスを具備する請求項34に記載の装置。

【請求項39】

複数のMEMS素子の少なくとも1つと電氣的に交信しているプロセッサであって、前記プロセッサが画像データを処理するように構成されたプロセッサと、

前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項34に記載の装置。

【請求項40】

前記画像データの少なくとも一部を前記駆動回路に送るよう構成されたプロセッサをさらに含む請求項34に記載の装置。

【請求項41】

前記画像データを前記プロセッサへ送るよう構成された画像源モジュールをさらに含む請求項42に記載の装置。

【請求項42】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも1つを含む請求項41に記載の装置。

【請求項43】

入力データを受信し、かつ前記入力データを前記プロセッサに伝達するよう構成された入力デバイスをさらに含む請求項40に記載の装置。

【請求項44】

表示を更新するための装置であって、前記装置は、

光を変調するための手段と、

前記変調手段に対して電位差を印加するための手段であって、前記印加手段は、前記変調手段に対して、第1の電位差と第2の電位差とを周期的に印加するよう構成され、前記第1及び第2の電位差は反対の極性を有つとともに、前記変調手段を駆動するのに十分

なほほ等しい振幅を有し、

前記第 1 の電位差と前記第 2 の電位差とはそれぞれ、定められた時刻および画像データが前記変調手段に書き込まれるレートに依存する規定の時間間隔だけ前記変調手段に印加され、前記第 1 及び第 2 の電位差はそれぞれ所定期間の表示使用にわたってほぼ等しい時間だけ印加され、前記印加手段はさらに、前記第 1 の極性の電位差と、前記第 1 の極性とは反対の極性の電位差とを用いて前記同じフレームのデータを書き込むように構成されている印加手段と、

を具備する装置。

**【請求項 4 5】**

表示を形成する MEMS 素子アレイ内の MEMS 素子进行操作する方法であって、

第 1 の電位差を前記 MEMS 素子に周期的に印加することであって、前記第 1 の電位差は前記 MEMS 素子を作動させるために十分な振幅を有し、かつ極性を有することと、

第 2 の電位差を前記 MEMS 素子に周期的に印加することであって、前記第 2 の電位差は、前記第 1 の電位差とほぼ等しい振幅と逆極性であることと、

前記第 1 の電位差と前記第 2 の電位差とはそれぞれ、定められた時刻および画像データが前記 MEMS 素子アレイに書き込まれるレートに依存する規定の時間間隔だけ前記 MEMS 素子に印加され、前記第 1 及び第 2 の電位差はそれぞれ所定期間の表示使用にわたってほぼ等しい時間だけ前記の MEMS 素子に印加され、

前記方法は、前記第 1 の極性の電位差と、前記第 1 の極性とは反対の極性の電位差とを用いて前記同じフレームのデータを書き込むことを含む方法。

**【請求項 4 6】**

実行されたときに、論理回路に表示を形成する MEMS 素子アレイ内の MEMS 素子进行操作する方法を実行させる命令が記憶されたコンピュータ読取り可能な記憶媒体であって、前記方法は、

第 1 の電位差を前記 MEMS 素子に周期的に印加することであって、前記第 1 の電位差は前記 MEMS 素子を作動させるために十分な振幅を有し、かつ極性を有することと、

第 2 の電位差を前記 MEMS 素子に周期的に印加することであって、前記第 2 の電位差は、前記第 1 の電位差とほぼ等しい振幅と逆極性であることと、

前記第 1 の電位差と前記第 2 の電位差とはそれぞれ、定められた時刻および画像データが前記 MEMS 素子アレイに書き込まれるレートに依存する規定の時間間隔だけ前記 MEMS 素子に印加され、前記第 1 及び第 2 の電位差はそれぞれ所定期間の表示使用にわたってほぼ等しい時間だけ前記の MEMS 素子に印加され、

前記方法は、前記第 1 の極性の電位差と、前記第 1 の極性とは反対の極性の電位差とを用いて前記同じフレームのデータを書き込むことを含む媒体。

**【請求項 4 7】**

表示内の複数の MEMS 素子と

前記表示の一部にあるすべての MEMS 素子を作動させ、かつ前記一部に表示データを書き込むように構成された制御器と、を含む画像表示のための装置。

**【請求項 4 8】**

前記 MEMS 素子の少なくとも 1 つが、干渉変調 MEMS デバイスを含む請求項 4 7 に記載の装置。

**【請求項 4 9】**

前記制御器はさらに、前記 MEMS 表示素子を駆動するように構成された前記制御器と電氣的に交信する少なくとも 1 つの出力端子を含む請求項 4 7 に記載の装置。

**【請求項 5 0】**

前記すくなくとも 1 つの出力端子は、少なくとも 1 つのチップピンを含む請求項 4 9 に記載の装置。

**【請求項 5 1】**

前記すくなくとも 1 つの出力端子は、少なくとも 1 つの導電線を含む請求項 4 9 に記載の装置。

【請求項 5 2】

前記少なくとも 1 つの出力端子は、MEMS 表示素子を駆動するように構成された駆動回路との少なくとも 1 つのインタフェースを含む請求項 4 9 に記載の装置。

【請求項 5 3】

前記一部は、MEMS 表示素子の列を含む請求項 4 7 に記載の装置。

【請求項 5 4】

前記一部は、MEMS 表示素子の全アレイを含む請求項 4 7 に記載の装置。

【請求項 5 5】

前記制御器はさらに、前記一部に表示データを書き込む前に、前記アレイの前記一部にあるすべての MEMS 素子を開放するように構成されている請求項 4 7 に記載の装置。

【請求項 5 6】

前記 MEMS 表示素子と電氣的に交信しているプロセッサであって、画像データを処理するように構成されたプロセッサと、

前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項 4 7 に記載の装置。

【請求項 5 7】

前記画像データを前記プロセッサへ送るように構成された画像源モジュールをさらに含む請求項 5 6 に記載の装置。

【請求項 5 8】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも 1 つを含む請求項 5 7 に記載の装置。

【請求項 5 9】

入力データを受信するように、かつ前記入力データを前記プロセッサに伝達するように構成された入力デバイスをさらに含む請求項 5 6 に記載の装置。

【請求項 6 0】

光変調のための複数の手段と、

前記表示の一部における光を変調するために、前記複数の手段のすべてに対して駆動及び画像データの書き込みを行う手段と、を具備する画像表示のための装置。

【請求項 6 1】

表示データを MEMS 表示素子アレイに書き込むための方法であって、

前記アレイの一部にあるすべての MEMS 素子を作動させることと、

表示データを前記アレイの前記一部に書き込むことと、

を具備する方法。

【請求項 6 2】

前記アレイの前記一部は、前記 MEMS 表示素子アレイの列を含む請求項 6 1 に記載の装置。

【請求項 6 3】

前記一部は、全アレイを含む請求項 6 1 に記載の装置。

【請求項 6 4】

前記制御器はさらに、前記アレイの前記一部に表示データを書き込む前に、前記アレイの前記一部にあるすべての MEMS 素子を開放するように構成されている請求項 6 1 に記載の装置。

【請求項 6 5】

実行されたときに、論理回路に MEMS 表示素子アレイに表示データを書き込む方法を実行させる命令が記憶されたコンピュータ読取り可能な記憶媒体であって、

前記アレイの一部にあるすべての MEMS 素子を作動させることと、

表示データを前記アレイの前記一部に書き込むことと、

を具備する記憶媒体。

【請求項 6 6】

MEMS 表示素子アレイにデータを書き込むように構成されたシステムであって、前記

システムは、

列ドライバと、

行ドライバと、を含み、

前記行ドライバおよび列ドライバは、第 1 および第 2 の電位差で前記アレイの少なくともいくつかの素子を作動させるように構成され、前記第 2 の電位差の絶対値が前記第 1 の電位差の絶対値より大きいシステム。

【請求項 67】

前記 MEMS 表示素子アレイと電氣的に交信しているプロセッサであって、前記プロセッサが画像データを処理するように構成されたプロセッサと、

前記プロセッサと電氣的に交信しているメモリデバイスとをさらに含む請求項 66 に記載のシステム。

【請求項 68】

前記画像データの少なくとも一部を前記行ドライバおよび列ドライバの少なくとも 1 つに送るように構成された制御器をさらに含む請求項 67 に記載のシステム。

【請求項 69】

前記画像データを前記プロセッサへ送るように構成された画像源モジュールをさらに含む請求項 67 に記載のシステム。

【請求項 70】

前記画像源モジュールが受信機、送受信機および送信機の少なくとも 1 つを含む請求項 69 に記載のシステム。

【請求項 71】

入力データを受信し、かつ前記入力データを前記プロセッサに伝達するように構成された入力デバイスをさらに含む請求項 69 に記載のシステム。

【請求項 72】

MEMS 表示素子アレイにデータを書き込むように構成されたシステムであって、

前記 MEMS 表示素子の列を駆動するための手段と、

前記 MEMS 表示素子の行を駆動するための手段と、を含み、

前記行および列駆動手段は、第 1 および第 2 の電位差で前記アレイの少なくともいくつかの素子を作動させるように構成され、前記第 2 の電位差の絶対値が前記第 1 の電位差の絶対値より大きいシステム。

【請求項 73】

MEMS 表示素子アレイにデータを書き込むための方法であって、第 1 および第 2 の電位差で前記アレイの少なくともいくつかの素子を作動させることを含み、前記第 2 の電位差の絶対値が前記第 1 の電位差の絶対値より大きい方法。

【請求項 74】

実行されたときに、論理回路に MEMS 表示素子アレイに表示データを書き込む方法を実行させる命令が記憶されたコンピュータ読取り可能な記憶媒体であって、

第 1 および第 2 の電位差で前記アレイの少なくともいくつかの素子を作動させることを含み、前記第 2 の電位差の絶対値が前記第 1 の電位差の絶対値より大きい記憶媒体。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

		Int: Application No P: 2005/029796
A. CLASSIFICATION OF SUBJECT MATTER G09G3/34 G02B26/00 G02B26/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02B G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 327 071 B1 (KIMURA KOICHI) 4 December 2001 (2001-12-04)	1-13, 19-23, 25-51, 57-70, 75-89, 95-98
Y	column 1, line 8 - line 14  column 7, line 27 - column 9, line 3 column 12, line 44 - line 63 column 13, line 38 - line 51  ----- -/--	14-18, 24, 52-56, 71-74, 90-94
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 17 January 2006		Date of mailing of the international search report 27/01/2006
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Petitpierre, O

**INTERNATIONAL SEARCH REPORT**

International Application No  
05/029796

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/075555 A1 (MILES MARK W) 20 June 2002 (2002-06-20)  paragraph '0005! paragraph '0121! figures 26B,26C	14-18, 24, 52-56, 71-74; 90-94

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No  
F 2005/029796

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6327071	B1	04-12-2001 JP 2000121970 A	28-04-2000
US 2002075555	A1	20-06-2002 US 6674562 B1	06-01-2004
		US 2002024711 A1	28-02-2002

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 2 B 26/08	E
	G 0 9 G 3/34	D

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100109830  
弁理士 福原 淑弘

(74) 代理人 100095441  
弁理士 白根 俊郎

(74) 代理人 100084618  
弁理士 村松 貞男

(74) 代理人 100103034  
弁理士 野河 信久

(74) 代理人 100140176  
弁理士 砂川 克

(74) 代理人 100092196  
弁理士 橋本 良郎

(74) 代理人 100100952  
弁理士 風間 鉄也

(72) 発明者 カミングス、ウィリアム・ジェイ .  
アメリカ合衆国、カリフォルニア州 94030、ミルブリー、アシュトン・アベニュー 149

Fターム(参考) 2H141 MA15 MB23 MB28 MB63 MC06 MD02 MD04 MD31 MF24 MG03  
MZ03 MZ14 MZ15  
3C081 BA28 BA33 BA44 BA48 BA72 EA12  
5C080 AA17 BB05 DD29 FF07 FF12 JJ02 JJ04 JJ05 JJ06