

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-69333
(P2015-69333A)

(43) 公開日 平成27年4月13日(2015.4.13)

(51) Int.Cl. F I テーマコード(参考)
G06F 17/50 (2006.01) G06F 17/50 658T 5B046
 G06F 17/50 658U

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号 特願2013-202014 (P2013-202014)
 (22) 出願日 平成25年9月27日(2013.9.27)

(71) 出願人 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100146776
 弁理士 山口 昭則
 (72) 発明者 土屋 篤
 神奈川県横浜市港北区新横浜二丁目10番
 23 富士通セミコンダクター株式会社内

最終頁に続く

(54) 【発明の名称】 設計方法及び設計プログラム

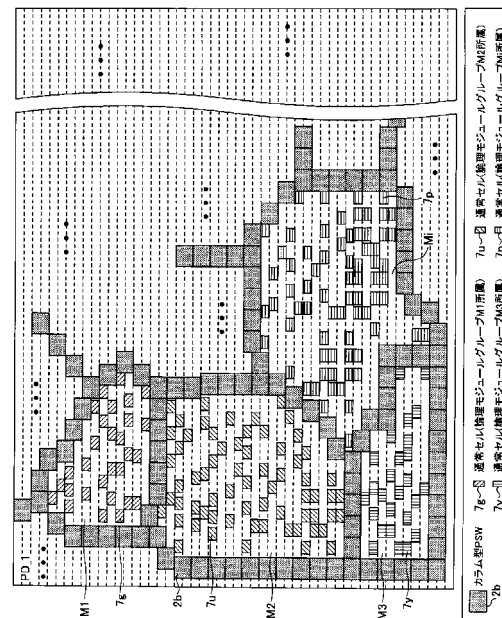
(57) 【要約】

【課題】 本発明の課題は、カラム型パワースイッチを採用したLSI設計において、タイミング収束性を改善することを目的とする。

【解決手段】 上記課題は、コンピュータによって実行される設計方法であって、チップに配置されたパワードメイン毎に論理モジュールをグループ化し、グループ化した論理モジュールグループ毎に通常セルを仮配置し、パワースイッチを前記論理モジュールグループの周辺に配置することを特徴とする設計方法により達成される。

【選択図】 図5

本実施例におけるカラム型PSWの配置結果例を示す図



【特許請求の範囲】**【請求項 1】**

コンピュータによって実行される設計方法であって、
チップに配置されたパワードメイン毎に論理モジュールをグループ化し、
グループ化した論理モジュールグループ毎に通常セルを仮配置し、
パワースイッチを前記論理モジュールグループの周辺に配置する
ことを特徴とする設計方法。

【請求項 2】

前記周辺に配置した前記パワースイッチの配置位置に基づいて、配置リージョンを作成
する

10

ことを特徴とする請求項 1 記載の設計方法。

【請求項 3】

前記チップに前記パワードメインを配置するフロアプランを行い、
前記フロアプランでは前記パワースイッチの配置を行わない

ことを特徴とする請求項 2 記載の設計方法。

【請求項 4】

前記グループ化は、前記グループ化の基準であるグループサイズに基づいて、前記論理
モジュールをグループ化する

ことを特徴とする請求項 3 記載の設計方法。

【請求項 5】

20

チップに配置されたパワードメイン毎に論理モジュールをグループ化し、
グループ化した論理モジュールグループ毎に通常セルを仮配置し、
パワースイッチを前記論理モジュールグループの周辺に配置する

処理をコンピュータに実行させる設計プログラム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、チップのパワーゲーティング設計に関する。

【背景技術】**【0002】**

30

近年、チップの消費電力を低減するパワーゲーティングがチップ内に搭載されるよう
になっている。

【0003】

例えば、複数のコアセルが配列されて成るセル領域と、セル領域毎に対応して配置され
た電源スイッチとを設け、それぞれコアセル単位で複数の電源遮断エリアを形成し、電源
遮断エリア毎に、電源遮断を可能とする半導体集積回路等が知られている。

【0004】

また、半導体チップに形成されているコア領域を複数の機能ブロックに分離し、分離し
ている各機能ブロックの境界に複数の電源スイッチを配列し、各機能ブロックへの基準電
位の供給および停止を制御する半導体装置、内部電圧線に接続される 2 本の電圧セル線と
、スイッチ制御線に接続される制御セル線と、トランジスタと、を有するスイッチセルが
、回路ブロックの周囲の四方全てに配置される半導体集積回路等が提案されている。

40

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】国際公開 2006 / 114875 号公報パンフレット

【特許文献 2】特開 2008 - 251835 号公報

【特許文献 3】特開 2009 - 170707 号公報

【発明の概要】**【発明が解決しようとする課題】**

50

【 0 0 0 6 】

低消費電力化技術としてパワースイッチ（以下、P S Wと言う）を適用したオンチップパワーゲーティング設計には、リング型P S W（マクロ型）と、カラム型P S W（スタンダードセル型）とがある。両者のトレードオフは以下の通りである。

・ペリフェラルI / Oの場合のI Rドロップ

両者において、I Rドロップはチップ内において均一である。

・エリアI / Oの場合のI Rドロップ

リング型P S Wでは、パワードメインの外周部のP S Wを経由して電源供給するため、P D中央部でI Rドロップが大きくなるという欠点がある。

【 0 0 0 7 】

一方、カラム型P S Wでは、P D内部領域に配置された電源バンクから最短領域で電源供給可能であるため、I Rドロップが発生し難い。

・タイミング収束性

リング型P S Wでは良好であるが、カラム型P S Wでは、P D内に配置されたP S Wによりセルの最適な配置が阻害される場合があり、タイミング収束性が、リング型P S W程に良好ではない。

【 0 0 0 8 】

しかしながら、エリアI / Oを採用した設計では、カラム型P S Wを採用するのが主流である。

【 0 0 0 9 】

従って、1つの側面において、本発明は、カラム型P S Wを採用したL S I（Large Scale Integration）設計において、タイミング収束性を改善することである。

【 課題を解決するための手段 】

【 0 0 1 0 】

本実施例の一態様によれば、コンピュータによって実行される設計方法であって、チップに配置されたパワードメイン毎に論理モジュールをグループ化し、グループ化した論理モジュールグループ毎に通常セルを仮配置し、パワースイッチを前記論理モジュールグループの周辺に配置することを特徴とする設計方法が提供される。

【 発明の効果 】

【 0 0 1 1 】

本実施例の一態様によれば、タイミング収束性を改善することができる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 パワーゲーティングの構成例を示す図である。

【 図 2 】 P S Wの代表的な配置例を示す図である。

【 図 3 】 リング型P S Wとカラム型P S Wの特徴を説明するための図である。

【 図 4 】 タイミング収束性が悪化する例を説明するための図である。

【 図 5 】 本実施例におけるカラム型P S Wの配置結果例を示す図である。

【 図 6 】 配置リージョンの例を示す図である。

【 図 7 】 設計装置のハードウェア構成を示す図である。

【 図 8 】 設計装置の機能構成例を示す図である。

【 図 9 】 ネットリストの構成例を示す図である。

【 図 1 0 】 フロアプラン部によるパワードメインの配置位置の決定例を示す図である

【 図 1 1 】 グループ化処理を説明するためのフローチャート図である。

【 図 1 2 】 グループ化処理の結果例を模擬的に示した図である。

【 図 1 3 】 電源バンクの配置間隔と論理モジュールグループの配置領域との関係を説明するための図である。

【 図 1 4 】 仮配置処理を説明するための図である。

【 図 1 5 】 仮配置処理の結果例を説明するための図である。

【 図 1 6 】 仮配置処理を説明するためのフローチャート図である。

10

20

30

40

50

【図17】 P S W配置処理を説明するためのフローチャート図である。

【図18】 P S W配置部による P S W配置処理例を示す図である。

【図19】 配置リージョン設定処理を説明するためのフローチャート図である。

【図20】 物理情報に記憶されるデータ例を示す図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施の形態を図面に基づいて説明する。

【0014】

パワーゲーティングとは、一時的に動作していない回路へ電源を遮断することでリーク電流を削減する技術であり、チップ内部で電源制御を行う方式をオンチップパワーゲーティングと言う。

10

【0015】

図1は、パワーゲーティングの構成例を示す図である。図1に示すチップ1は、P M U (Power Management Unit) 3と、P S W (Power SWitch) 2と、P D (Power Domain) 4と、アイソレータ5とを有する。P D 4は複数あってもよい。

【0016】

P M U 3は、電源制御を行う論理回路であり、クロック供給源3 aと、F F (フリップフロップ) 3 b、3 c、及び3 dとを有する。クロック供給源3 aからの信号に応じて、P D 4に対する電源制御が行われる。

【0017】

F F 3 bは、P S W制御信号を送出し、P S W 2のON/OFFを制御して、電源制御の対象となるP D 4の低消費電力化を行う。F F 3 cは、アイソレータ5へ電源ON/OFFの信号を送出する。F F 3 dは、P D 4に対してクロックゲーティングを行うための、クロック制御信号を送出する。

20

【0018】

P S W 2は、電源電圧V D DのP D 4への供給を、P M U 3からのP S W制御信号に応じて電源の供給をON又はOFFする。P D 4は、電源電圧V S Sに接続され、P M U 3による電源制御により、実際にはVirtual V D Dが印加されることにより動作する。アイソレータ5は、電源ON/OFFによる不定伝播を抑止する。

【0019】

図2は、P S Wの代表的な配置例を示す図である。図2(A)では、リング型(マクロ型) P S Wの配置例を示している。リング型(マクロ型)のP S W 2 aの形状は、正方形(または、長方形)であり、図2(B)のカラム型P S W 2 bよりサイズが大きい。P D 4 aの周辺にP S W 2 aが配置される。

30

【0020】

図2(B)では、カラム型(スタンダードセル型) P S Wの配置例を示している。カラム型P S W 2 bの形状は、長方形である。カラム型P S W 2 bでは、主に、縦型配置、横型配置、千鳥型配置等がある。

【0021】

縦型配置では、カラム型P S W 2 bの長辺同士を、隙間を空けずに隣り合わせた列をP D 4 b内部に所定間隔で配置する。横型配置では、カラム型P S W 2 bの短辺同士を、隙間を空けずに隣り合わせた列をP D 4 b内部に所定間隔で配置する。千鳥型配置では、縦型配置において、カラム型P S W 2 bを所定間隔で配置する。

40

【0022】

図3は、リング型P S Wとカラム型P S Wの特徴を説明するための図である。図3において、エリアI/Oを採用したチップ1内に、リング型P S Wとカラム型P S Wを配置した場合で、I Rドロップを説明する。

【0023】

チップ1内の電源パンプ1 bは、エリアI/O領域に配置された電源I/Oから電源供給を受ける。

50

【 0 0 2 4 】

P D 6 a は、リング型 P S W 2 a が周辺に配置されたパワードメインである。P D 6 a のリング型 P S W 2 a のなかには、内部に配置された電源バンク 1 b から電源供給を受ける場合がある。この場合、P D 6 a 内に配置された通常セル 7 に、P D 6 a の外周部のリング型 P S W 2 a を経由して電源が供給される。よって、I R ドロップが発生し易い。

【 0 0 2 5 】

P D 6 b は、カラム型 P S W 2 b が内部に配置されたパワードメインである。P D 6 b のカラム型 P S W 2 b は、内部に配置された電源バンク 1 b から電源供給を受け、近傍の通常セル 7 に電源を供給することができる。従って、リング型 P S W 2 a を配置した P D 6 a と比べた場合、I R ドロップを小さくすることができる。

10

【 0 0 2 6 】

しかしながら、カラム型 P S W 2 b はタイミング収束性を悪化させる場合がある。千鳥型配置でタイミング収束性が悪化する場合は説明する。図 4 は、タイミング収束性が悪化する例を説明するための図である。図 4 に示す P D 6 c において、カラム型 P S W 2 b - 1 及び 2 b - 2 は、電源配線との接続を持つため、通常、配置後に移動することができない。

【 0 0 2 7 】

新規セル 7 a をカラム型 P S W 2 b - 1 に隣接する通常セル 7 b の左側の領域に追加する場合、この領域が新規セル 7 a のサイズより狭いと、新規セル 7 a の追加によって、通常セル 7 b と新規セル 7 a とにおいてセルオーバーラップが発生する。

20

【 0 0 2 8 】

このセルオーバーラップを解消するために、通常セル 7 b を隣接するカラム型 P S W 2 b - 1 の左側から反対側の右側へと配置を変更（セルジャンプ）することが考えられる。このようなセルジャンプは、新規セル 7 a と通常セル 7 b 間のタイミングを悪化させてしまう。よって、セル配置変更後のタイミング検証では、収束性が悪くなる。

【 0 0 2 9 】

また、カラム型 P S W 2 b - 2 の左側に隣接する通常セル 7 c のサイズを変更して大きくした場合、通常セル 7 c と、通常セル 7 c の左側に隣接する通常セル 7 d とにおいてセルオーバーラップが発生する。

【 0 0 3 0 】

このセルオーバーラップを解消するために、通常セル 7 c を近傍の空いている領域、例えば、カラム型 P S W 2 b - 2 の上辺に配置を変更（セルジャンプ）することが考えられる。このようなセルジャンプは、通常セル 7 d とサイズを変更した通常セル 7 c 間のタイミングを悪化させてしまう。よって、セル配置変更後のタイミング検証では、収束性が悪くなる。

30

【 0 0 3 1 】

このようなタイミング収束性の悪化は、R O W 使用率が高ければ高いほど、つまり、R O W に対するセル数が多ければ多い程、顕著になる。また、パフォーマンス（クロック周波数）が高ければ高い程、タイミング収束性の悪化が顕著になる。

【 0 0 3 2 】

上述では、千鳥配置の例で説明しているが、縦配置及び横配置の方が、まとまった障害物になるため、よりセルジャンプが起こりやすい。タイミング収束性の悪化は、カラム型 P S W 2 b に共通の課題と言える。

40

【 0 0 3 3 】

本実施例では、図 5 に例示されるように、カラム型 P S W を配置することにより、タイミング収束性を改善する。図 5 は、本実施例におけるカラム型 P S W 2 b の配置結果例を示す図である。

【 0 0 3 4 】

図 5 において、チップの一つの P D __ 1 にてカラム型 P S W 2 b の配置結果例を示す。P D __ 1 内において、論理モジュールグループ M 1 に属する複数の通常セル 7 g、論理モ

50

ジュールグループ M2 に属する複数の通常セル 7u、論理モジュールグループ M3 に属する複数の通常セル 7y、・・・、論理モジュールグループ Mi に属する複数の通常セル 7p 等を、論理モジュールグループ毎に囲むようにカラム型 P S W 2 b (以下、簡潔に「P S W 2 b」と言う)を配置する。

【0035】

即ち、本実施例では、以下の処理を行う。

- ・任意の論理モジュールグループに属するセルの配置領域の周辺にカラム型 P S W 2 b を配置する。
- ・任意の論理モジュールの配置領域を囲むように、配置リージョンを設定する。

【0036】

図6は、配置リージョンの例を示す図である。図6において、本実施例では、任意の論理モジュールグループに属する通常セル7の配置領域を囲むように、配置リージョン8を設定する。配置リージョン8に囲まれるセルは、その配置リージョン8外に配置することはできない。つまり、論理モジュールグループ内のセルは、P S W 2 b を越えてジャンプして配置することはできない。

10

【0037】

本実施例に係る設計装置は、図7に示すようなハードウェア構成を有する。図7は、設計装置のハードウェア構成を示す図である。図7において、設計装置100は、コンピュータによって制御される端末であって、CPU (Central Processing Unit) 11と、主記憶装置12と、補助記憶装置13と、入力装置14と、表示装置15と、通信I/F (インターフェース) 17と、ドライブ装置18とを有し、バスBに接続される。

20

【0038】

CPU 11は、主記憶装置12に格納されたプログラムに従って設計装置100を制御する。主記憶装置12には、RAM (Random Access Memory)、ROM (Read Only Memory) 等が用いられ、CPU 11にて実行されるプログラム、CPU 11での処理に必要なデータ、CPU 11での処理にて得られたデータ等を格納する。また、主記憶装置12の一部の領域が、CPU 11での処理に利用されるワークエリアとして割り付けられている。

【0039】

補助記憶装置13には、ハードディスクドライブが用いられ、各種処理を実行するためのプログラム等のデータを格納する。補助記憶装置13に格納されているプログラムの一部が主記憶装置12にロードされ、CPU 11に実行されることによって、各種処理が実現される。記憶部130は、主記憶装置12及び/又は補助記憶装置13を有する。

30

【0040】

入力装置14は、マウス、キーボード等を有し、ユーザが設計装置100による処理に必要な各種情報を入力するために用いられる。表示装置15は、CPU 11の制御のもとに必要な各種情報を表示する。通信I/F 17は、例えばインターネット、LAN (Local Area Network) 等に接続し、外部装置との間の通信制御をするための装置である。通信I/F 17による通信は無線又は有線に限定されるものではない。

設計装置100によって行われる処理を実現するプログラムは、例えば、CD-ROM (Compact Disc Read-Only Memory) 等の記憶媒体19によって設計装置100に提供される。

40

【0041】

ドライブ装置18は、ドライブ装置18にセットされた記憶媒体19 (例えば、CD-ROM等)と設計装置100とのインターフェースを行う。

【0042】

また、記憶媒体19に、後述される本実施例に係る種々の処理を実現するプログラムを格納し、この記憶媒体19に格納されたプログラムは、ドライブ装置18を介して設計装置100にインストールされる。インストールされたプログラムは、設計装置100により実行可能となる。

50

【 0 0 4 3 】

尚、プログラムを格納する媒体として C D - R O M に限定するものではなく、コンピュータが読み取り可能な媒体であればよい。コンピュータ読取可能な記憶媒体として、C D - R O M の他に、D V D ディスク、U S B メモリ等の可搬型記録媒体、フラッシュメモリ等の半導体メモリであっても良い。

【 0 0 4 4 】

図 8 は、設計装置の機能構成例を示す図である。図 8 において、設計装置 1 0 0 は、主に、フロアプラン部 4 0 と、P S W 配置位置決定部 5 0 と、レイアウト設計部 6 0 とを有する。フロアプラン部 4 0 と、P S W 配置位置決定部 5 0 と、レイアウト設計部 6 0 とは、C P U 1 1 が対応するプログラムを実行することによる処理によって実現される。また、記憶部 1 3 0 は、設計仕様情報 3 0、ネットリスト 3 1、物理情報 3 2、セルライブラリ 3 3 等を記憶する。

10

【 0 0 4 5 】

フロアプラン部 4 0 は、ネットリスト 3 1 及び設計仕様情報 3 0 に基づいて、チップ内に、複数の論理モジュールを含む各 P D の配置位置を決定する。各 P D 配置位置を示す物理情報 3 2 が記憶部 1 3 0 に出力される。本実施例では、フロアプラン部 4 0 において、P D 毎の P S W の配置位置を決定しない。

【 0 0 4 6 】

P S W 配置位置決定部 5 0 は、P D 毎に P D 内の P S W の配置位置を決定する。P S W 配置位置決定部 5 0 は、グループ化部 5 1 と、仮配置部 5 2 と、P S W 配置部 5 3 と、配置リージョン設定部 5 4 とを有する。

20

【 0 0 4 7 】

グループ化部 5 1 は、ネットリスト 3 1 に基づいて、P D 毎に、設計仕様情報 3 0 を参照して論理モジュールをグループ化する。

【 0 0 4 8 】

仮配置部 5 2 は、通常セルを仮配置する。仮配置部 5 2 は、カラム型 P S W のサイズ分の領域を確保して、電源制御される P D 毎に P D 内に通常セルを仮配置する。つまり、カラム型 P S W を配置する領域には、通常セルを仮配置しない。カラム型 P S W を配置する領域は、各論理モジュールの周辺に確保される。また、チップ内の電源制御されない領域においても、通常セルを仮配置する。記憶部 1 3 0 に記憶された物理情報 3 2 に、通常セルの配置位置が追加される。

30

【 0 0 4 9 】

P S W 配置部 5 3 は、各 P D に対して、論理モジュール毎に論理モジュールの周辺に確保した領域に P S W を配置する。物理情報 3 2 に、P S W の配置位置が追加される。

【 0 0 5 0 】

配置リージョン設定部 5 4 は、物理情報 3 2 を参照して、論理モジュールグループ周辺の P S W の配置位置を示す P S W 座標に基づいて、通常セルが配置される境界を示す配置リージョンを設定する。物理情報 3 2 に、配置リージョン毎に配置リージョンを表す座標群が追加される。

【 0 0 5 1 】

レイアウト設計部 6 0 は、ネットリスト 3 1 及び物理情報 3 2 を用いて、レイアウト設計を行う。

40

【 0 0 5 2 】

フロアプラン部 4 0 の処理後に、本実施例に係る P S W 配置位置決定部 5 0 による処理を行うことで、レイアウト設計部 6 0 では、配置リージョンに従って通常セルの配置が定まるため、通常セルが、配置リージョンを超えて、即ち、P S W をジャンプして配置されることがない。従って、本実施例の適用のない、フロアプラン部 4 0 によって P S W を所定の配置方法によって配置した後に通常セルを仮配置した場合に比べて、チップのレイアウト後のタイミング検証において収束性を良くすることができる。

【 0 0 5 3 】

50

設計仕様情報 30 は、開発するチップの設計仕様が示されている。ネットリスト 31 は、セル間の接続情報を含む。また、ネットリスト 31 は、論理モジュールを階層構造で示した情報を含んでいる (図 9)。物理情報 32 には、PD の配置位置、通常セルの配置位置、PSW の配置位置、及び配置リージョンの配置位置の座標が記憶される。セルライブラリ 33 には、カラム型 PSW 2 b 等を含む複数種類のセルの情報がライブラリとして記憶されている。

【 0054 】

PSW 配置位置決定部 50 が参照するネットリスト 31 の構成例を図 9 で説明する。図 9 は、ネットリストの構成例を示す図である。図 9 において、ネットリスト 31 では、論理モジュール A、B、C、・・・、aa、ab、ac、・・・aa1、aa2、aa3、・・・が階層構造で示されている。

10

【 0055 】

最上位の論理モジュール A、B、C 等が、夫々、PD__1、PD__2、PD__3 等に相当する例を示しているが、ネットリスト 31 には、これらの論理モジュール以外に電源制御を行わない、つまり、常時電源 ON 状態とする論理モジュールの情報も含まれている。

【 0056 】

論理モジュール毎に、論理モジュールを構成する論理モジュールが示される。例えば、最上位層の論理モジュール A は、論理モジュール aa、ab、ac、・・・を含む。更に、モジュール aa は、論理モジュール aa1、aa2、aa3、・・・を含む。

20

【 0057 】

グループ化部 51 によって、例えば、論理モジュール aa が論理モジュールグループ M1 に分類される。つまり、論理モジュール aa に含まれる論理モジュール aa1、aa2、aa3、・・・が同じ論理モジュールグループ M1 に分類される。

【 0058 】

論理モジュール ab1 が論理モジュールグループ M2 に分類される。つまり、論理モジュール ab1 のみが論理モジュールグループ M2 に分類される。また、論理モジュール ab2 のみが論理モジュールグループ M3 に分類される。

【 0059 】

以下に、設計装置 100 における各処理について説明する。まず、フロアプラン部 40 による PD の配置位置の決定について図 10 で説明する。図 10 は、フロアプラン部によるパワードメインの配置位置の決定例を示す図である。

30

【 0060 】

図 10 において、フロアプラン部 40 は、ネットリスト 31 を参照して、エリア I/O を採用したチップ 10 のセル配置領域 10a に PD__1、PD__2、PD__3、・・・PD__n (以下、総称して「PD」と言う) の配置位置を決定する。パワードメインに配置する論理モジュールは、設計仕様情報 30 で定められている。

【 0061 】

次に、グループ化部 51 によるグループ化処理について図 11 で説明する。図 11 は、グループ化処理を説明するためのフローチャート図である。図 11 において、グループ化部 51 は、全ての PD 内の論理モジュールはグループに属しているか否かを判断する (ステップ S11)。

40

【 0062 】

全ての PD 内の論理モジュールがグループに属している場合 (ステップ S11 の YES)、グループ化部 51 は、このグループ化処理を終了する。次に、仮配置部 52 による仮配置処理が実行される。

【 0063 】

一方、全ての PD 内の論理モジュールがグループに属していない場合 (ステップ S11 の NO)、グループ化部 51 は、任意の PD を選択する (ステップ S12)。

【 0064 】

そして、グループ化部 51 は、全ての論理モジュールはグループに属しているか否かを

50

判断する(ステップS13)。全ての論理モジュールがグループに属している場合(ステップS13のYES)、グループ化部51は、ステップS11へ戻り、上述同様の処理を実行する。

【0065】

全ての論理モジュールがグループに属していない場合(ステップS13のNO)、グループ化部51は、論理階層の上位層から順番に任意の論理モジュールを選択する(ステップS14)。論理階層において、同一レベルの論理モジュールを選択する順番は任意である。

【0066】

そして、グループ化部51は、選択した論理モジュールが0.1Mgateであるか否かを判断する(ステップS15)。0.1Mgate以下である場合(ステップS15のYES)、グループ化部51は、論理モジュールを論理モジュールグループとし(ステップS18)、ステップS13へと戻り、上述同様の処理を繰り返す。

10

【0067】

一方、0.1Mgateを超える場合(ステップS15のNO)、グループ化部51は、当該論理モジュールの1つ下に論理階層が存在するか否かを判断する(ステップS16)。論理階層が存在しない場合(ステップS16のNO)、グループ化部51は、論理モジュールを論理モジュールグループとし(ステップS18)、ステップS13へと戻り、上述同様の処理を繰り返す。

【0068】

ステップS18において、論理モジュールグループを決定した際に、PD毎に、論理モジュールグループとして判断した論理モジュールの識別情報を対応づけた論理モジュールグループ情報34を記憶部130に記憶する。

20

【0069】

一方、論理階層が存在する場合(ステップS16のYES)、グループ化部51は、論理モジュールの1つ下の論理階層の任意の論理モジュールを選択する(ステップS17)。論理階層において、同一レベルの論理モジュールを選択する順番は任意である。そして、ステップS15へと戻り、上述同様の処理を繰り返す。

【0070】

図12は、グループ化処理の結果例を模擬的に示した図である。図12では、PD__1のグループ化処理の結果例を示している。PD__1内に配置される全ての論理モジュールが、論理モジュールグループ1、2、3、・・・nにグループ化される。

30

【0071】

一般的にパワードメインは5M~10Mgate程度の回路規模であるため、上述したグループ化処理によって、凡そ50~100程度の論理モジュールグループ数となる。

【0072】

上述したグループ化処理では、0.1Mgate規模で論理モジュールをグループ化しているが、この値はデザインやテクノロジーによって変えてもよい。また、グループ化処理に対応するプログラムにおいて、ユーザ等によって設定可能な変数にしても良い。28nmデザインの場合、0.1Mgate規模が実施例として適切な値である。

40

【0073】

図13は、電源パンプの配置間隔と論理モジュールグループの配置領域との関係を説明するための図である。図13で示すように、電源パンプ1bの配置間隔と論理モジュールグループMpの配置エリアが同等になるように調整することが、IRドロップを低減する観点において最適な実施例となる。PSW2bが電源パンプ1bの近傍に配置されるため、IRドロップを低減できる。

【0074】

次に、仮配置部52による仮配置処理について説明する。図14は、仮配置処理を説明するための図である。図14において、仮配置部52による仮配置処理では、既知の技術を用いる。セル配置コマンドを使用して、チップ全体のセル配置が実施される。

50

【 0 0 7 5 】

その結果、チップ 1 0 内の、電源制御される P D _ 1 ~ P D _ n 内及び常時電源供給される P D _ 1 ~ P D _ n 以外の領域に通常セル 7 が配置される。通常セル 7 の配置位置は、物理情報 3 2 に記憶される。

【 0 0 7 6 】

仮配置処理において、下記に示す処理を考慮した通常セル 7 の配置を行うことが望ましい。

[1] グループ化部 5 1 によってグループ化された各論理モジュールグループにおいて、通常セル 7 がばらばらにならないようにまとめて配置する。

[2] 論理モジュールグループ毎に通常セル 7 をまとめて配置する際に、論理モジュールグループの配置領域の周辺に、使用するカラム型 P S W 2 b の大きさ分の領域を確保する。更に、最適化等で通常セル 7 の配置領域が増加することを考慮して、P S W 2 b の配置予定の領域にマージンを設けて確保することがより好ましい。

【 0 0 7 7 】

仮配置部 5 2 による仮配置処理の結果例について説明する。図 1 5 は、仮配置処理の結果例を説明するための図である。

【 0 0 7 8 】

図 1 5 (A) では、上記処理 [2] を考慮しなかった場合の通常セル 7 を配置した場合を示している。この例では、論理モジュールグループ M 1、M 2、及び M 3 毎に通常セル 7 がまとまるように配置されているが、論理モジュールグループ間には、P S W 2 b を配置するための十分な領域が確保されていない。各論理モジュールグループ M 1、M 2、及び M 3 の周辺に P S W 2 b を配置することができない。

【 0 0 7 9 】

一方、図 1 5 (B) では、上記処理 [1] 及び [2] を考慮した本実施例における、通常セル 7 を配置した場合を示している。この例では、論理モジュールグループ M 1、M 2、及び M 3 毎に通常セル 7 がまとまるように配置し、かつ、論理モジュールグループ間には、P S W 2 b を配置するための十分な領域を確保したため、各論理モジュールグループ M 1、M 2、及び M 3 の周辺に P S W 2 b を配置することができている。

【 0 0 8 0 】

図 1 6 は、仮配置処理を説明するためのフローチャート図である。図 1 6 において、仮配置部 5 2 は、設計仕様情報 3 0 に基づいて、セルライブラリ 3 3 から、カラム型 P S W 2 b を選択し (ステップ S 2 1)、P S W 2 b のサイズを取得する (ステップ S 2 2)。選択された P S W 2 b のサイズを示す P S W サイズ情報 3 3 - 2 が記憶部 1 3 0 に記憶される。

【 0 0 8 1 】

ステップ S 2 3 ~ S 2 7 は、仮配置部 5 2 のセル配置本体部分での処理に相当する。

【 0 0 8 2 】

仮配置部 5 2 は、全 P D 内部の論理モジュールグループの配置が完了しているか否かを判断する (ステップ S 2 3)。全 P D 内部の論理モジュールグループの配置が完了している場合 (ステップ S 2 3 の Y E S)、仮配置部 5 2 は、この仮配置処理を終了する。そして、P S W 配置部 5 3 による P S W 配置処理が実行される。

【 0 0 8 3 】

一方、全 P D 内部の論理モジュールグループの配置が完了していない場合 (ステップ S 2 3 の N O)、仮配置部 5 2 は、論理モジュールグループ情報 3 4 から任意の P D を選択し (ステップ S 2 4)、P D 内部の全論理モジュールグループの配置が完了しているか否かを判断する (ステップ S 2 5)。

【 0 0 8 4 】

P D 内部の全論理モジュールグループの配置が完了している場合 (ステップ S 2 5 の Y E S)、仮配置部 5 2 は、ステップ S 2 3 へと戻り、上記同様の処理を繰り返す。一方、P D 内部の全論理モジュールグループの配置が完了していない場合 (ステップ S 2 5 の N

10

20

30

40

50

0)、仮配置部52は、任意の論理モジュールグループを論理モジュールグループ情報34から選択する(ステップS26)。

【0085】

そして、仮配置部52は、セル配置コマンド(既知の技術)を使い、選択した論理モジュールグループの周辺部に、PSWサイズ情報33-2で示されるPSWサイズ分の配置領域を確保しながら、論理モジュールグループを配置する(ステップS27)。論理モジュールグループに属する通常セル7がチップ10に配置される。通常セル7の配置位置が物理情報32に記憶される。その後、仮配置部52は、ステップS23へと戻り、上記同様の処理を繰り返す。

【0086】

PDに対する処理の完了は、各PDの識別情報に対応させてPDフラグを設けることにより確認可能である。同様に、論理モジュールグループに対する処理の完了は、各論理モジュールグループの識別情報に対応させてLMGフラグを設けることにより確認可能である。処理を完了したときに対応するPDフラグ或いはLMGフラグに「1」を設定すれば良い。以下の処理においても同様である。

【0087】

PSW配置部53によるPSW配置処理について図17で説明する。図17は、PSW配置処理を説明するためのフローチャート図である。図17において、PSW配置部53は、論理モジュールグループ情報34から、任意のPDを選択し(ステップS31)、更に、選択したPD内の任意の論理モジュールグループを選択する(ステップS32)。

【0088】

PSW配置部53は、選択した論理モジュールグループの周りにPSW2bを配置する(ステップS33)。PSW2bの配置位置が物理情報32に記憶される。

【0089】

そして、PSW配置部53は、未処理の論理モジュールグループが残っているか否かを判断する(ステップS34)。残っている場合(ステップS34のYES)、PSW配置部53は、ステップS32へと戻り、上記同様の処理を繰り返す。

【0090】

一方、残っている場合(ステップS34のNO)、PSW配置部53は、未処理のPDが残っているか否かを判断する(ステップS35)。残っている場合(ステップS35のYES)、PSW配置部53は、ステップS31へと戻り、上記同様の処理を繰り返す。一方、残っていない場合(ステップS35のNO)、PSW配置部53は、このPSW配置処理を終了する。そして、配置リージョン設定部54による配置リージョン設定処理が実行される。

【0091】

次に、PSW配置部53によるPSW配置処理例を説明する。図18は、PSW配置部によるPSW配置処理例を示す図である。図18(A)は、PD__1に対する仮配置処理を行った結果例を示している。この状態では、通常セル7が仮配置されたのみで、PSW2bは配置されていない。よって、物理情報32には、PD__1、PD__2、PD__3、・・・の配置位置と、通常セル7の配置位置のみが記憶されている。

【0092】

図18(B)は、PD__1に対するPSW配置処理を行った結果例を示している。PSW配置処理が実行されことにより、論理モジュールグループM1、M2、M3、・・・の夫々の周りにPSW2bが配置されている。ここで、物理情報32に、PSWの配置位置が追加して記憶される。

【0093】

次に、配置リージョン設定部54による配置リージョン設定処理を説明する。図19は、配置リージョン設定処理を説明するためのフローチャート図である。図19において、配置リージョン設定部54は、論理モジュールグループ情報34を参照して、全PD内部の論理モジュールグループに配置リージョンが設定されているか否かを判断する(ステッ

10

20

30

40

50

プ S 4 1)。

【 0 0 9 4 】

配置リージョン設定部 5 4 は、論理モジュールグループ情報 3 4 から、任意の P D を選択して (ステップ S 4 2)、P D 内部の全論理モジュールグループに配置リージョンが設定されているか否かを判断する (ステップ S 4 3)。配置リージョンが設定されている場合 (ステップ S 4 3 の Y E S)、配置リージョン設定部 5 4 は、ステップ S 4 1 へと戻り、上記同様の処理を繰り返す。

【 0 0 9 5 】

一方、配置リージョンが設定されていない場合 (ステップ S 4 3 の N O)、配置リージョン設定部 5 4 は、論理モジュールグループ情報 3 4 から任意の論理モジュールグループを選択する (ステップ S 4 4)。

10

【 0 0 9 6 】

そして、配置リージョン設定部 5 4 は、論理モジュールグループの周辺の P S W の配置位置を示す P S W 座標に合わせて、配置リージョンを作成し (ステップ S 4 5)、ステップ S 4 3 へと戻り、上記同様の処理を繰り返す。物理情報 3 2 には、配置リージョンを表す座標群が記憶される。

【 0 0 9 7 】

次に、本実施例において物理情報 3 2 に記憶されるデータ例について説明する。図 2 0 は、物理情報に記憶されるデータ例を示す図である。図 2 0 において、フロアプラン部 4 0 によって、物理情報 3 2 に、各パワードメインの配置位置を座標で示した P D 配置位置情報 3 2 a が記憶される。P D 配置位置情報 3 2 a では、パワードメインの識別情報である P D _ 1、P D _ 2、・・・、P D _ n の夫々に対応付けて配置位置の座標が記憶される。

20

【 0 0 9 8 】

また、グループ化部 5 1 によって、物理情報 3 2 の P D 配置位置情報 3 2 a に対して、P D 毎にグループ化した論理モジュールを示すグループ情報が付加される。図 9 の例において、P D _ 1 には論理モジュールの識別情報である a a が対応づけられ、P D _ 2 には論理モジュールの識別情報である a b 1 が対応づけられ、P D _ 3 には論理モジュールの識別情報である a b 2 が対応づけられれば良い。

【 0 0 9 9 】

仮配置部 5 2 によって、物理情報 3 2 に、通常セル 7 の配置位置を座標で示した通常セル配置位置情報 3 2 b が記憶される。通常セル配置位置情報 3 2 b では、通常セル 7 の識別情報である S _ c e l l _ 1、S _ c e l l _ 2、・・・、S _ c e l l _ n の夫々に対応付けて配置位置の座標が記憶される。

30

【 0 1 0 0 】

P S W 配置部 5 3 によって、物理情報 3 2 に、P S W 2 b の配置位置を座標で示した P S W 配置位置情報 3 2 c が記憶される。P S W 配置位置情報 3 2 c では、P S W 2 b の識別情報である P S W _ 1、P S W _ 2、・・・、P S W _ n の夫々に対応付けて配置位置の座標が記憶される。

【 0 1 0 1 】

配置リージョン設定部 5 4 によって、物理情報 3 2 に、配置リージョン 8 の配置位置を座標で示した配置リージョン配置位置情報 3 2 d が記憶される。配置リージョン配置位置情報 3 2 d では、配置リージョン 8 の識別情報である R E G I O N _ 1、R E G I O N _ 2、・・・、R E G I O N _ n の夫々に対応付けて配置位置の座標が記憶される。

40

【 0 1 0 2 】

上述したように、本実施例では、カラム型 P S W 2 b を採用した L S I 設計において、パワードメイン毎に論理モジュールをグループ化して通常セル 7 を仮配置した後に、P S W 2 b を論理モジュールグループの周辺に配置することで、タイミング収束性を改善することができる。

【 0 1 0 3 】

50

本発明は、具体的に開示された実施例に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

【0104】

以上の実施例を含む実施形態に関し、更に以下の付記を開示する。

(付記1)

コンピュータによって実行される設計方法であって、
チップに配置されたパワードメイン毎に論理モジュールをグループ化し、
グループ化した論理モジュールグループ毎に通常セルを仮配置し、
パワースイッチを前記論理モジュールグループの周辺に配置する
ことを特徴とする設計方法。

10

(付記2)

前記周辺に配置した前記パワースイッチの配置位置に基づいて、配置リージョンを作成する
ことを特徴とする付記1記載の設計方法。

(付記3)

前記チップに前記パワードメインを配置するフロアプランを行い、
前記フロアプランでは前記パワースイッチの配置を行わない
ことを特徴とする付記2記載の設計方法。

(付記4)

前記グループ化は、前記グループ化の基準であるグループサイズに基づいて、前記論理
モジュールをグループ化する
ことを特徴とする付記3記載の設計方法。

20

(付記5)

記憶部に格納された、前記フロアプランによって配置された前記パワードメインの配置
位置を記憶した物理情報に対して、
前記仮配置において、前記通常セルの配置位置を記憶し、
前記パワースイッチの配置において、前記論理モジュールグループの周辺に配置した前
記パワースイッチの配置位置を記憶し、
前記配置リージョンの作成において、前記配置リージョンの配置位置を記憶する
ことを特徴とする付記4又は5記載の設計方法。

30

(付記6)

チップに配置されたパワードメイン毎に論理モジュールをグループ化し、
グループ化した論理モジュールグループ毎に通常セルを仮配置し、
パワースイッチを前記論理モジュールグループの周辺に配置する
処理をコンピュータに実行させる設計プログラム。

(付記7)

チップに配置されたパワードメイン毎に論理モジュールをグループ化するグループ化部
と、
グループ化した論理モジュールグループ毎に通常セルを仮配置する仮配置部と、
パワースイッチを前記論理モジュールグループの周辺に配置するパワースイッチ配置部
と
を有することを特徴とする設計装置。

40

(付記8)

パワードメインを有するデバイスであって、
前記パワードメインに配置された通常セルはグループ化され、各グループの周辺にパワ
ースイッチが配置されていることを特徴とするデバイス。

【符号の説明】

【0105】

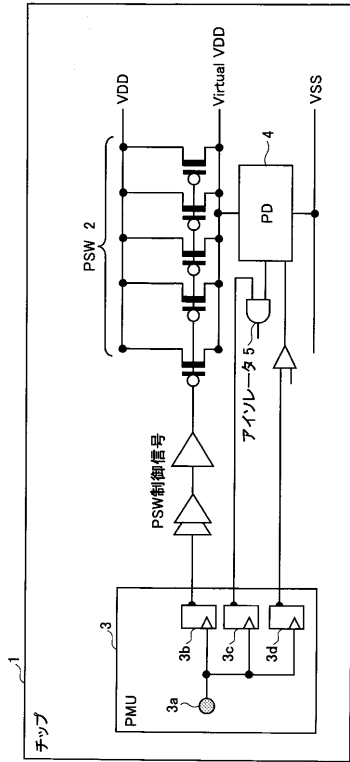
- 1、1 a、1 0 チップ
1 b 電源バンク

50

2	P S W	
2 a	リング型 P S W	
2 b	カラム型 P S W	
3	P M U	
4	P D	
5	アイソレータ	
7	通常セル	
8	配置リージョン	
1 1	C P U	
1 2	主記憶装置	10
1 3	補助記憶装置	
1 4	入力装置	
1 5	表示装置	
1 7	通信 I / F	
1 8	ドライブ	
1 9	記憶媒体	
3 0	設計仕様情報	
3 1	ネットリスト	
3 2	物理情報	
3 3	セルライブラリ	20
3 3 - 2	P S W サイズ情報	
3 4	論理モジュールグループ情報	
4 0	フロアプラン部	
5 0	P S W 配置位置決定部	
5 1	グループ化部	
5 2	仮配置部	
5 3	P S W 配置部	
5 4	配置リージョン設定部	
6 0	レイアウト設計部	
1 0 0	設計装置	30
1 3 0	記憶部	

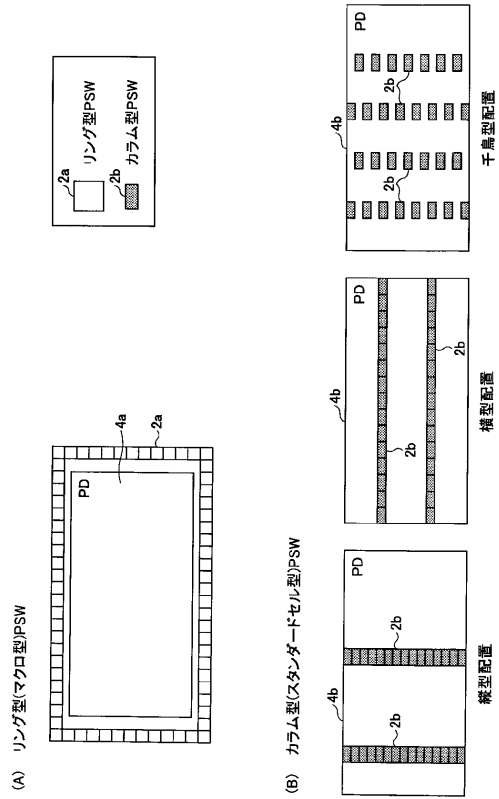
【 図 1 】

パワーゲーティングの構成例を示す図



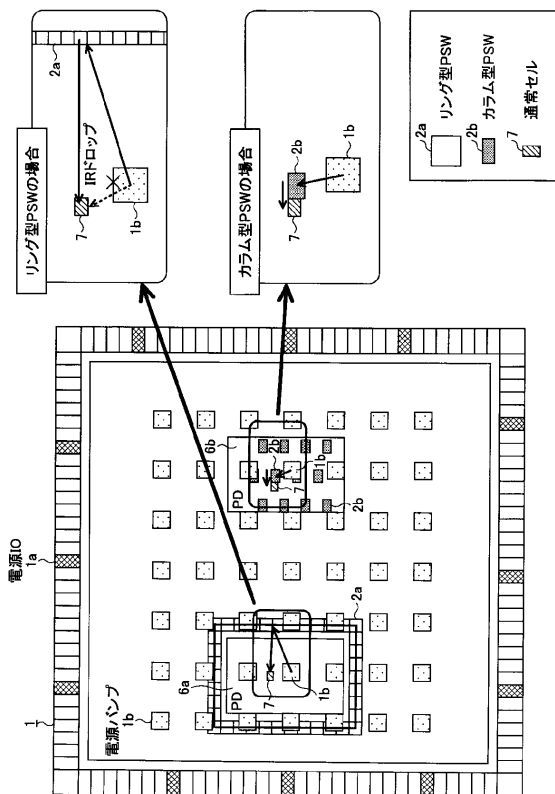
【 図 2 】

PSWの代表的な配置例を示す図



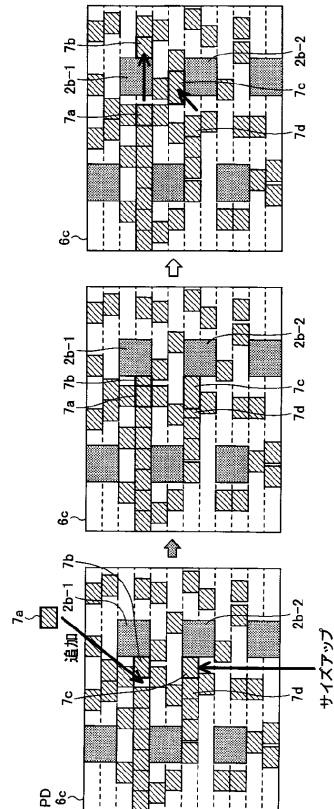
【 図 3 】

リング型PSWとカラム型PSWの特徴を説明するための図



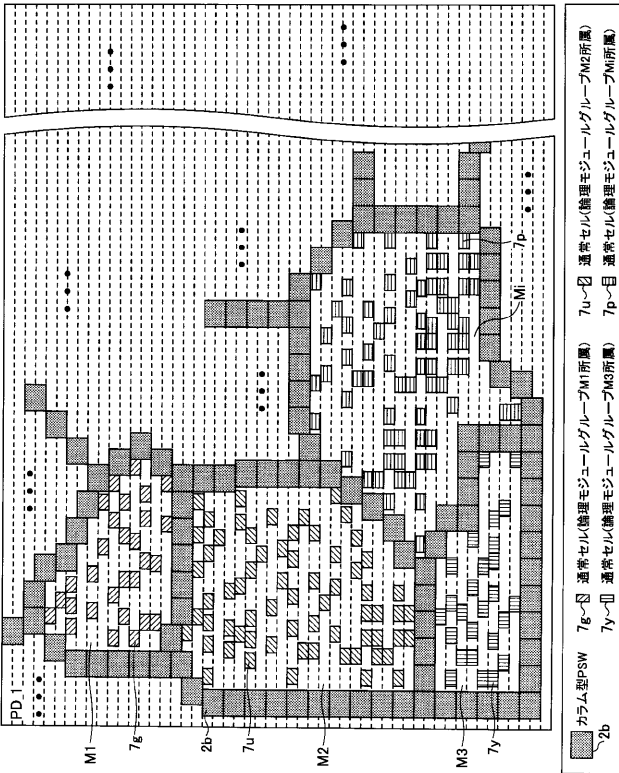
【 図 4 】

タイミング収束性が悪化する例を説明するための図



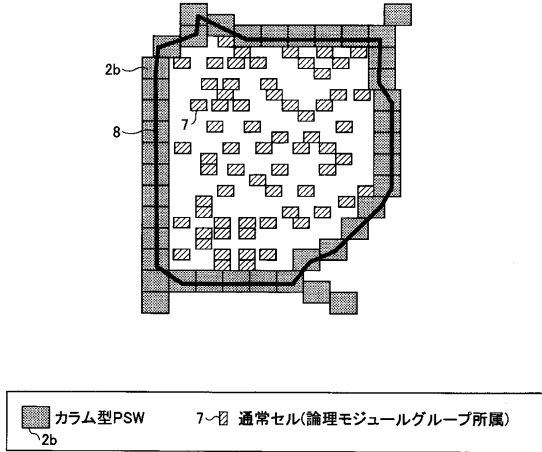
【図5】

本実施例におけるカラム型PSWの配置結果例を示す図



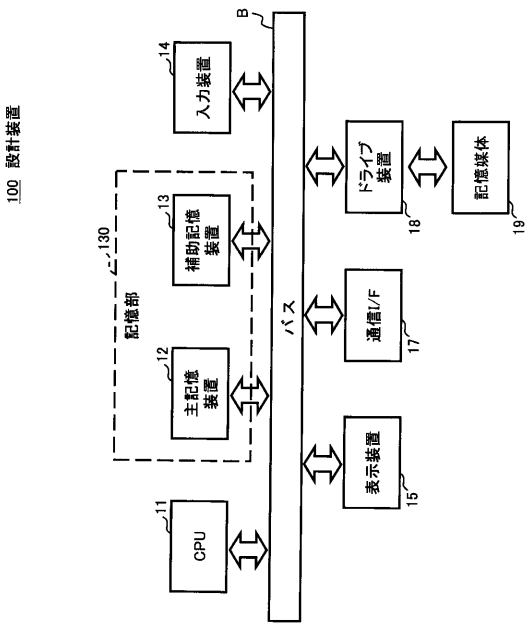
【図6】

配置リージョンの例を示す図



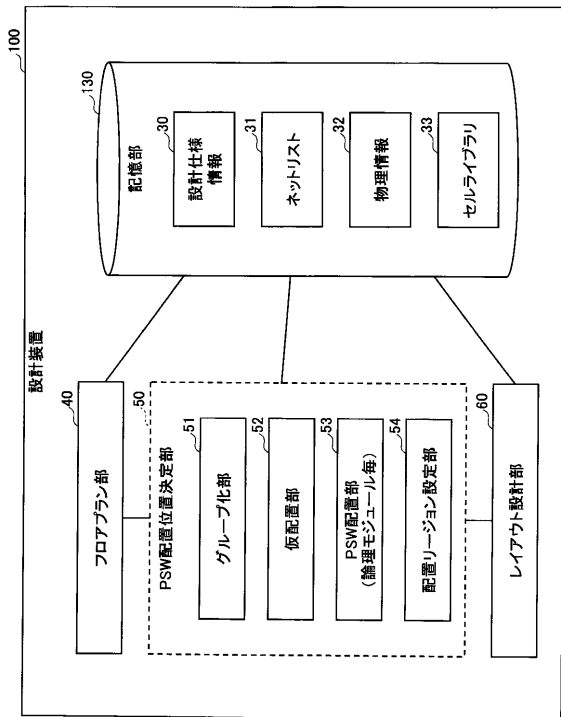
【図7】

設計装置のハードウェア構成を示す図



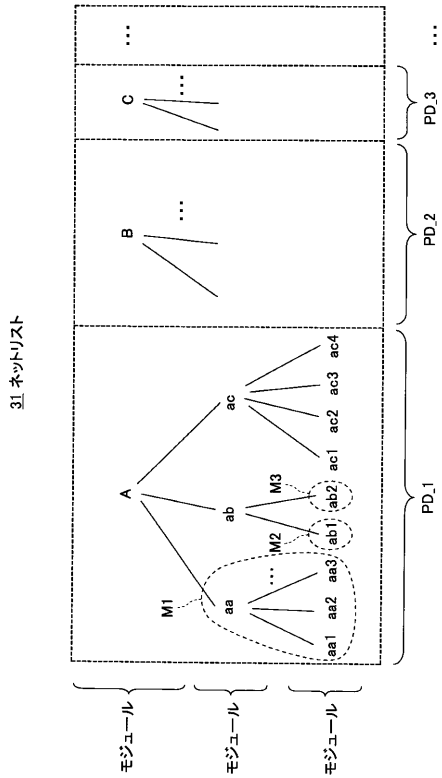
【図8】

設計装置の機能構成例を示す図



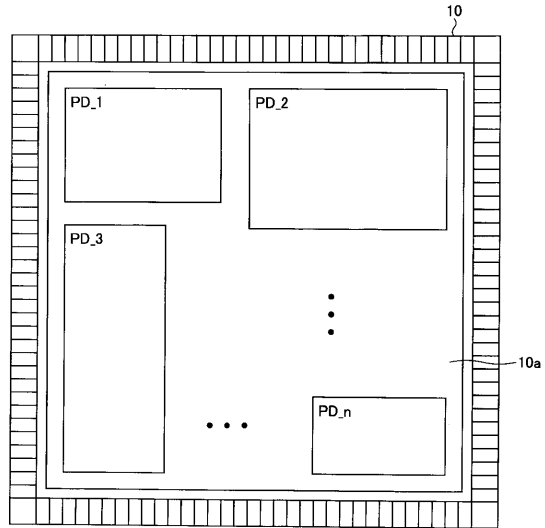
【図9】

ネットリストの構成例を示す図



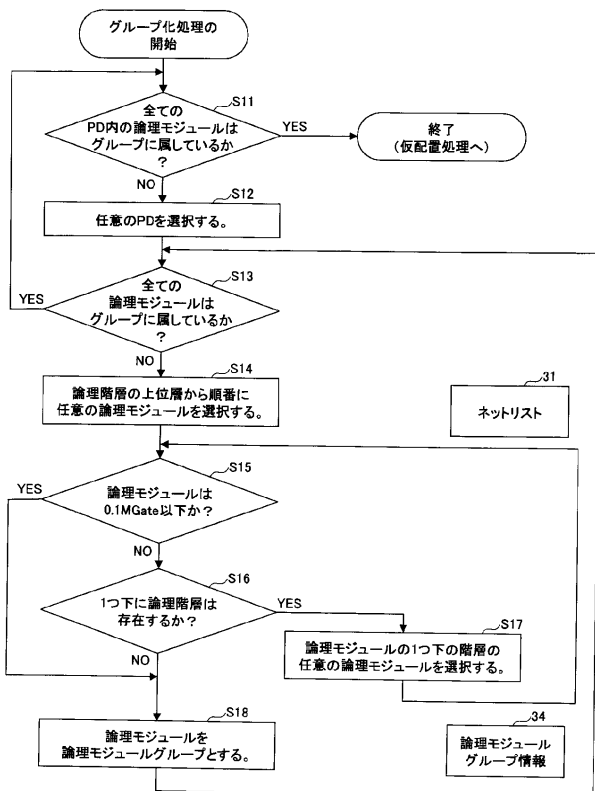
【図10】

フロアプラン部によるパスワードメインの配置位置の決定例を示す図



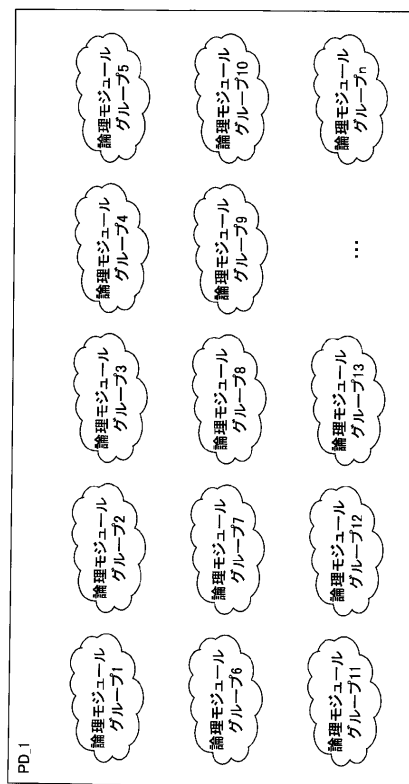
【図11】

グループ化処理を説明するためのフローチャート図



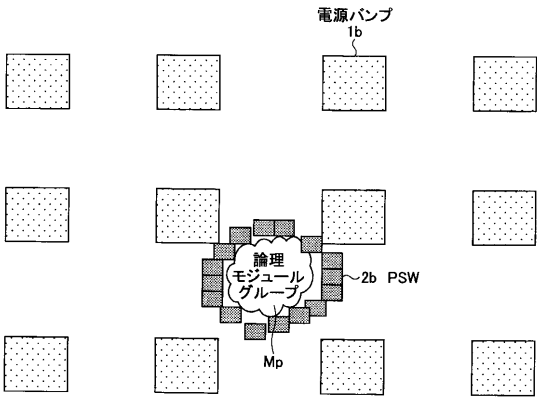
【図12】

グループ化処理の結果例を模範的に示した図



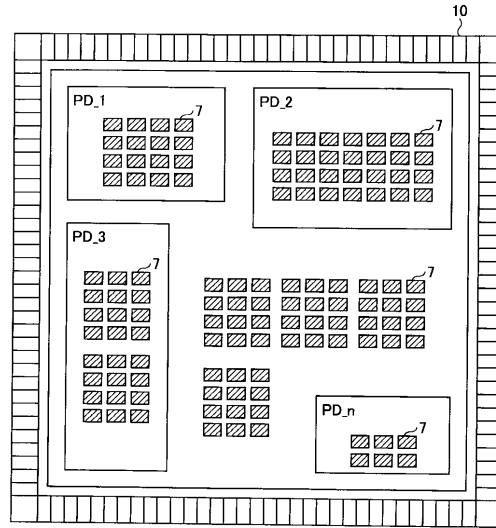
【 図 1 3 】

電源バンプの配置間隔と論理モジュールグループの配置領域との関係を説明するための図



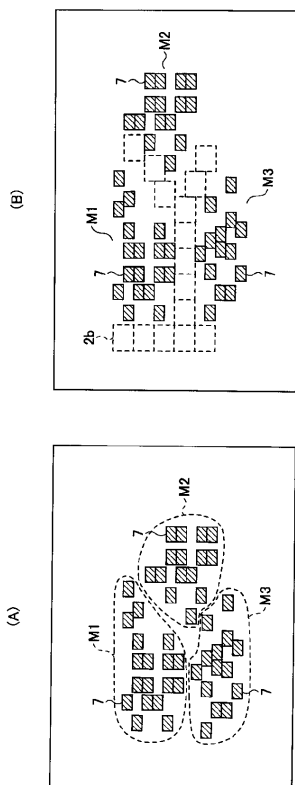
【 図 1 4 】

仮配置処理を説明するための図



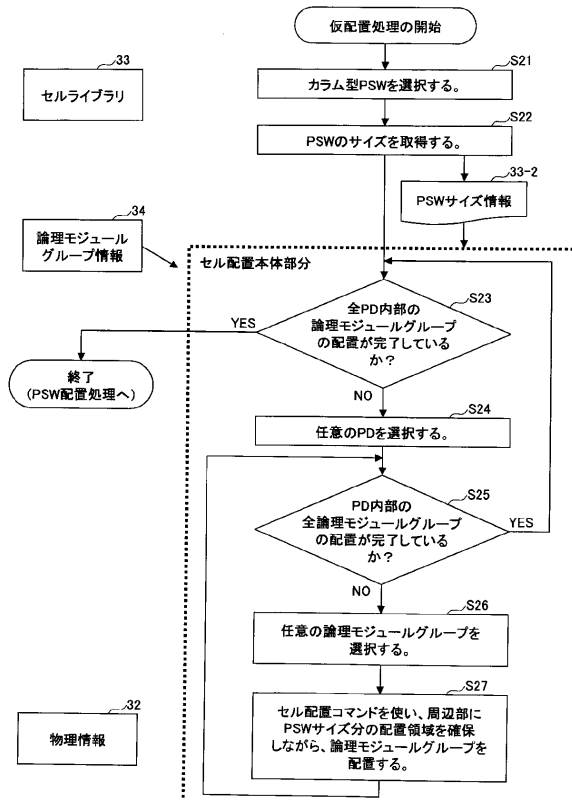
【 図 1 5 】

仮配置処理の結果例を説明するための図



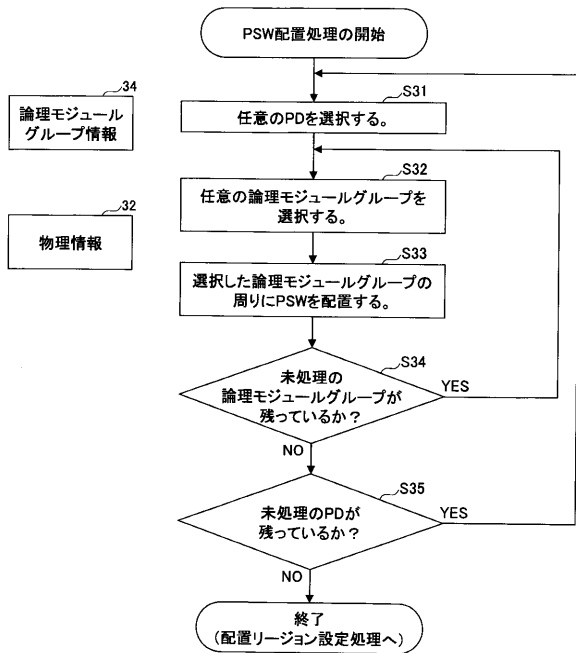
【 図 1 6 】

仮配置処理を説明するためのフローチャート図



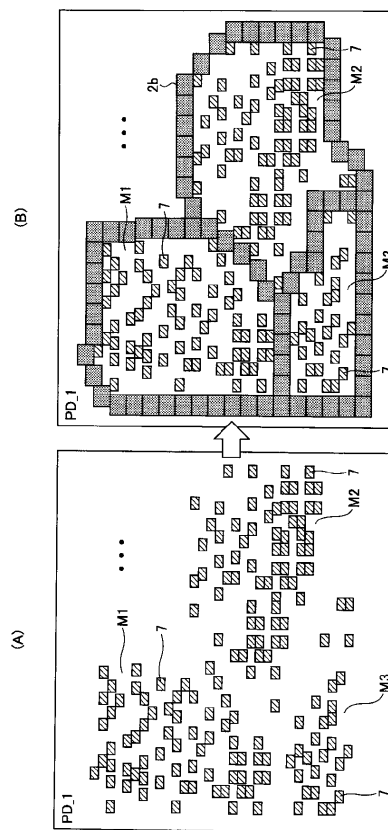
【 図 1 7 】

PSW配置処理を説明するためのフローチャート図



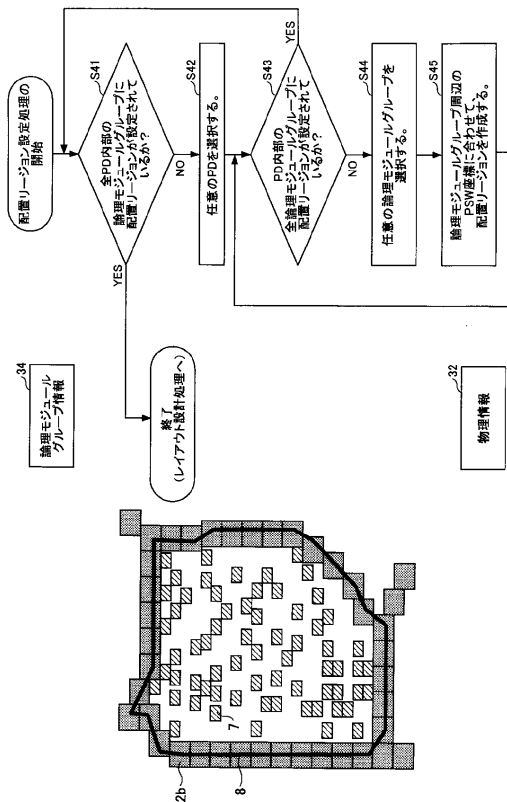
【 図 1 8 】

PSW配置部によるPSW配置処理例を示す図



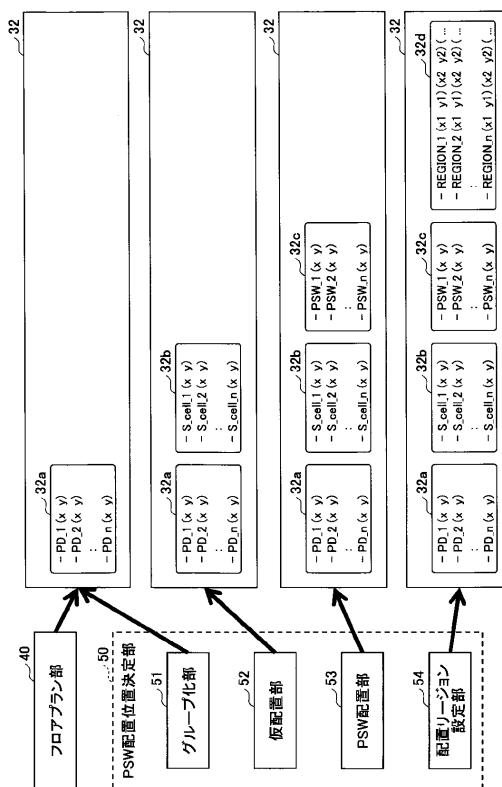
【 図 1 9 】

配置リージョン設定処理を説明するためのフローチャート図



【 図 2 0 】

物理情報に記憶されるデータ例を示す図



フロントページの続き

(72)発明者 後藤 盛治

神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

(72)発明者 澤田 公大

神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

Fターム(参考) 5B046 AA08 BA05