



(10) **DE 10 2016 102 155 A1** 2017.08.10

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2016 102 155.5**

(22) Anmeldetag: **08.02.2016**

(43) Offenlegungstag: **10.08.2017**

(51) Int Cl.: **H01L 21/60** (2006.01)

H01L 21/768 (2006.01)

H01L 23/48 (2006.01)

H01L 23/522 (2006.01)

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
Patentanwälte Lambsdorff & Lange, 81673 München, DE

(72) Erfinder:
Jordan, Steffen, 93161 Sinzing, DE; Gruber, Martin, 92421 Schwandorf, DE

(56) Ermittelter Stand der Technik:

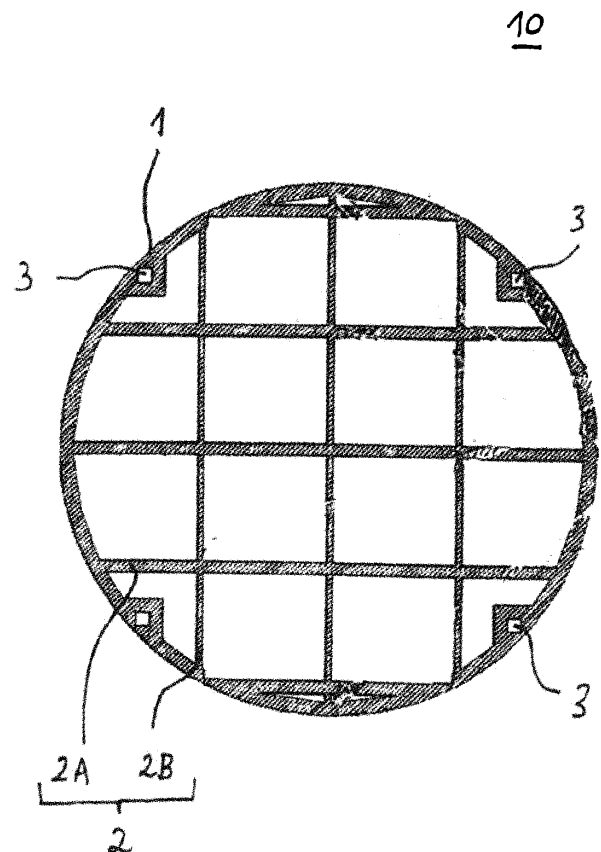
DE	10 2014 115 653	A1
US	2012 / 0 199 971	A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Ein Verfahren zum galvanischen Plattieren unterstützt durch eine Stromverteilungsschicht**

(57) Zusammenfassung: Das Verfahren umfasst das Vorsehen mehrerer Elektronikbauelemente, Einbetten der Elektronikbauelemente in eine Kapselungsschicht, Ausbilden von Vias in der Kapselungsschicht, wobei sich die Vias von einer Hauptfläche der Kapselungsschicht zu den Elektronikbauelementen erstrecken, und Abscheiden einer metallischen Schicht auf der Kapselungsschicht einschließlich der Vias durch galvanisches Plattieren, wobei das Verfahren weiterhin das Vorsehen einer Stromverteilungsschicht zum Bewirken eines verteilten Wachstums des metallischen Materials während des galvanischen Plattierens umfasst.



Beschreibung

ERFINDUNGSGEBIET

[0001] Die vorliegende Offenbarung betrifft ein Verfahren zum Herstellen eines Elektronikbauelement-Package, ein Verfahren zum Abscheiden einer metallischen Schicht und ein Elektronikbauelement-Package.

ALLGEMEINER STAND DER TECHNIK

[0002] Im Verlauf des Verarbeitens beispielsweise eines Elektronikbauelement-Package muss sehr oft eine metallische Schicht auf dem ganzen Bereich eines Zwischenprodukts abgeschieden werden. Insbesondere muss im Fall eines erweiterten Wafer-Level-Packaging eine metallische Schicht über den ganzen Bereich eines Zwischenprodukts mit der Größe eines künstlichen Wafers abgeschieden werden. Eine derartige metallische Schicht kann die Funktion einer Umverdrahtungsschicht (RDL – Redistribution Layer) zum Umverteilen der räumlichen Anordnung elektrischer Kontaktpads von Elektronikbauelementen wie beispielsweise Halbleiterchips erfüllen.

[0003] Es hat sich herausgestellt, dass zum Abscheiden metallischer Schichten das galvanische Plattieren metallische Schichten von hoher Qualität und Homogenität liefert, insbesondere bei Verwendung zum Abscheiden metallischer Schichten auf Oberflächen, die Vertiefungen oder Löcher umfassen. Probleme können jedoch entstehen, wenn der mit der metallischen Schicht zu bedeckende Bereich sehr groß wird.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Die beiliegenden Zeichnungen sind aufgenommen, um ein eingehenderes Verständnis von Beispielen zu vermitteln, und sind in diese Patentschrift aufgenommen und stellen einen Teil dieser dar. Die Zeichnungen veranschaulichen Beispiele und dienen zusammen mit der Beschreibung der Erläuterung von Prinzipien von Beispielen. Andere Beispiele und viele der beabsichtigten Vorteile von Beispielen ergeben sich ohne weiteres, wenn sie unter Bezugnahme auf die folgende ausführliche Beschreibung besser verstanden werden.

[0005] Die Elemente der Zeichnungen sind relativ zueinander nicht notwendigerweise maßstabsgetreu. Gleiche Bezugszahlen bezeichnen entsprechende ähnliche Teile.

[0006] Fig. 1 zeigt ein Flussdiagramm eines Verfahrens zum Herstellen eines Elektronikbauelement-Package gemäß einem ersten Aspekt einschließlich des Bereitstellens mehrerer Elektronikbauelemente und eines Stromverteilungsgitters und Aufbringens

einer Kapselungsschicht über den Elektronikbauelementen und dem Stromverteilungsgitter.

[0007] Fig. 2 zeigt eine Draufsichtdarstellung eines Stromverteilungsgitters gemäß einem Beispiel, insbesondere zur Verwendung zusammen mit einem 8-Inch-eWLB-Wafer.

[0008] Fig. 3 umfasst die Fig. 3A bis Fig. 3E und zeigt eine Draufsichtdarstellung eines oberen Teils eines durch ein Verfahren gemäß dem ersten Aspekt hergestellten Wafer-Level-Package (Fig. 3E) und Querschnittsseitenansichtsdarstellungen entlang einer Ebene, wie durch die Linie A-B in Fig. 3E angezeigt, zum Veranschaulichen eines Verfahrens zum Herstellen des Wafer-Level-Package (Fig. 3A bis Fig. 3D).

[0009] Fig. 4 umfasst die Fig. 4A und Fig. 4B und zeigt eine schematische Draufsichtdarstellung eines Elektronikbauelement-Package gemäß einem vierten Aspekt, wobei das Elektronikbauelement-Package eine flache metallische Schiene (A) umfasst, und eine schematische Querschnittsseitenansichtsdarstellung des Elektronikbauelement-Package entlang einer durch die Linie B-B in Fig. 4A (B) angezeigten Ebene.

[0010] Fig. 5 umfasst die Fig. 5A und Fig. 5B und zeigt eine schematische Draufsichtdarstellung eines Elektronikbauelement-Package gemäß dem vierten Aspekt, wobei das Elektronikbauelement-Package eine metallische Schiene mit einer Aufwärts-Erweiterung (A) umfasst, und eine schematische Querschnittsseitenansichtsdarstellung des Elektronikbauelement-Package entlang einer durch die Linie B-B von Fig. 5A (B) angezeigten Ebene.

AUSFÜHRLICHE BESCHREIBUNG

[0011] Die Aspekte und Beispiele werden nun unter Bezugnahme auf die Zeichnungen beschrieben, wobei gleiche Bezugszahlen allgemein verwendet werden, um sich durchweg auf gleiche Elemente zu beziehen. In der folgenden Beschreibung sind zu Erläuterungszwecken zahlreiche spezifische Details dargestellt, um ein eingehendes Verständnis eines oder mehrerer Aspekte der Beispiele zu vermitteln. Es kann jedoch für einen Fachmann offensichtlich sein, dass ein oder mehrere Aspekte der Beispiele mit einem geringeren Grad der spezifischen Details praktiziert werden können. In anderen Fällen sind bekannte Strukturen und Elemente in schematischer Form gezeigt, um das Beschreiben eines oder mehrerer Aspekte der Beispiele zu erleichtern. Es versteht sich, dass andere Beispiele genutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Es sei weiter angemerkt, dass die

Zeichnungen nicht maßstabsgetreu oder nicht notwendigerweise maßstabsgetreu sind.

[0012] In der folgenden ausführlichen Beschreibung wird auf die beiliegenden Zeichnungen Bezug genommen, die einen Teil hiervon bilden und in denen als Veranschaulichung spezifische Aspekte gezeigt sind, in denen die Erfindung praktiziert werden kann. In dieser Hinsicht kann unter Bezugnahme auf die Orientierung der beschriebenen Figuren eine Richtungsterminologie wie etwa „oben“, „unten“, „Vorderseite“, „Rückseite“ usw. verwendet werden. Da Komponenten von beschriebenen Einrichtungen in einer Reihe verschiedener Orientierungen positioniert sein können, kann die Richtungsterminologie zu Zwecken der Veranschaulichung verwendet werden und ist in keinerlei Weise beschränkend. Es versteht sich, dass andere Aspekte genutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Die folgende ausführliche Beschreibung ist deshalb nicht in einem beschränkenden Sinne zu verstehen, und der Schutzbereich der vorliegenden Erfindung wird durch die beigefügten Ansprüche definiert.

[0013] Außerdem kann, während ein bestimmtes Merkmal oder ein bestimmter Aspekt eines Beispiels möglicherweise nur bezüglich einer von mehreren Implementierungen offenbart wird, ein derartiges Merkmal oder ein derartiger Aspekt mit einem oder mehreren anderen Merkmalen oder Aspekten der anderen Implementierungen kombiniert werden, wie dies für eine beliebige gegebene oder bestimmte Anwendung erwünscht und vorteilhaft sein kann. Zudem sollen in dem Ausmaß, dass die Ausdrücke „enthalten“, „haben“, „mit“ oder andere Varianten davon entweder in der ausführlichen Beschreibung oder den Ansprüchen verwendet werden, solche Ausdrücke auf eine Weise ähnlich dem Ausdruck „umfassen“ einschließend sein. Die Ausdrücke „gekoppelt“ und „verbunden“ können zusammen mit Ableitungen verwendet werden. Es versteht sich, dass diese Ausdrücke verwendet werden können, um anzuzeigen, dass zwei Elemente miteinander zusammenarbeiten oder interagieren, ungeachtet dessen, ob sie in direktem physischen oder elektrischen Kontakt stehen oder ob sie nicht miteinander in direktem Kontakt stehen. Außerdem soll der Ausdruck „beispielhaft“ lediglich ein Beispiel anstatt das Beste oder Optimale bedeuten. Die folgende ausführliche Beschreibung ist deshalb nicht in einem beschränkenden Sinne zu verstehen, und der Schutzbereich der vorliegenden Erfindung wird durch die beigefügten Ansprüche definiert.

[0014] Die Beispiele eines Elektronikbauelement-Package und eines Verfahrens zum Herstellen eines Elektronikbauelement-Package können verschiedene Arten von Transistorbauelementen verwenden. Die Beispiele können Transistorbauelemente ver-

wenden, die in Halbleiter-Dies oder Halbleiterchips verkörpert sind, wobei die Halbleiter-Dies oder Halbleiterchips in einer Form eines Blocks aus halbleitendem Material vorgesehen sein können, wie aus einem Halbleiterwafer hergestellt und aus dem Halbleiterwafer geschnitten, oder in einer anderen Form, in der weitere Prozessschritte ausgeführt worden sind, wie beispielsweise das Aufbringen einer Kapselungsschicht auf den Halbleiter-Die oder den Halbleiterchip. Die Beispiele können auch horizontale oder vertikale Transistorbauelemente verwenden, wobei jene Strukturen in einer Form vorgesehen sein können, in der alle Kontaktelemente des Transistorbauelements auf einer der Hauptflächen des Halbleiter-Die vorgesehen sind (horizontale Transistorstrukturen), oder in einer Form, in der mindestens ein elektrisches Kontaktelement auf einer ersten Hauptfläche des Halbleiter-Die angeordnet ist und mindestens ein anderes elektrisches Kontaktelement auf einer zweiten Hauptfläche gegenüber der Hauptfläche des Halbleiter-Die angeordnet ist (vertikale Transistorstrukturen), wie beispielsweise MOS-Transistorstrukturen oder IGBT-Strukturen (Insulated Gate Bipolar Transistor). Insofern die Transistorchips als Leistungstransistorchips konfiguriert sind und falls außerdem auch Treiberchips in das Package integriert sind, können die Beispiele eines weiter unten offenbarten Elektronikbauelement-Package als intelligente Leistungsmodule (IPM – Intelligent Power Modules) klassifiziert werden.

[0015] Jedenfalls können die Elektronikbauelemente, z.B. Halbleiter-Dies oder Halbleiterchips, Kontaktelemente oder Kontaktpads auf einer oder mehreren ihrer äußeren Oberflächen umfassen, wobei die Kontaktelemente zum elektrischen Kontaktieren der Halbleiter-Dies dienen. Die Kontaktelemente können eine beliebige gewünschte Form oder Gestalt besitzen. Sie können beispielsweise die Form von Kontaktflecken besitzen, d.h. flache Kontaktschichten auf einer äußeren Oberfläche des Halbleiter-Die. Die Kontaktelemente oder Kontaktpads können aus einem beliebigen elektrisch leitenden Material hergestellt sein, z.B. aus einem Metall wie Aluminium, Gold oder Kupfer, als Beispiel, oder einer Metalllegierung oder einem elektrisch leitenden organischen Material oder einem elektrisch leitenden Halbleitermaterial. Die Kontaktelemente können auch als Schichtstapel aus einem oder mehreren der oben erwähnten Materialien ausgebildet werden.

[0016] Die Beispiele eines Elektronikbauelement-Package können ein Kapselungsmittel oder ein Kapselungsmaterial mit den darin eingebetteten Halbleitertransistorchips und dem mindestens einen Halbleitertreiberchip umfassen. Das Kapselungsmaterial kann ein beliebiges elektrisch isolierendes Material sein wie beispielsweise eine beliebige Art von Ausformmaterial, eine beliebige Art von Harzmaterial oder eine beliebige Art von Epoxidmaterial. Das

Kapselungsmaterial kann auch ein Polymermaterial, ein Polyimidmaterial, ein Thermoplastmaterial, ein Silikonmaterial, ein Keramikmaterial und ein Glasmaterial sein. Das Kapselungsmaterial kann auch ein beliebiges der oben erwähnten Materialien umfassen und weiterhin darin eingebettete Füllmaterialien, wie beispielsweise wärmeleitende Inkremente enthalten. Diese Füllinkremente können beispielsweise aus AlO oder Al₂O₃, AlN, BN oder SiN bestehen. Weiterhin können die Füllinkremente die Gestalt von Fasern besitzen und können aus Carbonfasern oder Nanoröhren hergestellt sein, als Beispiel.

[0017] Die Beispiele eines Verfahrens zum Herstellen eines Elektronikbauelement-Package und eines Elektronikbauelement-Package können das Ausbilden einer metallischen Schicht auf der Kapselungsschicht einschließlich des Füllens von leitendem Material in Vias der Kapselungsschicht umfassen. Die metallische Schicht kann insbesondere die Funktion einer Umverdrahtungsschicht (RDL) besitzen, die konfiguriert ist, die räumliche Verteilung oder Anordnung der elektrischen Kontaktpads der Elektronikbauelemente umzuverteilen oder neu anzuordnen. Die Umverdrahtungsschicht kann auf einer oberen Oberfläche der Kapselungsschicht angeordnet sein und kann mehrere metallische Bahnen umfassen, wobei jede der metallischen Bahnen durch eine in der Kapselungsschicht ausgebildete Via-Verbindung mit einem elektrischen Kontaktpad verbunden ist.

[0018] Insofern Verfahren zum Herstellen eines Elektronikbauelement-Package und zum Abscheiden einer metallischen Schicht so beschrieben sind, dass sie eine spezifische Reihenfolge von Verfahrensschritten aufweisen, sollte erwähnt werden, dass der Fachmann eine beliebige andere angemessene Reihenfolge der Verfahrensschritte verwenden kann.

[0019] Fig. 1 umfasst ein Flussdiagramm zum Veranschaulichen eines Verfahrens zum Herstellen eines Elektronikbauelement-Package gemäß einem ersten Aspekt. Das Verfahren umfasst: Vorsehen mehrerer Elektronikbauelemente (s1), Vorsehen eines Stromverteilungsgitters, das mehrere Stromverteilungsschienen umfasst (s2), Aufbringen einer Kapselungsschicht über den Elektronikbauelementen und dem Stromverteilungsgitter (s3), Ausbilden von Vias in der Kapselungsschicht, wobei sich die Vias von einer Hauptfläche der Kapselungsschicht zu den Elektronikbauelementen und dem Stromverteilungsgitter erstrecken (s4), und Abscheiden einer metallischen Schicht auf der Kapselungsschicht einschließlich der Vias durch galvanisches Plattieren (s5).

[0020] Es wurde zuvor gezeigt, dass die Abscheidung von metallischen Schichten auf großen Bereichen, wie beispielsweise beim erweiterten Wafer-Level-Packaging erforderlich, zu unzufriedenstellen-

den Ergebnissen führen kann, wenn sie durch galvanisches Plattieren durchgeführt wird, sobald das Wachstum der metallischen Schicht nur von Kantenabschnitten des Wafers beginnt und von dort in der Richtung der Mitte weitergeht. Die Ergebnisse waren durch eine inhomogene Metallschicht mit signifikanten Dickenvariationen und im schlimmsten Fall durch ein sehr schlechtes oder sogar kein metallisches Wachstum in der Mitte des Wafers gekennzeichnet. Deshalb kann ein Stromverteilungsgitter, wie durch die vorliegende Offenbarung hin- weg beschrieben, dazu beitragen, ein verteiltes Wachstum des metallischen Materials während des galvanischen Plattierens zu bewirken. Wie unten ausführlicher gezeigt wird, können die Vias räumlich derart verteilt werden, dass sie ein homogenes Wachstum der metallischen Schicht gestatten.

[0021] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt sind die Elektronikbauelemente in einer räumlich regelmäßigen Anordnung angeordnet, und das Stromverteilungsgitter ist relativ zu den Elektronikbauelementen derart angeordnet, dass die Elektronikbauelemente mindestens teilweise von den Stromverteilungsschienen umgeben sind. Insbesondere sind die Elektronikbauelemente und das Stromverteilungsgitter auf einem Hilfsträger angeordnet und danach wird die Kapselungsschicht sowohl auf den Elektronikbauelementen als auch dem Stromverteilungsgitter aufgebracht.

[0022] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Vorsehen des Stromverteilungsgitters das Vorfertigen des Stromverteilungsgitters, insbesondere um ein frei handhabbares Stromverteilungsgitter zu erhalten, das als Ganzes auf dem Hilfsträger angeordnet werden kann.

[0023] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Vorsehen des Stromverteilungsgitters das Drucken, das Sputtern oder die Plasmastaubabscheidung einer elektrisch leitenden Schicht auf der Hilfsschicht. In Verbindung mit diesen Fabrikationsverfahren kann eine Maske über dem Substrat positioniert werden, wobei die Öffnungen der Maske die Form des herzustellenden Stromverteilungsgitters definieren. Die elektrisch leitende Schicht kann dann durch die Öffnungen der Maske abgeschieden werden. Es ist auch möglich, eine Quetschwalze oder ein Rakel über die Maske zu bewegen und das elektrisch leitende Material in alle unmaskierten Bereiche zu drücken.

[0024] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Stromverteilungsgitter eine ringartige Umfangsstromverteilungsschiene und mehrere gerade Stromverteilungsschienen, wobei jede einzelne der geraden Stromverteilungsschienen zwischen zwei Punkten der ringarti-

gen Umfangsstromverteilungsschiene verbunden ist. Gemäß einem weiteren Beispiel davon umfassen die mehreren geraden Stromverteilungsschienen erste gerade Stromverteilungsschienen, die sich parallel entlang einer ersten Richtung erstrecken, und zweite gerade Stromverteilungsschienen, die sich parallel entlang einer zweiten Richtung senkrecht zur ersten Richtung erstrecken. Es kann weiterhin der Fall sein, dass die Distanz zwischen benachbarten ersten geraden Stromverteilungsschienen konstant ist und auch die Distanz zwischen benachbarten zweiten geraden Stromverteilungsschienen konstant ist, so dass infolgedessen mehrere rechteckig geformte Bereiche erhalten werden, wobei jeder der rechteckig geformten Bereiche eine gleiche Anzahl an Elektronikbauelementen enthält.

[0025] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Stromverteilungsgitter eine Dicke in einem Bereich von 10 µm bis 500 µm. Die Dicke kann über das ganze Stromverteilungsgitter hinweg konstant sein. Alternativ kann die Dicke unterschiedlich sein, da beispielsweise die äußere Umfangsstromverteilungsschiene aus Stabilitätsgründen eine größere Dicke aufweisen kann als die geraden Stromverteilungsschienen. Es ist auch möglich, dass die geraden Stromverteilungsschienen unterschiedliche Dicken aufweisen können. Es ist weiterhin möglich, dass individuelle Stromverteilungsschienen eine seitlich variierende Dicke aufweisen können.

[0026] Ein spezifisches Beispiel davon wird später gezeigt und erläutert.

[0027] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt wird das Stromverteilungsgitter aus Kupfer hergestellt.

[0028] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfassen die Stromverteilungsschienen eine Breite in einem Bereich von 1 mm bis 30 mm.

[0029] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Anordnen der Elektronikbauelemente das Platzieren der Elektronikbauelemente auf einem Hilfsträger und auch das Anordnen des Stromverteilungsgitters umfasst das Platzieren des Stromverteilungsgitters auf dem Hilfsträger. Der Hilfsträger kann eine metallische Platte umfassen, insbesondere eine Stahlplatte, und auf der metallischen Platte kann eine doppelseitige Klebefolie, wie beispielsweise eine Thermo-Release-Folie, so aufgebracht werden, dass die Elektronikbauelemente und das Stromverteilungsgitter auf der Klebefolie platziert werden können.

[0030] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Ausbilden der

Vias das Ausbilden erster Vias, die sich von einer Hauptfläche der Kapselungsschicht zu elektrischen Kontaktpads der Elektronikbauelemente erstrecken. Gemäß einem weiteren Beispiel davon umfassen die ersten Vias Durchmesser in einem Bereich von 200 µm bis 600 µm.

[0031] Gemäß einem weiteren Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Ausbilden der Vias das Ausbilden zweiter Vias, die sich von einer Hauptfläche der Kapselungsschicht zu einer oberen Oberfläche des Stromverteilungsgitters erstrecken. Gemäß einem weiteren Beispiel davon umfassen die zweiten Vias Durchmesser in einem Bereich von 0,5 mm bis 1,5 mm. Gemäß einem weiteren Beispiel davon sind die zweiten Vias entlang den Stromverteilungsschienen gleichmäßig voneinander beabstandet.

[0032] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt werden die Vias durch Laserbohren in die Kapselungsschicht ausgebildet.

[0033] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt umfasst das Füllen von leitendem Material in die Vias das Abscheiden einer Keimschicht auf der Kapselungsschicht und in den Vias gefolgt vom galvanischen Plattieren. Gemäß einem weiteren Beispiel davon besteht die Keimschicht aus einer organischen Keimschicht. Gemäß noch einem weiteren Beispiel davon wird die Keimschicht durch nasschemische Abscheidung abgeschieden.

[0034] Gemäß einem Beispiel des Verfahrens gemäß dem ersten Aspekt wird ein erweitertes Wafer-Level-Package hergestellt und nach dem Abscheiden der metallischen Schicht auf der Kapselungsschicht und möglichen weiteren Schritten wird das erweiterte Wafer-Level-Package zu mehreren Elektronikbauelement-Packages vereinzelt. Gemäß einem weiteren Beispiel davon wird das Vereinzeln des erweiterten Wafer-Level-Package derart ausgeführt, dass von dem Stromverteilungsgitter nichts in den vereinzelt Elektronikbauelement-Packages zurückbleibt. Dies kann entweder durch Entfernen des Stromverteilungsgitters, beispielsweise durch Ätzen oder Sägen bei den Kanten der Stromverteilungsschienen, bewerkstelligt werden. Gemäß einem weiteren Beispiel wird das Vereinzeln des erweiterten Wafer-Level-Package derart ausgeführt, dass spezifische Teile des Stromverteilungsgitters in den Elektronikbauelement-Packages zurückbleiben, wodurch Elektronikbauelement-Packages hergestellt werden, die durch Beispiele unten näher beschrieben werden. Die zurückgebliebenen spezifischen Teile des Stromverteilungsgitters können derart konfiguriert werden, dass sie beim Betrieb des Elektronikbauelement-Package als einer oder mehrere eines Kühlkörpers oder eines elektrischen Verbinders verwendet werden können.

[0035] Fig. 2 zeigt ein Beispiel eines Stromverteilungsgitters in einer Draufsichtdarstellung. Das Stromverteilungsgitter **10** von Fig. 2 ist konfiguriert, um zusammen mit einem 8-IncheWLB-Wafer in einem Erweiterter-Wafer-Level-Fabrikationsprozess verwendet zu werden. Das Stromverteilungsgitter **10** von Fig. 2 umfasst eine ringartige Umfangsstromverteilungsschiene **1** und mehrere gerade Stromverteilungsschienen **2**, wobei jede einzelne der geraden Stromverteilungsschienen **2** zwischen zwei Punkten der ringartigen Umfangsstromverteilungsschiene **1** verbunden ist. Die geraden Stromverteilungsschienen **2** umfassen erste gerade Stromverteilungsschienen **2A**, die sich entlang einer ersten horizontalen Richtung parallel zueinander erstrecken, und zweite gerade Stromverteilungsschienen **2B**, die sich entlang einer zweiten vertikalen Richtung senkrecht zur ersten Richtung parallel zueinander erstrecken. Gemäß dem in Fig. 2 gezeigten Beispiel umfasst das Stromverteilungsgitter **10** drei erste gerade Stromverteilungsschienen **2A** und drei zweite gerade Stromverteilungsschienen **2B**. Das Stromverteilungsgitter **10** ist beispielsweise als ein vorgefertigtes, frei handhabbares Stromverteilungsgitter **10** konfiguriert und umfasst beispielsweise einen Durchmesser von 200 mm und kann weiterhin aus Kupfer mit einer Dicke von etwa 100 µm hergestellt sein. Das Stromverteilungsgitter **10** von Fig. 2 kann weiterhin Positionierhilfen **3** umfassen, die dabei behilflich sind, das Stromverteilungsgitter **10** in einer präzisen relativen Position zu den Elektronikbauelementen auf dem Träger anzuordnen.

[0036] Fig. 3 umfasst die Fig. 3A bis Fig. 3E und veranschaulicht ein Verfahren zum Herstellen eines Elektronikbauelement-Package gemäß einem Beispiel. Die Querschnittsseitenansichtsdarstellungen von Fig. 3A bis Fig. 3D sind entlang einer durch die Linie A-B in Fig. 3E angezeigten Ebene genommen, die einen oberen Teil des hergestellten Wafer-Level-Package zeigen.

[0037] Gemäß Fig. 3A werden mehrere Elektronikbauelemente **31** (schraffiert gezeichnet) und ein Stromverteilungsgitter **30** auf einem Hilfsträger **32** platziert. Der Hilfsträger **32** umfasst eine metallische Platte **32.1** und eine Klebefolie **32.2**, insbesondere eine Thermo-Release-Folie **32.2**, die auf eine Hauptoberfläche der metallischen Platte **32.1** aufgebracht ist. Die Elektronikbauelemente **31** können (nicht gezeigte) elektrische Kontaktpads umfassen, die an einer oberen Hauptfläche von dem Hilfsträger **32** abgewandt angeordnet sind. Das Stromverteilungsgitter **30** kann wie das Stromverteilungsgitter **10**, wie gezeigt und in Verbindung mit Fig. 2 beschrieben, ausgebildet werden. Die Elektronikbauelemente **31** können ein oder mehrere von Halbleiterchips oder passiven Einrichtungen sein, wobei die Halbleiterchips ein oder mehrere von Transistorchips, Treiberchips, Prozessorchips oder beliebigen anderen Halbleiterchips

sein können. Die Elektronikbauelemente **31** können auf regelmäßige Weise angeordnet sein. Die Draufsicht von Fig. 3E zeigt ein Beispiel des Anordnens der Elektronikbauelemente **31**. Ebenfalls in Fig. 3E ist das Positionieren der Elektronikbauelemente **31** in Relation zum Stromverteilungsgitter **30** gezeigt. Beim vorliegenden Beispiel ist das Wafer-Level-Package in mehrere ähnliche Gebiete partitioniert, wobei jedes Gebiet ein Elektronikbauelement-Package werden soll, wobei jedes Gebiet zwei durch Stromverteilungsschienen **30.1** des Stromverteilungsgitters **30** umgebene Elektronikbauelemente enthält.

[0038] Gemäß Fig. 3B wird eine Kapselungsschicht **33** auf den Elektronikbauelementen **31**, dem Stromverteilungsgitter **30** und dem Hilfsträger **32** aufgebracht. Die Kapselungsschicht **33** wird derart aufgebracht, dass sie eine vorgeschriebene Dicke über den Elektronikbauelementen **31** und dem Stromverteilungsgitter **30** aufweist.

[0039] Gemäß Fig. 3C kann nach dem Härten der Kapselungsschicht **33** der Hilfsträger **32** entfernt werden und ein Wafer-Level-Package **34** wird erhalten. Danach können Vias **33.1** in der Kapselungsschicht **33** ausgebildet werden, wobei die Vias **33.1** von einer oberen Hauptfläche der Kapselungsschicht **33** zu den elektrischen Kontaktpads der Elektronikbauelemente **31** und zum Stromverteilungsgitter **30** reichen. Die Orte der Vias **33.1** sind in Fig. 3E gezeigt, und es ist ersichtlich, dass die Vias **33.1** zum Stromverteilungsgitter **30** mit einer konstanten Distanz zwischen benachbarten Vias **33.1** entlang den Stromverteilungsschienen **30.1** platziert sind. Das Ausbilden der Vias **33.1** kann beispielsweise durch Laserbohren durchgeführt werden.

[0040] Gemäß Fig. 3D wird nach dem Ausbilden der Vias **33.1** eine metallische Schicht **35** beispielsweise aus Kupfer durch galvanisches Plattieren auf der Kapselungsschicht **33** und den Vias **33.1** abgeschieden. Als ein erster Schritt kann eine (nicht gezeigte) organische Keimschicht durch nasschemische Abscheidung auf der Kapselungsschicht **33** und den Vias **33.1** aufgebracht werden. Danach wird in einem zweiten Schritt das galvanische Plattieren derart ausgeführt, dass die Vias **33.1** durch das metallische Material nicht vollständig gefüllt sind, aber der Boden des Via und die Seitenwand mit einer gewissen vorgeschriebenen Dicke von dem metallischen Material bedeckt sind.

[0041] Danach können ein paar weitere Schritte folgen, wie beispielsweise das Aufbringen einer Lotresistschicht und externer Kontaktelemente. In einem letzten Schritt wird das Wafer-Level-Package vereinzelt, um mehrere Elektronikbauelement-Packages zu erhalten. Gemäß einem Beispiel wird das Stromverteilungsgitter **30** beispielsweise durch Ätzen vor der Vereinzelung entfernt. Es ist jedoch auch

möglich, das Stromverteilungsgitter **30** am Wafer-Level-Package zu lassen. Der Schritt des Vereinzelns kann derart erfolgen, dass die erhaltenen Elektronikbauelement-Packages keine Reste des Stromverteilungsgitters **30** enthalten. Es ist jedoch auch möglich, dass Teile des Stromverteilungsgitters **30** in den Elektronikbauelement-Packages zurückbleiben, und beim Betrieb der Elektronikbauelement-Packages zum Zweck einer oder mehrerer elektrischer Funktionen und Kühlkörperfunktionen genutzt werden.

[0042] Die vorliegende Offenbarung betrifft auch ein Verfahren zum Herstellen eines Elektronikbauelement-Package gemäß einem zweiten Aspekt. Das Verfahren gemäß dem zweiten Aspekt umfasst das Vorsehen mehrerer Elektronikbauelemente, Einbetten der Elektronikbauelemente in eine Kapselungsschicht, Ausbilden von Vias in der Kapselungsschicht, wobei sich die Vias von einer Hauptfläche der Kapselungsschicht zu den Elektronikbauelementen erstrecken, und Abscheiden einer metallischen Schicht auf der Kapselungsschicht einschließlich der Vias durch galvanisches Plattieren, wobei das Verfahren weiterhin das Vorsehen einer Stromverteilungsschicht zum Bewirken eines verteilten Wachstums des metallischen Materials während des galvanischen Plattierens umfasst.

[0043] Gemäß einem Beispiel des Verfahrens gemäß dem zweiten Aspekt umfasst das Verfahren das Vorsehen der Stromverteilungsschicht in der gleichen Ebene wie die Elektronikbauelemente. Gemäß einem weiteren Beispiel davon kann die Stromverteilungsschicht in der Form eines Stromverteilungsgitters vorgesehen werden, wobei das Stromverteilungsgitter auch in die Kapselungsschicht eingebettet sein kann. Gemäß einem weiteren Beispiel davon sind sowohl die Elektronikbauelemente als auch das Stromverteilungsgitter auf einem Hilfsträger angeordnet und die Kapselungsschicht wird auf den Elektronikbauelementen, dem Stromverteilungsgitter und dem Hilfsträger aufgebracht.

[0044] Gemäß einem Beispiel des Verfahrens gemäß dem zweiten Aspekt umfasst das Verfahren weiterhin das Vorsehen der Stromverteilungsschicht in einer anderen Ebene als die Elektronikbauelemente. Gemäß einem weiteren Beispiel davon umfasst die Stromverteilungsschicht die Form eines Stromverteilungsgitters, wie etwa das beispielsweise in **Fig. 2** und **Fig. 3** gezeigte. Gemäß einem weiteren Beispiel umfasst die Stromverteilungsschicht nicht die Form eines Stromverteilungsgitters, wie das beispielsweise in **Fig. 2** und **Fig. 3** gezeigte. Stattdessen kann die Stromverteilungsschicht eine andere Form einer metallischen Schicht aufweisen, die ebenfalls in die Kapselungsschicht eingebettet sein kann oder aus einem Träger bestehen kann, insbesondere einem Träger, der die Halbleiterchips stützt. Die Stromverteilungsschicht kann in diesem Fall aus einer vollflächigen metallischen Schicht oder einem Systemträger bestehen, als Beispiel. In diesem Fall könnten auch Vias von einer oberen Fläche der Kapselungsschicht zur Stromverteilungsschicht ausgebildet werden. Beispielsweise könnte sich beim Vergleich mit **Fig. 3B** und **Fig. 3C** die Stromverteilungsschicht unter der Ebene der Elektronikbauelemente **31** befinden und die Vias könnten so in der Kapselungsschicht ausgebildet sein, dass sie zwischen den Elektronikbauelementen **31** hindurchtreten würden, bis sie die Stromverteilungsschicht erreichen.

[0045] Weitere Beispiele des Verfahrens gemäß dem zweiten Aspekt können ausgebildet werden durch Aufnehmen von Beispielen und Merkmalen, die zuvor in Verbindung mit dem Verfahren gemäß dem ersten Aspekt beschrieben wurden.

[0046] Die vorliegende Offenbarung betrifft auch ein Verfahren zum Abscheiden einer metallischen Schicht gemäß einem dritten Aspekt. Das Verfahren gemäß dem dritten Aspekt umfasst das Vorsehen einer Materialschicht und Abscheiden einer metallischen Schicht auf der Materialschicht durch galvanisches Plattieren, wobei das Verfahren weiterhin das Vorsehen einer Stromverteilungsschicht zum Bewirken eines verteilten Wachstums des metallischen Materials während des galvanischen Plattierens umfasst.

[0047] Gemäß einem Beispiel des Verfahrens des dritten Aspekts umfasst das Vorsehen der Materialschicht das Aufbringen der Materialschicht über der Stromverteilungsschicht und Ausbilden von Vias in der Materialschicht, wobei sich die Vias von einer Hauptfläche der Materialschicht zur Stromverteilungsschicht erstrecken.

[0048] Gemäß einem Beispiel des Verfahrens des dritten Aspekts kann die Stromverteilungsschicht die Form eines Stromverteilungsgitters aufweisen, wie das in Verbindung mit **Fig. 2** und **Fig. 3** der vorliegenden Offenbarung gezeigte und beschriebene. Gemäß einem weiteren Beispiel kann die Stromverteilungsschicht die Form einer vollflächigen metallischen Ebene oder Lage oder irgendeiner anderen Art von metallischer Ebene oder Lage, wie beispielsweise eines Systemträgers, aufweisen.

[0049] Gemäß einem Beispiel des Verfahrens des dritten Aspekts umfasst die Materialschicht die gleichen oder ähnliche Merkmale wie die Kapselungsschicht, wie zuvor in Verbindung mit den Verfahren gemäß dem ersten und zweiten Aspekt beschrieben.

[0050] Weitere Beispiele des Verfahrens gemäß dem dritten Aspekt können durch Aufnehmen von Beispielen oder Merkmalen ausgebildet werden, die

zuvor in Verbindung mit den Verfahren gemäß dem ersten und zweiten Aspekt beschrieben wurden.

[0051] Fig. 4 umfasst die Fig. 4A und Fig. 4B und zeigt ein Beispiel eines Elektronikbauelement-Package gemäß einem vierten Aspekt in einer schematischen Draufsichtdarstellung (A) und einer schematischen Querschnittsseitenansichtsdarstellung (B). Das Elektronikbauelement-Package **40** von Fig. 4 umfasst zwei Halbleiterchips **41**, eine die Halbleiterchips **41** bedeckende Kapselungsschicht **42**, eine über der Kapselungsschicht **42** angeordnete Umverdrahtungsschicht (RDL) **43** und eine metallische Schiene **44**, die sich entlang einer Kante der Kapselungsschicht **42** erstreckt. Weitere Elemente oder Teile des Elektronikbauelement-Package **40**, wie beispielsweise Vias zwischen der RDL **43** und den Chips **41** oder über der RDL **43** angeordnete externe Verbindungen, sind hier aus Gründen der Übersichtlichkeit weggelassen.

[0052] Das Elektronikbauelement-Package **40**, wie in dem Beispiel von Fig. 4 gezeigt, umfasst eine metallische Schiene **44**, die eine ringartige periphere Konfiguration besitzt und sich somit entlang jeder der Seitenkanten der Kapselungsschicht **42** erstreckt. Ein derartiges Elektronikbauelement-Package **40** kann beispielsweise durch Schneiden des Wafer-Level-Package, wie in Fig. 3E gezeigt, entlang Mittelachsen der Stromverteilungsschienen **30** erhalten werden. Die metallische Schiene **44** ist somit ein Rest der vorherigen Stromverteilungsschiene **30**. Es ist jedoch auch möglich, dass sich die metallische Schiene **44** nicht entlang aller Seitenkanten der Kapselungsschicht **42** erstreckt, sondern beispielsweise nur entlang einer, zwei oder drei Seitenkanten der Kapselungsschicht **42**. Die metallische Schiene **44** kann somit verschiedene Teile umfassen, die nicht direkt miteinander verbunden sind.

[0053] Gemäß einem Beispiel des Elektronikbauelement-Package **40** des vierten Aspekts kann die metallische Schiene **44** derart konfiguriert sein, dass sie für spezifische Zwecke für den Betrieb des Elektronikbauelement-Package **40** genutzt werden kann. Beispielsweise kann die metallische Schiene **44** als ein Kühlkörper verwendet werden, um das Ableiten von überschüssiger Wärme, die durch einen oder mehrere der Halbleiterchips **41** erzeugt wird, zu unterstützen. Zu diesem Zweck kann die metallische Schiene **44** thermisch mit einem oder mehreren der Halbleiterchips **41** verbunden sein. Es ist auch möglich, dass die metallische Schiene **44** einer elektrischen Funktion beim Betrieb des Elektronikbauelement-Package **40** dient. Zu diesem Zweck kann die metallische Schiene **44** elektrisch mit einem oder mehreren der Halbleiterchips **41** oder mit der RDL **43** verbunden sein. Das Schneiden des Wafer-Level-Package von Fig. 3E kann derart durchgeführt werden, dass nicht nur ein Teil der Stromverteilungsschiene

als Teil des Elektronikbauelement-Package zurückbleibt, sondern auch mindestens eines der die Stromverteilungsschiene mit der RDL verbindenden Vias. Es ist weiterhin möglich, dass die metallische Schiene **44** verschiedene, nicht direkt miteinander verbundene Teile umfasst, wobei diese verschiedenen Teile unterschiedlichen Funktionen dienen, d.h. einer oder mehreren von thermischen und elektrischen Funktionen.

[0054] Fig. 5 umfasst die Fig. 5A und Fig. 5B und zeigt ein weiteres Beispiel eines Elektronikbauelement-Package gemäß dem vierten Aspekt in einer schematischen Draufsichtdarstellung (A) und einer schematischen Querschnittsseitenansichtsdarstellung (B). Das Elektronikbauelement-Package **50** von Fig. 5 umfasst zwei Halbleiterchips **51**, eine die Halbleiterchips **51** bedeckende Kapselungsschicht **52**, eine über der Kapselungsschicht **52** angeordnete Umverdrahtungsschicht (RDL) **53** und eine metallische Schiene **54**, die sich entlang einer Kante der Kapselungsschicht **52** erstreckt. Weitere Elemente oder Teile des Elektronikbauelement-Package **50**, wie beispielsweise Vias zwischen der RDL **53** und den Chips **51** oder über der RDL **53** angeordnete externe Verbindungen, sind hier aus Gründen der Übersichtlichkeit weggelassen.

[0055] Das Elektronikbauelement-Package **50** von Fig. 5 kann alle Merkmale und Eigenschaften umfassen, wie sie zuvor in Verbindung mit dem Elektronikbauelement-Package **40** von Fig. 4 beschrieben wurden. Das Elektronikbauelement-Package **50** von Fig. 5 unterscheidet sich von dem Elektronikbauelement-Package **40** von Fig. 4 darin, dass die metallische Schiene **54** einen erhöhten Abschnitt **54.1** umfasst, der direkt mit der RDL **53** verbunden sein kann. Ein derartiger erhöhter Abschnitt **54.1** kann nützlich sein, um einer oder mehreren von thermischen und elektrischen Funktionen der metallischen Schiene **54** beim Betrieb des Elektronikbauelement-Package **50** zu dienen. Der erhöhte Abschnitt **54.1** kann beispielsweise erhalten werden, indem ein Stromverteilungsgitter, wie das in einer der Fig. 2 oder Fig. 3 gezeigte, derart vorgesehen wird, dass die individuellen Stromverteilungsschienen variierende Dicken aufweisen, insbesondere erhöhte Abschnitte an ihren den Chipgebieten zugewandten Längskanten umfassen. Es ist auch möglich, dass die Stromverteilungsschienen insgesamt eine Dicke derart besitzen, dass sie bis zur RDL reichen, wobei dann keine Vias zwischen der oberen Fläche der Kapselungsschicht und dem Stromverteilungsgitter ausgebildet werden müssten (siehe Fig. 3B und Fig. 3C).

[0056] Wenngleich die Erfindung bezüglich einer oder mehrerer Implementierungen dargestellt und beschrieben worden ist, können an den dargestellten Beispielen Abänderungen und/oder Modifikationen vorgenommen werden, ohne von dem Gedan-

ken und Schutzbereich der beigefügten Ansprüche abzuweichen. Insbesondere bezüglich der durch die oben beschriebenen Komponenten oder Strukturen (Baugruppen, Einrichtungen, Schaltungen, Systeme usw.) ausgeführten verschiedenen Funktionen sollen die Ausdrücke (einschließlich einer Referenz auf ein „Mittel“), die zum Beschreiben solcher Komponenten verwendet werden, sofern nicht etwas anderes angegeben ist, einer beliebigen Komponente oder Struktur entsprechen, die die spezifizierte Funktion der beschriebenen Komponente durchführt (die z.B. funktional äquivalent ist), wenngleich nicht strukturell äquivalent zu der offenbarten Struktur, die die Funktion in den hier dargestellten beispielhaften Implementierungen der Erfindung durchführt.

Patentansprüche

1. Verfahren zum Herstellen eines Elektronikbauelement- Package, wobei das Verfahren Folgendes umfasst:
Vorsehen mehrerer Elektronikbauelemente;
Vorsehen eines Stromverteilungsgitters, das mehrere Stromverteilungsschienen umfasst;
Aufbringen einer Kapselungsschicht über den Elektronikbauelementen und dem Stromverteilungsgitter;
Ausbilden von Vias in der Kapselungsschicht, wobei sich die Vias von einer Hauptfläche der Kapselungsschicht zu den Elektronikbauelementen und dem Stromverteilungsgitter erstrecken; und
Abscheiden einer metallischen Schicht auf der Kapselungsschicht einschließlich der Vias durch galvanisches Plattieren.
2. Verfahren nach Anspruch 1, wobei Vorsehen des Stromverteilungsgitters das Vorfertigen des Stromverteilungsgitters umfasst.
3. Verfahren nach Anspruch 1 oder 2, wobei das Stromverteilungsgitter eine ringartige Umfangsstromverteilungsschiene und mehrere gerade Stromverteilungsschienen umfasst, wobei jede einzelne der geraden Stromverteilungsschienen zwischen zwei Punkten der ringartigen Umfangsstromverteilungsschiene verbunden ist.
4. Verfahren nach Anspruch 3, wobei die mehreren geraden Stromverteilungsschienen erste gerade Stromverteilungsschienen, die sich parallel entlang einer ersten Richtung erstrecken, und zweite gerade Stromverteilungsschienen, die sich parallel entlang einer zweiten Richtung senkrecht zur ersten Richtung erstrecken, umfassen.
5. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Anordnen der Elektronikbauelemente das Platzieren der Elektronikbauelemente auf einem Träger umfasst.
6. Verfahren nach Anspruch 5, wobei das Anordnen des Stromverteilungsgitters das Platzieren des Stromverteilungsgitters auf dem Träger umfasst.
7. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Ausbilden der Vias das Ausbilden erster Vias, die sich von einer Hauptfläche der Kapselungsschicht zu elektrischen Kontaktpads der Elektronikbauelemente erstrecken, umfasst.
8. Verfahren nach Anspruch 7, wobei das Ausbilden der Vias das Ausbilden zweiter Vias, die sich von einer Hauptfläche der Kapselungsschicht zu einer oberen Oberfläche des Stromverteilungsgitters erstrecken, umfasst, wobei die zweiten Vias entlang den Stromverteilungsschienen gleichmäßig voneinander beabstandet sind.
9. Verfahren nach einem der vorhergehenden Ansprüche, weiterhin umfassend:
Ausbilden der Vias durch Laserbohren.
10. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Füllen von leitendem Material in die Vias das Abscheiden einer organischen Keimschicht auf der Kapselungsschicht und in den Vias gefolgt vom galvanischen Plattieren umfasst.
11. Verfahren nach Anspruch 10, das weiterhin Folgendes umfasst:
Abscheiden der organischen Keimschicht durch naschemische Abscheidung.
12. Verfahren zum Herstellen eines Elektronikbauelement- Package, wobei das Verfahren Folgendes umfasst:
Vorsehen mehrerer Elektronikbauelemente;
Einbetten der Elektronikbauelemente in eine Kapselungsschicht;
Ausbilden von Vias in der Kapselungsschicht, wobei sich die Vias von einer Hauptfläche der Kapselungsschicht zu den Elektronikbauelementen erstrecken; und
Abscheiden einer metallischen Schicht auf der Kapselungsschicht einschließlich der Vias durch galvanisches Plattieren;
wobei das Verfahren weiterhin das Vorsehen einer Stromverteilungsschicht zum Bewirken eines verteilten Wachstums des metallischen Materials während des galvanischen Plattierens umfasst.
13. Verfahren nach Anspruch 12, das weiterhin Folgendes umfasst:
Vorsehen der Stromverteilungsschicht in der gleichen Ebene wie die Elektronikbauelemente.
14. Verfahren nach Anspruch 12, das weiterhin Folgendes umfasst:
Vorsehen der Stromverteilungsschicht in einer anderen Ebene als die Elektronikbauelemente.

15. Verfahren zum Abscheiden einer metallischen Schicht, wobei das Verfahren Folgendes umfasst: Vorsehen einer Materialschicht; und Abscheiden einer metallischen Schicht auf der Materialschicht durch galvanisches Plattieren; wobei das Verfahren weiterhin das Vorsehen einer Stromverteilungsschicht zum Bewirken eines verteilten Wachstums der metallischen Schicht während des galvanischen Plattierens umfasst.

16. Verfahren nach Anspruch 15, wobei das Vorsehen der Materialschicht das Aufbringen der Materialschicht über der Stromverteilungsschicht und Ausbilden von Vias in der Materialschicht umfasst, wobei sich die Vias von einer Hauptfläche der Materialschicht zur Stromverteilungsschicht erstrecken.

17. Verfahren nach Anspruch 15 oder 16, wobei die Stromverteilungsschicht die Form eines Stromverteilungsgitters umfasst, das mehrere Stromverteilungsschienen umfasst.

18. Elektronikbauelement-Package, das Folgendes umfasst:
einen Halbleiterchip;
eine Kapselungsschicht, die den Halbleiterchip bedeckt; und
eine metallische Schiene, die sich entlang einer Kante der Kapselungsschicht erstreckt.

19. Elektronikbauelement-Package nach Anspruch 18, wobei die metallische Schiene eine Seitenfläche koplanar zu einer Seitenfläche der Kapselungsschicht umfasst.

20. Elektronikbauelement-Package nach Anspruch 18 oder 19, wobei die metallische Schiene vier gerade metallische Schienen umfasst, die miteinander verbunden sind, um einen geschlossenen Ring zu bilden, wobei jede einzelne der vier geraden metallischen Schienen eine Seitenfläche koplanar zu einer Seitenfläche der Kapselungsschicht umfasst.

21. Elektronikbauelement-Package nach einem der vorhergehenden Ansprüche, wobei die metallische Schiene einen erhöhten Abschnitt umfasst, der eine obere Hauptfläche der Kapselungsschicht erreicht.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen



Fig. 1

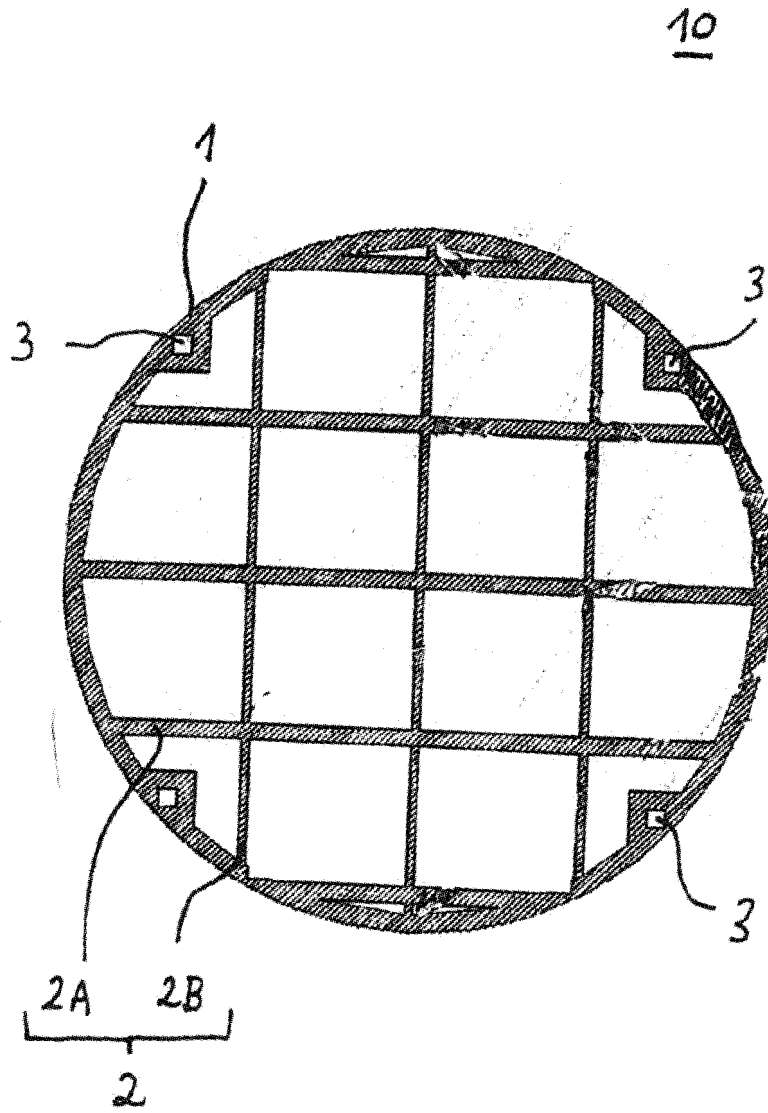


Fig. 2

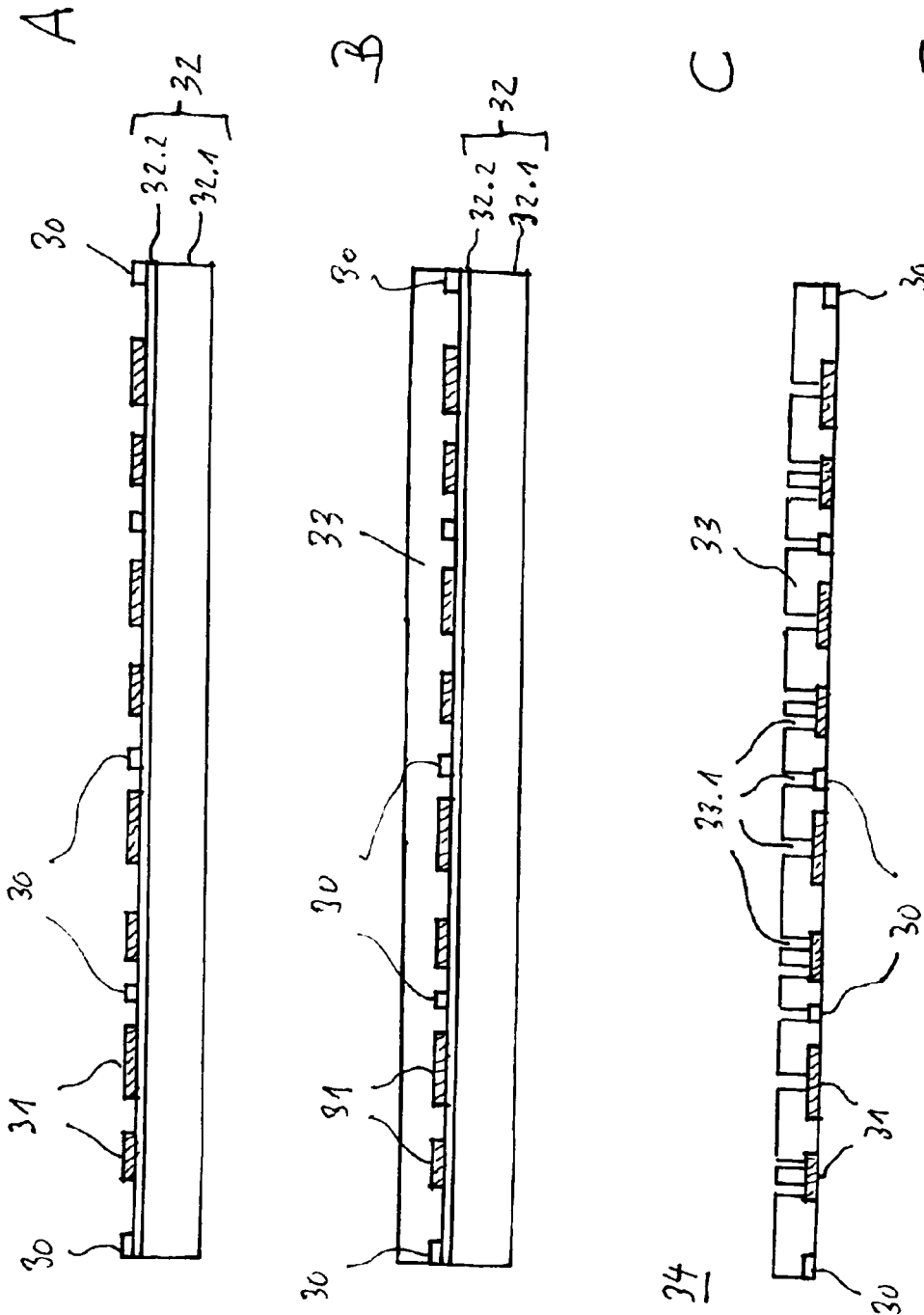


Fig. 3

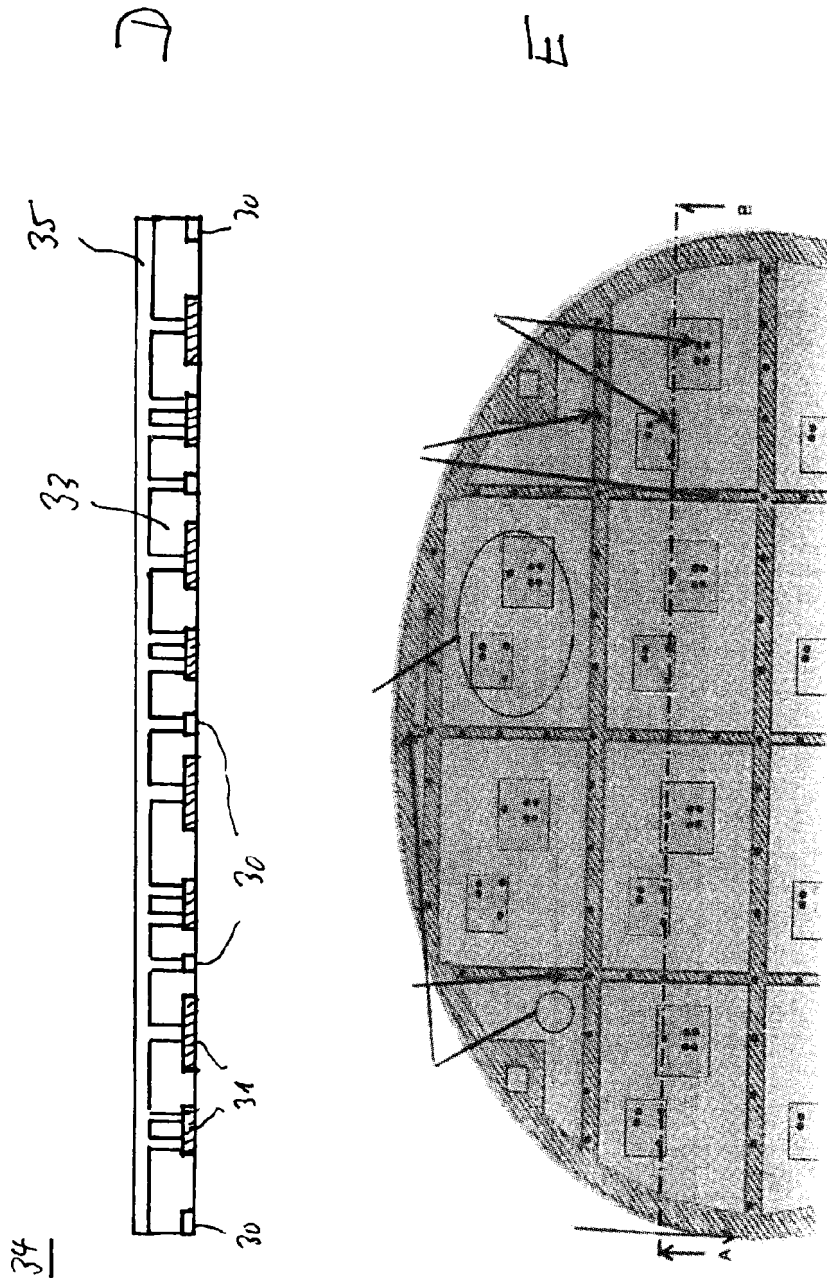
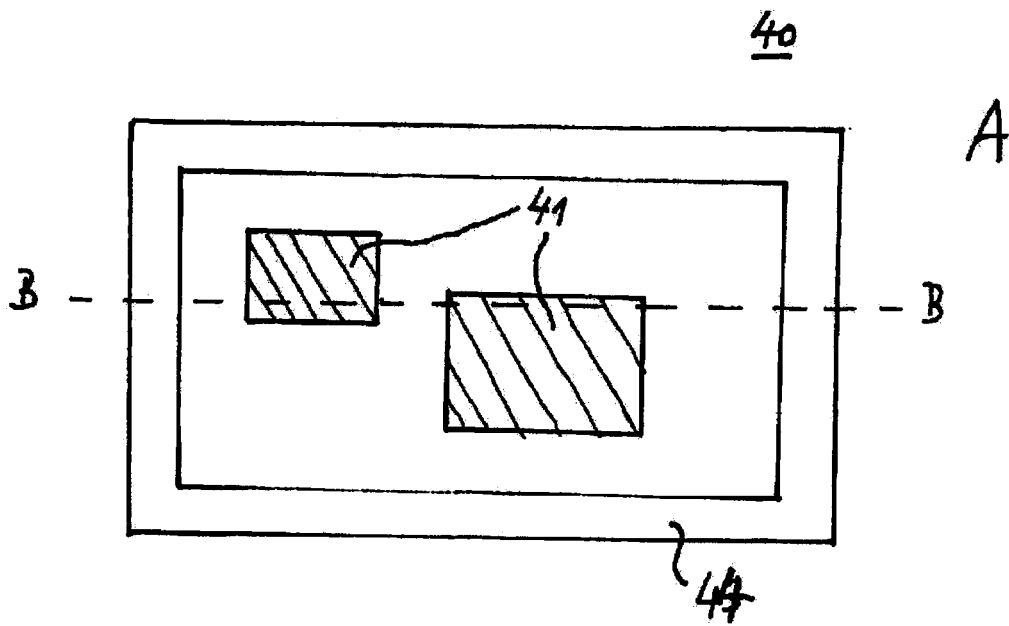


Fig. 3



B

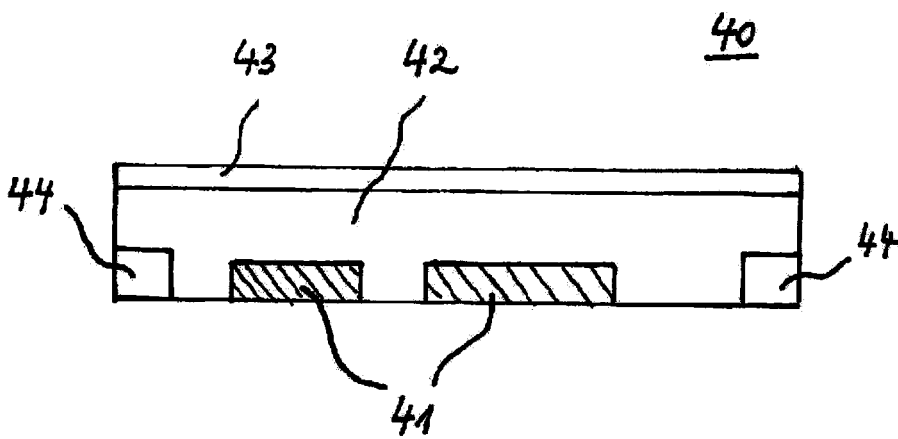
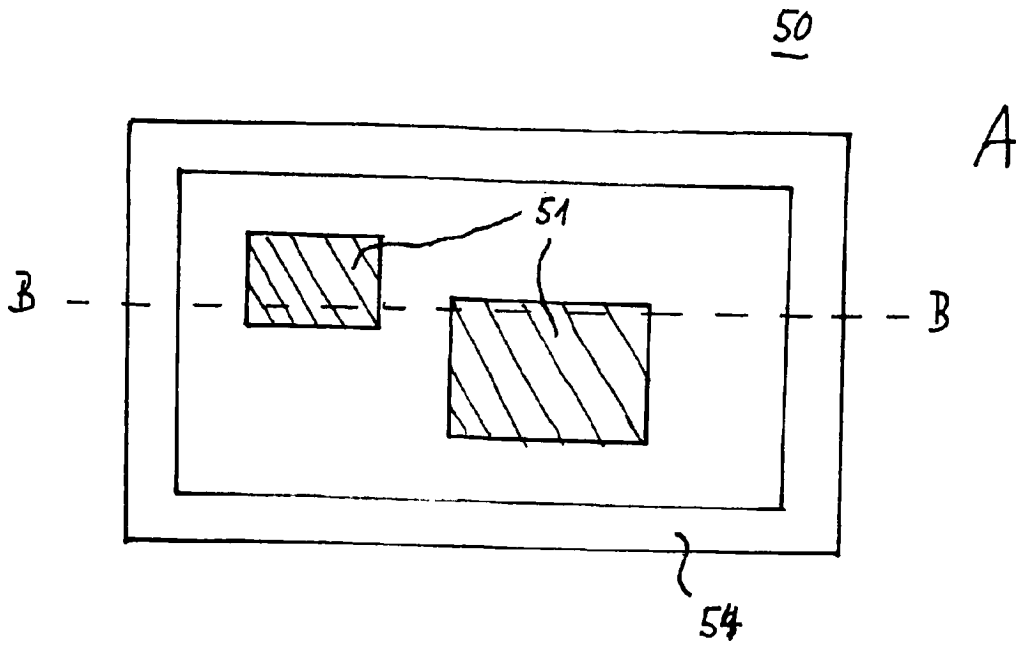


Fig. 4



B

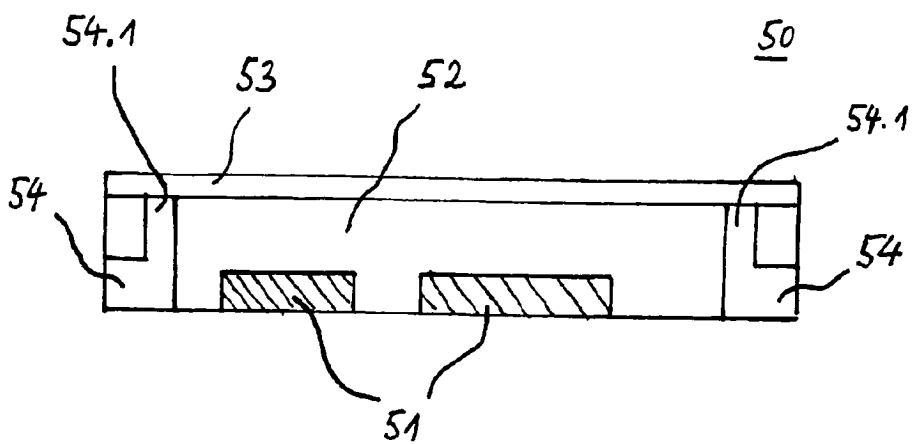


Fig. 5