



(12) 发明专利申请

(10) 申请公布号 CN 118763119 A

(43) 申请公布日 2024. 10. 11

(21) 申请号 202411247783.3

(22) 申请日 2024.09.06

(71) 申请人 杭州芯迈半导体技术有限公司

地址 310051 浙江省杭州市滨江区西兴街  
道联慧街6号1-1201

(72) 发明人 王宝柱 徐弘毅 吴九鹏 王加坤

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 21/336 (2006.01)

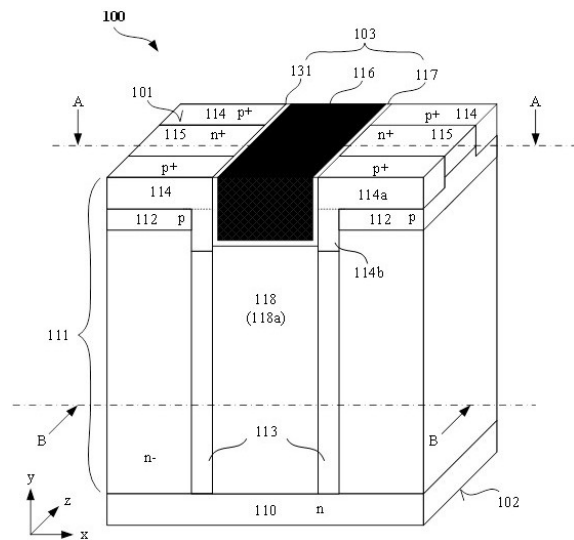
权利要求书3页 说明书11页 附图28页

(54) 发明名称

一种超结功率器件及其制造方法

(57) 摘要

本申请公开了一种超结功率器件,包括衬底层、外延层、栅极结构和位于栅极结构下方的电介质区域、位于栅极结构和电介质区域的两侧的阱区、位于阱区内的源区以及阱接触区。在电介质区域的部分侧壁上覆有具有第二导电类型的半导体层。电介质区域的未覆盖半导体层的部分至少位于源区之间的栅极结构下方。本申请提供的超结功率器件,元胞尺寸明显降低,器件的导通性能好。同时本申请提供的制造方法简单可行,可显著减少工艺时间和制造成本。



1. 一种超结功率器件,包括:  
衬底层,具有第一导电类型;  
外延层,位于衬底层之上,具有第一导电类型;  
栅极结构;  
电介质区域,位于栅极结构下方;  
阱区,位于外延层内,且位于栅极结构的两侧,具有第二导电类型;  
源区,位于阱区内,且位于栅极结构的两侧,具有第一导电类型;以及  
阱接触区,位于阱区内,且位于栅极结构的两侧,具有第二导电类型;  
所述电介质区域的部分侧壁上覆有具有第二导电类型的半导体层,所述电介质区域的未覆盖半导体层的部分至少位于源区之间的栅极结构下方。
2. 如权利要求1所述的超结功率器件,其中在所述栅极结构的每一侧,所述源区和阱接触区在平行于栅极结构的长度方向的第一方向上交替分布。
3. 如权利要求1所述的超结功率器件,其中阱接触区包括下挂部分,所述下挂部分与栅极结构的侧壁相接,并与所述半导体层的顶部相接。
4. 如权利要求3所述的超结功率器件,其中所述阱接触区的下挂部分与半导体层相接的位置低于栅极结构的底部。
5. 如权利要求1所述的超结功率器件,其中所述电介质区域包括在平行于栅极结构的长度方向的第一方向上交替分布且相接的第一电介质区域和第二电介质区域,所述第一电介质区域位于阱接触区之间的栅极结构之下,且所述第一电介质区域在沿着所述第一方向的侧壁上覆有具有第二导电类型的半导体层,所述第二电介质区域位于源区之间的栅极结构之下。
6. 如权利要求1所述的超结功率器件,其中所述电介质区域位于阱接触区之间的栅极结构下方,且源区之间的栅极结构下方为外延层,在平行于栅极结构的长度方向的第一方向上,多个电介质区域之间被外延层所隔离,且所述电介质区域的沿着所述第一方向的侧壁上覆有具有第二导电类型的半导体层。
7. 如权利要求1所述的超结功率器件,其中所述电介质区域位于阱接触区之间的栅极结构下方,且源区之间的栅极结构下方为外延层,在平行于栅极结构的长度方向的第一方向上,多个电介质区域之间被外延层所隔离,且所述电介质区域的侧壁上覆有具有第二导电类型的半导体层。
8. 如权利要求1所述的超结功率器件,具有平行的第一表面和第二表面,其中所述电介质区域的顶部与栅极结构的底部相接,并且所述栅极结构的底部到超结功率器件的第一表面的距离大于阱区的底部到超结功率器件的第一表面的距离。
9. 如权利要求1所述的超结功率器件,其中所述栅极结构包括沟槽栅结构。
10. 一种超结功率器件的制造方法,所述超结功率器件包括平行且相背的第一表面和第二表面,所述制造方法包括:  
形成衬底层;  
在衬底层之上形成外延层;  
在外延层中靠近超结功率器件的第一表面的部分形成阱区;  
在阱区中形成条状分布的源区;

沿着与条状分布的源区垂直的方向在外延层中形成沟槽；  
在源区之间的沟槽区域和源区上方覆盖离子注入保护层；  
第一次倾斜离子注入,在未被离子注入保护层覆盖的沟槽侧壁及阱区表面区域形成半导体层；

第二次倾斜离子注入,在半导体层靠近沟槽顶部的区域中形成阱接触区,其中第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度,阱接触区包括平坦部分和下挂部分,所述下挂部分与半导体层相接；

去除离子注入保护层后在沟槽中填充电介质,形成电介质区域,其中所述电介质区域的顶部到超结功率器件的第一表面的距离大于所述阱区底部到超结功率器件的第一表面的距离；以及

在填充有电介质的沟槽中形成栅极结构。

11. 如权利要求10所述的超结功率器件的制造方法,其中,阱接触区的下挂部分与半导体层相接的位置低于阱区的底部。

12. 一种超结功率器件的制造方法,所述超结功率器件包括平行且相背的第一表面和第二表面,所述制造方法包括:

形成衬底层；

在衬底层之上形成外延层；

在外延层中靠近超结功率器件的第一表面的部分形成阱区；

在阱区中形成条状分布的源区；

沿着与条状分布的源区垂直的方向在外延层中形成沟槽；

将沟槽两侧对应的源区之间的沟槽区域和源区上方覆盖离子注入保护层；

第一次倾斜离子注入,在未被离子注入保护层覆盖的沟槽侧壁及阱区表面区域形成半导体层；

第二次倾斜离子注入,降低半导体层靠近沟槽顶部的区域的杂质浓度,其中第二次倾斜离子注入的杂质类型与第一次倾斜离子注入的杂质类型相关,并且第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度；

垂直离子注入,在半导体层位于阱区内的区域形成阱接触区,阱接触区底部高于阱区的底部；

去除离子注入保护层后在沟槽中填充电介质,形成电介质区域,其中所述电介质区域的顶部到超结功率器件的第一表面的距离大于所述阱区底部到超结功率器件的第一表面的距离；以及

在填充有电介质的沟槽中形成栅极结构。

13. 一种超结功率器件的制造方法,所述超结功率器件包括平行且相背的第一表面和第二表面,所述制造方法包括:

形成衬底层；

在衬底层之上形成外延层；

在外延层中靠近超结功率器件的第一表面的部分形成阱区；

在阱区中形成条状分布的源区；

沿着与条状分布的源区垂直的方向在外延层中形成第一沟槽；

去除位于阱区之间的第一沟槽下方的外延层,以形成第二沟槽,并同时保留位于源区之间的第一沟槽下方的外延层;

在位于源区之间的第一沟槽内的区域和源区上方覆盖离子注入保护层;

第一次倾斜离子注入,在未被离子注入保护层覆盖的第二沟槽侧壁及阱区表面区域形成半导体层;

第二次倾斜离子注入,在半导体层靠近第二沟槽顶部的区域中形成阱接触区,其中第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度,阱接触区包括平坦部分和下挂部分,所述下挂部分与半导体层相接;

去除离子注入保护层后在第二沟槽中填充电介质,形成电介质区域,其中所述第二沟槽内的电介质区域的顶部与第一沟槽底部齐平,所述第二沟槽内的电介质区域的顶部到超结功率器件的第一表面的距离大于所述阱区底部到超结功率器件的第一表面的距离;以及在第一沟槽中和电介质区域上方形成栅极结构。

14. 如权利要求13所述的超结功率器件的制造方法,其中,阱接触区的下挂部分与半导体层相接的位置低于阱区的底部。

## 一种超结功率器件及其制造方法

### 技术领域

[0001] 本申请涉及半导体技术领域,特别涉及一种超级结功率器件及其制造方法。

### 背景技术

[0002] 在具有超结结构的功率器件中,漂移层通常包括n型柱和p型柱。n型柱构成了功率器件的电流通路。p型柱用于在功率器件的漏源之间获得高反向击穿电压。当功率器件导通时,n型柱内的高杂质浓度使得功率器件的导通电阻较小。当功率器件关断并施加了反向电压时,n型柱和p型柱之间的耗尽区横向延伸以便即使在n型柱内有高杂质浓度的情况下也能形成高反向击穿电压。

[0003] 现有的超结功率器件的制作方法主要有两种。其中一种方法是多层外延技术,即多次形成外延层,并利用掩膜工艺在每一外延层中形成p型区。多个外延层中的p型区上下叠加形成p型柱,从而实现超结结构。多层外延技术的p型柱由多次p型离子注入和推结形成。因此器件尺寸较大。且由注入推结形成的pn结的界面的浓度不均匀,呈现糖葫芦状分布。这种曲面界面不利于pn结两边的电荷平衡,可能会导致功率器件击穿电压下降。另一种方法是深沟槽外延回填技术,即在外延层中刻蚀出多个深沟槽,之后在深沟槽中填充p型材料以形成p型柱,从而实现超结结构。深沟槽外延回填技术的p型柱是由挖深槽回填p型材料实现的,其工艺流程相对多层外延技术简单,器件尺寸通常比多层外延小,并且pn结界面的浓度分布也相对比较直且均匀稳定。但是深槽内填充外延的工艺难度较大,回填形成的p型柱容易出现空洞,导致功率器件源漏间漏电增大,严重时可能导致功率器件失效。

### 发明内容

[0004] 本申请提供了一种超结功率器件及其制造方法。本申请提供的超结功率器件,元胞尺寸明显降低,器件的导通性能优越。并且在深沟槽内填充电介质的结构使得器件的栅漏电容大幅度降低,提高了器件的开关速度,进而减小了器件的开关损耗。本申请提供的制造方法通过在外延层的深槽侧壁形成特定掺杂类型的半导体层,再往覆盖了半导体层的深槽内填充电介质来形成外延层中的超结结构。本申请提供的制造方法简单易行,可显著减少工艺时间和制造成本。

[0005] 根据本申请的一实施例,提供了一种超结功率器件,包括衬底层、外延层、栅极结构、电介质区域、阱区、源区和阱接触区。衬底层具有第一导电类型。外延层位于衬底层之上,具有第一导电类型。电介质区域位于栅极结构下方。阱区位于外延层内,且位于栅极结构的两侧,具有第二导电类型。源区位于阱区内且位于栅极结构的两侧,具有第一导电类型。阱接触区位于阱区内且位于栅极结构的两侧,具有第二导电类型。电介质区域的部分侧壁上覆有具有第二导电类型的半导体层。电介质区域的未覆盖半导体层的部分至少位于源区之间的栅极结构下方。

[0006] 根据本申请的一实施例,前述超结功率器件,在栅极结构的每一侧,源区和阱接触区在平行于栅极结构的长度方向的第一方向上交替分布。

[0007] 根据本申请的一实施例,前述超结功率器件,其中阱接触区包括下挂部分。该下挂部分与栅极结构的侧壁相接,并且与半导体层的顶部相接。

[0008] 根据本申请的一实施例,提供了一种超结功率器件的制造方法。该超结功率器件包括平行且相背的第一表面和第二表面。该制造方法包括:形成衬底层;在衬底层之上形成外延层;在外延层中靠近超结功率器件的第一表面的部分形成阱区;在阱区中形成条状分布的源区;沿着与条状分布的源区垂直的方向在外延层中形成沟槽;在源区之间的沟槽区域和源区上方覆盖离子注入保护层;第一次倾斜离子注入,在未被离子注入保护层覆盖的沟槽侧壁及阱区表面区域形成半导体层;第二次倾斜离子注入,在半导体层靠近沟槽顶部的区域中形成阱接触区,其中第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度,阱接触区包括平坦部分和下挂部分,该下挂部分与半导体层相接;去除离子注入保护层后在沟槽中填充电介质,形成电介质区域,其中该电介质区域的顶部到超结功率器件的第一表面的距离大于该阱区底部到超结功率器件的第一表面的距离;以及在填充有电介质的沟槽中形成栅极结构。

[0009] 根据本申请的一实施例,提供了一种超结功率器件的制造方法。该超结功率器件包括平行且相背的第一表面和第二表面。该制造方法包括:形成衬底层;在衬底层之上形成外延层;在外延层中靠近超结功率器件的第一表面的部分形成阱区;在阱区中形成条状分布的源区;沿着与条状分布的源区垂直的方向在外延层中形成沟槽;将沟槽两侧对应的源区之间的沟槽区域和源区上方覆盖离子注入保护层;第一次倾斜离子注入,在未被离子注入保护层覆盖的沟槽侧壁及阱区表面区域形成半导体层;第二次倾斜离子注入,降低半导体层靠近沟槽顶部的区域的杂质浓度,其中第二次倾斜离子注入的杂质类型与第一次倾斜离子注入的杂质类型相关,并且第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度;垂直离子注入,在半导体层位于阱区内的区域形成阱接触区,阱接触区底部高于阱区的底部;去除离子注入保护层后在沟槽中填充电介质,形成电介质区域,其中该电介质区域的顶部到超结功率器件的第一表面的距离大于该阱区底部到超结功率器件的第一表面的距离;以及在填充有电介质的沟槽中形成栅极结构。

[0010] 根据本申请的一实施例,提供了一种超结功率器件的制造方法。该超结功率器件包括平行且相背的第一表面和第二表面。该制造方法包括:形成衬底层;在衬底层之上形成外延层;在外延层中靠近超结功率器件的第一表面的部分形成阱区;在阱区中形成条状分布的源区;沿着与条状分布的源区垂直的方向在外延层中形成第一沟槽;去除位于阱区之间的第一沟槽下方的外延层,以形成第二沟槽,并同时保留位于源区之间的第一沟槽下方的外延层;在位于源区之间的第一沟槽内的区域和源区上方覆盖离子注入保护层;第一次倾斜离子注入,在未被离子注入保护层覆盖的第二沟槽侧壁及阱区表面区域形成半导体层;第二次倾斜离子注入,在半导体层靠近第二沟槽顶部的区域中形成阱接触区,其中第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度,阱接触区包括平坦部分和下挂部分,该下挂部分与半导体层相接;去除离子注入保护层后在第二沟槽中填充电介质,形成电介质区域,其中该第二沟槽内的电介质区域的顶部与第一沟槽底部齐平,该第二沟槽内的电介质区域的顶部到超结功率器件的第一表面的距离大于该阱区底部到超结功率器件的第一表面的距离;以及在第一沟槽中和电介质区域上方形成栅极结构。

[0011] 根据本申请的一实施例,前述超结功率器件,阱接触区的下挂部分与半导体层相

接的位置低于栅极结构的底部。

### 附图说明

[0012] 通过以下参照附图对本申请实施例的描述,本申请的上述以及其他目的、特征和优点将更为清楚:

[0013] 图1为根据本申请一实施例的超结功率器件100的部分元胞区域的结构示意图;

[0014] 图2示出了根据本申请一实施例的如图1所示的超结功率器件100的部分元胞区沿着A-A线的截面结构示意图;

[0015] 图3为根据本申请一实施例的如图1所示的超结功率器件100的部分元胞区沿着B-B线的截面结构示意图;

[0016] 图4示出了根据本申请一实施例的超结功率器件400的顶视图;

[0017] 图5示出了根据本申请一实施例的超结功率器件100的制造方法500的各步骤过程;

[0018] 图6A-图6J示出了根据本申请一实施例的依照制造方法500制造超结功率器件100过程中的器件结构示意图;

[0019] 图7为根据本申请一实施例的超结功率器件700的部分元胞区域的结构示意图;

[0020] 图8示出了根据本申请一实施例的超结功率器件700的制造方法800的各步骤过程;

[0021] 图9为根据本申请一实施例的超结功率器件900的部分元胞区域的结构示意图;

[0022] 图10为根据本申请一实施例的如图9所示的超结功率器件900的部分元胞区沿着C-C线的截面结构示意图;

[0023] 图11示出了根据本申请一实施例的如图9所示的超结功率器件900的部分元胞区沿着D-D线的截面结构示意图;

[0024] 图12示出了根据本申请另一实施例的如图9所示的超结功率器件900的部分元胞区沿着D-D线的截面结构示意图;

[0025] 图13示出了根据本申请一实施例的超结功率器件900的制造方法1300的各步骤过程;

[0026] 图14A-图14E示出了根据本申请一实施例的依照制造方法1300制造超结功率器件900过程中的器件示意图;

[0027] 图15为根据本申请一实施例的超结功率器件1500的部分元胞区域的结构示意图。

### 具体实施方式

[0028] 下面将详细描述本申请的具体实施例,应当注意,这里描述的实施例只用于举例说明,并不用于限制本申请。在以下描述中,为了提供对本申请的透彻理解,阐述了大量特定细节。然而,对于本领域普通技术人员显而易见的是:不必采用这些特定细节来实行本申请。在其他实例中,为了避免混淆本申请,未具体描述公知的电路、材料或方法。

[0029] 在整个说明书中,对“一个实施例”、“实施例”、“一个示例”或“示例”的提及意味着:结合该实施例或示例描述的特定特征、结构或特性被包含在本申请至少一个实施例中。因此,在整个说明书的各个地方出现的短语“在一个实施例中”、“在实施例中”、“一个示例”

或“示例”不一定都指同一实施例或示例。此外,可以以任何适当的组合和/或子组合将特定的特征、结构或特性组合在一个或多个实施例或示例中。此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。相同的附图标记指示相同的元件。这里使用的术语“和/或”包括一个或多个相关列出的项目的任何和所有组合。附图未按比例绘制并且仅用于说明目的。为清楚起见,除非另有说明,否则相同的元件在不同的附图中已由相应的参考标号指定。

[0030] 术语“具有”、“包含”、“包括”、“包含”等是开放的,并且这些术语表示存在所述结构、元素或特征,但不排除额外的元素或特征。

[0031] 在描述器件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将器件翻转,该一层、一个区域将位于另一层、另一区域“下面”或“下方”。

[0032] 如果为了描述直接位于另一层、另一区域上面的情形,本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

[0033] 本文中,通过在掺杂类型“n”或“p”旁边指示“-”或“+”来说明相对掺杂浓度。例如,“n-”表示掺杂浓度低于“n”掺杂区的掺杂浓度,而“n”掺杂区比“n-”掺杂区具有更高的掺杂浓度。相同相对掺杂浓度的掺杂区不一定具有相同的绝对掺杂浓度。例如,两个不同的“n”型掺杂区域可能具有相同或不同的绝对掺杂浓度。

[0034] 在本申请实施例中,各半导体层或区域具有第一导电类型或第二导电类型。所述第一导电类型指的是n型或p型中的一种,所述第二导电类型为其中的另一种。也就是说,具有第一导电类型的半导体层可以是n型半导体层或p型半导体层。当具有第一导电类型的半导体层为n型半导体层时,具有第二导电类型的半导体层则为p型半导体层。所述n型半导体层通过在半导体层中掺杂n型杂质形成。n型杂质可以是磷、砷等五价元素。所述p型半导体层通过在半导体层中掺杂p型杂质形成。p型杂质可以是硼、镓等三价元素。

[0035] 图1为根据本申请一实施例的超结功率器件100的部分元胞区域的结构示意图。应当理解,超结功率器件100包括元胞区和终端区等多个功能区域,而其中的元胞区也包括多个重复的元胞单元。为示图清晰起见,图1示出了其中的部分元胞区域以便于理解本申请实施例。

[0036] 超结功率器件100可以是或包括隔离栅场效应管,例如MOSFET (Metal Oxide Semiconductor Field Effect Transistor,金属氧化物场效应管)等。

[0037] 如图1所示,超结功率器件100具有第一表面101和第二表面102。第一表面101和第二表面102相互平行,且相背,即在如图1所示的y方向上朝向相反的方向。超结功率器件100包括衬底层110、外延层111、栅极结构103、阱区112、阱接触区114和源区115。

[0038] 在图1实施例中,衬底层110具有平行且相背的第一表面和第二表面。衬底层110的第一表面和外延层111相接,即外延层111位于衬底层110的第一表面之上。衬底层110的第二表面即为超结功率器件100的第二表面102。外延层111具有第一表面和第二表面。外延层111的第一表面为超结功率器件100的第一表面101。外延层111的第二表面与衬底层110的第一表面相接。在图1实施例中,衬底层110和外延层111均具有第一导电类型。衬底层110的掺杂浓度高于外延层111的掺杂浓度。



[0039] 在图1实施例中,超结功率器件100为n型MOSFET,第一导电类型为n型,第二导电类型为p型。应当理解,第一导电类型和第二导电类型可随着不同的应用而转换。例如在p型MOSFET中,第一导电类型为p型,第二导电类型为n型。

[0040] 图1实施例示出了外延层为单一掺杂浓度的半导体层的结构。应当理解,在其他实施例中,外延层可以包括多个不同掺杂浓度的半导体层。

[0041] 在图1实施例中,栅极结构103为沟槽栅结构,呈条状位于外延层111中,并且其长度方向沿着如图1所示的z方向。该栅极结构103包括栅沟槽131、栅绝缘层117和栅电极116。栅沟槽131从第一表面101往外延层111中垂直延伸。栅绝缘层117覆盖栅沟槽131的内壁。栅电极116位于栅沟槽131中,并通过栅绝缘层117与栅沟槽131隔离。在部分实施例中,栅绝缘层117的材料可以是氧化硅、氮化硅或两者的结合等,通过热氧生长或淀积方式形成。在部分实施例中,栅电极116采用金属或多晶硅之类的导电材料制作。

[0042] 如图1所示,阱区112位于外延层111中靠近第一表面101的部分。阱区112分布于栅极结构103的两侧。阱区112具有第二导电类型。源区115位于阱区112中,且暴露于第一表面101。在第一表面101,在如图1所示的x方向,源区115呈条状分布。条状的源区115垂直于栅极结构103的长度方向,并被栅极结构103截断,形成在栅极结构103两侧分布的结构。源区115具有第一导电类型。阱接触区114位于阱区112中,且暴露于第一表面101。在第一表面101,在如图1所示的x方向,阱接触区114呈条状分布。条状的阱接触区114垂直于栅极结构103的长度方向,并被栅极结构103截断,形成在栅极结构103两侧分布的结构。在如图1所示的z方向,阱接触区114和源区115相接。源区115和阱接触区114均沿着栅极结构103的长度方向在栅极结构103两侧分布。

[0043] 在图1实施例中,在栅极结构103的下方区域,分布有电介质区域118。该电介质区域118从栅极结构103的底部延伸至外延层111的第二表面,即延伸至衬底层110的第一表面。

[0044] 在图1实施例中,电介质区域118包括第一电介质区域118a和第二电介质区域118b。第一电介质区域118a和第二电介质区域118b沿着z方向交替排列。第一电介质区域118a位于栅极结构103下方且在栅极结构103两侧的阱接触区114之间的位置。第二电介质区域118b(如图2所示)位于栅极结构103下方且在栅极结构103两侧的源区115之间的位置。第一电介质区域118a和第二电介质区域118b沿着z方向交替排列。在第一电介质区域118a沿着z方向的侧壁上覆有半导体层113。所述半导体层113具有第二导电类型。

[0045] 阱接触区114包括平坦部分114a和下挂部分114b,在图1中以虚线示意区分该两部分区域。该下挂部分114b与平坦部分114a相接,并沿着栅极结构103的侧壁向下延伸,即向远离第一表面101的方向延伸。阱接触区114的下挂部分114b的底部与半导体层113相接。在图1实施例中,阱接触区114的下挂部分114b与半导体层113相接的界面位置低于栅极结构103的底部。对于SiC MOSFET器件,当栅极结构103为沟槽栅结构时,阱接触区114与半导体层113相接的界面位置低于栅极结构103的底部,可以有效地降低沟槽栅的栅氧的最大电场,提高器件的长期可靠性。

[0046] 在图1实施例中,阱接触区114的掺杂浓度高于半导体层113的掺杂浓度。相对来讲,阱接触区114和源区115均为高掺杂浓度区域。在超结功率器件100应用于电路中时,阱接触区114连接至阱电位,而源区115则连接到源电位。在部分实施例中,阱电位和源电位的

电位相同。

[0047] 图2示出了根据本申请一实施例的如图1所示的超结功率器件100的部分元胞区沿着A-A线的截面结构示意图。如图2所示,阱区112位于外延层111中靠近第一表面101的区域,源区115位于阱区112内,且其底部不超过阱区112的底部,即整个源区115位于阱区112内。所述源区115和阱区112的其中一侧壁与栅极结构103的侧壁相接。栅极结构103的下方,是与栅极结构103的底部相接的第二电介质区域118b。在该剖面上,第二电介质区域118b沿着z方向的两侧侧壁上没有半导体层113,第二电介质区域118b直接与两侧的外延层111相接。第二电介质区域118b两侧的外延层111提供从源区115到衬底层110的电流路径。应当理解,当器件的电流能力要求不高时,半导体层113可适当地向源区115之间的区域延伸,而并不必须是在阱接触区114之间的栅极结构103的下方。同理,当功率器件存在除了阱接触区114和源区115之外的其他区域时,该其他区域之间的栅极结构下方的电介质区域侧壁也可以覆有半导体层113。也就是说,只要在源极之间的栅极结构下方的电介质区域的侧壁保留有一定的未覆盖半导体层113的区域,以保证源区到衬底层的电流路径即可,并不必须使源极之间的栅极结构下方的电介质区域的所有侧壁均不覆盖半导体层113。同样的,半导体层113也并不必须覆盖阱接触区114之间的栅极结构103下方的电介质区域的所有侧壁。

[0048] 在超结功率器件100中,n型的外延层111和p型的半导体层113构成了超结结构。而位于栅极结构103下方的电介质区域118也减小了超结功率器件100的栅漏电容,可以提高超结功率器件100的开关速度,减少开关损耗。

[0049] 图3为根据本申请一实施例的如图1所示的超结功率器件100的部分元胞区沿着B-B线的截面结构示意图。沿着B-B线的截面平行于第一表面101和第二表面102。如图3所示,在该截面上,可以看到位于栅极结构103底部的交替排列的第一电介质区域118a和第二电介质区域118b。第一电介质区域118a沿着栅极结构103的长度方向(即沿着如图1所示的z方向)上的侧壁上覆有半导体层113。

[0050] 图4示出了根据本申请一实施例的超结功率器件400的顶视图。该顶视图示出了超结功率器件400的部分元胞区域的第一表面。如图4所示,在第一表面上,源区415和阱接触区414沿着栅极结构103的长度方向交替排列。在现有功率器件中,源区和阱接触区通常在垂直于栅极结构长度方向的方向上排列,例如源区的一侧与栅极结构的侧壁相接,而阱接触区排列在源区的另一侧,与源区另一侧相接。在这种情况下,单个元胞在垂直于栅极结构的长度方向上的长度较大。本申请实施例将源区和阱接触区在平行于栅极结构的方向上交替排列,有效地减小了超结功率器件的元胞尺寸,并且改善了超结功率器件的导通性能。

[0051] 图5示出了根据本申请一实施例的超结功率器件100的制造方法500的各步骤过程。应当理解,如图5所示的制造方法500的各步骤并不必然具有先后次序。该制造方法500包括:步骤501,形成衬底层110;步骤502,在衬底层110之上形成外延层111;步骤503,在外延层111中靠近超结功率器件100的第一表面101的部分形成阱区112;步骤504,在阱区112中形成条状分布的源区115;步骤505,沿着与条状分布的源区115垂直的方向在外延层111中形成沟槽;步骤506,在源区115之间的沟槽区域和源区115上方覆盖离子注入保护层;步骤507,第一次倾斜离子注入,在沟槽侧壁及阱区112表面未被离子注入保护层覆盖的区域形成半导体层;步骤508,第二次倾斜离子注入,在半导体层靠近沟槽顶部的区域中形成阱接触区114,其中第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度,阱接触区

114包括平坦部分114a和下挂部分114b,所述下挂部分114b与半导体层113相接,且相接的位置低于阱区114的底部;步骤509,去除离子注入保护层后在沟槽中填充电介质,形成电介质区域118,其中所述电介质区域118的顶部到超结功率器件100的第一表面101的距离大于所述阱区112底部到超结功率器件100的第一表面101的距离;以及步骤510,在填充有电介质的沟槽中形成栅极结构103。

[0052] 图6A-图6J示出了根据本申请一实施例的依照制造方法500制造超结功率器件100过程中的器件结构示意图。以下将结合图5和图6A-6J来说明超结功率器件100的制作方法500。

[0053] 图6A为根据本申请一实施例的步骤501和502实施完成后的器件结构示意图。此时超结功率器件100具有衬底层110和位于衬底层110之上的外延层111。衬底层110和外延层111具有第一导电类型,且衬底层110的掺杂浓度高于外延层111的掺杂浓度。在部分实施例中,第一导电类型为n型,衬底层110和外延层111均为n型半导体层,但具有不同的掺杂浓度。

[0054] 图6B为根据本申请一实施例的步骤503实施完成后的器件结构示意图。此时超结功率器件100的外延层111靠近第一表面101的部分形成阱区112。阱区112的制造方法可以是任意适用的方法,例如离子注入等。应当理解,当功率器件表面还有其他区域从而需要对某些特定区域进行离子注入以形成阱区112时,阱区112的制造方法还包括掩膜工序以实现特定区域的离子注入。

[0055] 图6C为根据本申请一实施例的步骤504实施完成后的器件结构示意图。此时超结功率器件100的阱区112中形成了高掺杂浓度的源区115。在部分实施例中,阱区112为具有相对低掺杂浓度的p型半导体区,源区115为具有相对高掺杂浓度的n型半导体区。源区115可通过适合的工艺技术制作而成,例如掩膜工艺,即在器件第一表面101上覆盖掩膜版(如光刻胶),之后在掩膜版上的特定位置形成窗口后,再通过掩膜版的窗口向器件注入杂质,形成源区115。

[0056] 图6D为根据本申请一实施例的步骤505实施完成后的器件结构示意图。此时超结功率器件100在垂直于条状的源区115的方向上形成沟槽104,将源区115分成位于沟槽两侧的部分。沟槽104的底部到达了衬底层110。沟槽104可采用任意适用的方法制作完成。例如通过掩膜工艺在沟槽的位置形成窗口,再往窗口位置刻蚀外延层111。

[0057] 图6E为根据本申请一实施例的步骤506实施完成后的器件结构示意图。此时源区115以及源区115之间的沟槽104内覆盖了离子注入保护层105。该离子注入保护层105可以是光刻胶、氧化硅层、氮化硅层、多晶硅或是不同材料的组合等。在覆盖了离子注入保护层105后,器件的第一表面101上的阱区112和沟槽104内未被离子注入保护层105覆盖的部分均处于暴露状态。

[0058] 图6F为根据本申请一实施例的步骤507实施完成后的器件结构示意图。在步骤507中,采用了第一次倾斜离子注入的方式往器件的沟槽104内的侧壁和阱区112表面注入杂质,以形成具有特定导电类型的半导体层。在一实施例中,注入的杂质为p型杂质,未覆盖离子注入保护层105的沟槽侧壁和阱区形成p型层,如图6F所示。通过控制倾斜离子注入的角度 $A_1$ 和注入的强度,可控制该p型层的厚度和掺杂浓度。在图6F中,半导体层113覆盖至沟槽的底部,即半导体层113的底部到达衬底层110。在部分实施例中,半导体层113的底部可以

不延伸至衬底层110。

[0059] 图6G为根据本申请一实施例的步骤508实施完成后的器件结构示意图。在步骤508中,采用了第二次倾斜离子注入的方式在第一次倾斜离子注入后形成的半导体层113靠近沟槽顶部的区域中形成阱接触区114。在一实施例中,注入的杂质为p型杂质,且第二次倾斜离子注入的角度A2大于第一次倾斜离子注入的角度A1,从而在靠近沟槽顶部的区域中形成比原先的半导体层113的掺杂浓度更高的区域。通过控制第二次倾斜离子注入的角度A2,可控制阱接触区114的下挂部分114b向半导体层113延伸的长度。

[0060] 图6H为根据本申请一实施例的去离子注入保护层105后的器件结构示意图。如图6H所示,此时沟槽104每一侧的阱区112中均形成了间隔排列且相接的源区115和阱接触区114。而阱接触区114又包括相接的平坦部分114a和下挂部分114b。下挂部分114b与半导体层113相接。源区115下方为阱区112和外延层111及底部的衬底层110。因此源区115到衬底层110的电流通道得以保证。

[0061] 图6I为根据本申请一实施例的实施步骤509后的器件结构示意图。此时超结器件100的沟槽内填充有电介质区域118。该电介质区域118的材料可以是氧化硅、氮化硅、氧化铝等高介电常数的绝缘材料,也可以是不同种绝缘材料的组合。应当理解,在往沟槽内填充电介质后,可能因工艺原因存在电介质区域部分的顶部不平整或各沟槽内的电介质区域的高度不一致的情况。因此,还可能存在对电介质区域118的进一步处理的程序,如刻蚀打磨等。

[0062] 图6J为根据本申请一实施例的步骤510实施后的器件结构示意图。如图6J所示,在形成电介质区域118后,电介质区域118的顶部剩余的沟槽内形成了栅极结构103。任意适用于形成沟槽栅结构的方法均可以用于本申请实施例。例如可以通过沉积的方式在沟槽内先形成一层氧化硅层作为栅绝缘层117,之后再往沟槽填充金属或多晶硅等导电材料形成栅电极116。

[0063] 图7为根据本申请一实施例的超结功率器件700的部分元胞区域的结构示意图。与超结功率器件100相比,超结功率器件700的阱接触区714不包括下挂部分。超结功率器件700的阱接触区714仅包括平坦部分,分别在不同的方向上与栅极结构103的侧壁和源区115邻接,并沿着栅极结构103的长度方向与源区115间隔排列并分布于阱区712内。在超结功率器件700中,当对器件栅电极施加特定的电压,使得器件沟道开启导通电流时,阱接触区714下方的阱区712侧壁也同样形成沟道,增加了沟道面积,减小了沟道电阻,提升了器件的导通能力。

[0064] 图8示出了根据本申请一实施例的超结功率器件700的制造方法800的各步骤过程。应当理解,如图8所示的制造方法800的各步骤并不必然具有先后次序。该制造方法800包括:步骤801,形成衬底层110;步骤802,在衬底层110之上形成外延层111;步骤803,在外延层111中靠近超结功率器件700的第一表面101的部分形成阱区712;步骤804,在阱区712中形成条状分布的源区115;步骤805,沿着与条状分布的源区115垂直的方向在外延层中形成沟槽104;步骤806,将源区115之间的沟槽区域和源区115上方覆盖离子注入保护层;步骤807,第一次倾斜离子注入,在未被离子注入保护层覆盖的沟槽侧壁及阱区表面区域形成半导体层113;步骤808,第二次倾斜离子注入,将半导体层靠近沟槽顶部的区域(即阱区712被第一次倾斜离子注入提高了掺杂浓度而形成了半导体层的区域)的杂质浓度降低,以恢复

成如图7所示的阱区712。在部分实施例中,第一次倾斜离子注入的杂质为p型杂质,半导体层113为p型掺杂。在第一次倾斜离子注入时,阱区712靠近沟槽部分的区域的浓度高于其余部分的浓度。第二次倾斜离子注入时注入n型杂质,中和阱区712靠近沟槽的部分的浓度,使其恢复成原先的掺杂浓度。为使第二次倾斜离子注入的杂质注入到阱区712靠近沟槽的部分,第二次倾斜离子注入的角度大于第一次倾斜离子注入的角度;步骤809,垂直离子注入,在阱区712中形成阱接触区714;步骤810,去除离子注入保护层后在沟槽中填充电介质,形成电介质区域118,其中所述电介质区域118的顶部到超结功率器件700的第一表面101的距离大于所述阱区712底部到超结功率器件700的第一表面101的距离;以及步骤811,在填充有电介质的沟槽中形成栅极结构103。

[0065] 除了第二次倾斜离子注入的角度、杂质类型和之后形成阱接触区的步骤不同外,超结功率器件700的制造方法800与超结功率器件100的制造方法500大致相同,此处不再展开赘述。

[0066] 图9为根据本申请一实施例的超结功率器件900的部分元胞区域的结构示意图。与图1所示的超结功率器件100相比,超结功率器件900的电介质区域918的结构不同。图10为根据本申请一实施例的如图9所示的超结功率器件900的部分元胞区沿着C-C线的截面结构示意图。

[0067] 如图10所示,阱区112位于外延层111中靠近第一表面101的区域,源区115位于阱区112内,且其底部不超过阱区112的底部,即整个源区115位于阱区112内。所述源区115和阱区112的侧壁与栅极结构103的侧壁相接。栅极结构103的下方,是与栅极结构103的底部相接的外延层111。也就是说,与超结功率器件100相比,超结功率器件900没有第二电介质区域。各个电介质区域918中间被外延层111所隔离。电介质区域918位于栅极结构103底部且在阱接触区114之间。在栅极结构103底部且在源区115之间为外延层111。

[0068] 图11示出了根据本申请一实施例的如图9所示的超结功率器件900的部分元胞区沿着D-D线的截面结构示意图。沿着D-D线的截面平行于第一表面101和第二表面102。如图11所示,在该截面上,可以看到位于栅极结构103底部的电介质区域918。两个电介质区域918之间由外延层111所间隔。在电介质区域918沿着栅极结构103的长度方向(即沿着如图1所示的z方向)上的侧壁上覆有半导体层113。

[0069] 图12示出了根据本申请另一实施例的如图9所示的超结功率器件900的部分元胞区沿着D-D线的截面结构示意图。沿着D-D线的截面平行于第一表面101和第二表面102。如图12所示,在该截面上,可以看到位于栅极结构103底部的电介质区域918。两个电介质区域918之间由外延层111所间隔。在电介质区域918沿着栅极结构103的长度方向(即沿着如图1所示的z方向)和垂直于栅极结构103的长度方向(即沿着如图1所示的x方向)的侧壁均覆有半导体层113。

[0070] 图13示出了根据本申请一实施例的超结功率器件900的制造方法1300的各步骤过程。应当理解,如图13所示的制造方法1300的各步骤并不必然具有先后次序。该制造方法1300包括:步骤1301,形成衬底层110;步骤1302,在衬底层110之上形成外延层111;步骤1303,在外延层111中靠近超结功率器件900的第一表面101的部分形成阱区112;步骤1304,在阱区112中形成条状分布的源区115;步骤1305,沿着与条状分布的源区115垂直的方向在外延层111中形成第一沟槽904;步骤1306,在第一沟槽904的基础上去除第一沟槽下方的位

于阱区之间的外延层111,以形成第二沟槽905,并同时保留第一沟槽904下方的位于源区115之间的外延层111;步骤1307,将第一沟槽904内位于源区115之间的区域和源区115上方覆盖离子注入保护层;步骤1308,第一次倾斜离子注入,在第二沟槽905侧壁及阱区112表面未被离子注入保护层覆盖的区域形成半导体层113;步骤1309,第二次倾斜离子注入,在半导体层113靠近第二沟槽905顶部的区域中形成阱接触区114,其中第二次倾斜离子注入的角度 $A_2$ 大于第一次倾斜离子注入的角度 $A_1$ ,阱接触区114包括平坦部分114a和下挂部分114b,所述下挂部分114b与半导体层113相接,且相接的位置低于阱区112的底部;步骤1310,去除离子注入保护层后在第二沟槽905中填充电介质,形成电介质区域918,其中所述第二沟槽905内的电介质区域918的顶部与第一沟槽904底部齐平,所述第二沟槽905内的电介质区域918的顶部到超结功率器件900的第一表面101的距离大于所述阱区112底部到超结功率器件900的第一表面101的距离;以及步骤1311,在第一沟槽904中和电介质区域918上方形成栅极结构103。

[0071] 图14A-图14E示出了根据本申请一实施例的依照制造方法1300制造超结功率器件900过程中的器件示意图。以下将结合图13和图14A-14E来说明超结功率器件900的制作方法1300。

[0072] 图14A为根据本申请一实施例的步骤1301-1305实施完成后的器件结构示意图。此时超结功率器件900在垂直于条状的源区115的方向上形成第一沟槽904,将源区115分成位于第一沟槽904两侧的部分。第一沟槽904的底部位于外延层111,且低于阱区112的底部。第一沟槽904可采用任意适用的方法制作完成。例如通过掩膜工艺在沟槽的位置形成窗口,再住窗口位置刻蚀外延层111。

[0073] 图14B为根据本申请一实施例的步骤1306实施完成后的器件结构示意图。此时第一沟槽904下方的位于阱区之间的外延层111被去除,以形成第二沟槽905。同时第一沟槽904下方的位于源区115之间的外延层111则保留。第二沟槽905可采用任意适用的方法制作完成。例如通过掩膜工艺在第二沟槽的位置形成窗口,再住窗口位置刻蚀外延层111。之后如图14B所示的掩膜版106将会被去除,或者对掩膜版106进一步光刻,形成下一步骤中所需要的离子注入保护层105。

[0074] 图14C为根据本申请一实施例的步骤1307实施完成后的器件结构示意图。此时源区115之间的第一沟槽904以及源区115表面位置均覆盖了离子注入保护层105。该离子注入保护层可以是光刻胶、氧化硅层、氮化硅层、多晶硅或多种材料的组合等。在覆盖了离子注入保护层105后,未被离子注入保护层105覆盖的阱区位置和第二沟槽905均处于暴露状态。

[0075] 图14D为根据本申请一实施例的步骤1308和1309实施完成后的器件结构示意图。在步骤1308中,采用了第一次倾斜离子注入的方式往器件的第二沟槽905内部的侧壁和阱区表面注入杂质,以形成具有特定导电类型的半导体层113。在一实施例中,注入的杂质为p型杂质,未覆盖离子注入保护层105的沟槽两侧和阱区形成p型层。之后在步骤1309中,采用了第二次倾斜离子注入的方式在第一次倾斜离子注入后形成的半导体层113靠近第二沟槽905顶部的区域中形成阱接触区114。在一实施例中,注入的杂质为p型杂质,且第二次倾斜离子注入的角度 $A_2$ 大于第一次倾斜离子注入的角度 $A_1$ ,从而在靠近沟槽顶部的区域中形成比原先的半导体层113的掺杂浓度更高的区域。通过控制第二次倾斜离子注入的角度 $A_2$ ,可控制阱接触区114的下挂部分114b的长度。

[0076] 应当理解,阱接触区114的下挂部分114b并不是必须的。在制造方法1300中,可以将实施第二次倾斜离子注入的步骤1309替换成制造方法800中的步骤808和步骤809,即实施第二次倾斜离子注入和垂直离子注入,从而形成没有下挂部分的阱接触区114。

[0077] 图14E为根据本申请一实施例的步骤1310实施完成后的器件结构示意图。在步骤1310中,离子注入保护层105被去除,并随之在第二沟槽905内填充电介质,形成电介质区域918。该电介质区域918的顶部和位于相邻电介质区域918之间的外延层111的顶部共同构成了栅极结构103的底部。在如图14E中所示的器件沟槽中形成栅极结构103后即可得到如图9所示的超结功率器件900。

[0078] 图15为根据本申请一实施例的超结功率器件1500的部分元胞区域的结构示意图。与图1所示的超结功率器件100相比,超结功率器件1500的电介质区域1518的侧壁不垂直于超结功率器件1500的第一表面和第二表面。电介质区域1518形成下窄上宽的结构,从而有利于在器件制造过程中提高半导体层113的质量。应当理解,在超结功率器件1500中,电介质区域1518的分布既可以如超结功率器件100那样,分成交替的在阱接触区114之间的第一电介质区域和在源区115之间的第二电介质区域,也可以如超结功率器件900那样,电介质区域1518位于阱接触区114之间,而外延层111位于源区115之间。

[0079] 本申请以沟槽栅结构的MOSFET器件为例阐述了发明原理。应当理解,本发明同样适用于平面栅结构的功率器件。本领域普通技术人员在阅读本申请后,可以根据需要将本发明同平面栅结构的功率器件结合在一起,以实现平面栅结构的功率器件中的超结结构。

[0080] 本申请以条状元胞为例阐述了发明原理。应当理解,本发明同样适用于其他形状,例如圆形、六边形等的元胞结构。具体来讲,可以在其他形状的元胞结构中,将超结中的例如p柱替换成本申请实施例的侧壁覆盖p型半导体层的电介质区域,或者将超结中的例如n柱替换成本申请实施例的侧壁覆盖n型半导体层的电介质区域,同样符合本发明精神。

[0081] 依照本申请的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本申请的原理和实际应用,从而使所属技术领域技术人员能很好地利用本申请以及在本申请基础上的修改使用。本申请仅受权利要求书及其全部范围和等效物的限制。

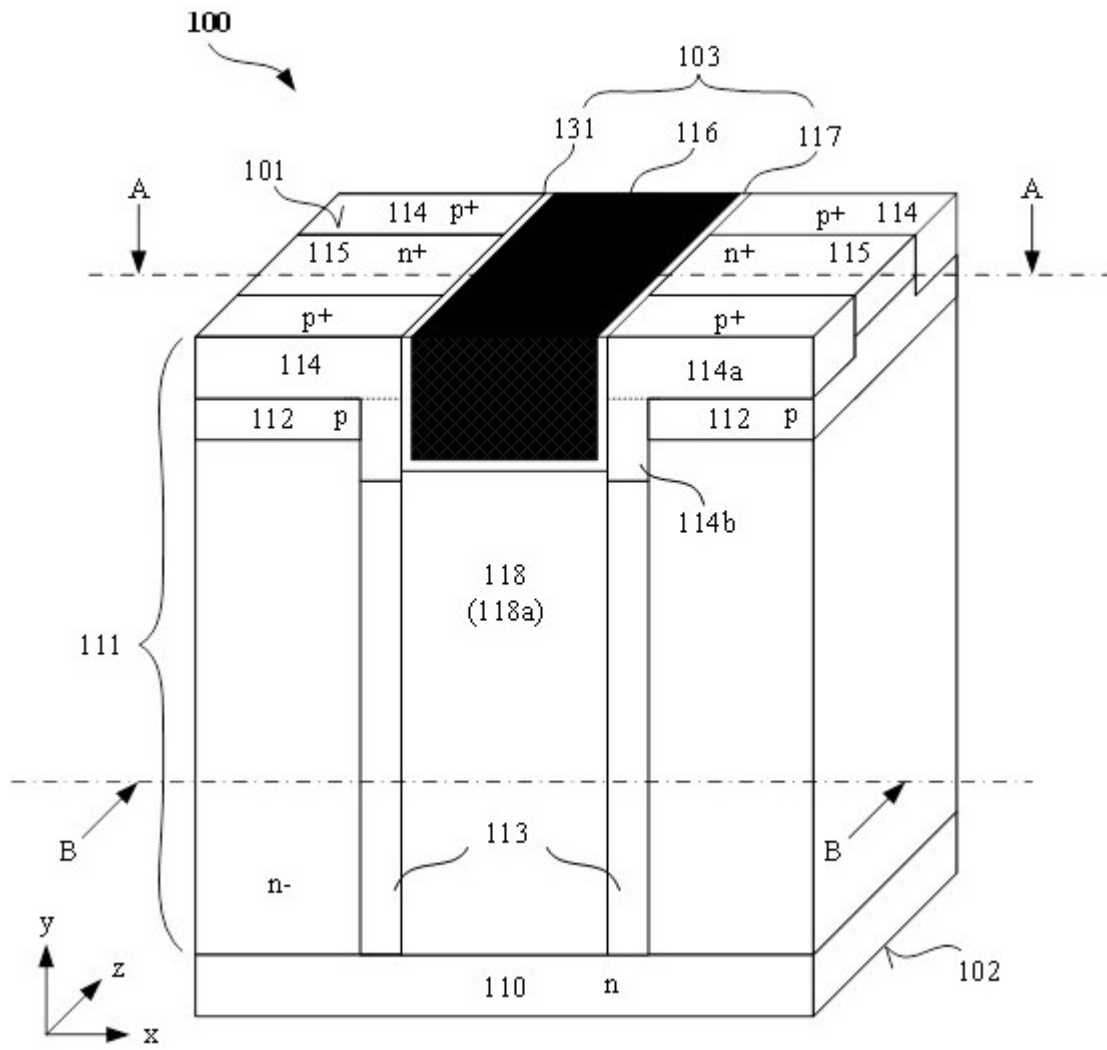


图 1



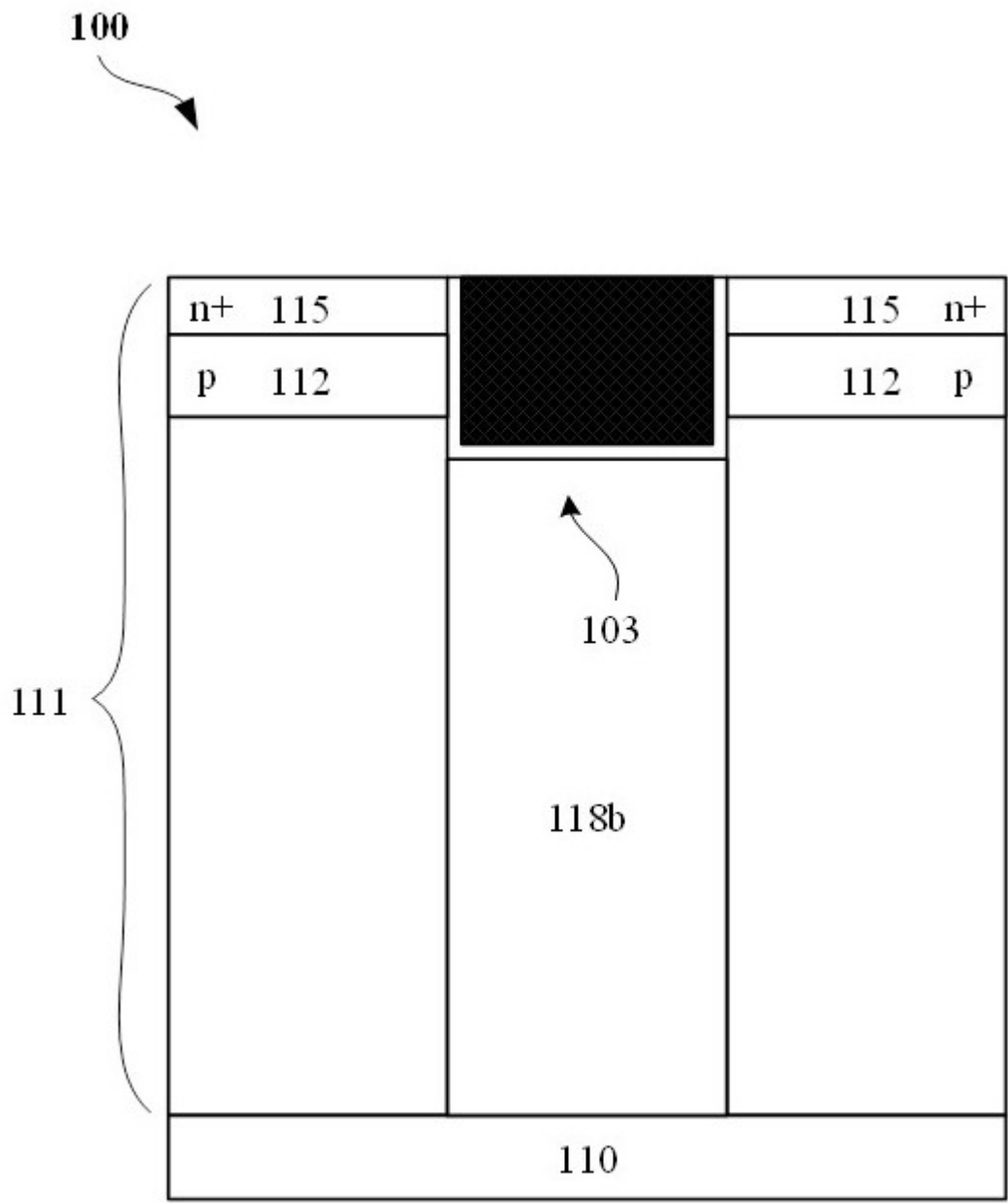


图 2

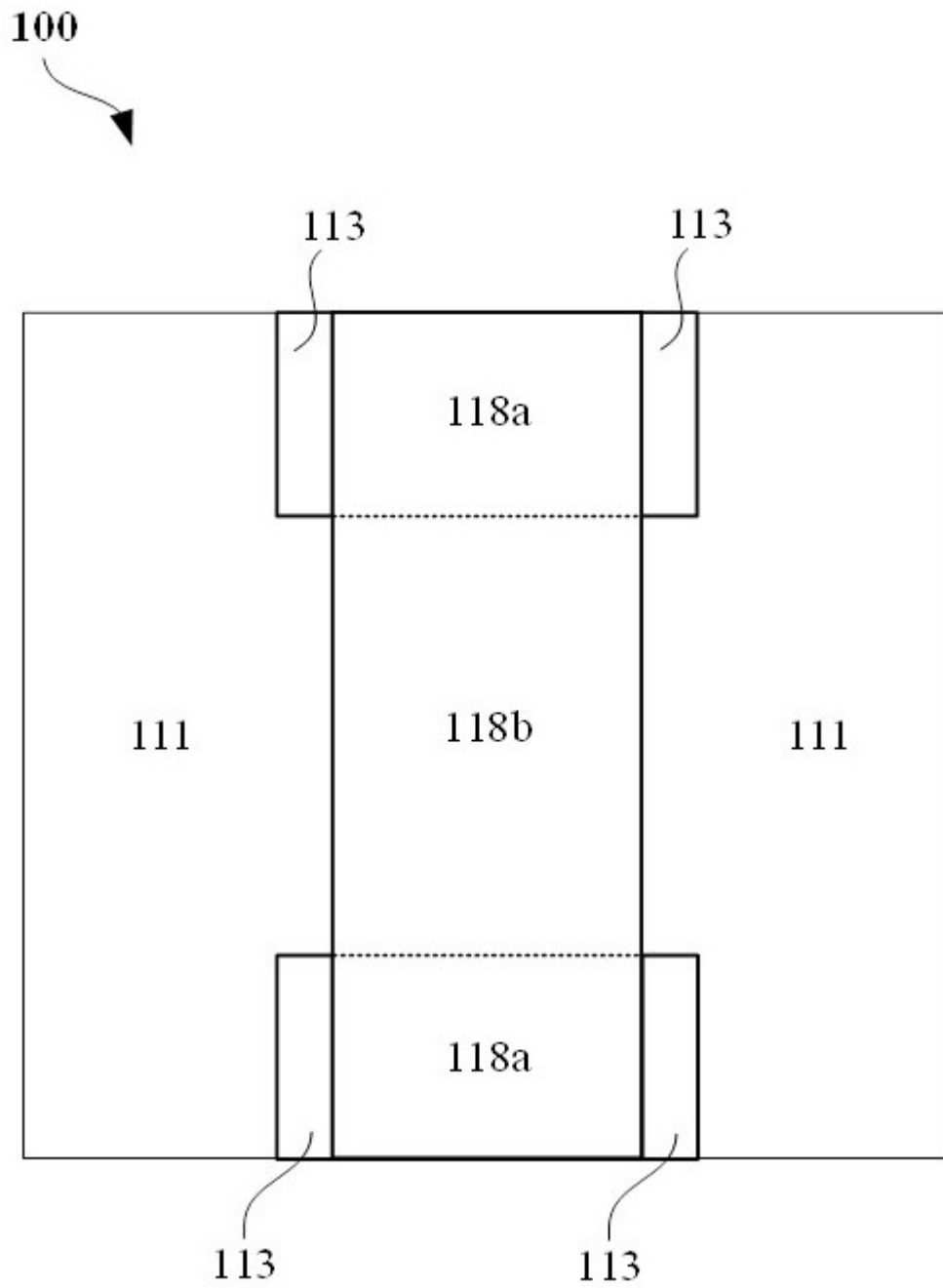


图 3

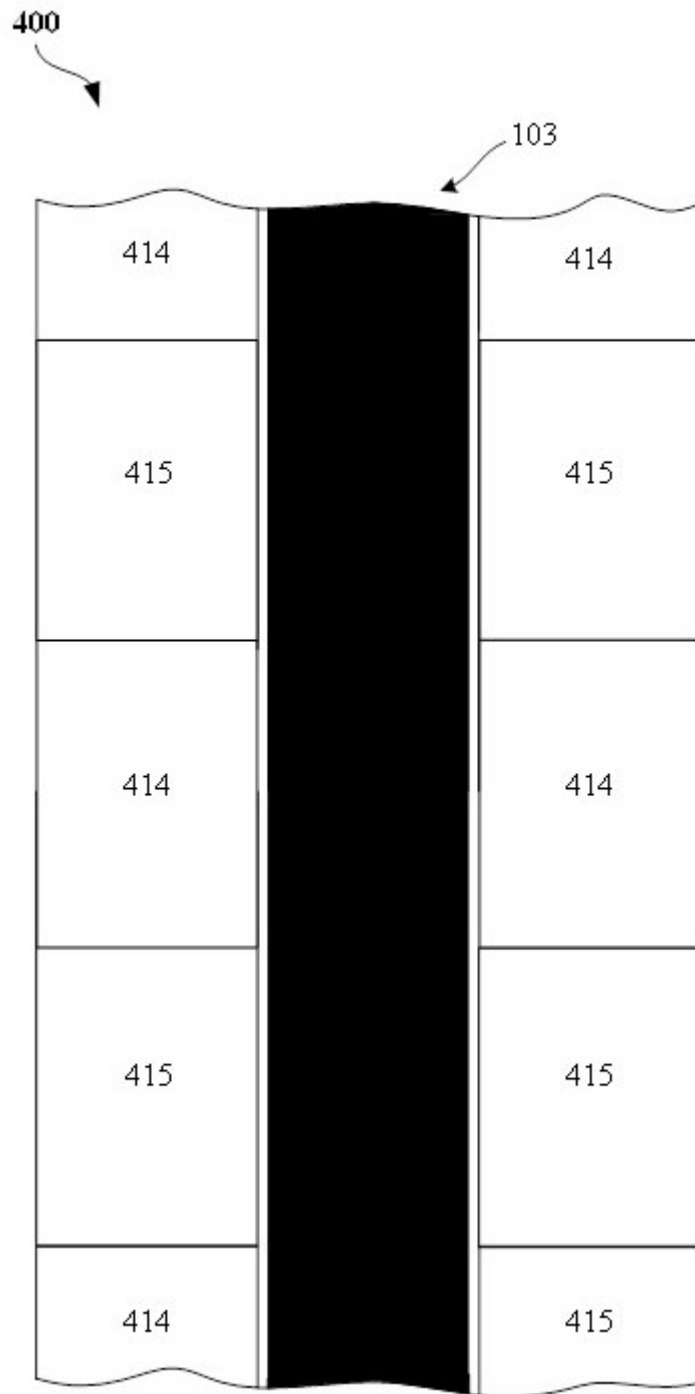


图 4

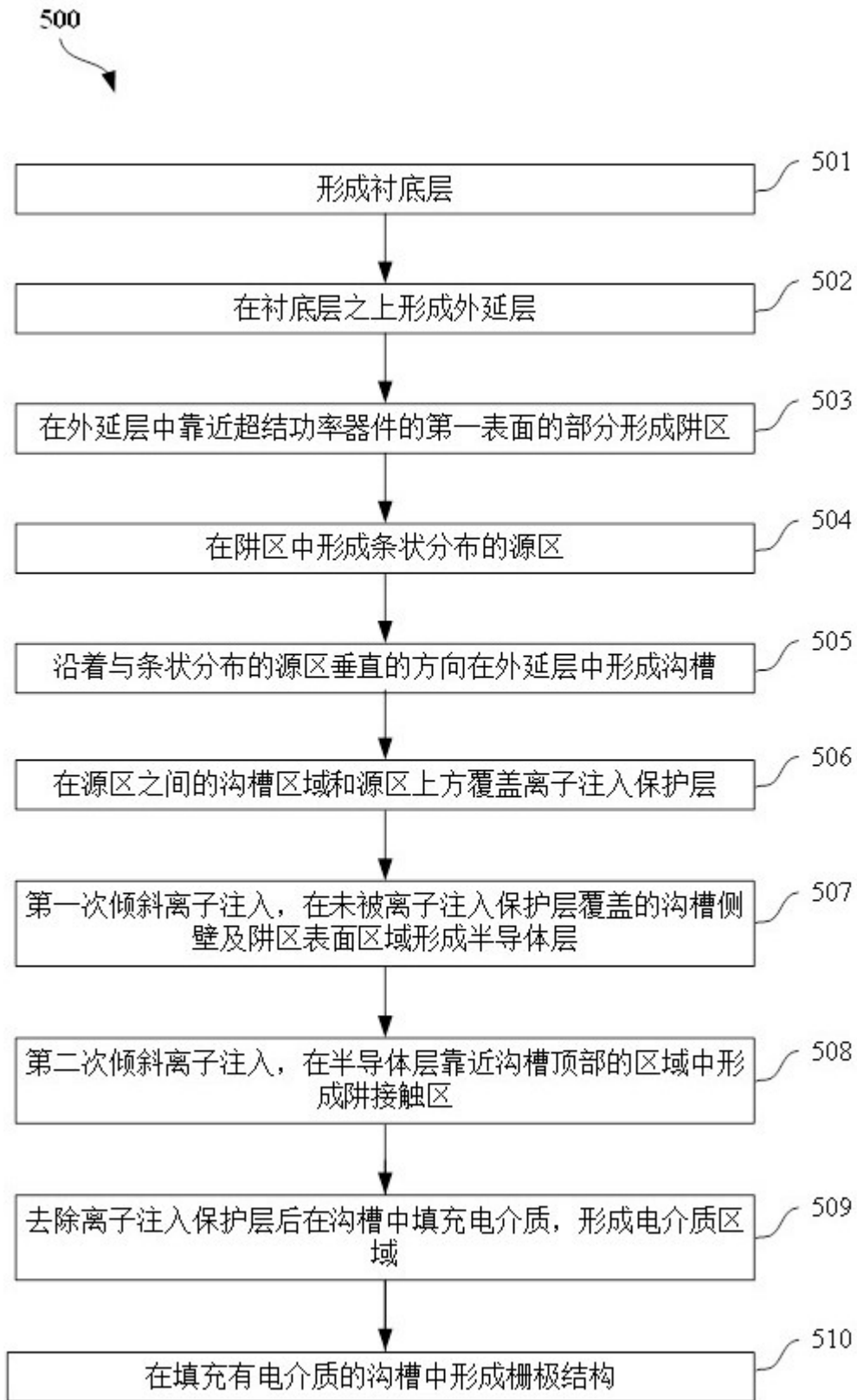


图 5

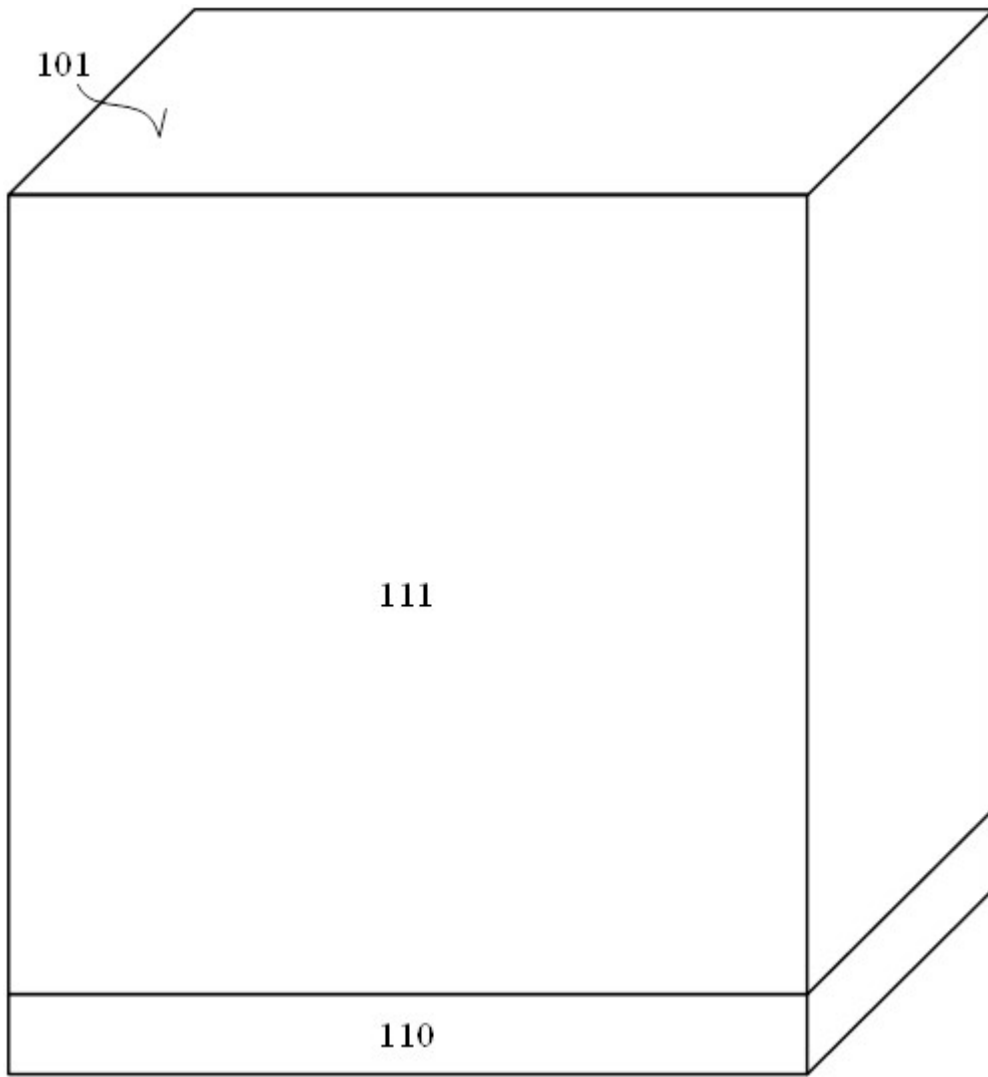


图 6A

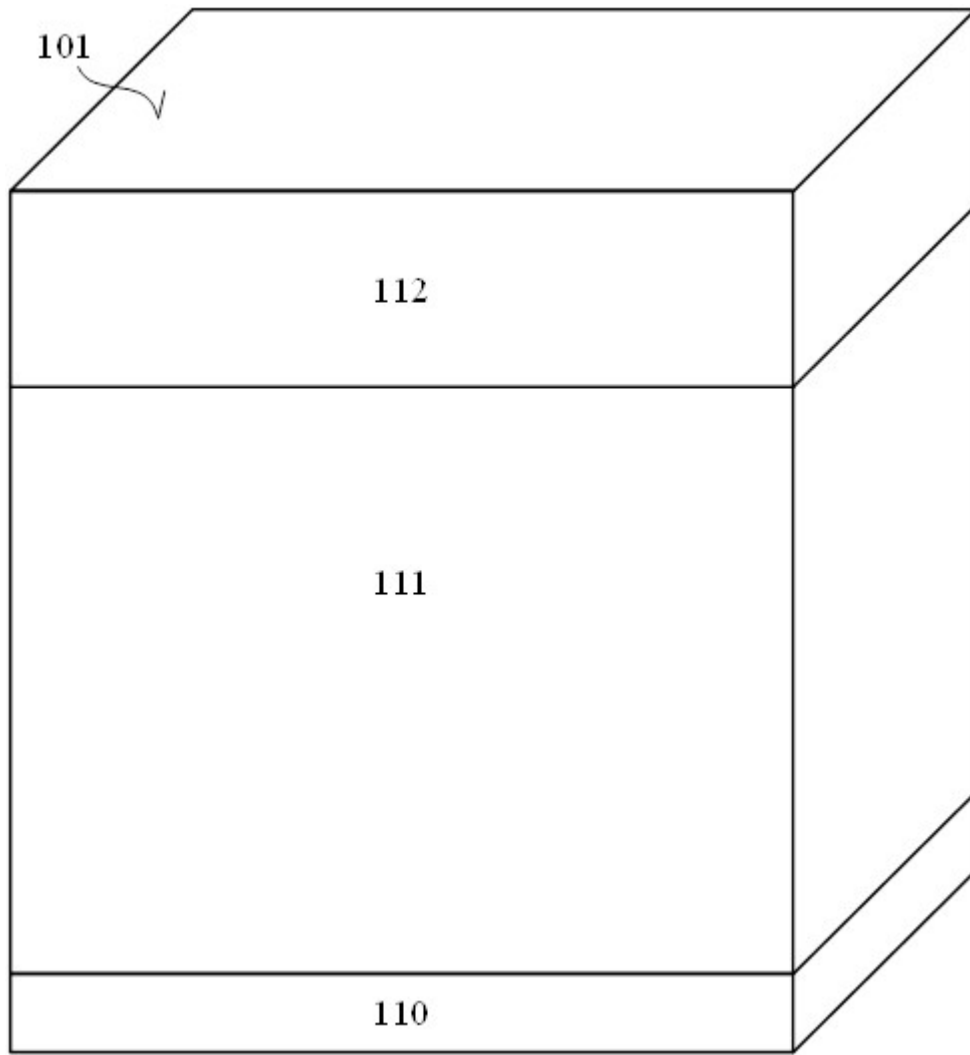


图 6B

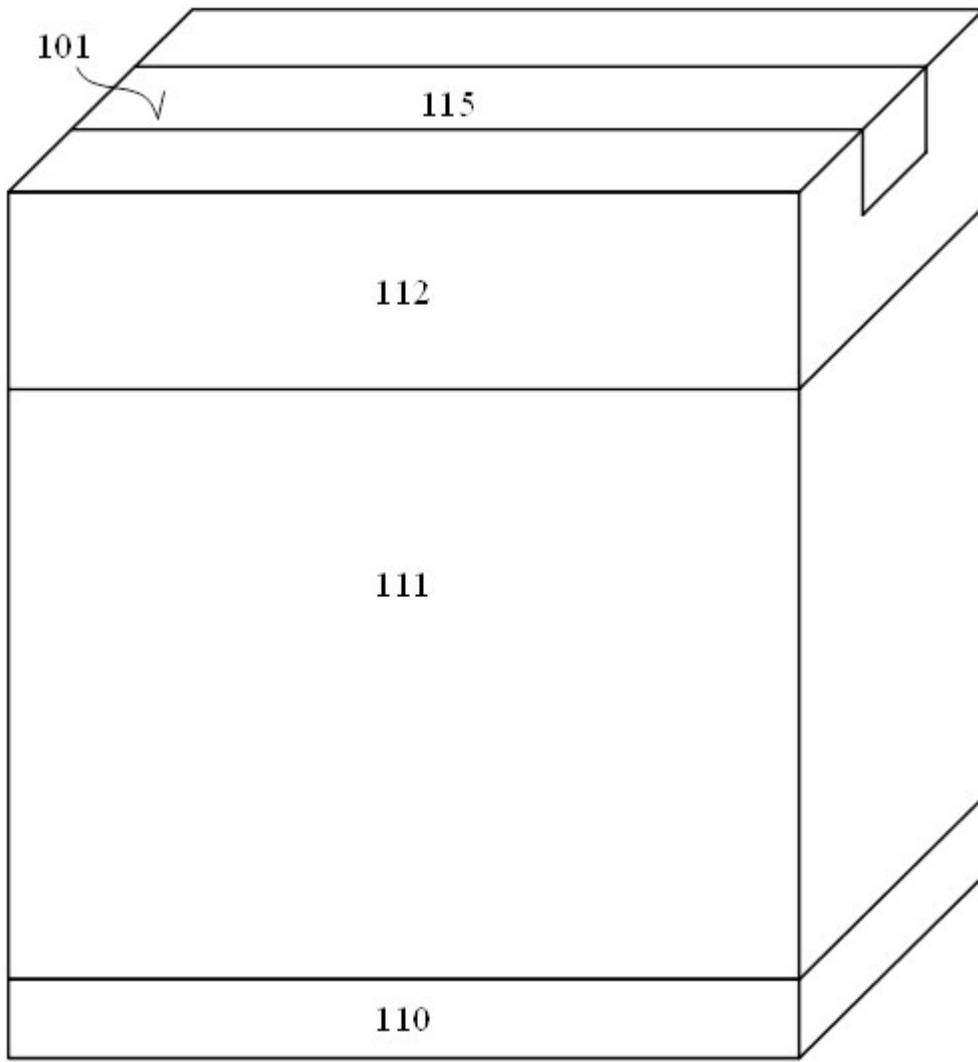


图 6C

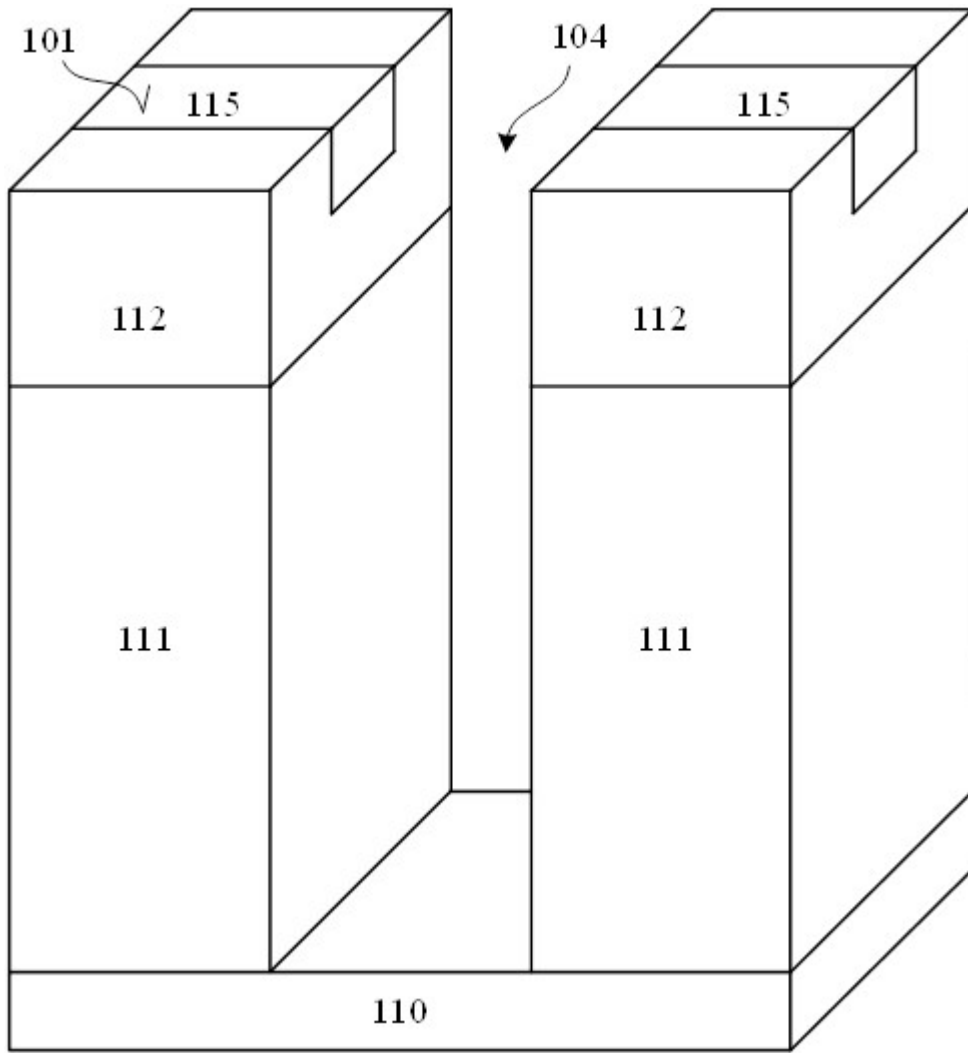


图 6D



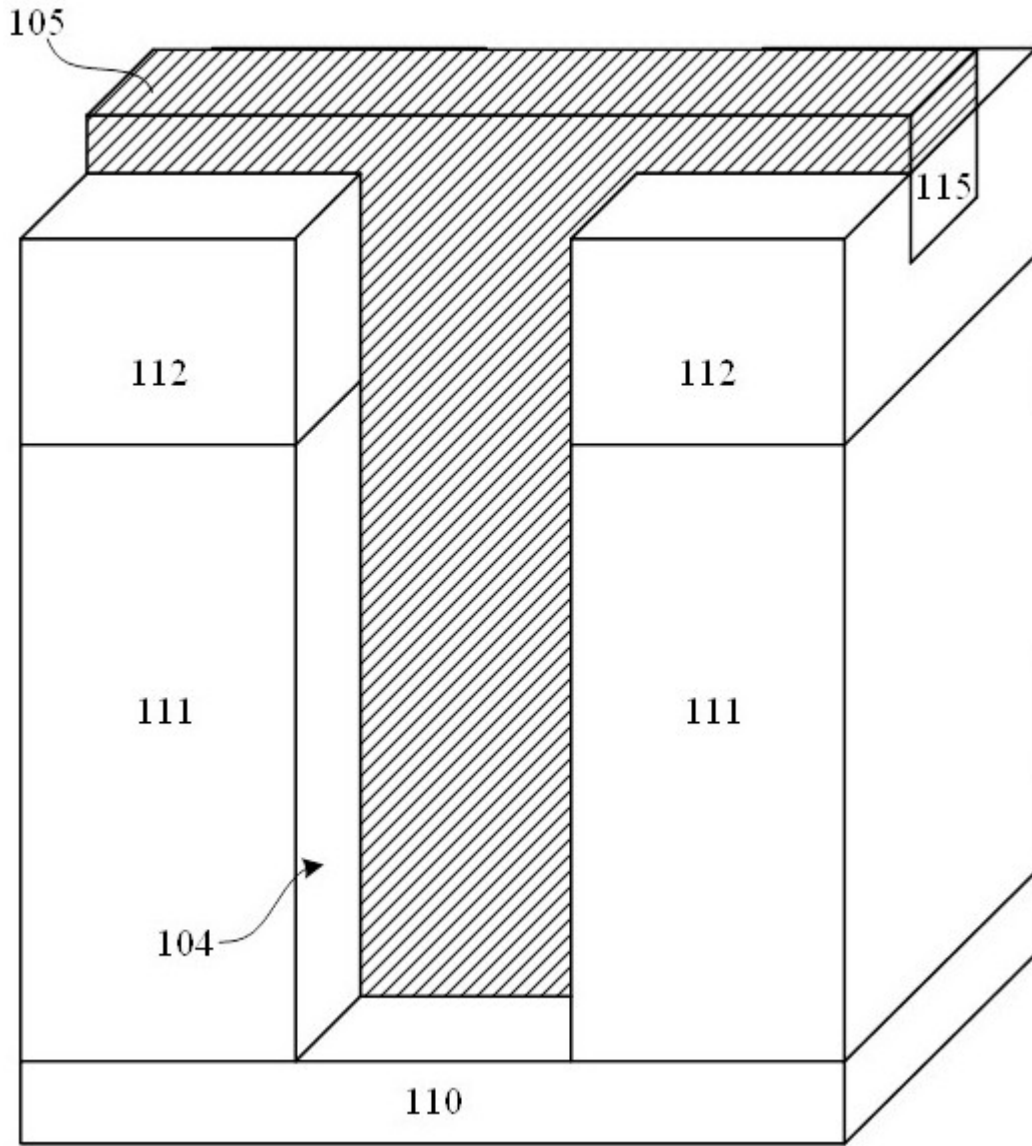


图 6E

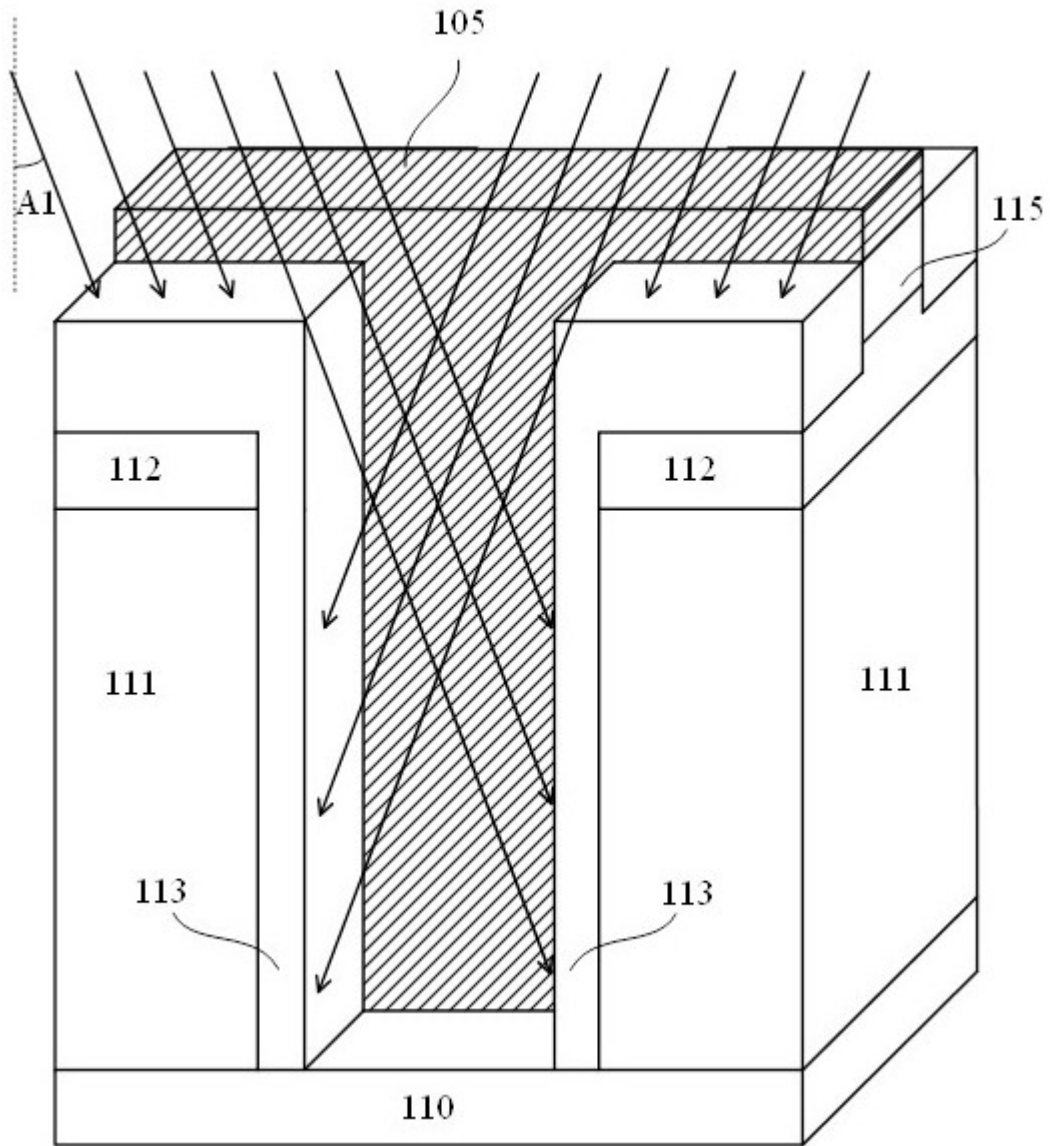


图 6F

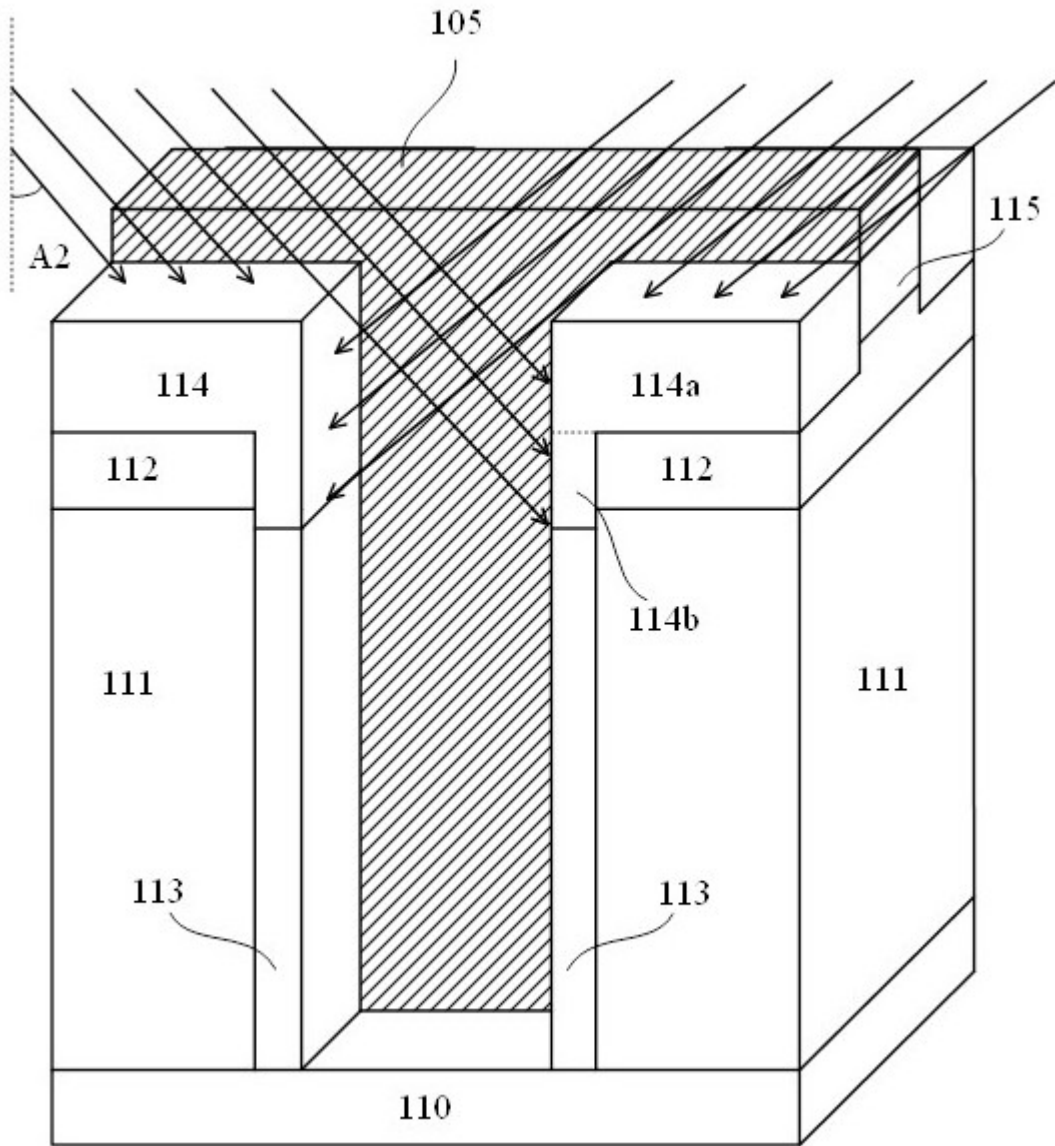


图 6G

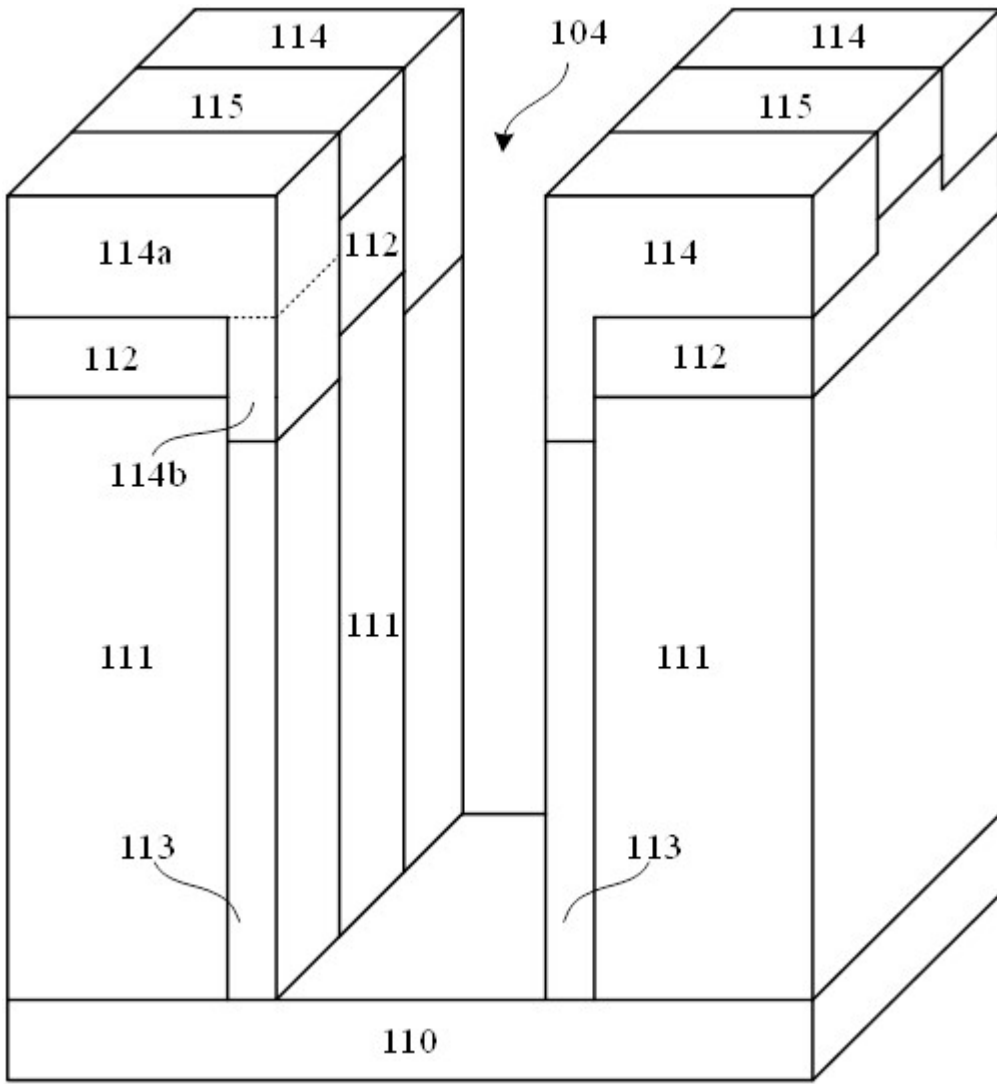


图 6H

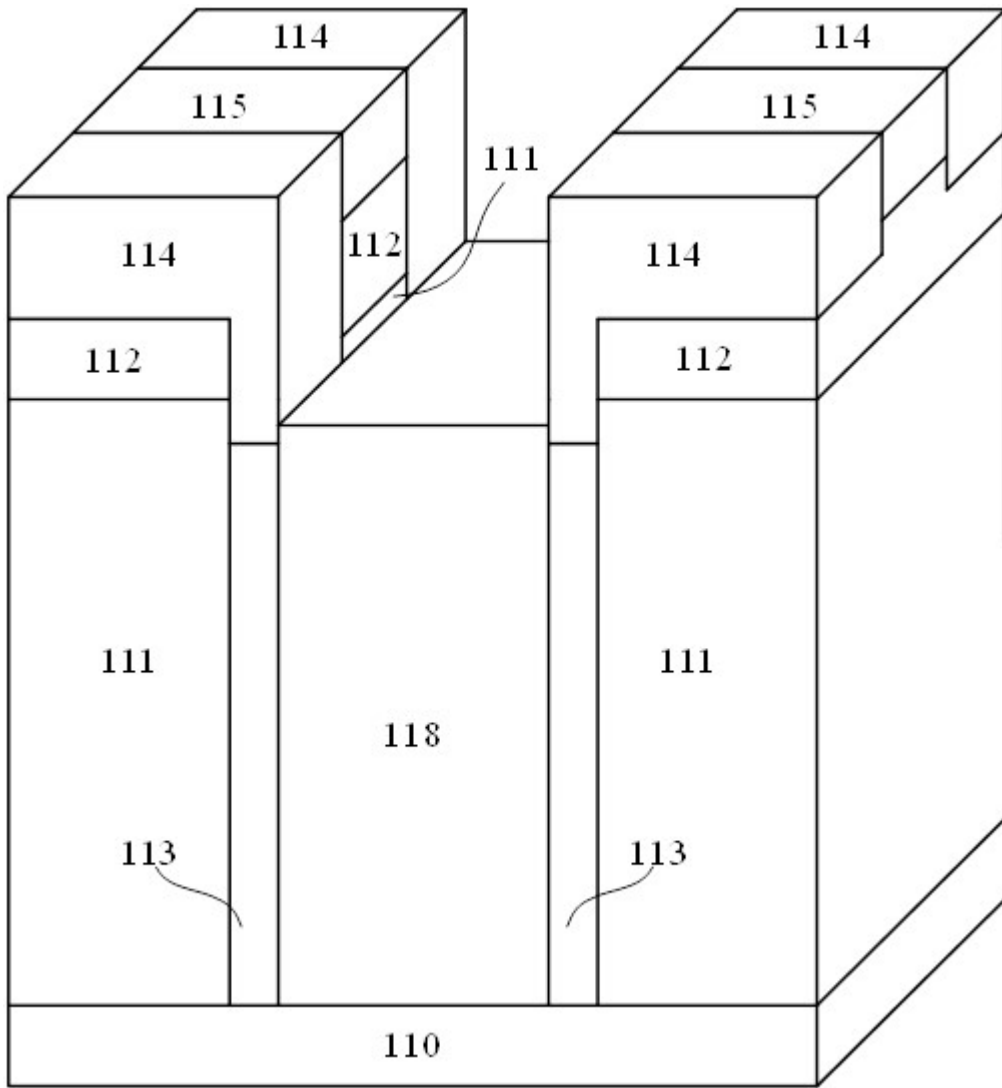


图 6I

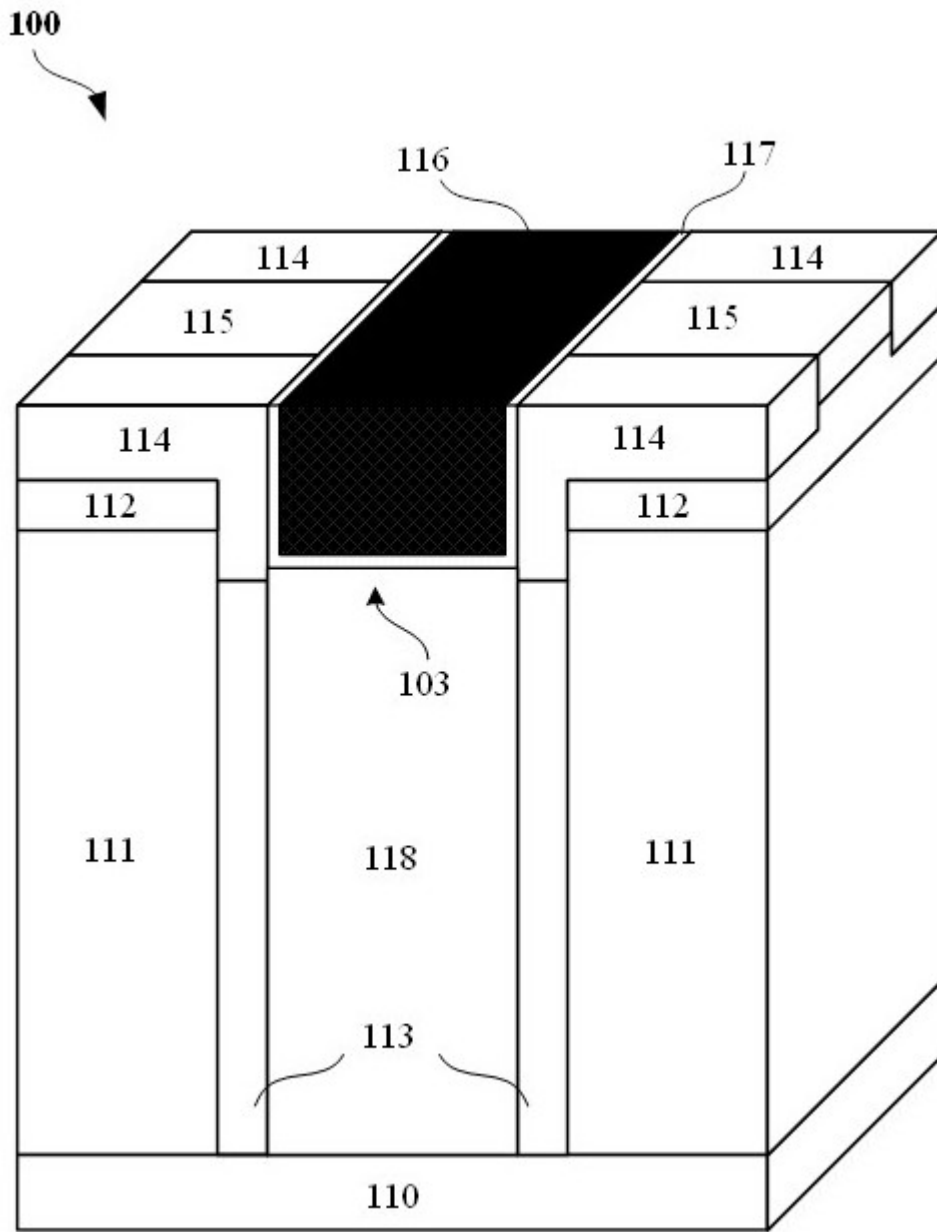


图 6J

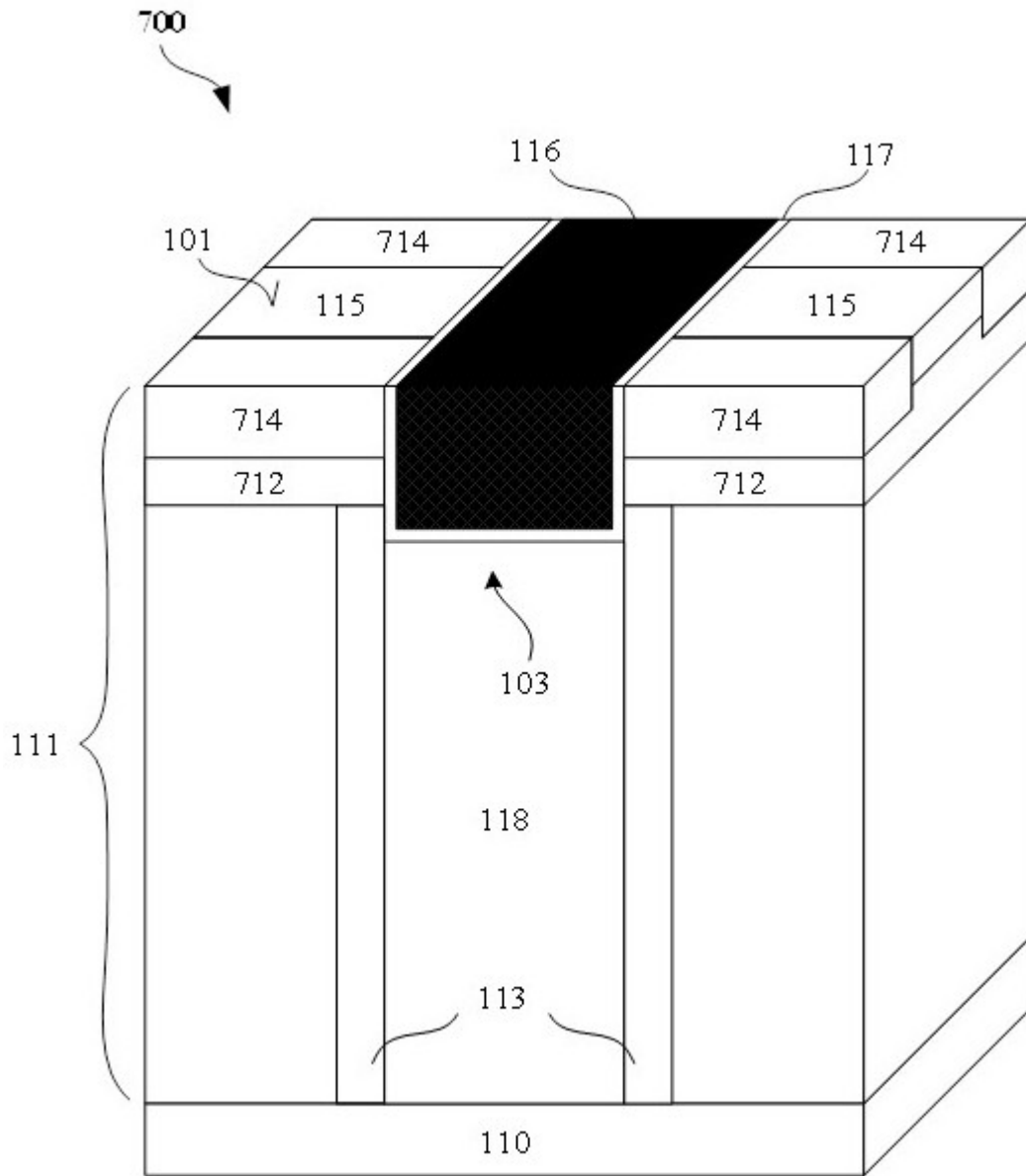


图 7

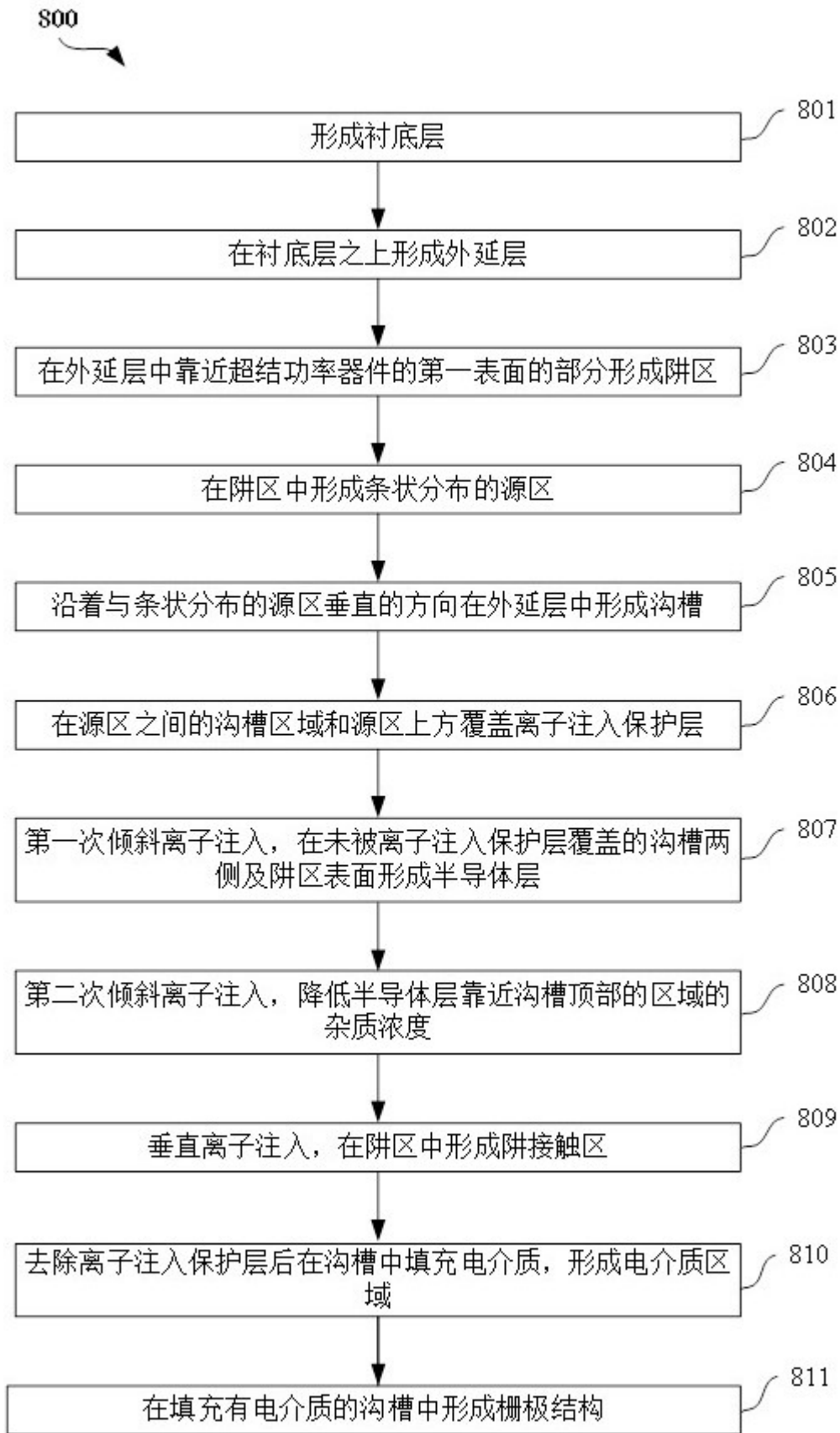


图 8



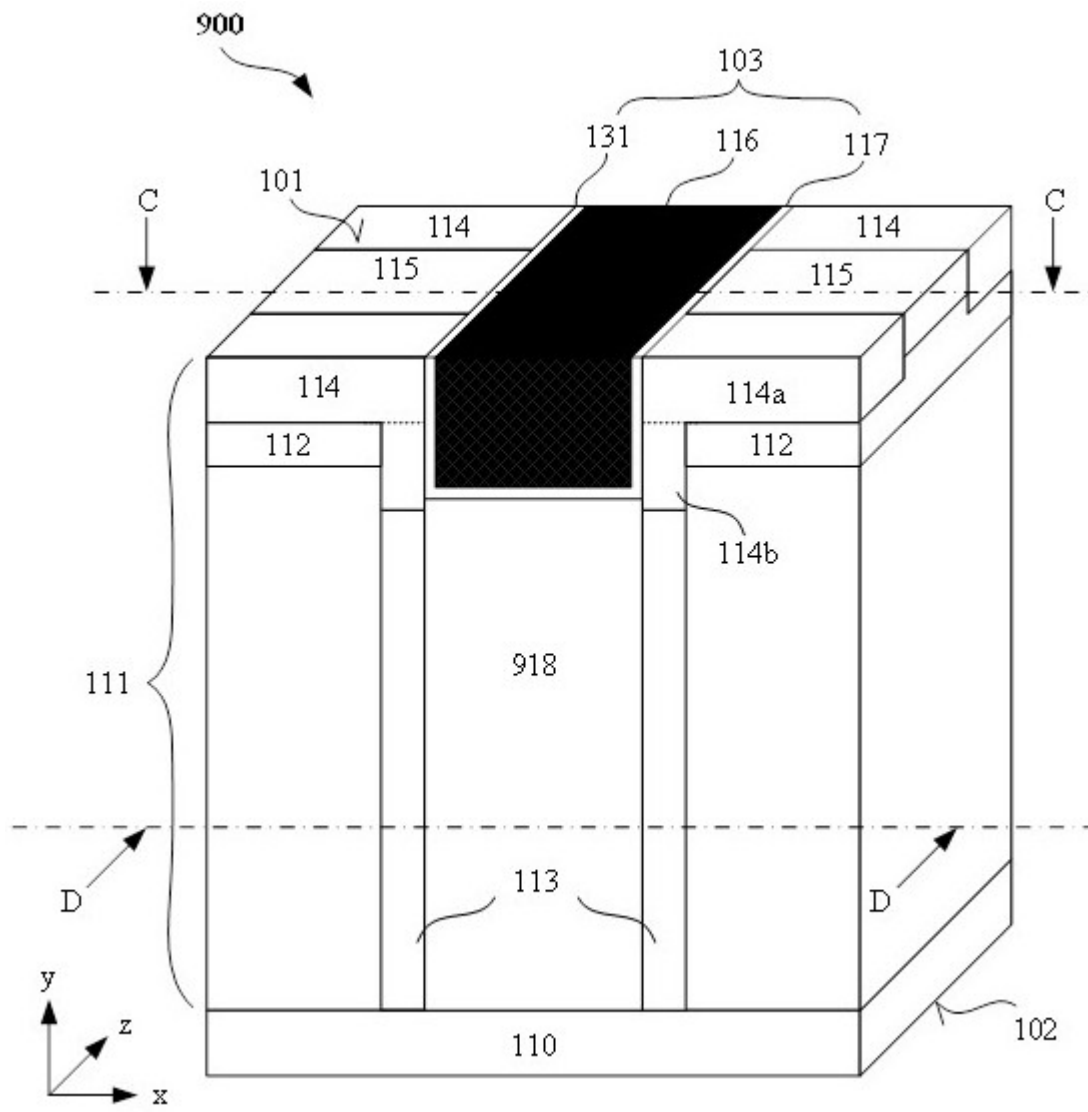


图 9

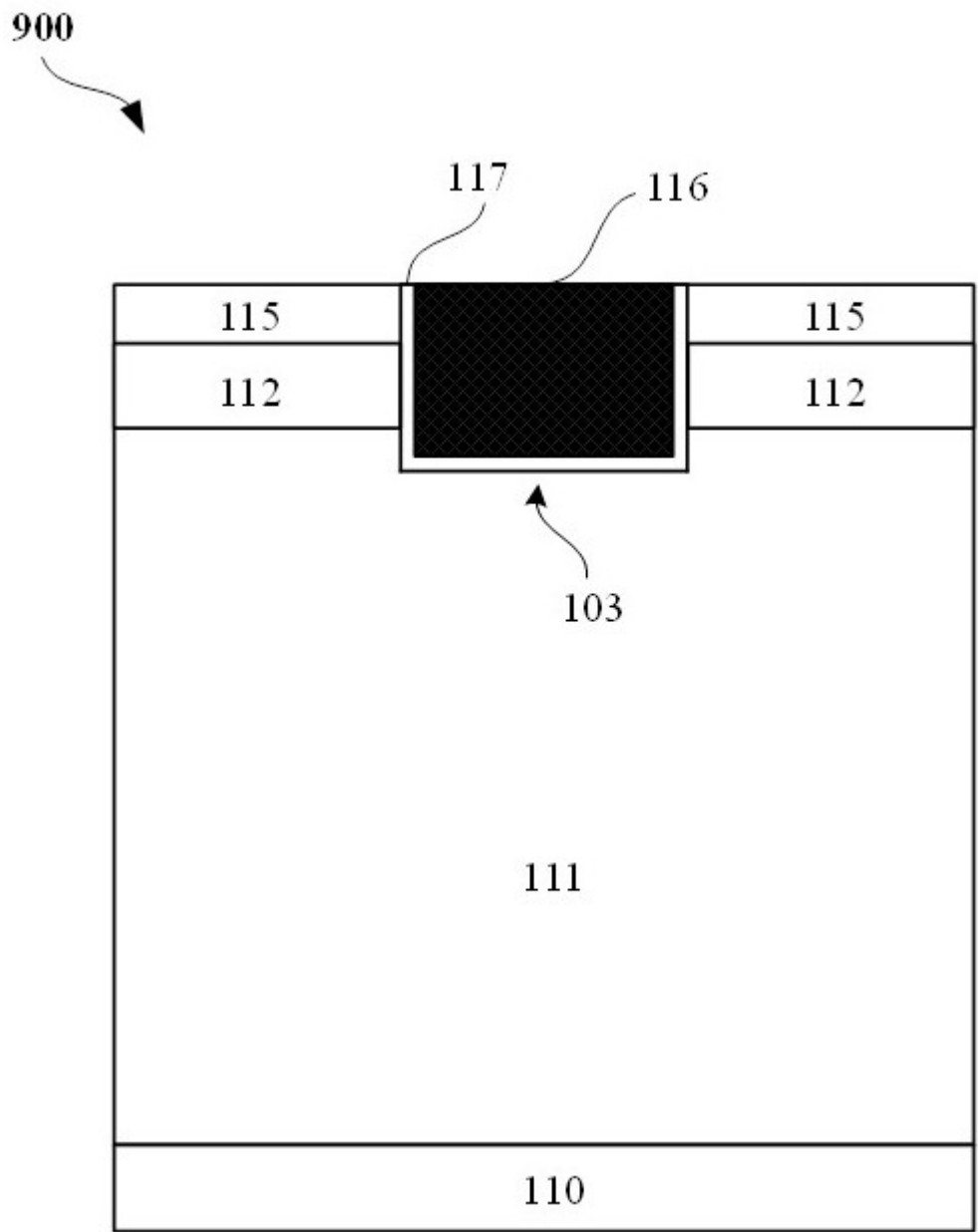


图 10

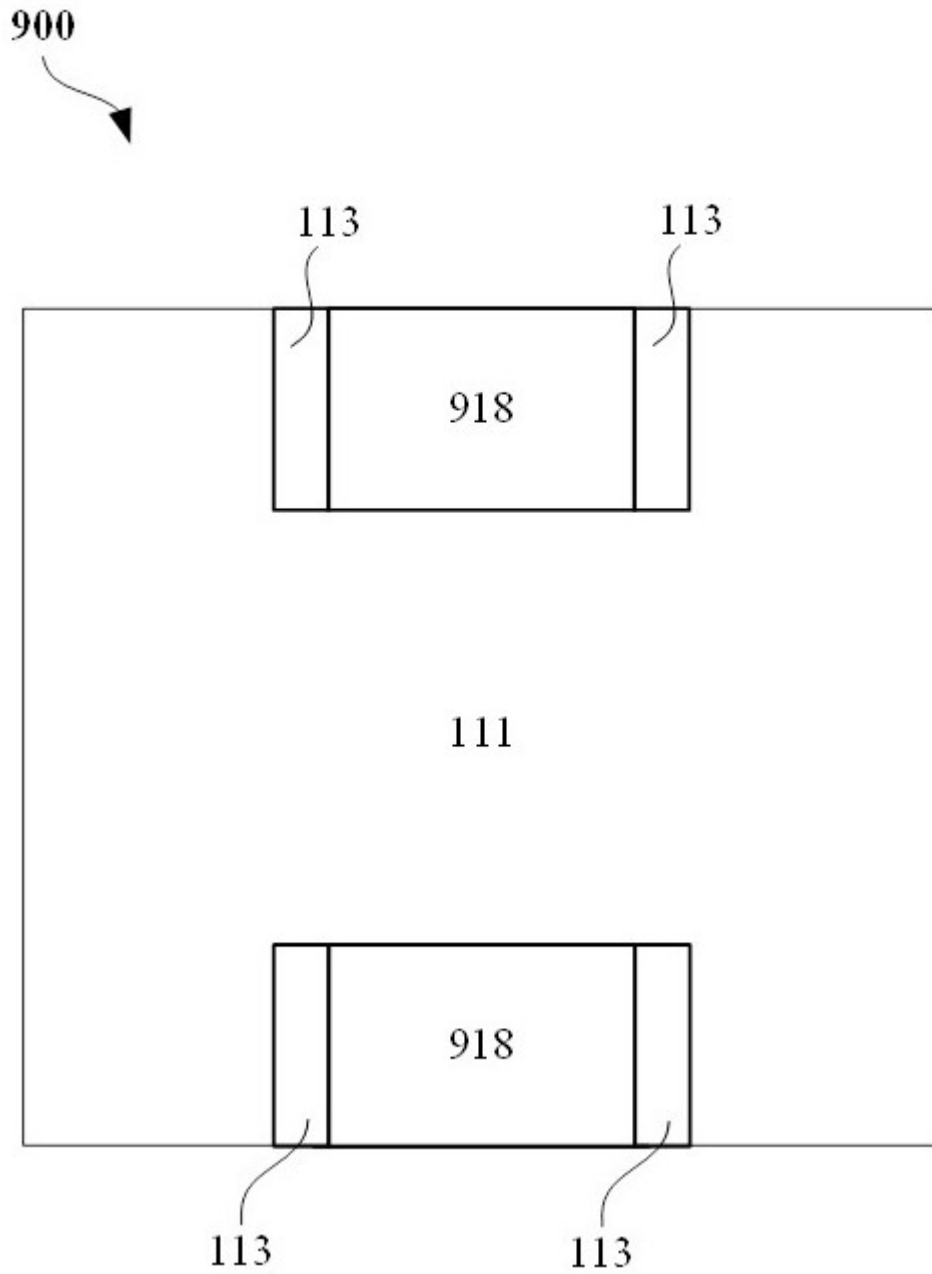


图 11

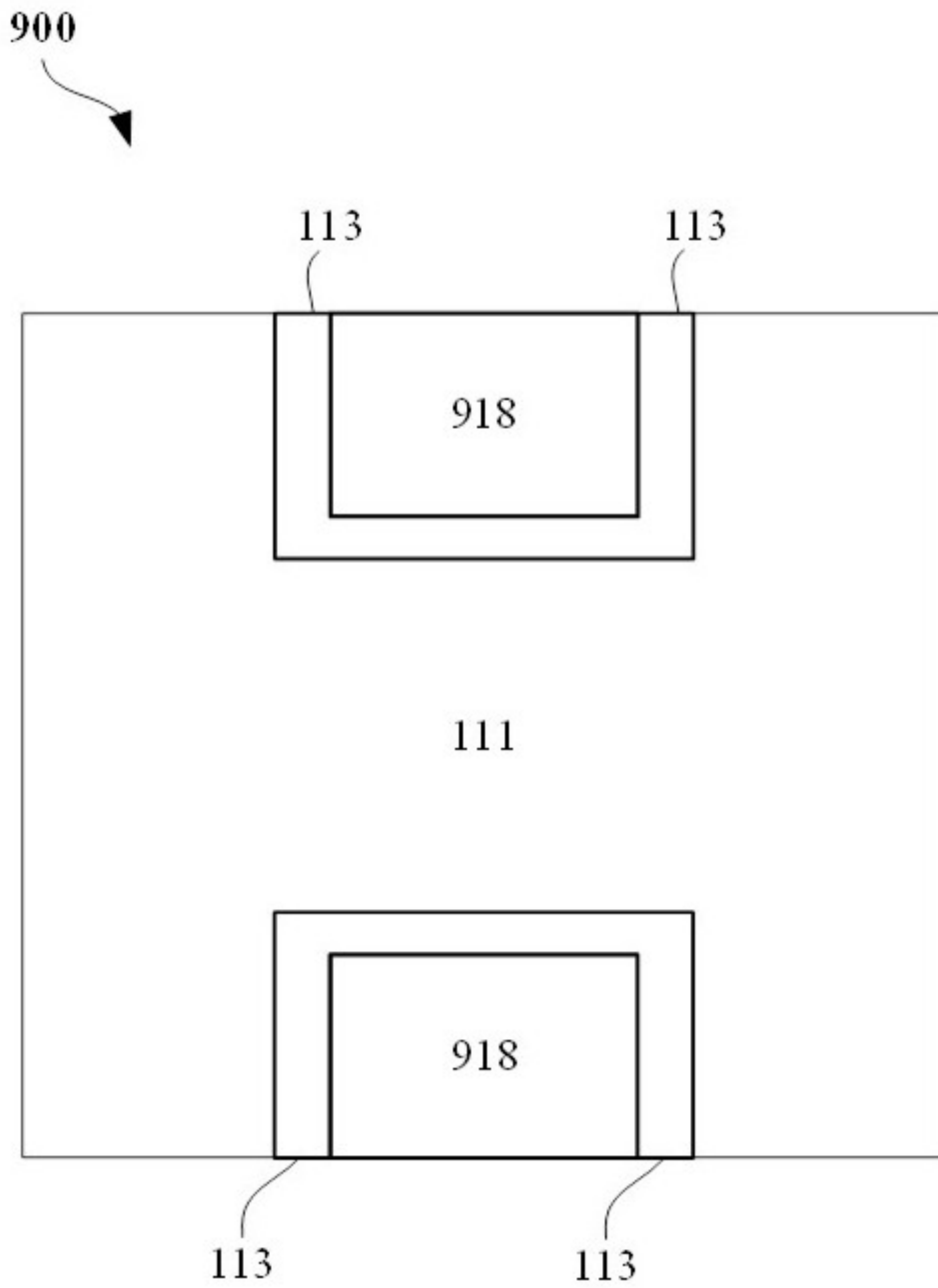


图 12

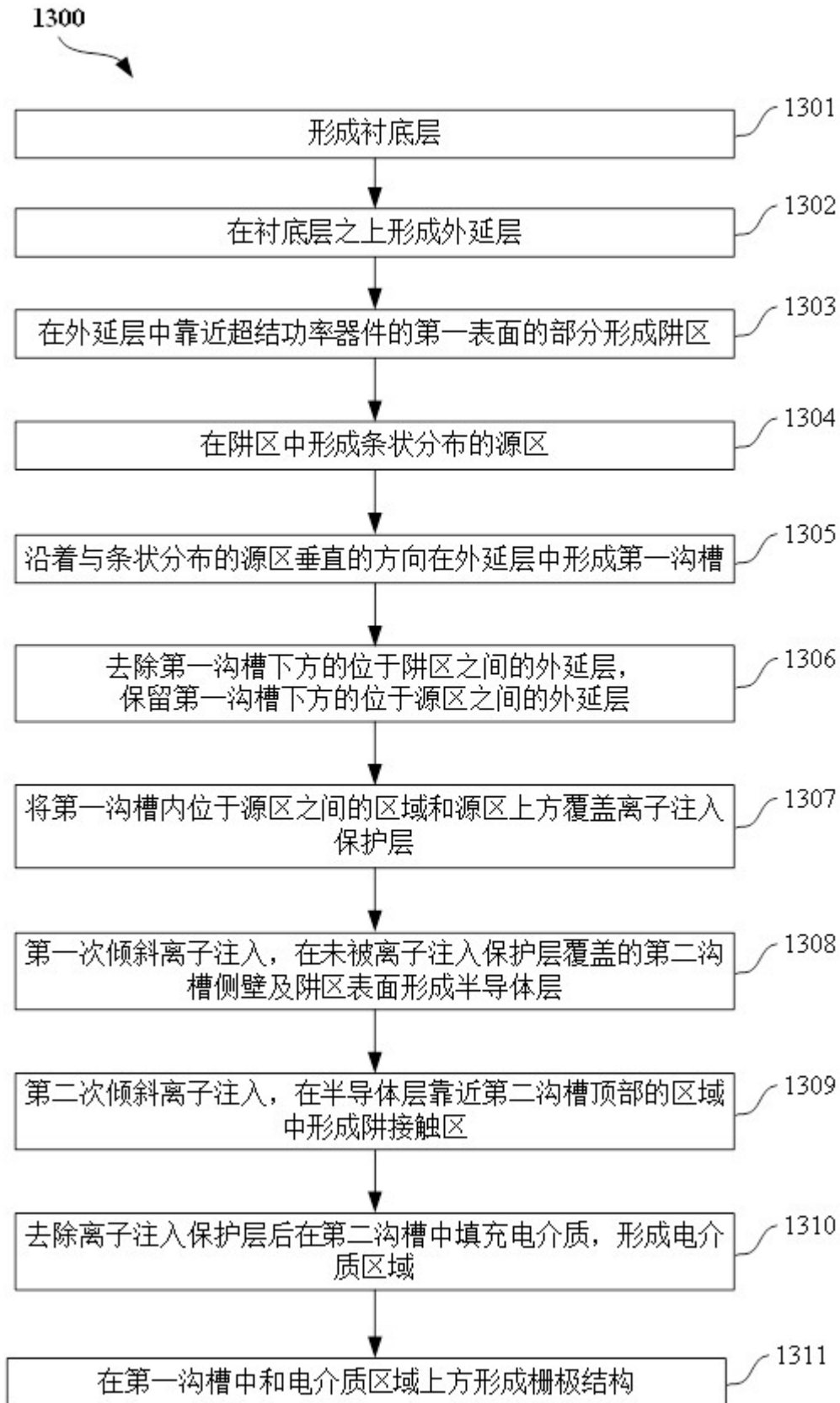


图 13

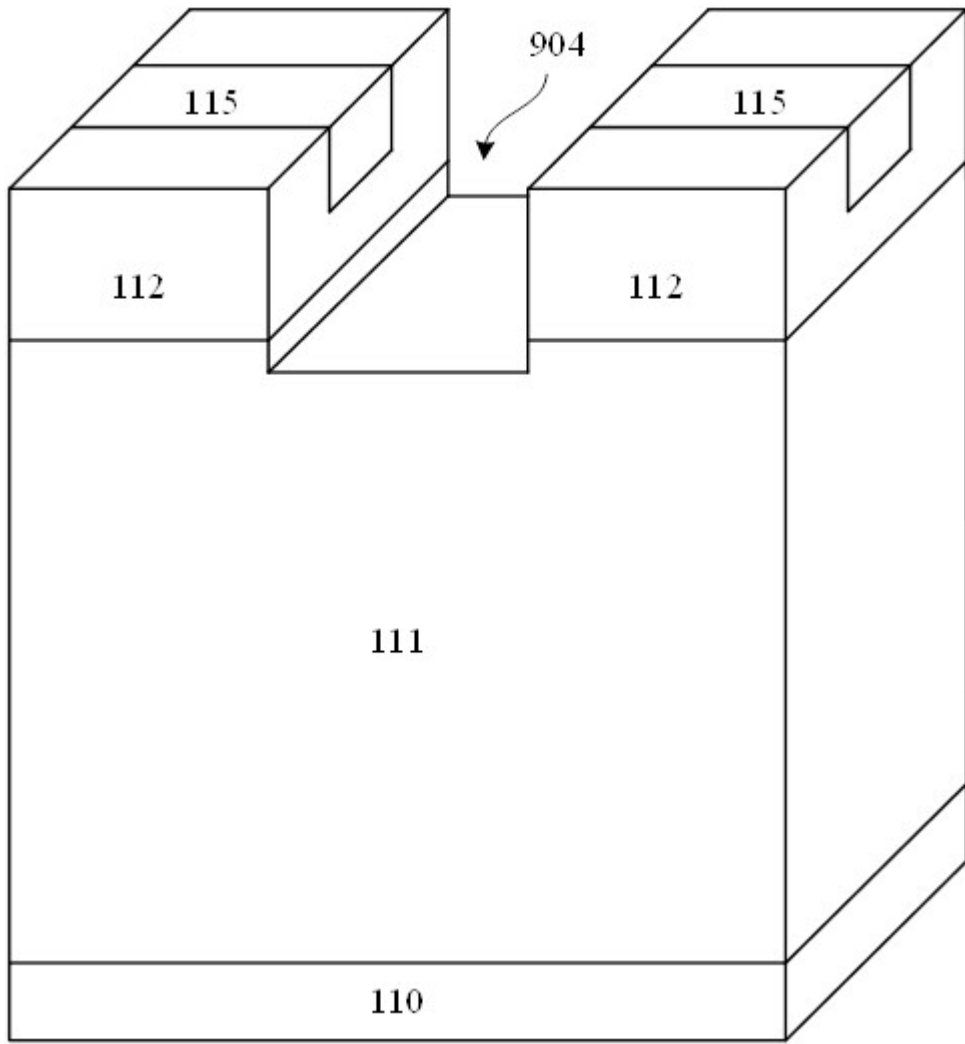


图 14A

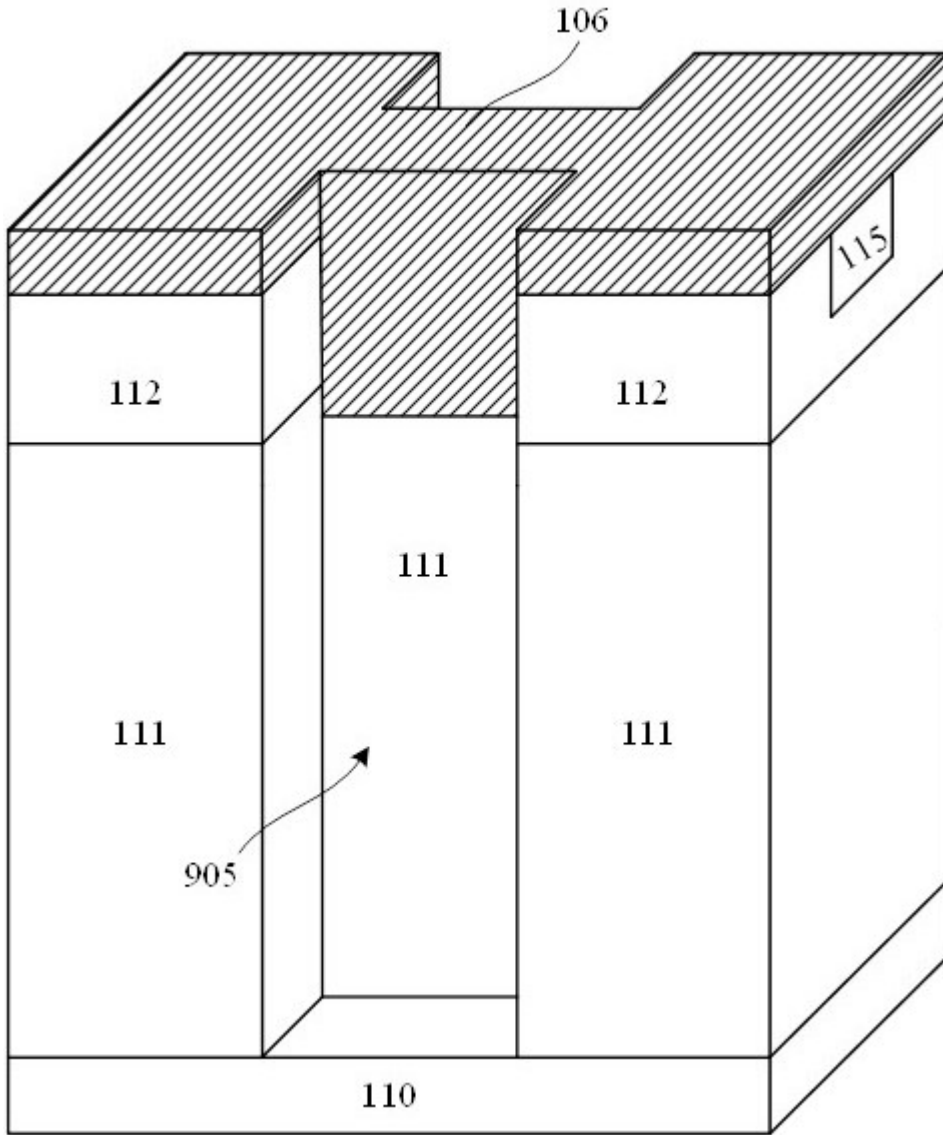


图 14B

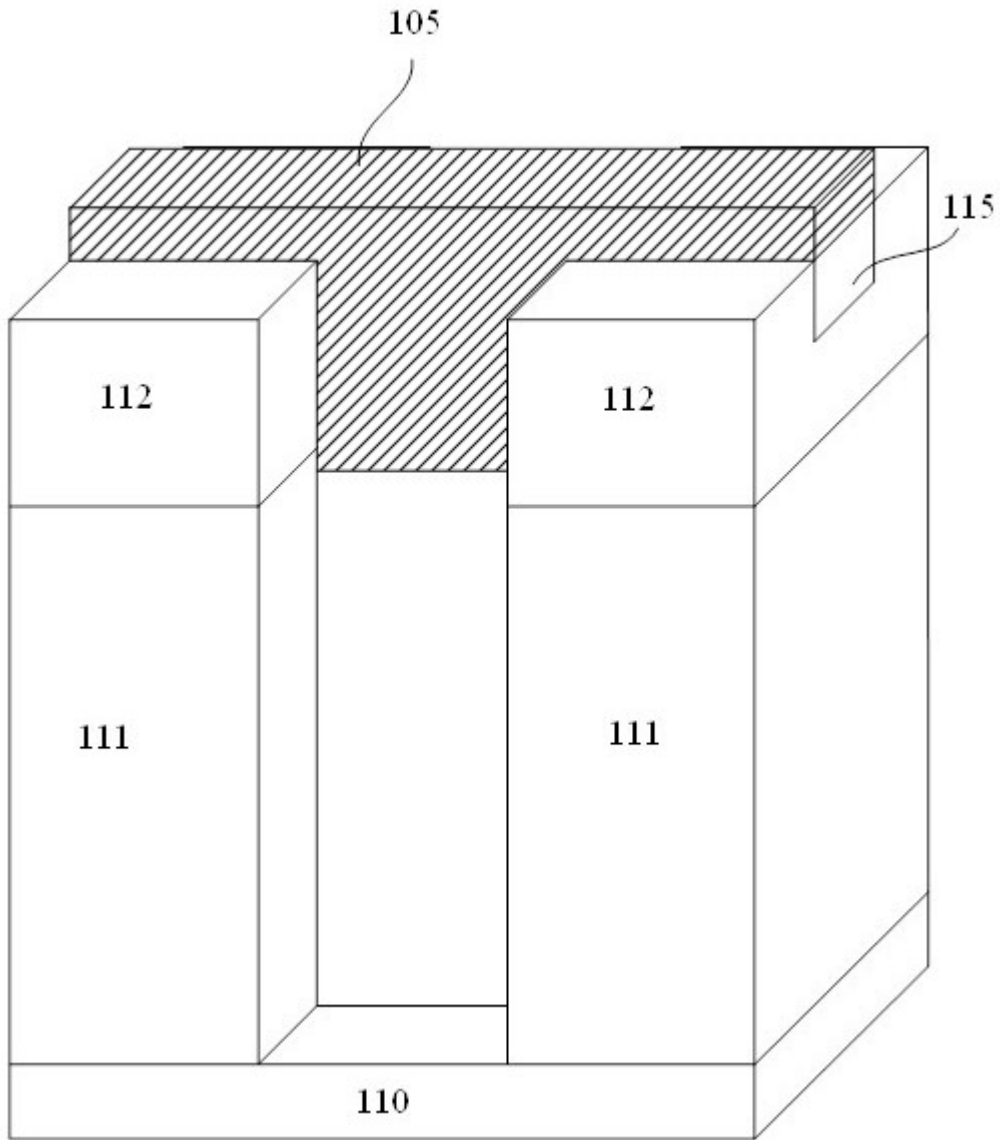


图 14C



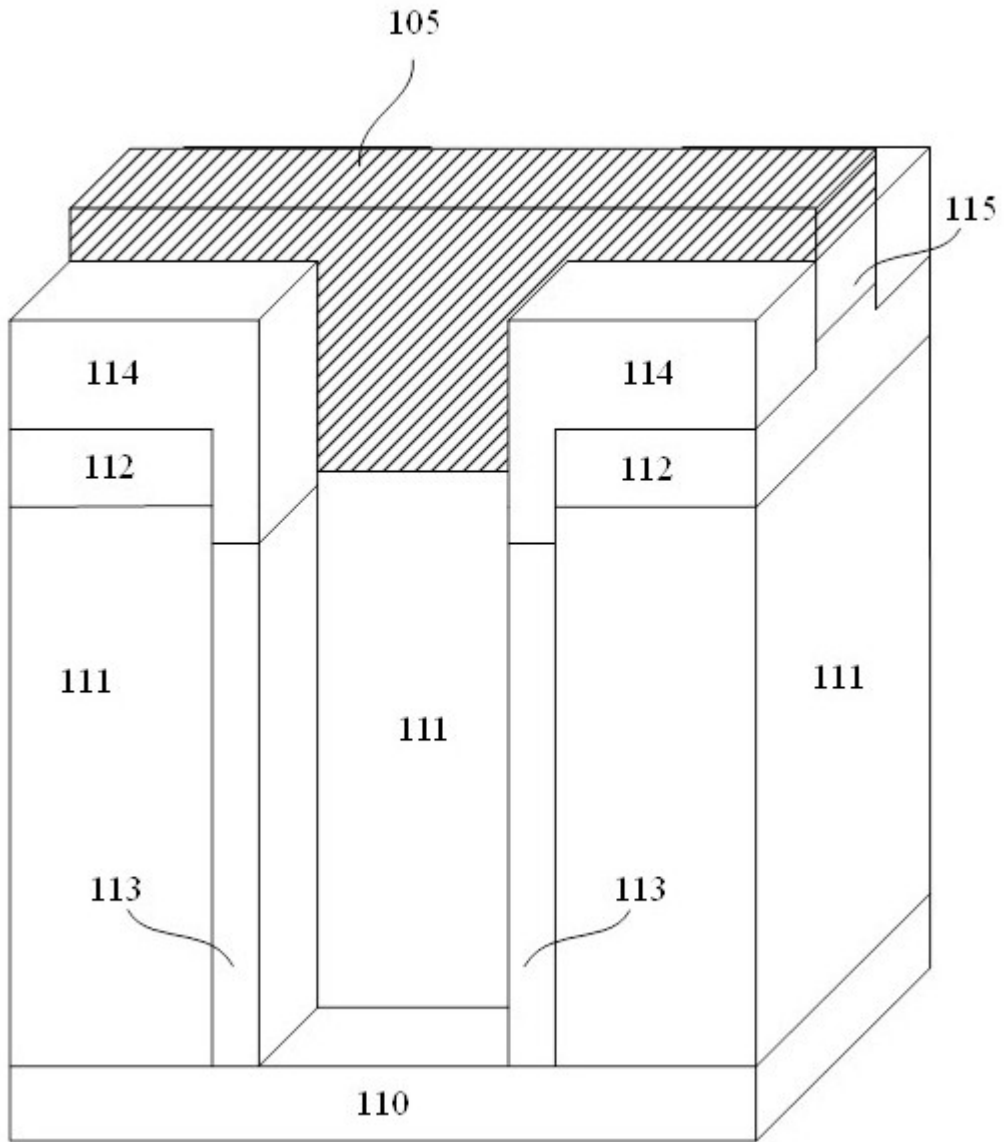


图 14D

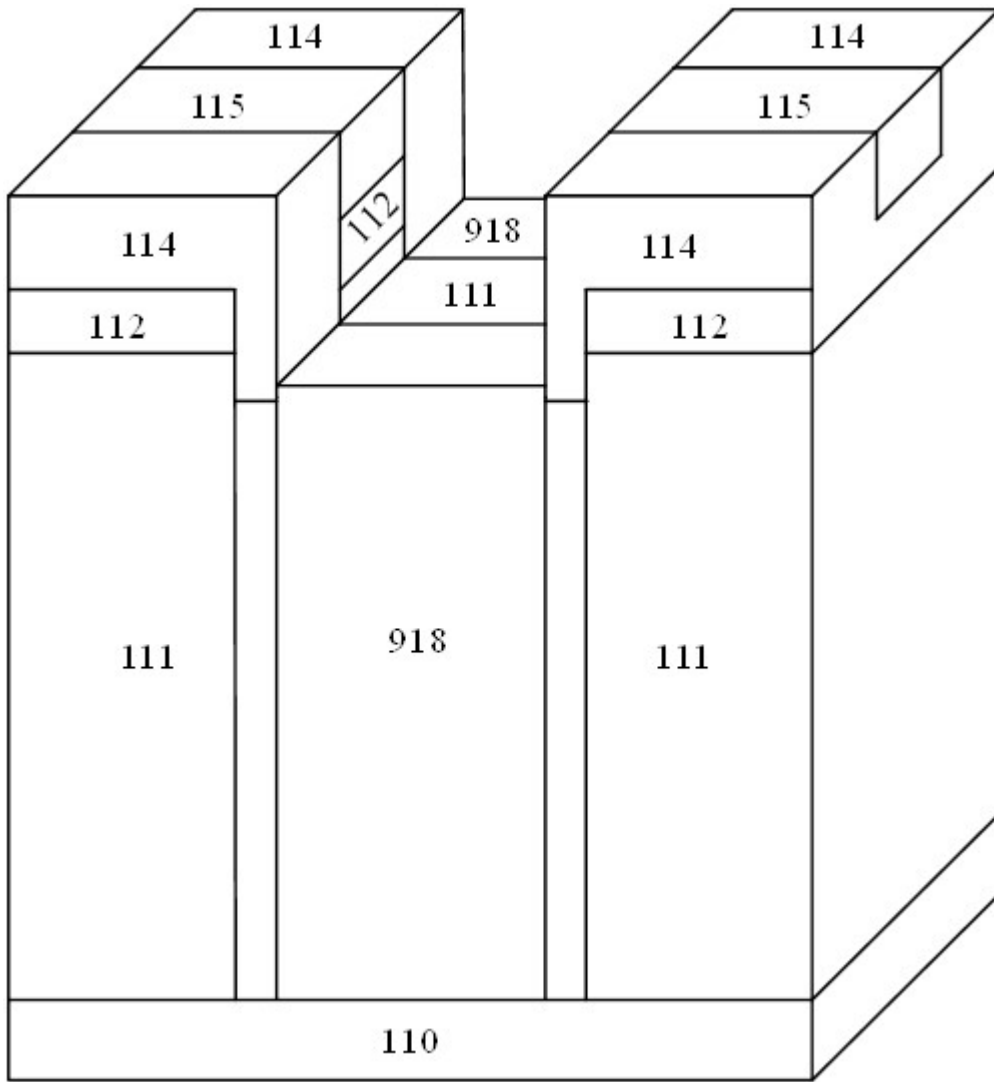


图 14E

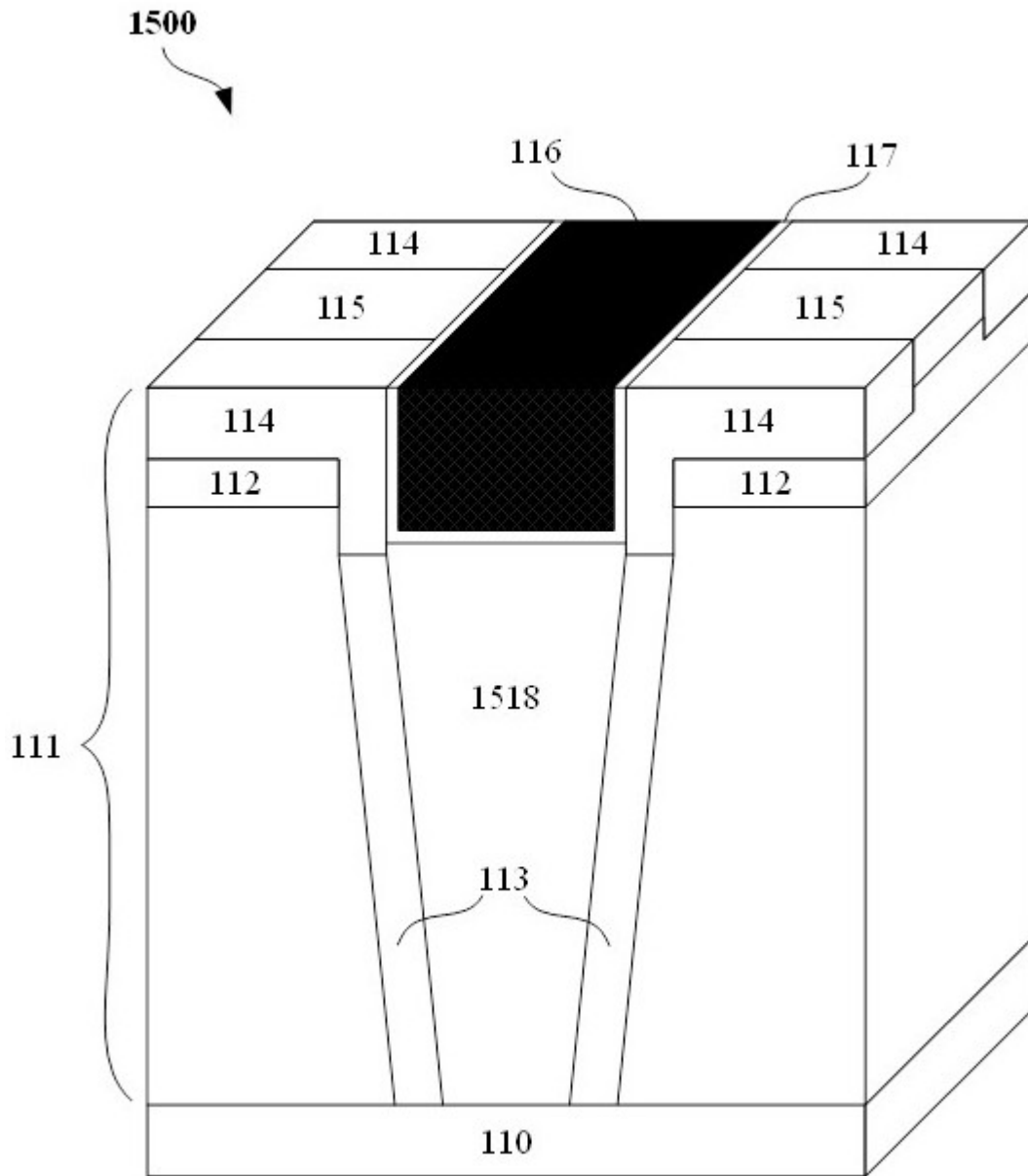


图 15