



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년10월16일  
 (11) 등록번호 10-1908655  
 (24) 등록일자 2018년10월10일

(51) 국제특허분류(Int. Cl.)  
*H01L 33/16* (2010.01)  
 (21) 출원번호 10-2012-0015985  
 (22) 출원일자 2012년02월16일  
 심사청구일자 2017년02월16일  
 (65) 공개번호 10-2013-0094602  
 (43) 공개일자 2013년08월26일  
 (56) 선행기술조사문헌  
 US20100265981 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지이노텍 주식회사**  
 서울특별시 중구 후암로 98 (남대문로5가)  
 (72) 발명자  
**한영훈**  
 서울 중구 한강대로 416, 20층 엘지이노텍(주) (남대문로5가, 서울스퀘어)  
**유동한**  
 서울 중구 한강대로 416, 20층 엘지이노텍(주) (남대문로5가, 서울스퀘어)  
 (74) 대리인  
**박영복**

전체 청구항 수 : 총 8 항

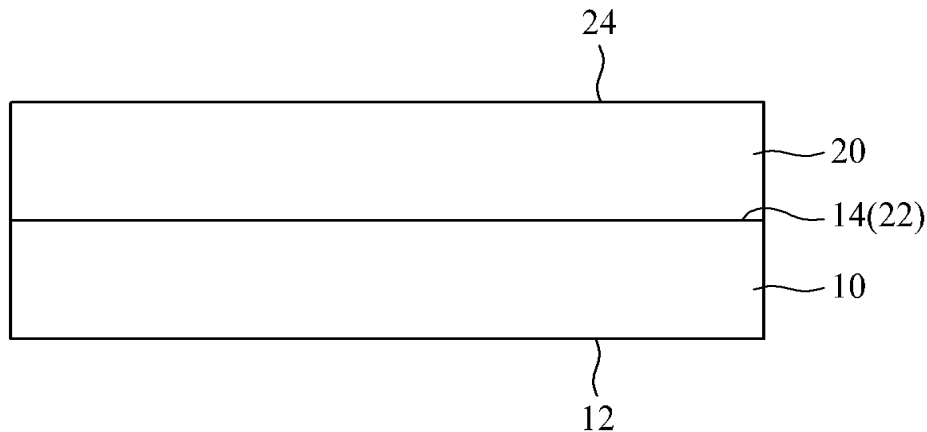
심사관 : 김동우

(54) 발명의 명칭 **반도체 소자의 벽개면 형성 방법**

**(57) 요약**

실시예의 반도체 소자의 벽개면 형성 방법은 기판의 상부 r-면 상에 적어도 하나의 화합물 반도체 층을 성장시켜 형성하는 단계와, 가이드 라인의 길이를 따라 기판의 하부 r-면 상에 벽개 라인을 형성하되, 가이드 라인은 기판의 (11-22)면 방향으로 연장되고 가이드 라인은 기판의 상부 r-면과 하부 r-면 사이에 위치하는 엣지의 일측부로부터 엣지의 타측부로 연장되는 단계 및 하부 r-면에 힘을 가하여 벽개 라인을 따라 (11-22)면 방향으로 기판을 벽개시켜, 적어도 하나의 화합물 반도체 층의 c-면을 따라 벽개면을 형성하는 단계를 포함한다.

**대표도** - 도1



**명세서**

**청구범위**

**청구항 1**

기판의 상부 r-면 상에 적어도 하나의 화합물 반도체 층을 성장시켜 형성하는 단계;

가이드 라인의 길이를 따라 상기 기판의 하부 r-면 상에 벽개 라인을 형성하되, 상기 가이드 라인은 상기 기판의 (11-22)면 방향으로 연장되고 상기 가이드 라인은 상기 기판의 상기 상부 r-면과 상기 하부 r-면 사이에 위치하는 엣지의 일측부로부터 상기 엣지의 타측부로 연장되는 단계; 및

상기 하부 r-면에 힘을 가하여 상기 벽개 라인을 따라 상기 (11-22)면 방향으로 상기 기판을 벽개시켜, 상기 적어도 하나의 화합물 반도체 층의 c-면을 따라 벽개면을 형성하는 단계를 포함하는 반도체 소자의 벽개면 형성 방법.

**청구항 2**

제1 항에 있어서, 상기 벽개 라인을 형성하는 단계는

상기 기판의 하부 r-면 상에 형성된 벽개 라인에 의해, 상기 기판의 상기 (11-22)면 방향으로 상기 기판의 상기 하부 r-면을 약화시키는 단계를 포함하는 반도체 소자의 벽개면 형성 방법.

**청구항 3**

제1 항에 있어서, 상기 벽개 라인은

상기 기판의 상기 (11-22)면 방향으로 상기 기판의 상기 하부 r-면을 스크라이빙하거나 어블레이션(ablation)하거나 식각하여 형성되는 반도체 소자의 벽개면 형성 방법.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

제1 항에 있어서, 상기 기판은 사파이어 기판이나 스피넬 기판이고,

상기 기판은 0보다 크고 300 $\mu$ m보다 적은 두께를 갖는 반도체 소자의 벽개면 형성 방법.

**청구항 12**

삭제

**청구항 13**

제1 항에 있어서, 상기 적어도 하나의 화합물 반도체 층은 질화물계 III-V족 화합물 반도체를 포함하고, 상기 적어도 하나의 화합물 반도체 층은 적어도 하나의 다이오드 레이저 구조 또는 발광 다이오드 구조를 갖는 반도체 소자의 벽개면 형성 방법.

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

제1 항에 있어서, 상기 적어도 하나의 화합물 반도체 층은 상기 기판의 상기 상부 r-면 상에서, 상기 화합물 반도체 층의 a-면에 수직한 방향으로 성장되는 반도체 소자의 벽개면 형성 방법.

**청구항 17**

제1 항에 있어서, 상기 적어도 하나의 화합물 반도체 층에 형성되는 상기 벽개면은 상기 기판의 상부 r-면과 수직한 반도체 소자의 벽개면 형성 방법.

**청구항 18**

제1 항에 있어서, 상기 벽개 라인은 상기 가이드 라인의 전체 길이를 따라 형성되고, 상기 적어도 하나의 화합물 반도체 층의 벽개면은 0 보다 크고 200Å 보다 적은 평균 제곱근 거칠기를 갖고, 상기 적어도 하나의 화합물 반도체 층과 상기 기판은 동시에 벽개되는 반도체 소자의 벽개면 형성 방법.

**청구항 19**

삭제

**청구항 20**

삭제

**발명의 설명**

**기술 분야**

[0001] 실시예는 반도체 소자의 벽개면 형성 방법에 관한 것이다.

**배경 기술**

[0002] 질화물(nitride)계 III-V족 화합물 반도체를 이용한 고효율 발광 소자 같은 반도체 소자는 단과장의 가시광선 발광을 위해 충분히 넓은 밴드 갭을 갖는다. 이러한 질화물계 III-V족 화합물 반도체에 의해 발광 다이오드나 반도체 레이저 등을 제조하는 경우, GaN, AlGa<sub>N</sub>, GaInN 등을 다층으로 적층하고, 발광층을 n형 클래드 층 및 p형 클래드 층의 사이에 배치할 수 있다. 특히, 반도체 레이저를 제조하는 경우, 빛을 방출하는 단면은 통상 벽개(cleavage)에 의하여 형성된다.

[0003] 한편, GaN계 화합물 반도체의 결정 성장에 사용되는 하나의 주요한 기판으로서, 소위 (0001)면 SiC 기판이 있지만 이는 고가이다. 또한, GaN계 화합물 반도체의 결정 성장에 사용되는 다른 주요한 기판으로서, SiC 기판보다 저가인 사파이어(sapphire) 기판이 사용될 수 있다.

[0004] 산업적 견지에서 볼 때, 값싼 사파이어 기판을 기판으로서 사용하고 GaN계 반도체 레이저를 실현하는 것이 선호된다. 그러나, 자주 이용되는 (0001)면 사파이어 기판은 그 면내에 벽개성의 축을 갖고 있지 않다. 이로 인해, 사파이어 기판 상에 레이저 구조를 구성하는 GaN계 화합물 반도체 층을 성장시킨 후, 기판을 벽개하면 양호한 빛 방출 단면이 형성되지 않는다. 즉, 사파이어 기판을 이용하면 벽개가 용이하다고 하지만, 실용적으로는 만족할만하지 않다. 또한, 빛 방출 단면인 벽개면에 형성되는 요철은 광 산란의 원인이 되기도 한다.

**발명의 내용**

**해결하려는 과제**

[0005] 실시예는 반도체 소자의 벽개면 형성 방법을 제공한다.

**과제의 해결 수단**

[0006] 실시예의 반도체 소자의 벽개면 형성 방법은, 기판의 상부 r-면 상에 적어도 하나의 화합물 반도체 층을 성장시켜 형성하는 단계; 가이드 라인의 길이를 따라 상기 기판의 하부 r-면 상에 벽개 라인을 형성하되, 상기 가이드 라인은 상기 기판의 (11-22)면 방향으로 연장되고 상기 가이드 라인은 상기 기판의 상기 상부 r-면과 상기 하부 r-면 사이에 위치하는 엣지의 일측부로부터 상기 엣지의 타측부로 연장되는 단계; 및 상기 하부 r-면에 힘을 가하여 상기 벽개 라인을 따라 상기 (11-22)면 방향으로 상기 기판을 벽개시켜, 상기 적어도 하나의 화합물 반도체 층의 c-면을 따라 벽개면을 형성하는 단계를 포함한다.

[0007] 또한, 상기 벽개 라인을 형성하는 단계는 상기 벽개 라인이 형성된 상기 기판의 상기 (11-22)면 방향으로 상기 기판의 상기 하부 r-면을 약화시키는 단계를 포함한다.

[0008] 또한, 상기 벽개 라인은 상기 기판의 상기 (11-22)면 방향으로 상기 기판의 상기 하부 r-면을 스크라이빙하여 형성된다. 또는, 상기 벽개 라인은 상기 기판의 상기 (11-22)면 방향으로 상기 기판의 상기 하부 r-면을 어블레이션(ablation)하여 형성된다. 또는, 상기 벽개 라인은 상기 기판의 상기 (11-22)면 방향으로 상기 기판의 상기 하부 r-면을 식각하여 형성된다.

[0009] 다른 실시예에 의한 반도체 소자의 벽개면 형성 방법은 기판의 상부 r-면 상에 적어도 하나의 화합물 반도체 층을 성장시켜 형성하는 단계; 가이드 라인의 길이를 따라 상기 적어도 하나의 화합물 반도체 층의 상부면 상에 벽개 라인을 형성하되, 상기 가이드 라인은 상기 적어도 하나의 화합물 반도체 층의 c-면 방향으로 연장되고 상기 가이드 라인은 상기 적어도 하나의 화합물 반도체 층의 하부면과 상기 상부면 사이에 위치하는 엣지의 일측부로부터 상기 엣지의 타측부로 연장되는 단계; 및 상기 상부면에 힘을 가하여 상기 벽개 라인을 따라 상기 적어도 하나의 화합물 반도체 층의 c-면 방향으로 상기 적어도 하나의 화합물 반도체 층을 벽개시켜 벽개면을 형성하고, 상기 기판의 (11-22)면을 따라 상기 기판을 벽개시키는 단계를 포함한다.

[0010] 상기 벽개 라인을 형성하는 단계는 상기 벽개 라인이 형성된 상기 적어도 하나의 화합물 반도체 층의 c-면 방향으로 상기 적어도 하나의 화합물 반도체 층의 상부면을 약화시키는 단계를 포함한다.

[0011] 상기 벽개 라인은 상기 적어도 하나의 화합물 반도체 층의 c-면 방향으로 상기 적어도 하나의 화합물 반도체 층의 상기 상부면을 스크라이빙하여 형성된다. 또는, 상기 벽개 라인은 상기 적어도 하나의 화합물 반도체 층의 c-면 방향으로 상기 적어도 하나의 화합물 반도체 층의 상기 상부면을 어블레이션하여 형성된다. 또는, 상기 벽개 라인은 상기 적어도 하나의 화합물 반도체 층의 c-면 방향으로 상기 적어도 하나의 화합물 반도체 층의 상기 상부면을 식각하여 형성된다.

[0012] 전술한 실시예들에서, 상기 기판은 사파이어 기판이나 스피넬 기판일 수 있다. 예를 들어, 상기 기판은 0보다 크고 300 $\mu$ m보다 작은 두께를 가질 수 있다. 또한, 상기 적어도 하나의 화합물 반도체 층은 질화물계 III-V족 화합물 반도체를 포함할 수 있다. 상기 적어도 하나의 화합물 반도체 층은 적어도 하나의 다이오드 레이저 구조 또는 적어도 하나의 발광 다이오드 구조를 갖는다. 또한, 상기 적어도 하나의 화합물 반도체 층은 상기 기판의 상기 상부 r-면 상에서, 상기 화합물 반도체 층의 a-면에 수직인 방향으로 성장된다. 또한, 상기 적어도 하나의 화합물 반도체 층에 형성되는 상기 벽개면은 상기 기판의 상부 r-면과 수직일 수 있다. 상기 벽개 라인은 상기 가이드 라인의 전체 길이를 따라 형성된다. 예를 들어, 상기 적어도 하나의 화합물 반도체 층은 0 보다 크고

200 Å 보다 적은 평균 제곱근 거칠기를 가질 수 있다. 또한, 상기 적어도 하나의 화합물 반도체 층과 상기 기판은 동시에 벽개될 수 있다.

**발명의 효과**

[0013] 실시예에 따른 반도체 소자의 벽개면 형성 방법은 사파이어 기판의 하부 r-면이나 화합물 반도체 층의 상부면의 벽개를 제어하고 조절할 수 있어, 사파이어 기판의 상부 r-면 상에 형성되는 레이저 다이오드가 만족할만한 파-필드 패턴(far-field pattern)을 가질 수 있고 프린팅이나 광 저장을 위해 적용될 수 있도록 하며, 화합물 반도체 층의 c-면 방향으로 요철 없는 경면의 벽개면을 형성하여 벽개면의 반사율이 커질 수 있고 반사 손실을 낮게 억제할 수 있어, 저역치 전류 밀도, 저 에너지 손실, 긴 수명을 갖는 반도체 레이저 또는 발광 다이오드 등의 반도체 소자가 실현될 수 있도록 한다.

**도면의 간단한 설명**

[0014] 도 1은 실시예에 따라 벽개된 기판 및 벽개된 적어도 하나의 화합물 반도체 층의 단면도이다.  
 도 2는 사파이어의 결정 구조를 나타내는 도면이다.  
 도 3은 GaN의 결정 구조를 나타내는 도면이다.  
 도 4a 내지 도 4c는 일 실시예에 의한 반도체 소자의 벽개면 형성 방법을 설명하기 위한 도면이다.  
 도 5a 내지 도 5c는 다른 실시예에 의한 반도체 소자의 벽개면 형성 방법을 설명하기 위한 도면이다.  
 도 6은 실시예에 따른 발광소자를 나타내는 단면도이다.  
 도 7은 실시예에 의한 발광소자 패키지의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 이하, 본 발명을 구체적으로 설명하기 위해 실시예를 들어 설명하고, 발명에 대한 이해를 돕기 위해 첨부도면을 참조하여 상세하게 설명하기로 한다. 그러나, 본 발명에 따른 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되지 않아야 한다. 본 발명의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다.

[0016] 실시예에 의한 반도체 소자의 벽개면 형성 방법을 첨부한 도면을 참조하여 다음과 같이 설명한다.

[0017] 도 1은 실시예에 따라 벽개된(cleaved) 기판(10) 및 벽개된 적어도 하나의 화합물 반도체 층(20)의 단면도이다.

[0018] 기판(10)은 사파이어(sapphire) 기판이나 스피넬(spinel) 기판일 수 있다.

[0019] 이하, 기판(10)은 사파이어 기판인 것으로 설명하지만 이에 국한되지 않고 다양한 형태의 기판일 수 있다.

[0020] 사파이어 기판(10)은 0보다 크고 300 $\mu$ m보다 적은 두께를 가질 수 있다. 사파이어 기판(10)의 두께를 줄일 경우 기판(10)을 더 쉽게 벽개시킬 수 있다. 예를 들어, 사파이어 기판(10)은 150 $\mu$ m보다 적은 두께를 가질 수 있다.

[0021] 사파이어 기판(10)의 두께를 원하는 만큼 얇게 구현하고, 사파이어 기판(10)의 r-면을 부드럽게 하기 위해 다양한 기술을 이용할 수 있음은 물론이다. 예를 들어, 사파이어 기판(10)을 거칠게 연마한 후, 0.1 $\mu$ m의 연마 그리드를 갖는 미세 그리드를 이용하여, 사파이어 기판(10)을 미세 연마할 수 있다. 이러한 연마 공정을 통해 사파이어 기판(10)의 상부 r-면(14)과 하부 r-면(12)은 서로 나란해질 수 있으며, 사파이어 기판(10)의 상부 r-면(14)은 사파이어 기판(10)의 (11-22) 면에 직각이 될 수도 있다.

[0022] 도 2는 사파이어의 결정 구조를 나타내는 도면이다.

[0023] 사파이어 기판(10)의 단위 셀(30)은 육방 정계 결정 구조를 갖는다. 사파이어 단위 셀(30)의 a-면(32), c-면(34), m-면(36) 및 r-면(38)의 위치와 방향은 도 2에 도시된 바와 같다. a-면(32)은 (11-20)의 방향을 갖는다. c-면(34)은 사파이어 단위 셀(30)의 상부면 및 하부면을 형성하고, (0001)의 방향을 갖는다. a-면(32)은 c-면(34)과 수직이다. m-면(36)은 사파이어 단위 셀(30)의 측면을 형성하고 (1-100)의 방향을 갖는다. r-면(38)은 c-면(34)에 대해 57.6°의 각도를 지향한다.

[0024] 도 1 및 도 2를 참조하면, 사파이어 기판(10)의 상부 r-면(14) 상에 적어도 하나의 화합물 반도체 층(20)을 성장시켜 형성한다. 적어도 하나의 화합물 반도체 층(20)은 사파이어 기판(10)의 상부 r-면(14) 상에서 화합물 반

도체 층(20)의 a-면에 수직한 방향으로 성장될 수 있다.

- [0025] 화합물 반도체 층(20)은 발광 소자의 구조를 가질 수 있다. 예를 들어, 발광 소자는 발광 다이오드를 포함하는 반도체 소자의 다른 형태 뿐만 아니라 다이오드 레이저를 포함할 수 있다.
- [0026] 화합물 반도체 층(20)은 화합물 반도체로 구현될 수 있다. 특히, 화합물 반도체 층(20)은 질화물계 III-V족의 화합물 반도체일 수 있다. 여기서, III-V족의 화합물 반도체는 단파장 발광 소자를 형성하는데 유용하며 그 밖에 다양한 특성을 갖는다. Al-Ga-In-N 계는 가시광선 전체 영역을 포괄하는 큰 밴드 갭을 갖는다.
- [0027] 예를 들어, 화합물 반도체 층(20)은  $Al_xIn_yGa_{(1-x-y)}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질을 포함할 수 있다. 또는, 화합물 반도체 층(20)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다.
- [0028] 도 3은 GaN의 결정 구조를 나타내는 도면이다.
- [0029] 실시예에 의하면, 적어도 하나의 화합물 반도체 층(20)으로서 GaN을 사용할 수 있으며, GaN 단위 셀(40)은 육방정계 결정 구조를 갖는다. 도 3을 참조하면, GaN 단위 셀(40)은 측면을 형성하는 m-면(42)과 상부면 및 하부면을 형성하는 c-면(44)을 갖는다.
- [0030] 도 4a 내지 도 4c는 일 실시예에 의한 반도체 소자(50)의 벽개면 형성 방법을 설명하기 위한 도면이다. 구체적으로, 도 4a는 벽개 라인(52, 54)이 형성된 반도체 소자(50)의 사시도를 나타내고, 도 4b는 벽개 라인(52, 54)이 형성된 반도체 소자(50)에서 r-면 사파이어 기관(10)의 평면도를 나타내고, 도 4c는 벽개 라인(52, 54)에 따라 벽개된 반도체 소자(50)의 사시도를 나타낸다.
- [0031] 도 1은 도 4c에 도시된 반도체 소자(50)를 화살표 방향(52)에서 뒤집어서 바라본 단면도에 해당한다. 도 4a 내지 도 4c에 도시된 반도체 소자(50)는 원형이지만 이에 국한되지 않고 다각형 등의 다양한 형태를 가질 수 있으며, (11-22)면 플랫폼(flat)(58)을 포함한다.
- [0032] 일 실시예에 따라, 도 1, 도 4a 및 도 4b를 참조하면, 사파이어 기관(10)의 하부 r-면(12) 상에 가이드 라인(guide line)의 길이를 따라 벽개 라인(a line for cleavage)(52, 54)을 형성한다. 여기서, 가이드 라인이란, 사파이어 기관(10)의 (11-22)면 방향으로 연장되는 라인을 의미한다. 또한, 가이드 라인은 기관(10)의 상부 r-면(14)과 하부 r-면(12) 사이에 위치하는 엣지(56)의 일측부(56A)로부터 엣지(56)의 타측부(56B)로 연장되는 라인이다. 예를 들어, 서로 마주보는 일측부(56A)와 타측부(56B)의 사이의 거리인 가이드 라인의 전체 길이 중에서 최소한 95% 정도까지 벽개 라인(52, 54)이 연장되어 형성될 수 있다. 또는, 도 4a 및 도 4b에 도시된 벽개 라인(52, 54)은 가이드 라인의 전체 길이를 따라 형성될 수도 있다.
- [0033] 만일, 사파이어 기관(10)이 도 4a 및 4b에 도시된 바와 같이 원형일 경우, 벽개 라인(52)은 사파이어 기관(10)의 지름 전체를 따라 연장되어 형성된다. 이때, 벽개 라인(54)은 벽개 라인(52)과 나란하며 사파이어 기관(10)의 지름 전체 보다 작은 길이를 갖도록 형성될 수 있다.
- [0034] 또한, 사파이어 기관(10)이 도 4a 및 도 4b에 도시된 바와 달리 원형이 아니라 다각형인 경우에도, 사파이어 기관(10)은 엣지(56)를 갖는다. 이 경우, 벽개 라인(52, 54)은 사파이어 기관(10)의 엣지의 일측부로부터 엣지의 타측부로 (11-22)면 방향으로 연장되어 형성될 수 있다. 예를 들어, 사파이어 기관(10)이 (11-22)면과 나란한 단면(short side)을 갖는 사각형일 경우, 그 단면에 나란하게 사파이어 기관(10)의 폭 내에서 복수개의 벽개 라인들이 형성될 수 있다.
- [0035] 게다가, 이들(52, 54) 이외에 적어도 하나의 다른 벽개 라인(미도시)이 가이드 라인을 따라 기관(10)의 하부 r-면(12) 상에 (11-22)면 방향으로 추가적으로 형성될 수도 있다.
- [0036] 벽개 라인(52, 54)에 의해, 사파이어 기관(10)의 하부 r-면(12)을 벽개 라인(52, 54)이 형성된 사파이어 기관(10)의 (11-22)면 방향으로 약화(weakness)시킬 수 있어, 사파이어 기관(10)의 하부 r-면(12)의 벽개를 제어하고 조절할 수 있다.
- [0037] 실시예에 의하면, 전술한 벽개 라인(52, 54)은 사파이어 기관(10)의 (11-22)면 방향으로 사파이어 기관(10)의 하부 r-면(12)을 스크라이빙(scribing)하여 형성될 수 있다. 예를 들어, 도 4b에 도시된 바와 같이 사파이어 기관(10)의 하부 r-면(12)을 사파이어 기관(10)의 지름을 정의하는 라인을 따라 스크라이빙하여, 벽개 라인(52)이 형성될 수 있다. 즉, 벽개 라인(52)은 사파이어 기관(10)의 지름으로 연장될 수 있다. 스크라이빙을 위한 툴(tool)로서, 루미스 공업사(Loomis Industries)가 상업적으로 제공하는 Loomis Model LCD-1,

Cleaver/Scriber(1204 Church Street, St. Helena, Calif. 94574)가 있다. 스크라이빙 압력은 약 0 psi(평방 인치당 파운드) 내지 약 120 psi의 범위를 가질 수 있다. 예를 들어, 스크라이빙 압력은 약 4 psi 내지 8 psi일 수 있다. 스크라이빙 과정은 원하는 개수만큼의 벽개 라인을 형성하기 위해 반복적으로 수행될 수 있다.

[0038] 또는, 벽개 라인(52, 54)은 사파이어 기관(10)의 (11-22)면 방향으로 사파이어 기관(10)의 하부 r-면(12)을 레이저(laser) 어블레이션(ablation)하여 형성될 수 있다. 레이저 어블레이션에 의해 (11-22)면 방향을 따라 사파이어 기관(10)의 구성 물질이 제거됨으로써 벽개 라인(52, 54)이 형성될 수 있다. 단과장, 펄스 엑시머 레이저(PEL:Pulsed Excimer Lasers), mode-locked Nd:YAG 레이저, 또는 far-infrared CO<sub>2</sub> 레이저는 작은 스팟(spot) 크기로 포커스될 수 있는 광빔을 방출할 수 있다. 레이저 광이 사파이어 기관(10)에 흡수되면 사파이어 기관(10)은 국부적으로 가열되어 사파이어 기관(10)의 구성 물질이 제거될 수 있다. 레이저 펄스의 파장은 수십 ns 정도로 매우 짧고 가열은 단지 국부적으로 진행되므로 가열시킬 영역의 주변에는 영향을 미치지 않는다. 벽개 라인(52, 54)을 위한 좁은 홈이나 트렌치를 형성하기 위해, 레이저는 수 μm의 매우 작은 스팟 크기로 포커스된다. 이때, 최소 스팟 크기가 홈의 폭을 결정한다.

[0039] 포커스된 레이저 빔을 사파이어 기관(10)을 따라 레스터링(rastering)하여, 사파이어 기관(10)의 하부 r-면(12) 상에 홈이나 트렌치가 벽개 라인으로서 형성된다. 홈(또는, 트렌치)의 깊이는 최소한 홈(또는, 트렌치)의 폭과 동일할 수도 있지만 그 폭보다 클 수도 있다. 홈(또는, 트렌치)의 깊이는 수 μm 또는 수십 μm이다.

[0040] 또는, 벽개 라인(52, 54)은 사파이어 기관(10)의 (11-22)면 방향으로 사파이어 기관(10)의 하부 r-면(12)을 식각(etching)하여 형성될 수도 있다. 비록 사파이어 기관(10)을 그(10)의 전체 두께만큼 식각하는 것이 어렵더라도, 사파이어 기관(10)의 (11-22)면 방향으로 그(10)의 전체 두께가 아니라 일부 두께만큼을 식각하여, 얇은 홈이나 트렌치 형태의 벽개 라인을 형성할 수 있다. 예를 들어, Cl<sub>2</sub>/BCl<sub>3</sub> 기반의 반응성 이온 빔 식각(RIE:Reactive Ion Beam Etching) 등의 건식 식각 기술이 벽개 라인(52, 54)을 형성하기 위해 사용될 수 있다. 이러한 식각 공정을 이용하여 사파이어 기관(10)의 하부 r-면(12)에 대략 1μm 이하의 깊이를 갖는 홈이 벽개 라인(52, 54)으로서 형성될 수 있다. 벽개 라인(52, 54)이 될 홈이나 트렌치의 수 μm 정도의 폭은 식각 공정 시에 이용되는 포토레지스트(photoresist) 또는 니켈(Ni) 등의 금속 마스크 패턴에 의해 정의될 수 있다.

[0041] 전술한 바와 같이 벽개 라인(52, 54)을 형성한 후, 사파이어 기관(10)의 하부 r-면(12)에 힘을 가하면, 도 4c에 도시된 바와 같이 벽개 라인(52, 54)을 따라 (11-22)면 방향으로 사파이어 기관(10)이 벽개되면서 적어도 하나의 화합물 반도체 층(20)도 c-면 방향으로 함께 벽개된다. 따라서, 화합물 반도체 층(20)의 c-면을 따라 벽개면이 형성될 수 있다.

[0042] 도 5a 내지 도 5c는 다른 실시예에 의한 반도체 소자(60)의 벽개면 형성 방법을 설명하기 위한 도면이다. 구체적으로, 도 5a는 벽개 라인(62, 64)이 형성된 반도체 소자(60)의 사시도를 나타내고, 도 5b는 벽개 라인(62, 64)이 형성된 화합물 반도체 층(20)의 평면도를 나타내고, 도 5c는 벽개 라인(62, 64)에 따라 벽개된 반도체 소자(60)의 사시도를 나타낸다.

[0043] 도 1은 도 5c에 도시된 반도체 소자(60)를 화살표 방향(62)에서 바라본 단면도에 해당한다. 도 5a 내지 도 5c에 도시된 반도체 소자(60)는 원형이지만 이에 국한되지 않고 다각형 등의 다양한 형태를 가질 수 있으며, c-면 플랫폼(68)을 포함한다.

[0044] 다른 실시예에 따라, 도 1, 도 5a 및 도 5b를 참조하면, 적어도 하나의 화합물 반도체 층(20)의 상부면(24) 상에 가이드 라인의 길이를 따라 벽개 라인(62, 64)을 형성한다. 여기서, 가이드 라인이란, 적어도 하나의 화합물 반도체 층(20)의 c-면 방향으로 연장되는 라인을 의미한다. 또한, 가이드 라인은 적어도 하나의 화합물 반도체 층(20)의 하부면(22)과 상부면(24) 사이에 위치하는 엣지(66)의 일측부(66A)로부터 엣지(66)의 타측부(66B)로 연장되는 라인이다. 예를 들어, 서로 마주보는 일측부(66A)와 타측부(66B)의 사이의 거리인 가이드 라인의 전체 길이 중에서 최소한 95% 정도까지 벽개 라인(62, 64)이 연장되어 형성될 수 있다. 또는, 도 5a 및 도 5b에 도시된 벽개 라인(62, 64)은 가이드 라인의 전체 길이를 따라 형성될 수도 있다.

[0045] 또한, 도 5a 및 도 5b에 도시된 벽개 라인(62, 64)은 적어도 하나의 화합물 반도체 층(20)의 c-면 방향으로 화합물 반도체 층(20)의 상부면(24)을 스크라이빙하거나, 어블레이션하거나, 식각하여 형성될 수 있다. 여기서, 스크라이빙, 어블레이션 및 식각 방법은 도 4a 및 도 4b에 도시된 벽개 라인(52, 54)을 형성할 때 이용되는 전술한 스크라이빙, 어블레이션 및 식각 방법과 각각 동일하므로 이 방법에 대해서는 설명을 생략한다.

[0046] 만일, 적어도 하나의 화합물 반도체 층(20)이 도 5a 및 도 5b에 도시된 바와 같이 원형일 경우, 벽개 라인(62)

은 적어도 하나의 화합물 반도체 층(20)의 지름 전체를 따라 연장되어 형성된다. 이때, 벽개 라인(64)은 벽개 라인(62)과 나란하며 화합물 반도체 층(20)의 전체 지름 보다 작은 길이를 갖도록 형성될 수 있다.

- [0047] 또한, 화합물 반도체 층(20)이 도 5a 및 도 5b에 도시된 바와 달리 원형이 아니라 다각형인 경우에도, 화합물 반도체 층(20)은 엣지(66)를 갖는다. 이 경우, 벽개 라인(62, 64)은 화합물 반도체 층(20)의 엣지의 일측부로부터 엣지의 타측부로 c-면 방향으로 연장되어 형성될 수 있다. 예를 들어, 화합물 반도체 층(20)이 c-면과 나란한 단면을 갖는 사각형일 경우, 그 단면에 나란하게 화합물 반도체 층(20)의 폭 내에서 복수 개의 벽개 라인들이 형성될 수 있다.
- [0048] 게다가, 이들(62, 64) 이외에 적어도 하나의 다른 벽개 라인(미도시)이 가이드 라인을 따라 화합물 반도체 층(20)의 상부면(24) 상에 c-면 방향으로 추가적으로 형성될 수 있다.
- [0049] 벽개 라인(62, 64)에 의해, 화합물 반도체 층(20)의 상부면(24)을 벽개 라인(62, 64)이 형성된 화합물 반도체 층(20)의 c-면 방향으로 약화시킬 수 있어, 화합물 반도체 층(20)의 상부면(24)의 벽개를 제어하고 조절할 수 있다.
- [0050] 전술한 바와 같이, 벽개 라인(62, 64)을 형성한 후, 화합물 반도체 층(20)의 상부면(24)에 힘을 가하면, 도 5c에 도시된 바와 같이 벽개 라인(62, 64)을 따라 화합물 반도체 층(20)의 c-면 방향으로 화합물 반도체 층(20)의 벽개되면서 사파이어 기관(10)도 (11-22)면을 따라 함께 벽개된다. 따라서, 화합물 반도체 층(20)의 c-면을 따라 벽개면이 형성될 수 있다.
- [0051] 이때, 도 4c 또는 도 5c에 도시된 바와 같이 화합물 반도체 층(20)의 c-면을 따라 형성되는 벽개면은 사파이어 기관(10)의 (11-22)면과 동일한 수평면상에서 정렬된다. 만일, 복수 개의 화합물 반도체 층(20)이 사파이어 기관(10) 상에 스택 구조로 형성될 경우, 복수 개의 벽개면 각각은 화합물 반도체 층(20)의 c-면을 따라 연장되어 형성된다. 이를 위해, 화합물 반도체 층(20)과 사파이어 기관(10)을 벽개시키는 과정은 반복적으로 수행될 수 있다.
- [0052] 또한, 전술한 벽개 라인(52, 54, 62, 64)에 예를 들어 대략 10 psi 내지 대략 20 psi의 압력을 가하여, 사파이어 기관(10)과 화합물 반도체 층(20)을 벽개시킬 수 있다.
- [0053] 또한, 적어도 하나의 화합물 반도체 층(20)에 c-면 방향으로 형성된 벽개면은 사파이어 기관(10)의 상부 r-면(14)과 수직일 수 있다. 이와 같이, 화합물 반도체 층(20)에 벽개면이 형성되므로, 사파이어 기관(10)의 상부 r-면(14) 상에 형성되는 레이저 다이오드는 만족할만한 파-필드 패턴(far-field pattern)을 가질 수 있고 프린팅이나 광 저장을 위해 적용될 수 있다.
- [0054] 또한, 전술한 반도체 소자(50, 60)에서 화합물 반도체 층(20)과 사파이어 기관(10)은 동시에 벽개되거나 순차적으로 벽개될 수 있다.
- [0055] 또한, 적어도 하나의 화합물 반도체 층(20)은 0 보다 크고 200Å 보다 적은 평균 제곱근(rms:root mean square) 거칠기를 가질 수 있다. 예를 들어, 이 거칠기는 100Å일 수 있다.
- [0056] 도 4c에 도시된 바와 같이 사파이어 기관(10)을 벽개 라인(52, 54)을 따라 벽개하거나 도 5c에 도시된 바와 같이 화합물 반도체 층(10)을 벽개 라인(62, 64)을 따라 벽개하면 요철이 없는 벽개면이 화합물 반도체 층(10)에 형성될 수 있다. 즉, 사파이어 기관(10)의 상부 r-면(14) 상에 화합물 반도체 층(20)을 성장시킨 뒤, 벽개 라인(52, 54, 62, 64)을 형성하고, 벽개 라인(52, 54, 62, 64)을 따라 사파이어 기관(10)과 화합물 반도체 층(20)을 벽개시킴으로, 화합물 반도체 층(20)의 c-면으로 요철 없는 경면의 벽개면이 형성될 수 있다. 그러므로, 벽개면의 반사율이 커질 수 있고 반사 손실을 낮게 억제할 수 있어, 저역치 전류 밀도, 저 에너지 손실, 긴 수명을 갖는 반도체 레이저 또는 발광 다이오드 등의 반도체 소자가 실현될 수 있다.
- [0057] 전술한 방법으로, 하나의 사파이어 기관(10)의 상부 r-면(14) 상에 복수 개의 발광 소자를 위한 벽개면이 형성될 수 있다. 예를 들어, 2인치 직경의 사파이어 기관(10)의 경우, 레이저 다이오드나 LED 같은 발광 소자가 서로 500 $\mu$ m의 간격으로 수천개 까지 형성될 수 있다.
- [0058] 또한, 벽개 라인을 형성하기 위해 스크라이빙 기술이 사용될 때, 스크라이빙 공정을 자동화시켜 생산성을 향상시킬 수도 있다. 어블레이션 공정이나 식각 공정도 하나의 사파이어 기관(10) 상에 복수 개의 발광 소자를 생성하기 위해 자동화될 수 있다.
- [0059] 전술한 실시예에 의한 방법은 기관(10) 상에 화합물 반도체 층(20)이 형성된 다양한 반도체 소자를 형성하기 위



해 이용될 수 있다. 특히, 이 방법은 발광 소자 같은 반도체 소자를 형성하기 위해 이용될 수 있다. 이 경우, 화합물 반도체 층(20)의 벽개면은 사파이어 기판(10)의 r-면과 직각이고 발광 소자의 발광 효율을 만족시키는 적절한 거칠기를 갖는다.

- [0060] 이하, 전술한 실시예에 따른 방법을 적용하여 생성된 발광 소자를 첨부된 도면을 참조하여 다음과 같이 설명한다.
- [0061] 도 6은 실시예에 따른 발광소자(100)를 나타내는 단면도이다.
- [0062] 발광 소자(100)는 기판(10), 발광 구조물(20), 제1 및 제2 전극(90, 92)을 포함한다.
- [0063] 도 6에 도시된 기판(10)은 도 1에 도시된 기판(10)에 해당하고, 발광 구조물(20)은 도 1에 도시된 화합물 반도체 층(20)에 해당한다. 기판(10)은 반도체 성장에 적합한 금속 물질, 절연물질 및 반도체 물질로 형성될 수 있다. 예를 들어, 사파이어( $Al_2O_3$ ), GaN, ZnO, Si, GaP, InP,  $Ga_2O_3$ , 및 GaAs 중 적어도 하나에 의해 구현될 수 있다.
- [0064] 기판(10)의 상부 r-면 상에 화합물 반도체 층(20)인 발광 구조물이 형성된다. 발광 구조물(20)은 제1 도전형 반도체 층(26), 활성층(27) 및 제2 도전형 반도체 층(28)을 포함한다. 여기서, 이들(26, 27, 28) 각각은 복수의 층들로 구현될 수 있다.
- [0065] 제1 도전형 반도체 층(26)은 화합물 반도체로 형성될 수 있으며, 특히 질화물계 III-V족 화합물 반도체로 형성될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 예를 들어, 제1 도전형 반도체 층(26)은  $Al_xIn_yGa_{(1-x-y)}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질을 포함할 수 있다. 또는, 제1 도전형 반도체 층(26)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 제1 도전형 반도체층(26)이 n형 반도체층인 경우, 제1 도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te 등을 포함할 수 있다.
- [0066] 제1 도전형 반도체 층(26)의 상부에는 활성층(27)이 형성될 수 있다. 활성층(27)은 제1 도전형 반도체 층(26)을 통해서 주입되는 전자(또는, 정공)와 제2 도전형 반도체 층(28)을 통해서 주입되는 정공(또는, 전자)이 서로 만나서, 활성층(27)을 이루는 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층이다.
- [0067] 활성층(27)은 단일 우물 구조(Double Hetero Structure), 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다. 예를 들어, 활성층(27)은 트리메틸 갈륨 가스(TMGa), 암모니아 가스( $NH_3$ ), 질소 가스( $N_2$ ), 및 트리메틸 인듐 가스(TMIn)가 주입되어 다중 양자우물구조가 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0068] 활성층(27)의 우물층/장벽층은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다. 우물층은 장벽층의 밴드 갭보다 작은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [0069] 활성층(27)의 위 또는/및 아래에는 도전형 클래드층(미도시)이 형성될 수 있다. 도전형 클래드층은 활성층(27)의 장벽층의 밴드 갭보다 더 넓은 밴드 갭을 가지는 반도체로 형성될 수 있다. 예를 들어, 도전형 클래드층은 GaN, AlGaN, InAlGaN 또는 초격자 구조 등을 포함할 수 있다. 또한, 도전형 클래드층은 n형 또는 p형으로 도핑될 수 있다.
- [0070] 활성층(27)의 상부에는 제2 도전형 반도체 층(28)이 형성될 수 있다. 제2 도전형 반도체층(28)은 화합물 반도체로 형성될 수 있으며 특히 질화물계 III-V족 화합물 반도체로 구현될 수 있고, 제2 도전형 도펀트가 도핑될 수 있다. 예를 들어, 제2 도전형 반도체 층(28)은  $In_xAl_yGa_{(1-x-y)}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질을 포함할 수 있다. 또는, 제2 도전형 반도체 층(28)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 제2 도전형 반도체층(28)이 p형 반도체층인 경우, 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.
- [0071] 상기에서 제1 도전형 반도체층(26)은 n형 반도체로 형성되고, 제2 도전형 반도체층(28)은 p형 반도체로 형성되는 것으로 설명하였지만, 반대로 제1 도전형 반도체층(26)이 p형 반도체로 형성되고, 제2 도전형 반도체층(28)

이 n형 반도체로 형성될 수도 있다.

- [0072] 발광 구조물(20)은 N-P 접합 구조, P-N 접합 구조, N-P-N 접합 구조, P-N-P 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [0073] 제2 도전형 반도체층(28) 상에는 제1 전극(90)이 배치된다. 한편, 제2 도전형 반도체층(28), 활성층(27) 및 제1 도전형 반도체층(26)의 일부는 메사(Mesa) 식각(etching)에 의해 제거되어, 저면에 제1 도전형 반도체층(26)의 일부가 드러난다. 식각에 의해 드러난 제1 도전형 반도체층(26) 상에는 제2 전극(92)이 배치된다.
- [0074] 제1 및 제2 전극(90, 92) 각각은 금속으로 형성될 수 있다. 또한, 제1 및 제2 전극(90, 92) 각각은 오믹 특성을 갖는 반사 전극 재료로 형성될 수 있다. 예를 들어, 제1 및 제2 전극(90, 92) 각각은 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 구리(Cu), 금(Au) 중 적어도 하나를 포함하여 단층 또는 다층 구조로 형성될 수 있다.
- [0075] 도 7은 실시예에 의한 발광소자 패키지의 단면도이다.
- [0076] 실시예에 따른 발광소자 패키지(200)는 패키지 몸체(70)와, 패키지 몸체(70)에 설치된 제1 리드 프레임(82) 및 제2 리드 프레임(84)과, 패키지 몸체(70)에 설치되어 제1 리드 프레임(82) 및 제2 리드 프레임(84)과 전기적으로 연결되는 발광소자(100)와, 발광소자(100)의 표면 또는 측면을 덮는 몰딩부(210)를 포함한다. 여기서, 발광소자(100)는 도 6에 도시된 발광 소자(100)에 해당한다.
- [0077] 패키지 몸체(70)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 발광소자(100)의 주위에 경사면이 형성되어 광추출 효율을 높일 수 있다.
- [0078] 제1 리드 프레임(82) 및 제2 리드 프레임(84)은 서로 전기적으로 분리되며, 발광소자(100)에 전원을 제공한다. 또한, 제1 리드 프레임(82) 및 제2 리드 프레임(84)은 발광소자(100)에서 발생된 광을 반사시켜 광 효율을 증가시킬 수 있으며, 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 수행할 수도 있다.
- [0079] 발광소자(100)는 패키지 몸체(70) 상에 설치되거나 제1 리드 프레임(82) 또는 제2 리드 프레임(84) 상에 설치될 수 있다. 발광소자(100)는 제1 리드 프레임(82) 및 제2 리드 프레임(84)과 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다. 본 실시예에서 발광소자(100)는 제1 리드 프레임(82)과 와이어(86)에 의해 연결되고 제2 리드 프레임(84)과 와이어(88)에 의해 본딩된다.
- [0080] 몰딩부(210)는 발광소자(100)를 둘러싸며 보호할 수 있다. 또한, 몰딩부(20)에 형광체(미도시)가 포함되어 발광소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0081] 발광소자 패키지(200)는 상술한 실시예들에 따른 발광 소자(100) 중 하나 또는 복수 개로 탑재할 수 있으며, 이에 대해 한정하지는 않는다.
- [0082] 실시 예에 따른 발광소자 패키지는 복수 개가 기판 상에 어레이되며, 발광소자 패키지의 광 경로 상에 광학 부재인 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 반도체 발광소자 또는 발광소자 패키지를 포함하는 표시 장치, 지시 장치, 조명 시스템으로 구현될 수 있으며, 예를 들어, 조명 시스템은 램프, 가로등을 포함할 수 있다.
- [0083] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

- |   |   |
|---|---|
| <ul style="list-style-type: none"> <li>[0084] 10: 기판</li> <li>26: 제1 도전형 반도체 층</li> <li>28: 제2 도전형 반도체 층</li> <li>40: GaN 단위 셀</li> </ul> | <ul style="list-style-type: none"> <li>20: 화합물 반도체 층</li> <li>27: 활성층</li> <li>30: 사파이어 단위 셀</li> <li>50, 60: 반도체 소자</li> </ul> |
|---|---|

70: 패키지 몸체

82, 84: 리드 프레임

90, 92: 전극

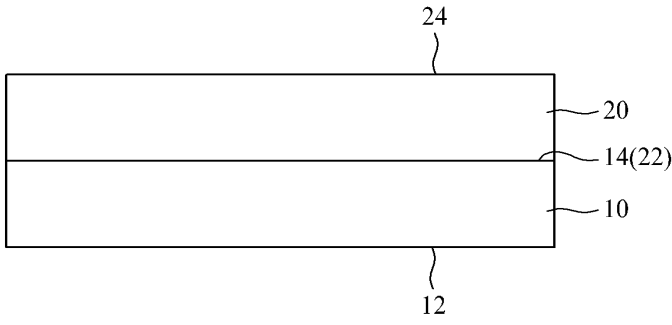
100: 발광 소자

200: 발광 소자 패키지

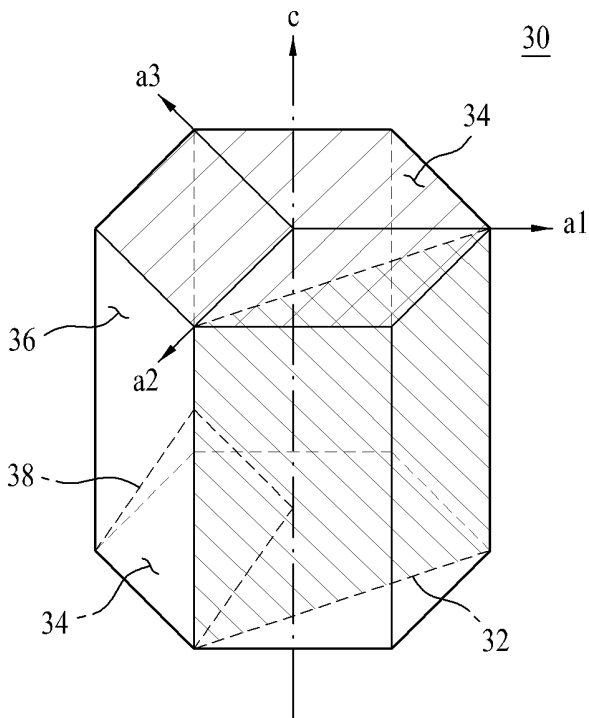
210: 몰딩부

도면

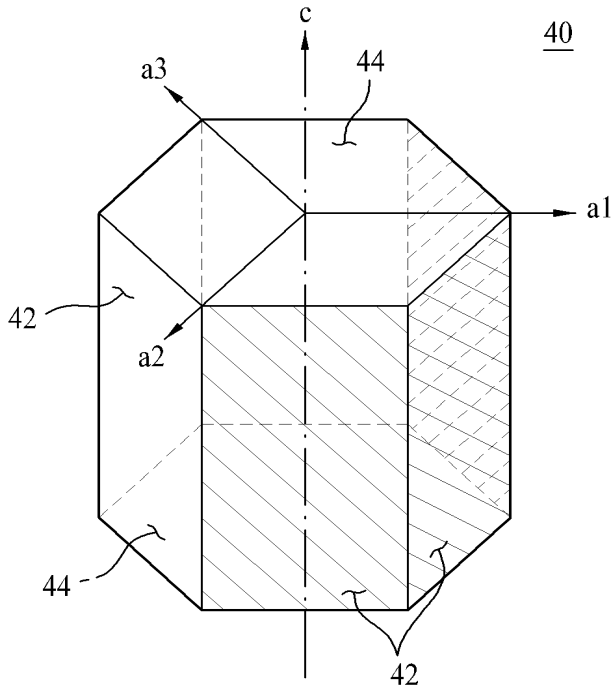
도면1



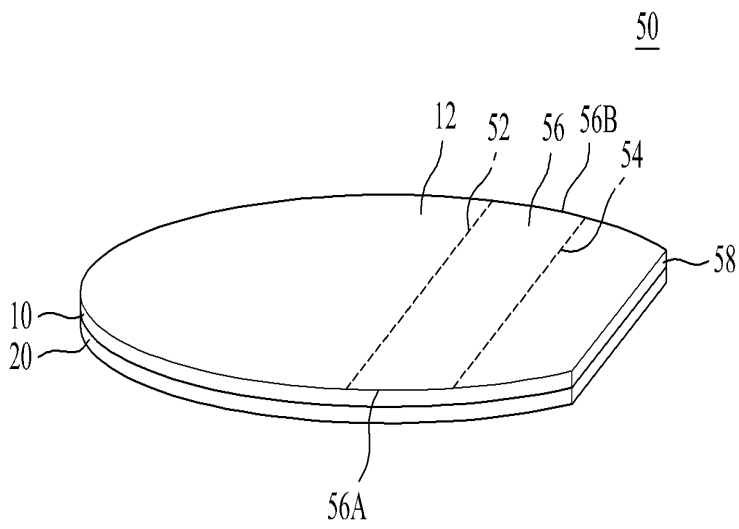
도면2



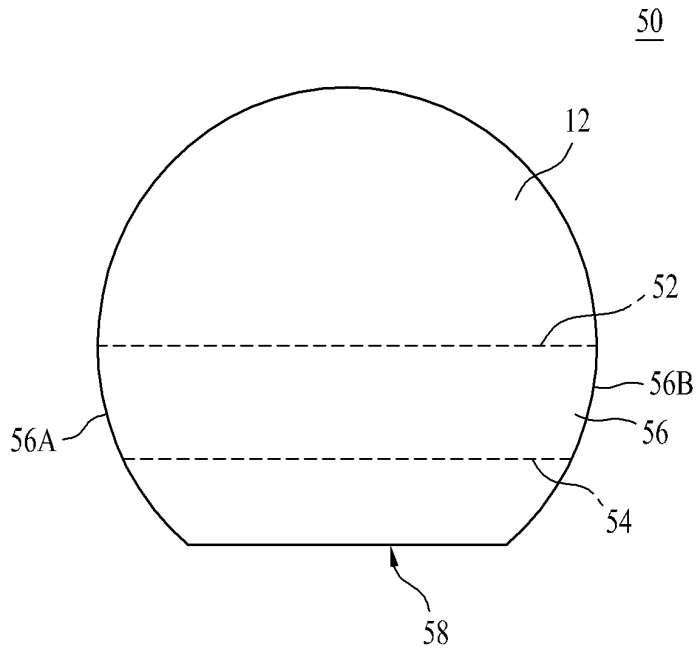
도면3



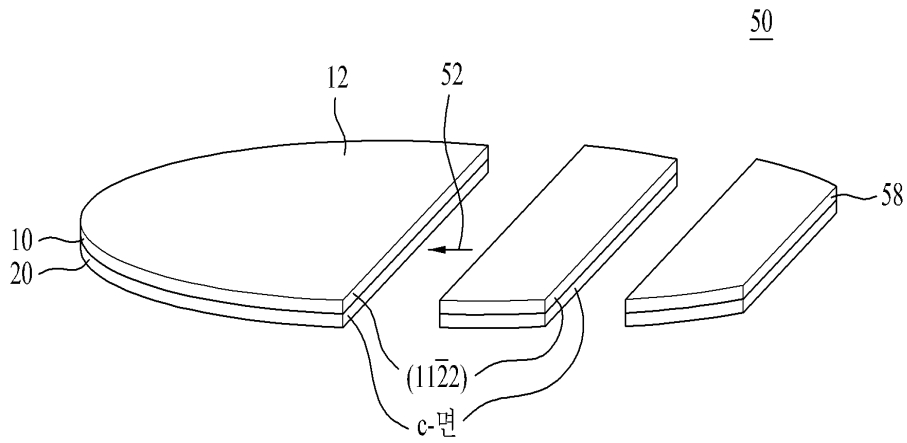
도면4a



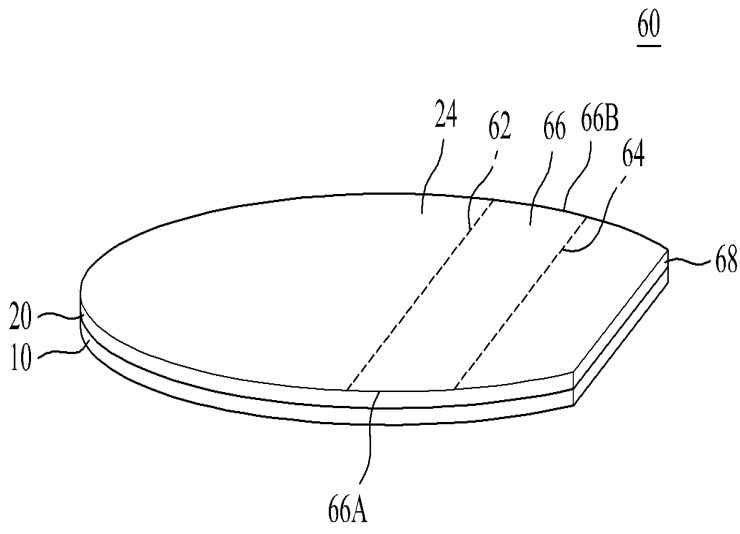
도면4b



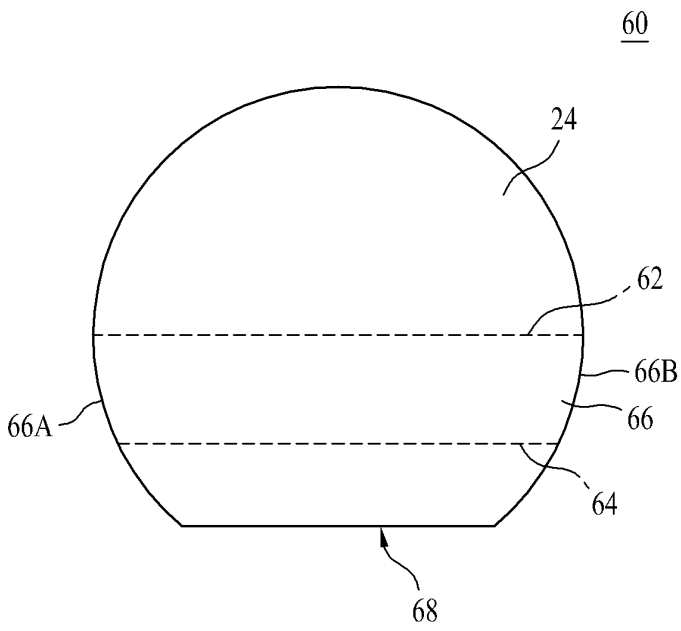
도면4c



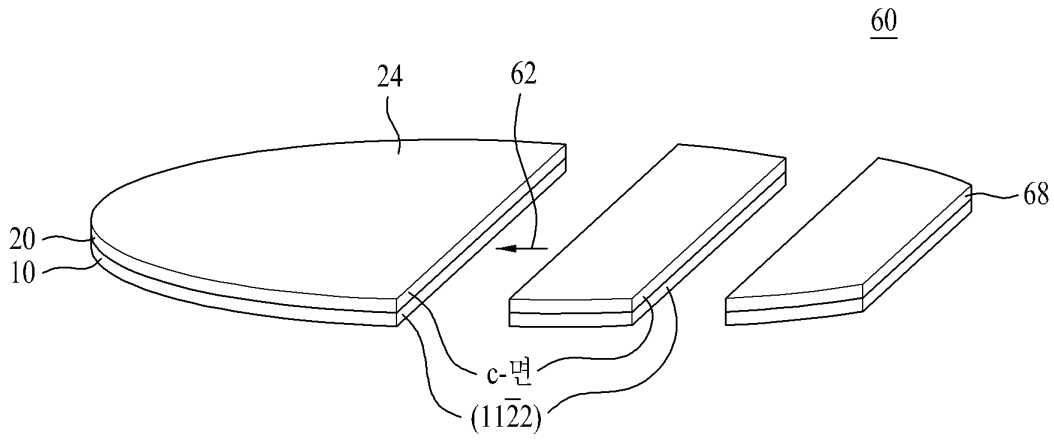
도면5a



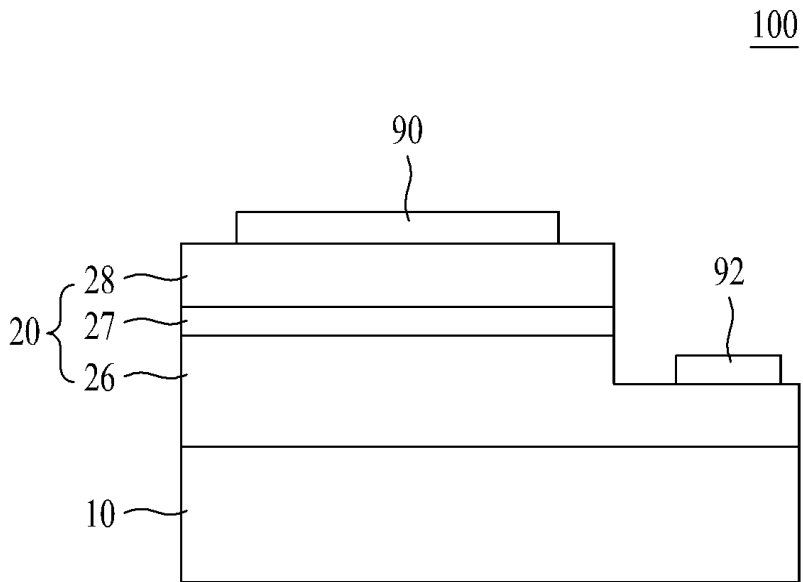
도면5b



도면5c



도면6



도면7

