

(12) 发明专利

(10) 授权公告号 CN 101566768 B

(45) 授权公告日 2011. 02. 16

(21) 申请号 200810105027. 1

G03F 7/00 (2006. 01)

(22) 申请日 2008. 04. 25

审查员 崔双魁

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市北京经济技术开发区西  
环中路 8 号

(72) 发明人 张弥

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/84 (2006. 01)

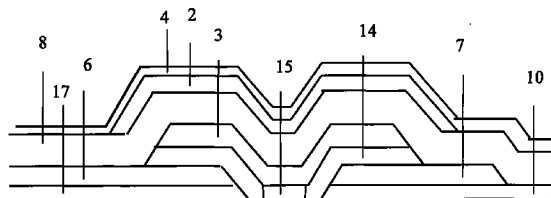
权利要求书 2 页 说明书 7 页 附图 10 页

(54) 发明名称

薄膜晶体管液晶显示器像素结构及其制造方法

(57) 摘要

本发明提供了一种薄膜晶体管液晶显示器像素结构,在基板之上形成有形成有像素电极以及透明导电层;像素电极上形成有漏电极,透明导电层上形成有数据扫描线和源电极,且源电极与数据扫描线连接,漏电极与像素电极连接;源电极与漏电极上依次形成有欧姆接触层与半导体层,欧姆接触层分别与源电极和漏电极接触的部分互不连接;源电极及漏电极未被欧姆接触层覆盖的部分、欧姆接触层未被半导体层覆盖的部分以及半导体层上形成有钝化层;所述钝化层上依次形成有栅极扫描线和栅电极、以及栅电极绝缘层。本发明同时提供了一种薄膜晶体管液晶显示器像素结构的制造方法,所述像素结构和制造方法能够节省制造工艺过程,并增大存储电容。



1. 一种薄膜晶体管液晶显示器像素结构,包括基板;其特征在于,所述基板之上形成有像素电极以及透明导电层,所述像素电极和所述透明导电层为相同材料部分,且所述像素电极与所述透明导电层互不连接;

所述像素电极之上形成有漏电极,所述透明导电层之上形成有数据扫描线和源电极,且所述源电极与所述数据扫描线连接,所述漏电极与所述像素电极连接;

所述源电极与漏电极之上依次形成有欧姆接触层、以及半导体层,且欧姆接触层分别与源电极和漏电极接触的部分互不连接;

源电极、漏电极未被欧姆接触层覆盖的部分、欧姆接触层未被半导体层覆盖的部分、以及半导体层之上均形成有钝化层;

所述钝化层之上形成有栅极扫描线及栅电极;

所述栅极扫描线和所述栅电极之上形成有栅电极绝缘层。

2. 根据权利要求 1 所述的像素结构,其特征在于,源电极与漏电极之间的欧姆接触层包含有半导体掺杂区域,所述半导体掺杂区域使欧姆接触层分别与源电极和漏电极连接的部分互不连接。

3. 根据权利要求 2 所述的像素结构,其特征在于,该基板结构还包括:

所述钝化层之上、栅电极绝缘层之下还形成有挡光条和公共电极引线,所述挡光条平行于所述数据扫描线,所述公共电极引线平行于所述栅极扫描线。

4. 根据权利要求 3 所述的像素结构,其特征在于,所述栅极扫描线、数据扫描线、源电极、漏电极、公共电极引线或挡光条为铝、铬、钨、钽、钛、钼及铝镍之一构成的单层、或上述金属材料任意组合构成的单层或复合层。

5. 一种薄膜晶体管液晶显示器像素结构的制造方法,其特征在于,该方法包括:

A、在基板上依次沉积像素电极层、金属薄膜,通过构图工艺在基板上形成像素电极、源电极、漏电极和数据扫描线,且使得所述源电极与所述数据扫描线连接,所述漏电极与所述像素电极连接,位于数据扫描线以及源电极之下的像素电极层为透明导电层,所述像素电极和透明导电层互不连接;

B、在完成步骤 A 的基板上沉积欧姆接触层薄膜,通过一定的工艺使得欧姆接触层薄膜分别与源电极和漏电极连接的部分互不连接,之后,沉积半导体层薄膜,通过构图工艺在所述源电极和漏电极上形成欧姆接触层以及半导体层;

C、在完成步骤 B 的基板上沉积钝化层薄膜,形成钝化层;

D、在完成步骤 C 的基板上沉积金属薄膜,通过构图工艺形成栅极扫描线、栅电极;

E、在完成步骤 D 的基板上形成栅电极绝缘层。

6. 根据权利要求 5 所述的制造方法,其特征在于,所述通过一定的工艺使得欧姆接触层薄膜分别与源电极和漏电极连接的部分互不连接具体为:

首先在沉积的欧姆接触层薄膜上涂布一层光刻胶,通过曝光显影工艺将半导体掺杂区域对应的欧姆接触层薄膜暴露出来,对暴露出来的所述欧姆接触层薄膜使用半导体掺杂工艺形成半导体掺杂区域,之后,剥离掉欧姆接触层薄膜上的光刻胶。

7. 根据权利要求 5 所述的制造方法,其特征在于,所述通过一定的工艺使得欧姆接触层薄膜分别与源电极和漏电极连接的部分互不连接具体为:

先在沉积的欧姆接触层薄膜上涂布一层光刻胶,通过曝光显影工艺将半导体掺杂区域

对应的欧姆接触层薄膜暴露出来,使用构图工艺刻蚀掉暴露出来的所述欧姆接触层薄膜,之后,剥离掉欧姆接触层薄膜上的光刻胶。

8. 根据权利要求 5 至 7 任一项所述的制造方法,其特征在于,步骤 B 中所述欧姆接触层和半导体层为形成半岛体掺杂区域之后,使用同一掩模板在构图工艺中同时形成。

9. 根据权利要求 5 至 7 任一项所述的制造方法,其特征在于,步骤 A 具体为:

在基板上依次沉积像素电极层、金属薄膜,在所述金属薄膜之上涂布一层光刻胶,用掩模板全曝光出数据扫描线、源电极、漏电极以及像素区域;

对所述像素区域进行灰化处理,去掉所述像素区域之上的光刻胶后,刻蚀掉所述像素区域的金属薄膜层,形成像素电极。

10. 根据权利要求 5 至 7 任一项所述的制造方法,其特征在于,步骤 D 中在通过构图工艺形成栅极扫描线和栅电极的同时,还形成公共电极引线以及挡光条。

11. 根据权利要求 5 至 7 任一项所述的制造方法,其特征在于,所述形成栅电极绝缘层具体为:

沉积栅电极绝缘层,并通过构图工艺在基板周边形成过孔,以暴露出基板周边的信号引线;或者,

使用掩膜生长工艺形成栅电极绝缘层。

## 薄膜晶体管液晶显示器像素结构及其制造方法

### 技术领域

[0001] 本发明涉及薄膜晶体管 (TFT) 液晶显示器 (LCD) 阵列基板, 尤其涉及薄膜晶体管液晶显示器像素结构及其制造方法。

### 背景技术

[0002] 目前, 世界已进入信息革命时代, 显示技术及显示器件在信息技术的发展过程中占据了十分重要的地位。其中, 平板显示由于具有重量轻、厚度薄、体积小、无辐射、不闪烁等优点, 已成为显示技术发展的方向。在平板显示技术中, TFT LCD 因其具有功耗低、制造成本相对较低、无辐射的特点, 在平板显示器市场中占据了主导地位。

[0003] TFT LCD 器件是由阵列玻璃基板和彩膜玻璃基板对盒而形成的, 图 1 ~ 图 1b 所示是目前主流的非晶硅 TFT 结构单一像素俯视图、及其 A-A 和 B-B 部位的截面示意图。如图 1 ~ 图 1b 所示, 该非晶硅 TFT 结构采用背沟道腐蚀的底栅结构, 该阵列结构包括: 一组栅极扫描线 1 和与之垂直的一组数据扫描线 5, 相邻的栅极扫描线 1 和数据扫描线 5 定义一个像素区域。每一个像素包含有一个 TFT 开关器件、像素电极 10 和部分的公共电极引线 11, 所述 TFT 开关器件由栅电极 2、欧姆接触层 14、半导体层 3、栅电极绝缘层 4、以及源电极 6 和漏电极 7 组成; 在栅电极 2、欧姆接触层 14、半导体层 3、栅电极绝缘层 4、以及源电极 6 和漏电极 7 之上覆盖有钝化层 8, 并且, 在漏电极 7 上方形成钝化层过孔 9; 像素电极 10 通过钝化层过孔 9 与 TFT 的漏电极 7 相连接; 像素电极 10 一部分和栅极扫描线 1 一起形成存储电容 (图中未示出)。为了进一步降低对盒后像素间的漏光, 在像素平行于数据扫描线 5 的两侧形成挡光条 12。

[0004] 上述图 1 ~ 图 1b 所示的像素结构, 一般使用 5-Mask 工艺制造。5-Mask 工艺是目前制作 TFT 的典型工艺技术, 其主要工艺步骤如图 2 所示, 包括:

[0005] 步骤 201 ~ 202: 形成栅电极及其引线, 形成栅电极绝缘层、欧姆接触层和半导体层;

[0006] 步骤 203 ~ 205: 形成源电极、漏电极及数据扫描线; 形成钝化层及像素电极。

[0007] 图 2 所示的每个步骤都包括薄膜沉积工艺、以及曝光和刻蚀等构图工艺。除图 2 所示的 5-Mask 技术, 在现有技术中, 通过改变 Mask 设计和工艺流程, 也可产生其它的 Mask 工艺技术, 这里不再赘述。

[0008] 使用上述 5-Mask 工艺所制造的图 1 ~ 图 1b 所示的像素结构, 由于像素电极 10 与栅极扫描线 1 之间存在栅电极绝缘层 4 和钝化层 8, 所以, 存储电容 (图中未示出) 较小, 进而跳变电压较大, 会影响画面显示品质。

[0009] 发明内容

[0010] 有鉴于此, 本发明的主要目的在于提供一种薄膜晶体管液晶显示器像素结构及其制造方法, 能够在简化工艺过程的同时, 提高画面显示品质。

[0011] 为达到上述目的, 本发明的技术方案是这样实现的:

[0012] 本发明提供了一种薄膜晶体管液晶显示器像素结构, 包括基板; 所述基板之上形

成有像素电极以及透明导电层,所述像素电极和所述透明导电层为相同材料部分,且所述像素电极与所述透明导电层互不连接;

[0013] 所述像素电极之上形成有漏电极,所述透明导电层之上形成有数据扫描线和源电极,且所述源电极与所述数据扫描线连接,所述漏电极与所述像素电极连接;

[0014] 所述源电极与漏电极之上依次形成有欧姆接触层、以及半导体层,且欧姆接触层分别与源电极和漏电极接触的部分互不连接;

[0015] 源电极、漏电极未被欧姆接触层覆盖的部分、欧姆接触层未被半导体层覆盖的部分、以及半导体层之上均形成有钝化层;

[0016] 所述钝化层之上形成有栅极扫描线及栅电极;

[0017] 所述栅极扫描线和所述栅电极之上形成有栅电极绝缘层。

[0018] 其中,源电极与漏电极之间的欧姆接触层包含有半导体掺杂区域,所述半导体掺杂区域使欧姆接触层分别与源电极和漏电极连接的部分互不连接。

[0019] 该基板结构还包括:

[0020] 所述钝化层之上、栅电极绝缘层之下还形成有挡光条和公共电极引线,所述挡光条平行于所述数据扫描线,所述公共电极引线平行于所述栅极扫描线。

[0021] 所述栅极扫描线、数据扫描线、源电极、漏电极、公共电极引线或挡光条为铝、铬、钨、钼、钛、钽及铝镍之一构成的单层、或上述金属材料任意组合构成的单层或复合层。

[0022] 本发明同时提供了一种薄膜晶体管液晶显示器像素结构的制造方法,该方法包括:

[0023] A、在基板上依次沉积像素电极层、金属薄膜,通过构图工艺在基板上形成像素电极、源电极、漏电极和数据扫描线,且使得所述源电极与所述数据扫描线连接,所述漏电极与所述像素电极连接,位于数据扫描线以及源电极之下的像素电极层为透明导电层,所述像素电极和透明导电层互不连接;

[0024] B、在完成步骤A的基板上沉积欧姆接触层薄膜,通过一定的工艺使得欧姆接触层薄膜分别与源电极和漏电极连接的部分互不连接,之后,沉积半导体层薄膜,通过构图工艺在所述源电极和漏电极上形成欧姆接触层以及半导体层;

[0025] C、在完成步骤B的基板上沉积钝化层薄膜,形成钝化层;

[0026] D、在完成步骤C的基板上沉积金属薄膜,通过构图工艺形成栅极扫描线、栅电极;

[0027] E、在完成步骤D的基板上形成栅电极绝缘层。

[0028] 其中,所述通过一定的工艺使得欧姆接触层薄膜分别与源电极和漏电极连接的部分互不连接具体为:

[0029] 首先在沉积的欧姆接触层薄膜上涂布一层光刻胶,通过曝光显影工艺将半导体掺杂区域对应的欧姆接触层薄膜暴露出来,对暴露出来的所述欧姆接触层薄膜使用半导体掺杂工艺形成半导体掺杂区域,之后,剥离掉欧姆接触层薄膜上的光刻胶。

[0030] 所述通过一定的工艺使得欧姆接触层薄膜分别与源电极和漏电极连接的部分互不连接具体为:

[0031] 先在沉积的欧姆接触层薄膜上涂布一层光刻胶,通过曝光显影工艺将半导体掺杂区域对应的欧姆接触层薄膜暴露出来,使用构图工艺刻蚀掉暴露出来的所述欧姆接触层薄膜,之后,剥离掉欧姆接触层薄膜上的光刻胶。

[0032] 步骤 B 中所述欧姆接触层和半导体层为形成半岛体掺杂区域之后,使用同一掩膜板在构图工艺中同时形成。

[0033] 步骤 A 具体为:

[0034] 在基板上依次沉积像素电极层、金属薄膜,在所述金属薄膜之上涂布一层光刻胶,用掩模板全曝光出数据扫描线、源电极、漏电极以及像素区域;

[0035] 对所述像素区域进行灰化处理,去掉所述像素区域之上的光刻胶后,刻蚀掉所述像素区域的金属薄膜层,形成像素电极。

[0036] 步骤 D 中在通过构图工艺形成栅极扫描线和栅电极的同时,还形成公共电极引线以及挡光条。

[0037] 所述形成栅电极绝缘层具体为:

[0038] 沉积栅电极绝缘层,并通过构图工艺在基板周边形成过孔,以暴露出基板周边的信号引线;或者,

[0039] 使用掩膜生长工艺形成栅电极绝缘层。

[0040] 本发明所提供的薄膜晶体管液晶显示器像素结构及其制造方法,将数据扫描线、源电极、漏电极和像素电极在一次曝光工艺中形成,而不是如现有技术中,将数据扫描线、源电极、漏电极在一次曝光工艺中形成,将像素电极在另外一次曝光工艺中形成;将欧姆接触层和半导体层在一次刻蚀工艺中形成,而不是分别在两次刻蚀工艺中形成,如此,大大简化了工艺过程。并且,由于将数据扫描线、源电极、漏电极和像素电极在一次曝光工艺中形成,取消了栅极绝缘层和钝化层过孔,由此,像素电极与栅极扫描线之间只存在钝化层,缩小了像素电极与栅极扫描线之间的间距,进而增大了存储电容,减小了跳变电压,从而可以有效改善和提高画面显示品质。

## 附图说明

[0041] 图 1 为现有技术中 TFT LCD 阵列基板上单一像素结构俯视图;

[0042] 图 1a 为图 1 的 A-A 部分横截面示意图;

[0043] 图 1b 为图 1 的 B-B 部分横截面示意图;

[0044] 图 2 为现有技术 5-Mask 工艺流程示意图;

[0045] 图 3 为本发明中 TFT LCD 阵列基板上单一像素结构俯视图;

[0046] 图 3a 为一种图 3 的 C-C 部分横截面示意图;

[0047] 图 3b 为另一种图 3 的 C-C 部分横截面示意图;

[0048] 图 3c 为图 3 的 D-D 部分横截面示意图;

[0049] 图 4 为本发明 TFT LCD 像素结构制造方法流程示意图;

[0050] 图 5a 为本发明图 4 所示制造方法像素电极层经过构图工艺之后的像素结构俯视图;

[0051] 图 5b 为本发明经过全曝光之后的 E-E 部分横截面示意图;

[0052] 图 5c 为本发明经过灰化处理之后的 E-E 部分横截面示意图;

[0053] 图 5d 为本发明去掉金属薄膜层之后的 E-E 部分横截面示意图;

[0054] 图 5e 为本发明图 4 所示制造方法像素电极层经过构图工艺之后的像素结构 C-C 部分横截面示意图;

[0055] 图 6a 为本发明图 4 所示制造方法通过构图工艺形成欧姆接触层、以及半导体层之后的像素结构俯视图；

[0056] 图 6b 为本发明图 4 所示制造方法过构图工艺形成欧姆接触层、以及半导体层之后的像素结构 C-C 部分横截面示意图；

[0057] 图 6c 为本发明图 4 所示的制造方法经过半导体掺杂工艺形成半导体掺杂区域后的 C-C 部分横截面示意图；

[0058] 图 6d 为本发明图 4 所示的制造方法刻蚀掉半导体掺杂区域后的 C-C 部分横截面示意图；

[0059] 图 7 为本发明图 4 所示制造方法沉积钝化层后的 C-C 部分横截面示意图；

[0060] 图 8 为本发明图 4 所示制造方法栅金属薄膜经过构图工艺之后的像素结构 C-C 部分横截面示意图。

[0061] 附图标记：1、栅极扫描线；2、栅电极；3、半导体层；4、栅极绝缘层；5、数据扫描线；6、源电极；7、漏电极；8、钝化层；9、钝化层过孔；10、像素电极；11、公共电极引线；12、挡光条；14、欧姆接触层；15、半导体掺杂区域；16、光刻胶；17、透明导电层；18、金属薄膜层。

### 具体实施方式

[0062] 本发明的基本思想是：将数据扫描线、源电极、漏电极和像素电极在一次曝光工艺中形成，将半导体层和欧姆接触层在一次刻蚀工艺中形成，在简化工艺过程的同时，增大存储电容。

[0063] 进一步的，当源电极和漏电极分别与欧姆接触层相连接时，可对源电极与漏电极之间的欧姆接触层使用半导体掺杂工艺，使所述欧姆接触层互不连接，以保证本发明所述像素结构正常工作。

[0064] 以下，通过具体实施例结合附图详细说明本发明薄膜晶体管液晶显示器像素结构及其制造方法的实现。

[0065] 图 3 为本发明 TFT LCD 阵列基板上单一像素结构俯视图；图 3a 和图 3b 分别为图 3 的 C-C 部分横截面示意图、以及 D-D 部分横截面示意图。如图 3～图 3b 所示，该 TFT LCD 的阵列基板上有一组栅极扫描线 1 和与之平行的公共电极引线 11，以及与之垂直的一组数据扫描线 5 和挡光条 12；每相邻的栅极扫描线 1 和数据扫描线 5 交叉定义一个像素区域；一个像素区域包含有一个 TFT 开关器件、像素电极 10 和公共电极引线 11，其中，所述 TFT 开关器件由栅电极 2、半导体层 3、栅极绝缘层 4、欧姆接触层 14、以及源电极 6 和漏电极 7 组成。

[0066] 如图 3～3b 所示，本发明所提供的像素结构具体为：

[0067] 玻璃基板之上为像素电极 10 以及透明导电层 17，在所述像素电极 10 之上为漏电极 7，所述透明导电层 17 之上为数据扫描线 5 以及源电极 6，并且源电极 6 与数据扫描线 5 连接，漏电极 7 与像素电极 10 连接，像素电极 10 与透明导电层 17 互不连接。而且，由于制造方法的关系，例如使用本发明图 4 所示的制造方法时，可能在数据扫描线 5 以及源电极 6 之下包含的透明导电层 17 为像素电极 10 所在像素电极层，但是，在数据扫描线 5、源电极 6 之下的所述并不与漏电极 7 以及像素电极 10 相连接，只有与漏电极 7 连接的所述像素电极层部分为像素电极 10，也即所述透明导电层 17 不与像素电极 10 相连接。其中，像素电

极 10、源电极 6、漏电极 7 和数据扫描线 5 为在同一镀膜、掩膜光刻和刻蚀等构图工艺中完成制作的不同材料部分。所述像素电极 10 以及透明导电层 17 的材料一般为氧化铟锡、氧化铟锌或氧化铝锌。所述数据扫描线 5、源电极 6、与漏电极 7 为铝、铬、钨、钼、钛、钽及铝镍之一构成的单层、或上述金属材料任意组合构成的单层或复合层。

[0068] 在源电极 6 与漏电极 7 之上依次为欧姆接触层 14 以及半导体层 3, 并且, 欧姆接触层 14 分别与源电极 6 和漏电极 7 连接的部分互不连接, 其中, 使欧姆接触层 14 互不连接的方法可以为: 通过半导体掺杂工艺形成如图 3a 所示的半导体掺杂区域 15, 该半导体掺杂区域 15 属于欧姆接触层 14, 使欧姆接触层 14 互不连接; 或者, 直接通过构图工艺刻蚀掉图 3a 中所示的半导体掺杂区域 15, 而形成图 3b 所示的像素结构横截面图, 也可以达到使欧姆接触层互不连接的目的。其中, 欧姆接触层 14 和半导体层 3 为使用同一掩模板在光刻和刻蚀工艺中完成制作的不同材料部分。其中, 具体使用何种材料属于公知技术, 这里不再赘述。

[0069] 源电极 6、漏电极 7 未被欧姆接触层 14 覆盖的部分、欧姆接触层 14 未被半导体层 3 覆盖的部分、以及半导体层 3 之上均覆盖有钝化层 8。其中, 所述钝化层 8 的材料一般为: 氮化硅、二氧化硅或氧化铝。

[0070] 在钝化层 8 之上包含栅极扫描线 1、栅电极 2、挡光条 12 以及公共电极引线 11, 并且, 挡光条平行于数据扫描线 5。在钝化层 8 未被覆盖部分、栅极扫描线 1、栅电极 2、挡光条 12、以及公共电极引线 11 之上覆盖有栅电极绝缘层 4。其中, 所述栅极扫描线 1、公共电极引线 11 和挡光条 12 为在同一镀膜、掩膜光刻和刻蚀等构图工艺中完成制作的相同材料部分, 可以为铝、铬、钨、钼、钛、钽及铝镍之一构成的单层、或为上述金属材料任意组合构成的单层或复合层。

[0071] 现有技术中, 如图 1 ~ 图 1b 所示, 半导体有缘层 14 在源电极 6、漏电极 7 下面, 像素电极 10 通过钝化层过孔 9 与漏电极 7 相连接; 而在本发明所述像素结构中, 如图 3 ~ 图 3b 所示, 将像素电极 10、源电极 6 和漏电极 7 在同一镀膜、掩膜光刻和刻蚀等构图工艺中完成, 取消了钝化层过孔 9, 并采用顶栅结构, 节省了一步曝光工艺。

[0072] 图 3 ~ 图 3b 所示 TFT LCD 像素结构仅为本发明的一种典型结构, 在实际应用中, 也可以采用其它形状和图案的像素结构, 只要将源电极与数据扫描线相连接, 漏电极与像素电极连接, 欧姆接触层和半导体层位于数据扫描线之上; 且欧姆接触层如与源电极和漏电极连接, 则欧姆接触层连接源电极的部分和连接漏电极的部分互不连接即可。

[0073] 图 4 为本发明薄膜晶体管液晶显示器像素结构制造方法, 同时参照图 3 ~ 图 3b, 该方法包括:

[0074] 步骤 401: 在基板上依次沉积像素电极层、金属薄膜, 通过曝光工艺和刻蚀工艺等构图工艺, 在基板上形成像素电极 10、源电极 6、漏电极 7 和数据扫描线 5。

[0075] 使用一定的金属沉积方法, 例如磁控溅射方法, 在玻璃基板上沉积一层像素电极层, 使用透明电极的掩模板, 厚度在  $100\text{\AA}$  至  $1000\text{\AA}$  之间; 然后, 使用磁控溅射方法在像素电极层上再沉积一层厚度在  $1000\text{\AA}$  到  $7000\text{\AA}$  金属薄膜; 之后, 在所述金属薄膜之上涂布一层光刻胶 16, 用掩模板全曝光出数据扫描线 5、源电极 6、漏电极 7 和像素区域, 所述像素区域即为图 5b 中像素电极 10 所对应的部分, 像素电极 10 之上覆盖有与数据扫描线 5 材料相同的金属薄膜层 18, 所述数据扫描线 5、源电极 6、漏电极 7 和像素区域均为双层金属结构, 位于数据扫描线 5 以及源电极 6 之下的像素电极层为透明导电层 17, 而像素区域与漏



电极 7 相连接,完成全曝光之后的数据扫描线 5 以及所述金属薄膜层 18 之上覆盖有完整的光刻胶,如图 5b 所示。之后,进行灰化处理,去掉覆盖在金属薄膜层 18 上的光刻胶 16,此时的 E-E 部分横截面示意图如图 5c 所示。最后,用物理或化学刻蚀方法去掉像素区域双层金属上的第一层金属,也即像素电极 10 之上的金属薄膜层 18,形成像素电极 10 的图形,此时的 E-E 部分横截面示意图如图 5d 所示。

[0076] 完成步骤 401 之后的像素结构俯视图以及 C-C 部分横截面示意图如图 5a 和 5e 所示,结合图 5d 可知:源电极 6 与数据线 5 相连,源电极 6 和漏电极 7 下部包含像素电极层,且数据扫描线 5、源电极 6 下部所包含的像素电极层即为本发明中所述的透明导电层 17,所述透明导电层 17 不与漏电极 7 相连,且并不包含在像素电极 10 中,只有与漏电极 7 相连的像素电极层部分才称为像素电极 10。

[0077] 常用的像素电极 10 材料为氧化铟锡 (ITO)、或氧化铟锌 (IZO);所述金属薄膜所使用的金属材料通常可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属,也可以使用上述几种金属材料薄膜的组合结构。

[0078] 其中,具体如何使用磁控溅射方法所述沉积、如何进行所述曝光、以及所述刻蚀方法的使用均属于公知技术,这里不再赘述。

[0079] 步骤 402:在完成步骤 401 的基板上沉积欧姆接触层薄膜,通过半导体掺杂工艺形成半导体掺杂区域 15,之后再次沉积半导体层薄膜,通过曝光工艺和刻蚀工艺等构图工艺,在所述源电极 6 和漏电极 7 上形成欧姆接触层 14、以及半导体层 3。

[0080] 利用一定的沉积方法,例如化学汽相沉积法,在阵列基板上沉积  $500\text{\AA}$  到  $2000\text{\AA}$  的  $N+a\text{-Si}$  薄膜,在所述  $N+a\text{-Si}$  薄膜上涂布一层光刻胶 16,通过曝光显影工艺,使得欧姆接触层薄膜中的半导体掺杂区域 15 暴露出来。在半导体掺杂区域 15 处进行半导体掺杂工艺,使得半导体掺杂区域 15 中掺杂有 P 型硅,此时,C-C 部分横截面示意图如图 6c 所示,之后,剥离掉欧姆接触层薄膜上的光刻胶 16。利用一定的金属沉积方法,例如化学汽相沉积法,在阵列基板上沉积  $500\text{\AA}$  到  $4000\text{\AA}$  的非晶硅薄膜,用半导体层 3 的掩模版进行曝光后对非晶硅进行干法刻蚀,同时形成欧姆接触层 14 和半导体层 3,欧姆接触层 14 和半导体层 3 为使用同一掩模版在光刻和刻蚀等构图工艺中完成制作的不同材料部分。

[0081] 其中,源电极 6 和漏电极 7 上部分覆盖的欧姆接触层 14 中为 N 型非晶硅,源电极 6 和漏电极 7 间的欧姆接触层 14 的半导体掺杂区域 15 中为 P 型非晶硅。完成本步骤之后的像素结构俯视图如图 6a 所示,C-C 部分横截面示意图如图 6b 所示。

[0082] 其中,具体如何使用化学汽相沉积法进行所述沉积、以及如何进行所述刻蚀工艺和所述掺杂工艺属于公知技术,这里不再赘述。

[0083] 步骤 403:利用一定的沉积方法,例如化学汽相沉积法,在阵列基板上连续沉积  $1000\text{\AA}$  到  $6000\text{\AA}$  的钝化层。

[0084] 完成本步骤之后的像素结构的 C-C 部分横截面示意图如图 7 所示,在源电极 6 和漏电极 7 未被欧姆接触层 14 覆盖的部分、像素电极 10 未被漏电极 7 覆盖的部分、欧姆接触层 14 未被半导体层 3 覆盖的部分、以及半导体层 3 之上均沉积有钝化层 8。

[0085] 所述钝化层的材料一般为氮化硅、二氧化硅或氧化铝。

[0086] 步骤 404:在完成步骤 403 的基板上沉积金属薄膜,通过曝光工艺和刻蚀工艺等构图工艺,形成栅极扫描线 1、栅电极 2、公共电极引线 11 以及挡光条 12。

[0087] 使用一定的金属沉积方法,例如磁控溅射方法,在玻璃基板上制备一层厚度在  $1000\text{\AA}$  至  $7000\text{\AA}$  的栅金属薄膜,用栅电极掩膜版通过曝光工艺和刻蚀工艺等构图工艺,在玻璃基板的一定区域上形成栅极扫描线 1、栅电极 2、公共电极引线 11 和挡光条 12 的图案。

[0088] 完成本步骤之后的像素结构的 C-C 部分横截面示意图如图 8 所示,栅电极 2 形成于钝化层 8 之上。

[0089] 其中,所述栅金属薄膜所使用的栅金属材料可以为钼、铝、铝镍合金、钼 钨合金、铬、或铜等金属,或者,也可以使用上述几种栅金属材料薄膜的组合结构。

[0090] 步骤 405 :在完成步骤 404 的基板上沉积栅电极绝缘层 4。

[0091] 使用一定的沉积方法,例如化学汽相沉积法,在玻璃基板上沉积一层厚度在  $1000\text{\AA}$  至  $4000\text{\AA}$  的栅电极绝缘层 4。在实际应用中,沉积栅电极绝缘层 4 后,还需要通过曝光及刻蚀等构图工艺,在阵列基板周边形成过孔图形,将阵列基板周边信号引线暴露出来,以实现外加信号的输入。

[0092] 所述栅电极绝缘层的材料一般为氮化硅、二氧化硅或氧化铝。

[0093] 或者,在本步骤中,也可以直接在完成步骤 404 的基板上使用掩膜生长工艺形成栅电极绝缘层 4。这时,所使用的掩膜生长工艺,能够保证引线的引线 (PAD) 区及 ITO 电击区上方不覆盖栅电极绝缘层 4,从而节省了使用曝光等构图工艺将周边信号引线暴露的过程。具体如何使用掩膜生长工艺形成栅电极绝缘层 4 属于公知技术,这里不再赘述。

[0094] 其中,在图 4 所示的像素结构制造方法的步骤 402 中,对于半导体掺杂区域 15,也可以不使用所述半导体掺杂工艺,而是直接使用干法刻蚀等构图工艺刻蚀掉所述半导体掺杂区域 15,同样可以达到使欧姆接触层互不连接的目的。刻蚀掉所述半导体掺杂区域 15 后的 C-C 部分横截面示意图如图 6d 所示。这时,其他步骤的具体操作与图 4 所示的制造方法相同,这里不再过多赘述。

[0095] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。

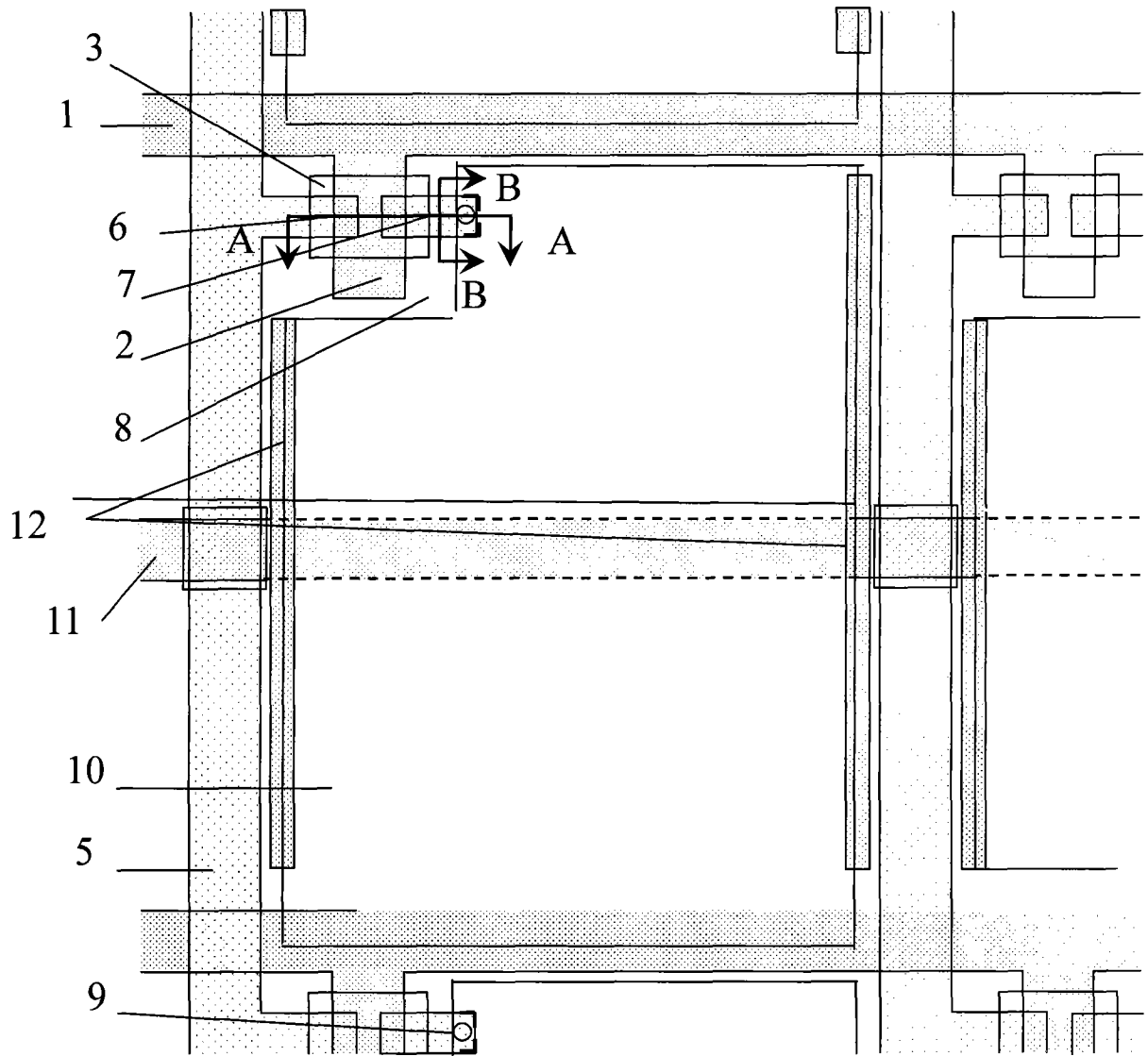


图 1

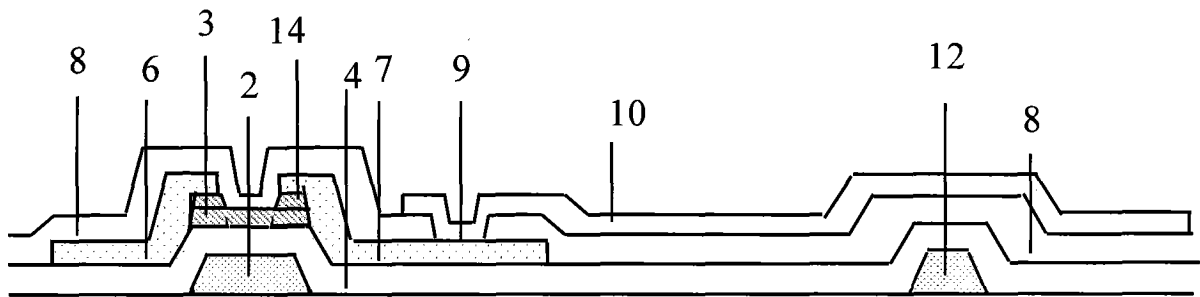


图 1a

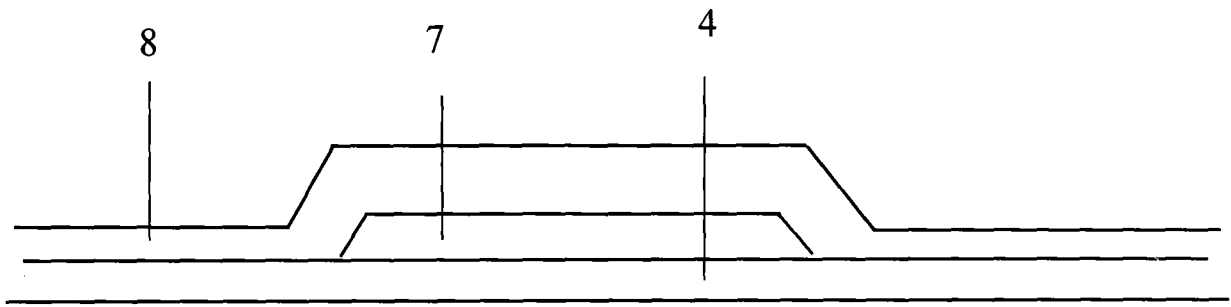


图 1b

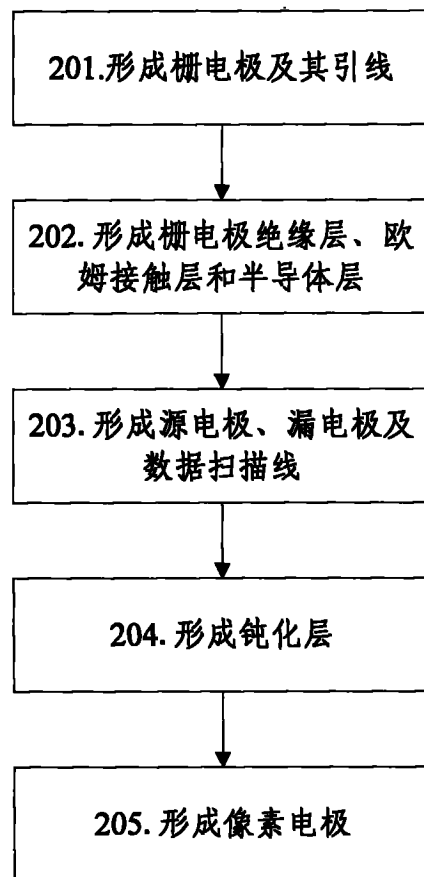


图 2

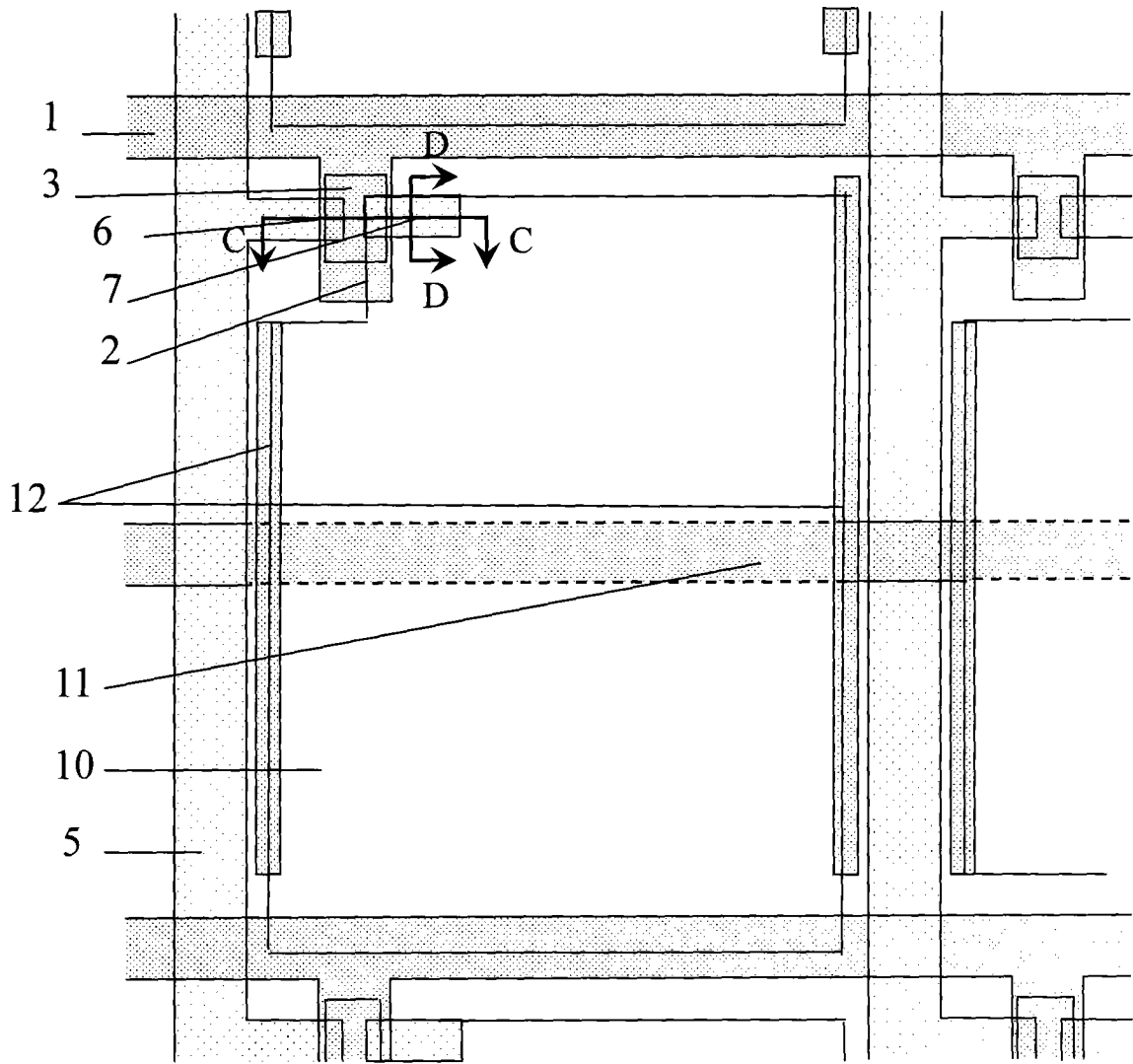


图 3

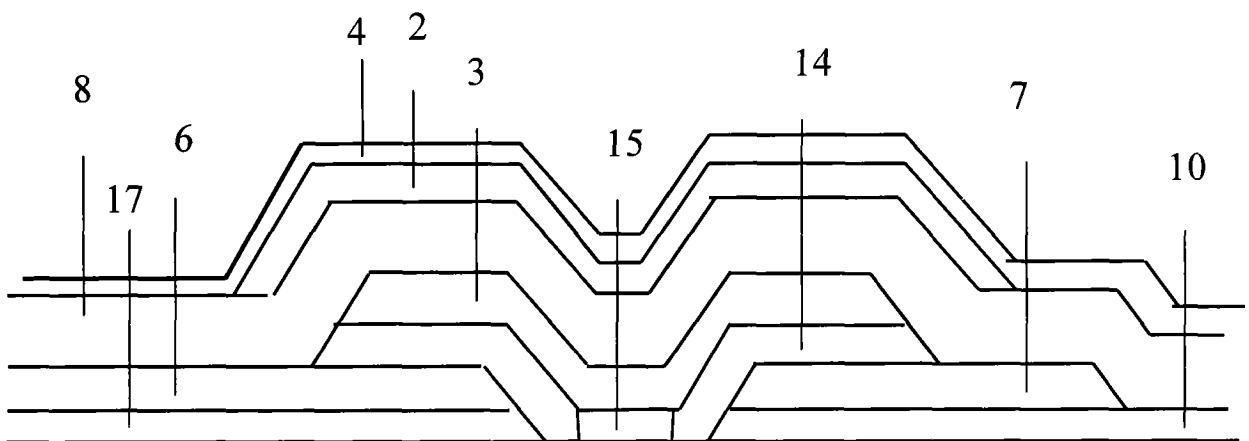


图 3a

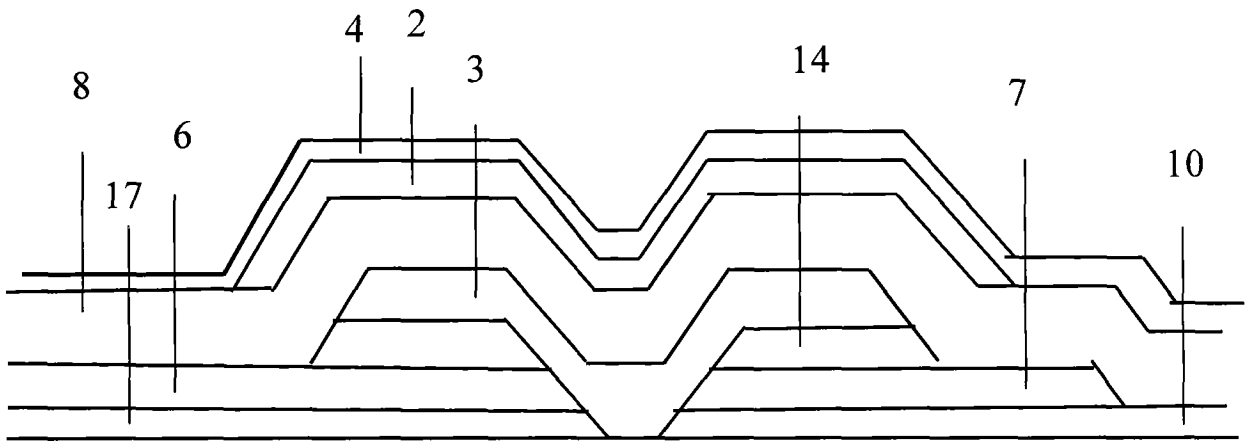


图 3b

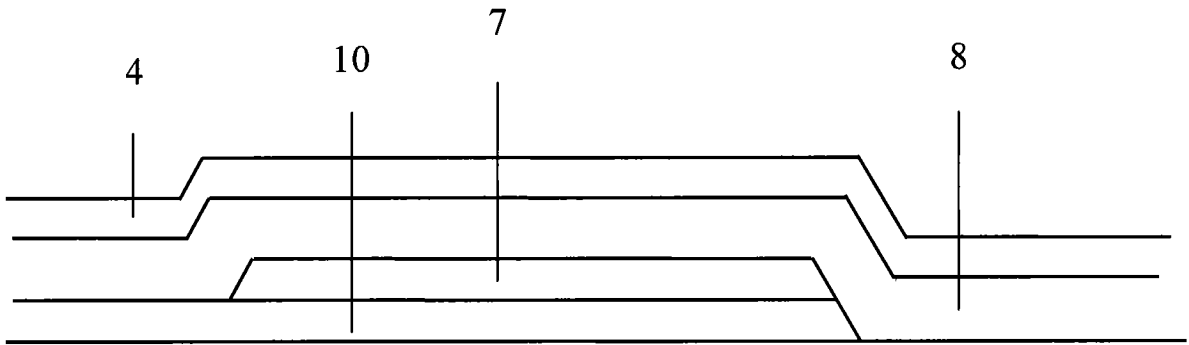


图 3c

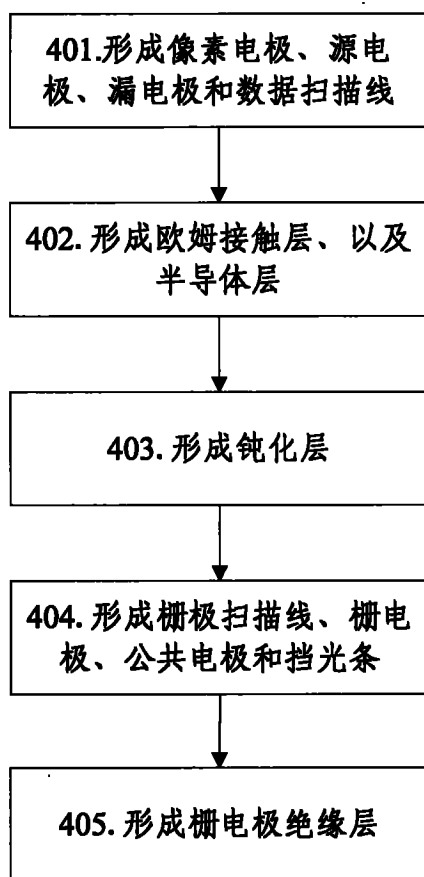


图 4

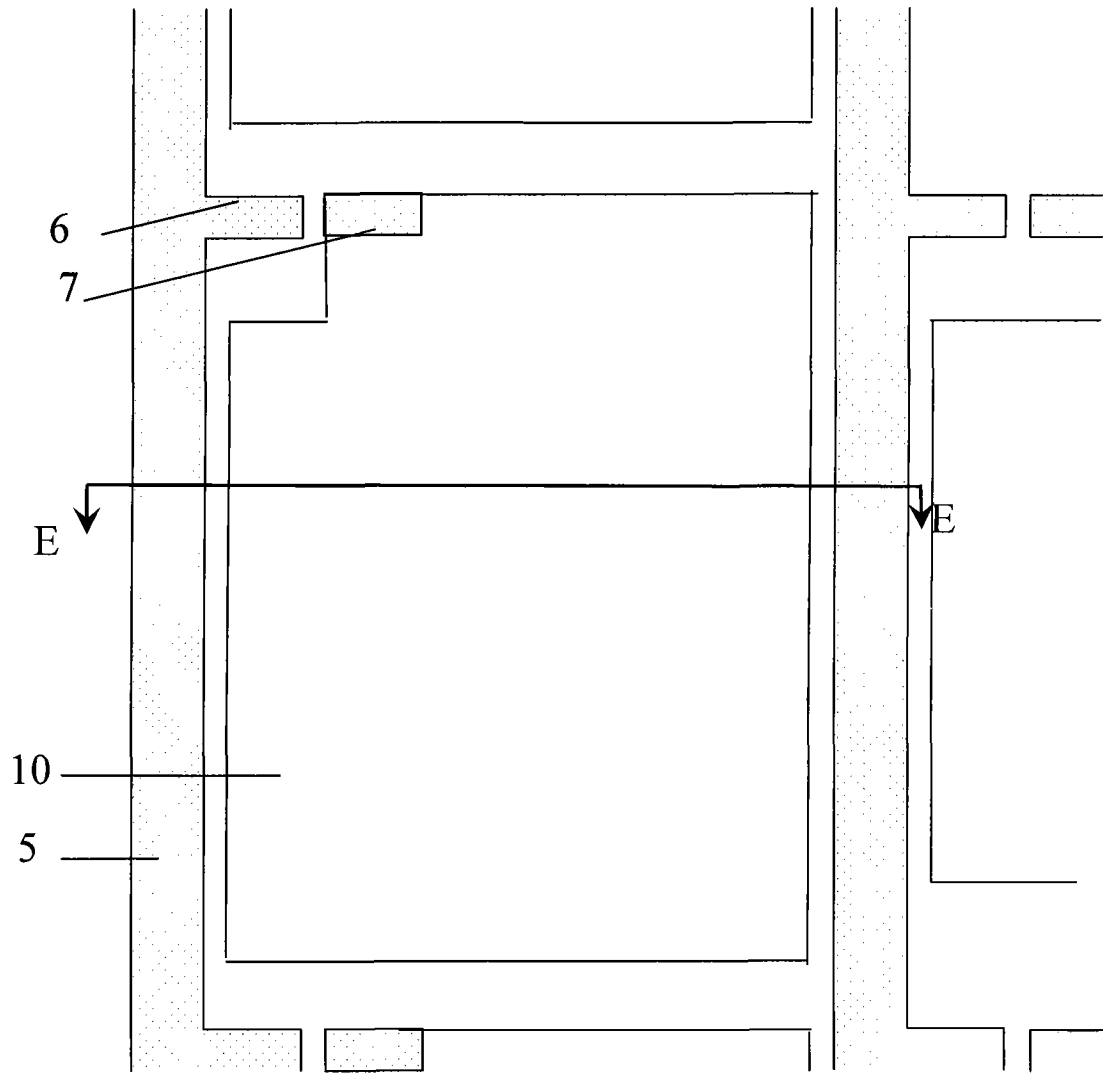


图 5a

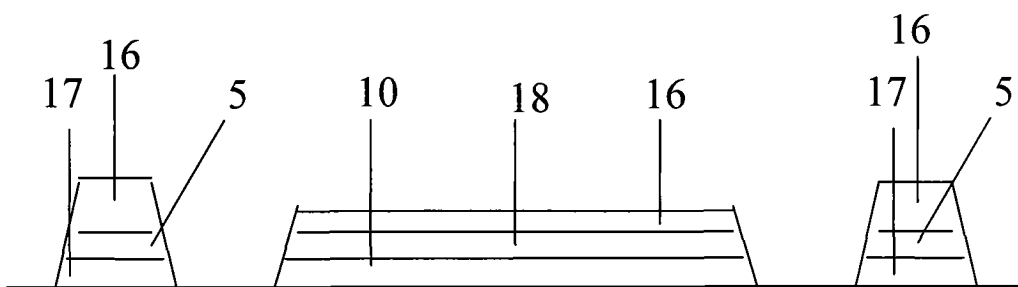


图 5b



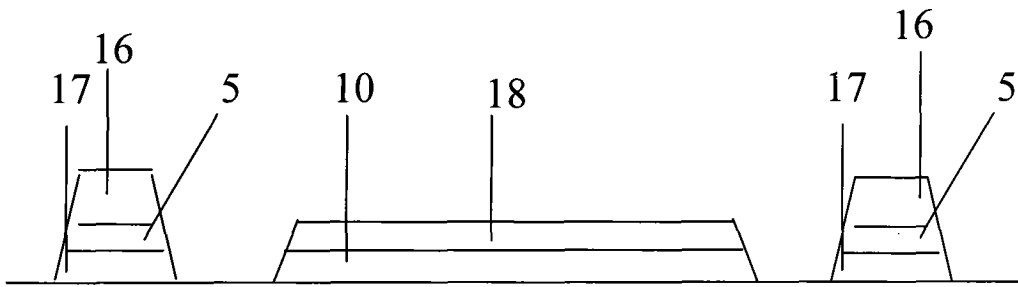


图 5c

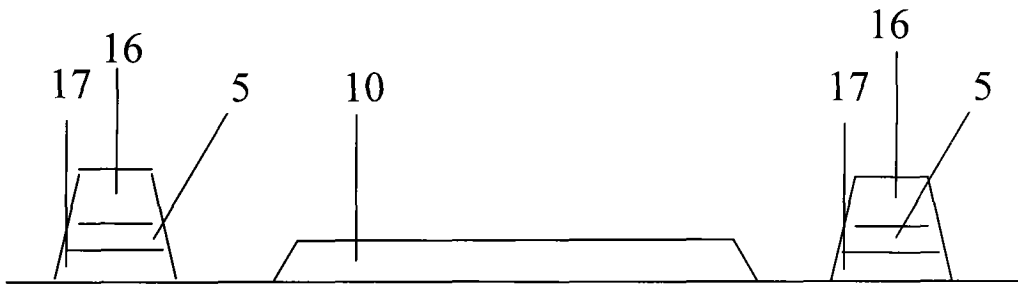


图 5d

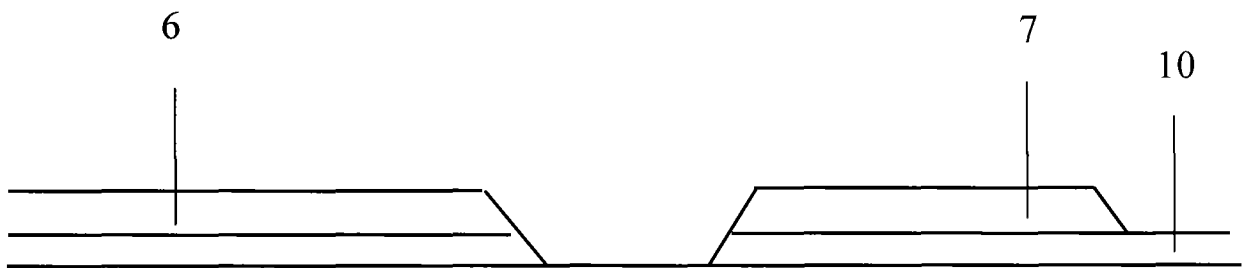


图 5e

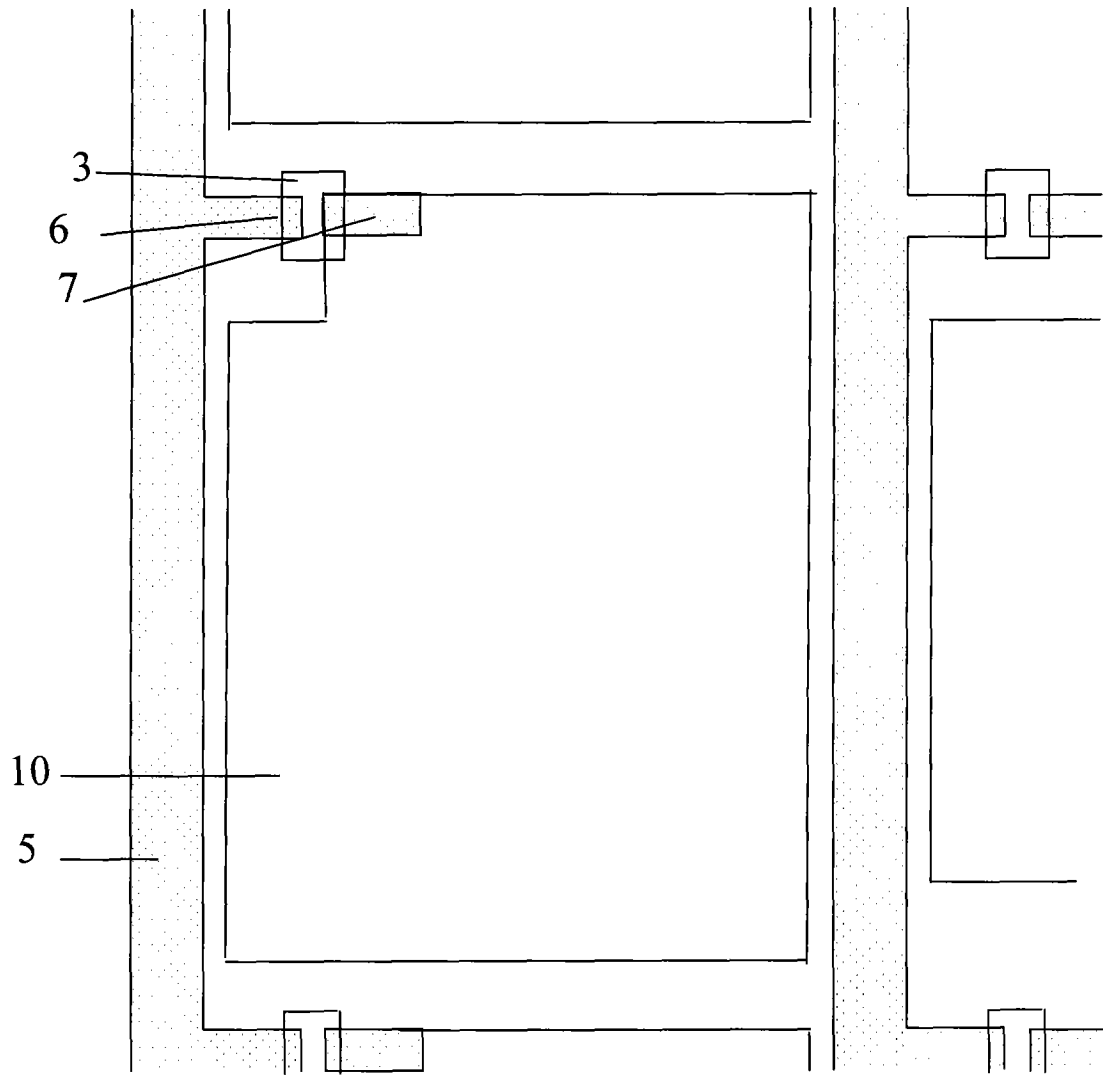


图 6a

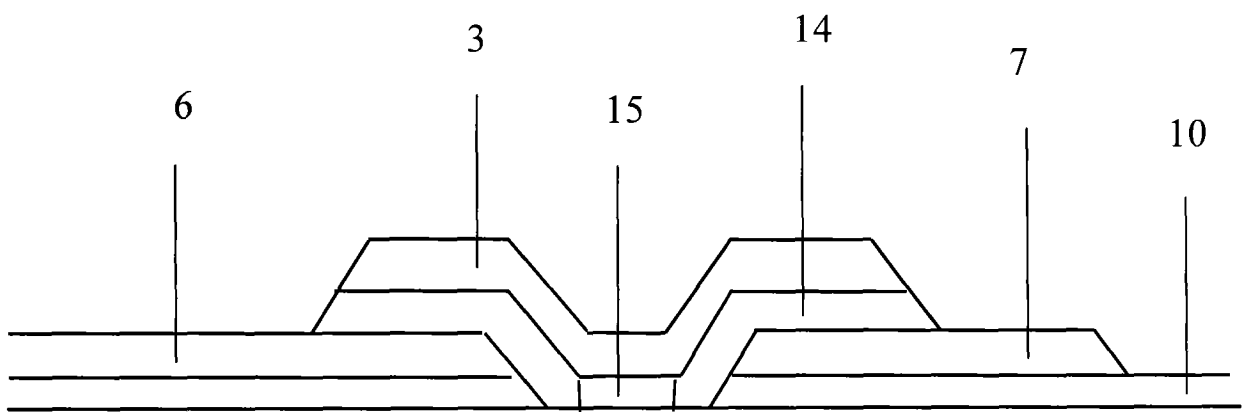


图 6b

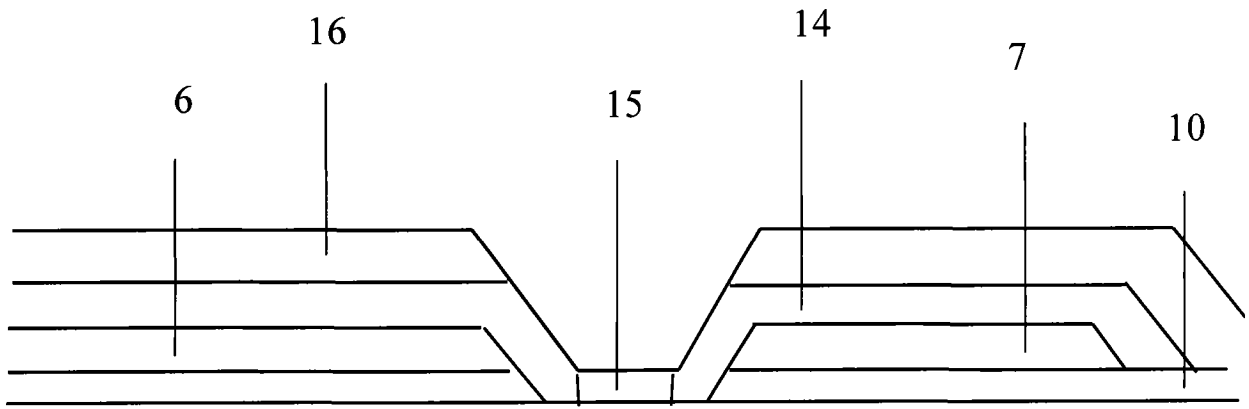


图 6c

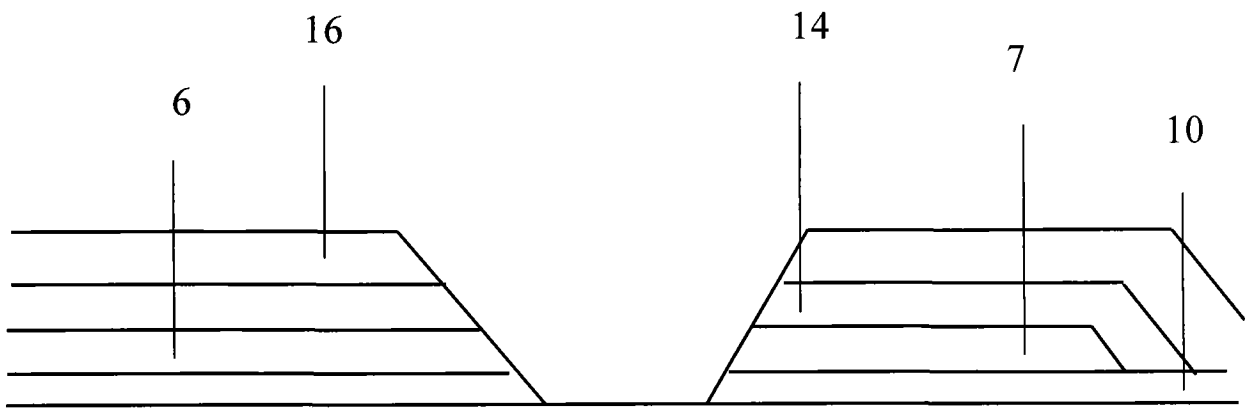


图 6d

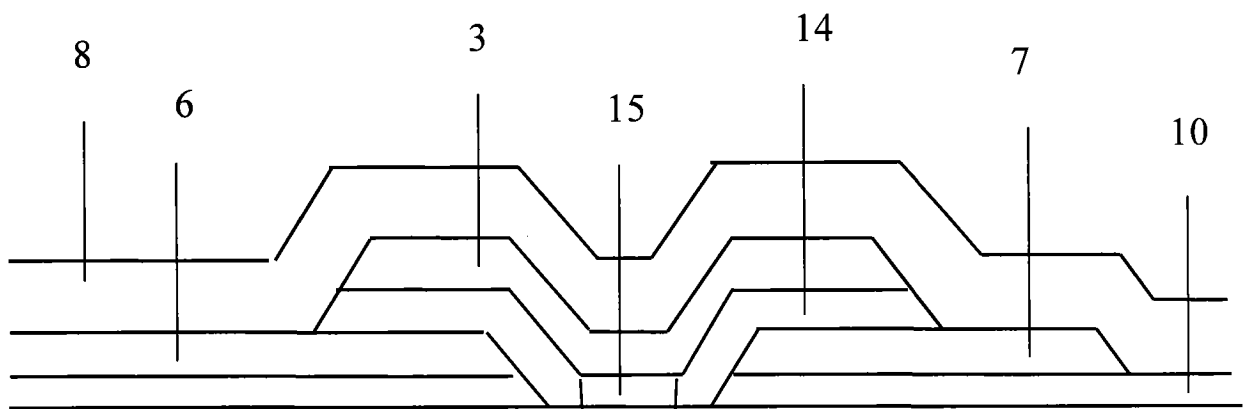


图 7

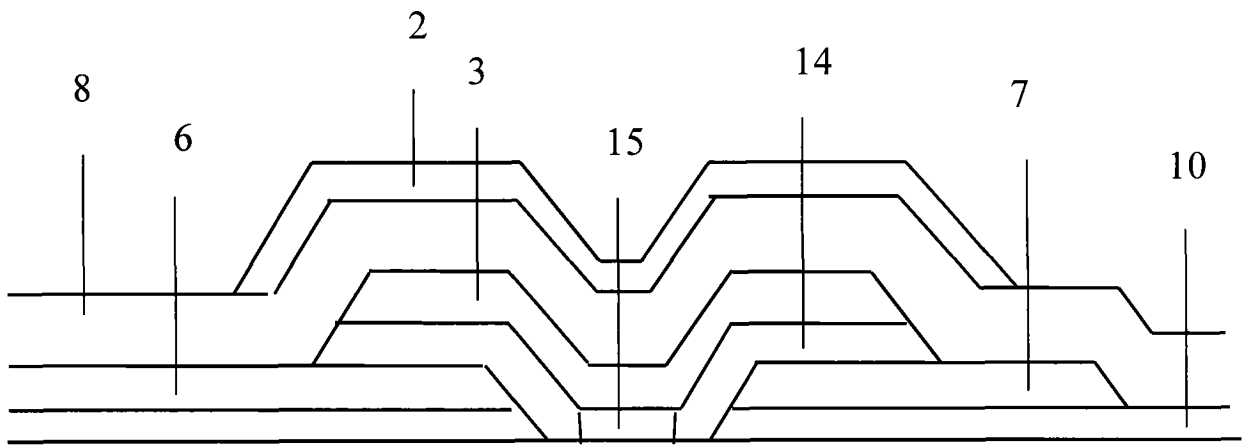


图 8