

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6672626号  
(P6672626)

(45) 発行日 令和2年3月25日(2020.3.25)

(24) 登録日 令和2年3月9日(2020.3.9)

(51) Int.Cl.		F I			
HO 1 L 25/065	(2006.01)	HO 1 L 25/08			C
HO 1 L 25/07	(2006.01)	HO 1 L 27/04			D
HO 1 L 25/18	(2006.01)	HO 1 L 27/04			T
HO 1 L 21/822	(2006.01)				
HO 1 L 27/04	(2006.01)				

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2015-144887 (P2015-144887)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成27年7月22日 (2015.7.22)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2017-28085 (P2017-28085A)	(74) 代理人	100113608 弁理士 平川 明
(43) 公開日	平成29年2月2日 (2017.2.2)	(74) 代理人	100105407 弁理士 高田 大輔
審査請求日	平成30年4月13日 (2018.4.13)	(72) 発明者	千代延 昭宏 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	汾陽 弘慎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の制御方法

(57) 【特許請求の範囲】

【請求項1】

積層された複数の半導体チップと、  
前記複数の半導体チップにそれぞれ含まれる複数の回路ブロックと、  
前記複数の回路ブロックのうち、一の前記回路ブロックに対して他の前記回路ブロックとは独立して電力の供給及び電力の供給の停止を行う第1電源ドメインと、  
前記複数の回路ブロックのうち、少なくとも2つの前記回路ブロックに対して共通して電力の供給及び電力の供給の停止を行い、かつ、他の前記回路ブロックとは独立して電力の供給及び電力の供給の停止を行う第2電源ドメインと、  
を備え、  
前記複数の回路ブロックのうち、電圧降下量が所定量を超える少なくとも1つの前記回路ブロックに対する電力の供給が継続され、前記電圧降下量が前記所定量を超える少なくとも1つの前記回路ブロックとは異なる少なくとも1つの前記回路ブロックに対する電力の供給の停止が行われる、  
半導体装置。

【請求項2】

前記複数の回路ブロックの状態に基づいて、前記第1電源ドメインにおける前記回路ブロックに対する電力の供給の停止が行われ、又は、前記第2電源ドメインにおける少なくとも2つの前記回路ブロックに対する電力の供給の停止が行われる、  
請求項1に記載の半導体装置。

**【請求項 3】**

前記複数の回路ブロックにそれぞれ独立してクロック信号の供給が行われ、  
前記複数の回路ブロックの状態に基づいて、少なくとも1つの前記回路ブロックに対するクロック信号の供給の停止が行われ、又は、少なくとも1つの前記回路ブロックに供給されるクロック信号の周波数を下げる制御が行われる、

請求項 1 又は 2 に記載の半導体装置。

**【請求項 4】**

前記複数の回路ブロックの状態を検出する複数の検出部を備える、

請求項 2 又は 3 に記載の半導体装置。

**【請求項 5】**

少なくとも1つの前記回路ブロックによって実行されるプログラムの情報に基づいて、前記第1電源ドメインにおける少なくとも1つの前記回路ブロックに対する電力の供給の停止が行われ、又は、前記第2電源ドメインにおける少なくとも2つの前記回路ブロックに対する電力の供給の停止が行われる、

請求項 1 から 4 の何れか一項に記載の半導体装置。

**【請求項 6】**

前記複数の回路ブロックにそれぞれ独立してクロック信号の供給が行われ、

少なくとも1つの前記回路ブロックによって実行されるプログラムの情報に基づいて、少なくとも1つの前記回路ブロックに対するクロック信号の供給の停止が行われ、又は、少なくとも1つの前記回路ブロックに供給されるクロック信号の周波数を下げる制御が行われる、

請求項 1 から 5 の何れか一項に記載の半導体装置。

**【請求項 7】**

前記第1電源ドメインでは、少なくとも1つの前記回路ブロックに対して供給される電力の電源電圧と、他の前記回路ブロックに対して供給される電力の電源電圧とが独立して制御され、

前記第2電源ドメインでは、少なくとも2つの前記回路ブロックに対して供給される電力の電源電圧が共通して制御され、

前記複数の回路ブロックの状態に基づいて、前記第1電源ドメインにおける少なくとも1つの前記回路ブロックに対して供給される電力の電源電圧を下げる制御が行われ、又は、前記第2電源ドメインにおける少なくとも2つの前記回路ブロックに対して供給される電力の電源電圧を下げる制御が行われる、

請求項 1 から 6 の何れか一項に記載の半導体装置。

**【請求項 8】**

積層された複数の半導体チップと、前記複数の半導体チップにそれぞれ含まれる複数の回路ブロックとを有する半導体装置の制御方法において、

前記半導体装置が有する第1電源ドメインが、前記複数の回路ブロックのうち、一の前記回路ブロックに対して他の前記回路ブロックとは独立して電力の供給及び電力の供給の停止を行い、

前記半導体装置が有する第2電源ドメインが、前記複数の回路ブロックのうち、少なくとも2つの前記回路ブロックに対して共通して電力の供給及び電力の供給の停止を行い、かつ、他の前記回路ブロックとは独立して電力の供給及び電力の供給の停止を行い、

前記複数の回路ブロックのうち、電圧降下量が所定量を超える少なくとも1つの前記回路ブロックに対する電力の供給が継続され、前記電圧降下量が前記所定量を超える少なくとも1つの前記回路ブロックとは異なる少なくとも1つの前記回路ブロックに対する電力の供給の停止が行われる、

半導体装置の制御方法。

**【発明の詳細な説明】****【技術分野】**

10

20

30

40

50

## 【0001】

本発明は、半導体装置および半導体装置の制御方法に関する。

## 【背景技術】

## 【0002】

半導体製品の更なる高密度化、回路間の配線長を短くすることによる半導体製品の性能の向上化を図るため、半導体チップの2次元実装技術及び3次元実装技術が注目されている。半導体チップの2次元実装技術では、シリコンインターポーザ上に複数の半導体チップ(ダイ)を隣接して搭載している。半導体チップの3次元実装技術では、複数の半導体チップを積層し、TSV(Through Silicon Via:シリコン貫通ビア)によって各半導体チップを貫通して複数の半導体チップを相互接続している。

10

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献1】特開2008-153576号公報

【特許文献2】特開2010-21306号公報

【特許文献3】特開2009-277334号公報

【特許文献4】特開2014-2826号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

20

半導体チップの3次元実装技術では、複数の半導体チップが積層され、複数の半導体チップがTSV、バンプ等によって高さ方向に接続される。複数の半導体チップが高さ方向に積層されるため、単位面積当たりの実装密度が向上する。積層された半導体チップ(以下、積層チップ又は半導体装置とも称する。)における単位面積当たりのピン(電極)の数は増加しない。したがって、積層チップの全体における消費電力は増加するが、電力供給に用いることが可能なピンの数は増加しない。このため、積層チップの各半導体チップに対して十分な電力供給が行えない場合、半導体チップ内の電圧降下(電源電圧の低下)が発生し、半導体チップが正しく動作しない可能性がある。また、積層チップの消費電力が大きくなると、積層チップの発熱が大きくなる。積層チップの内部で発生する熱の排熱が不十分である場合、積層チップの内部の温度が上昇し、半導体チップが正しく動作しない可能性がある。そのため、積層チップの発熱を抑制することが求められている。

30

## 【0005】

本願は、上記の課題に鑑みてなされたものであり、半導体装置に対して効率的に電力を供給し、半導体装置の発熱を抑制する技術を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

本願の一観点によると、積層された複数の半導体チップと、前記複数の半導体チップにそれぞれ含まれる複数の回路ブロックと、前記複数の回路ブロックのうち、一の前記回路ブロックに対して他の前記回路ブロックとは独立して電力の供給及び電力の供給の停止を行う第1電源ドメインと、前記複数の回路ブロックのうち、少なくとも2つの前記回路ブロックに対して共通して電力の供給及び電力の供給の停止を行い、かつ、他の前記回路ブロックとは独立して電力の供給及び電力の供給の停止を行う第2電源ドメインと、を備える半導体装置が提供される。

40

## 【発明の効果】

## 【0007】

本願によれば、半導体装置に対して効率的に電力を供給し、半導体装置の発熱を抑制する技術を提供できる。

## 【図面の簡単な説明】

## 【0008】

【図1】図1は、実施形態に係る半導体装置の構成の一例を示す図である。

50

【図 2】図 2 は、実施形態に係る半導体装置の模式図である。

【図 3】図 3 は、クロックゲーティング回路の説明図である。

【図 4】図 4 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 5】図 5 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 6】図 6 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 7】図 7 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 8】図 8 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 9】図 9 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 10】図 10 は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

10

【図 11A】図 11A は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 11B】図 11B は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 12A】図 12A は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 12B】図 12B は、実施形態に係る半導体装置の電源供給網の構造の一例を示す図である。

【図 13A】図 13A は、検出部の配置例を示す図である。

【図 13B】図 13B は、検出部の配置例を示す図である。

20

【図 14A】図 14A は、検出部の配置例を示す図である。

【図 14B】図 14B は、検出部の配置例を示す図である。

【図 15A】図 15A は、検出部の配置例を示す図である。

【図 15B】図 15B は、検出部の配置例を示す図である。

【発明を実施するための形態】

【0009】

以下、図面を参照して、実施形態を説明する。実施形態の構成は例示であり、本発明は、実施形態の構成に限定されない。

【0010】

図 1 は、実施形態に係る半導体装置 1 の構成の一例を示す図である。半導体装置 1 は、複数の半導体チップが積層された積層チップである。図 1 には、2 層の半導体チップを備える半導体装置 1 を示すが、図 1 に示す半導体装置 1 に限定されず、実施形態に係る半導体装置 1 は、3 層以上の半導体チップを備えてもよい。

30

【0011】

図 1 に示す半導体装置 1 は、配線基板 10 上に実装されている。図 1 に示す半導体装置 1 は、配線基板 10 上に 3 次元積層された半導体チップ（ダイ）20 及び半導体チップ 30 を有している。図 1 に示す半導体装置 1 では、半導体チップ 20 の回路面と半導体チップ 30 の回路面とが向かい合った状態（Face to Face）で、半導体チップ 20 上に半導体チップ 30 が配置されている。半導体チップ 20 は、配線基板 10 上に実装されている。配線基板 10 は、例えば、プリント基板、インターポーザ、セラミック基板等である。配線基板 10 の上面に複数のパッド 11 が形成されている。パッド 11 上にバンプ 12、13 が配置されている。バンプ 12、13 は、例えば、半田ボールである。

40

【0012】

半導体チップ 20 は、シリコン基板 21 及びシリコン基板 21 を貫通する TSV 22 を有する。半導体チップ 21 の回路面の反対面にパッド 23 が形成されている。バンプ 12 は、パッド 11 及び TSV 22 に接合されている。バンプ 13 は、パッド 11、23 に接合されている。パッド 11、バンプ 12 及び TSV 22 を介して、配線基板 10 と半導体チップ 20 とが電氣的に接続されている。また、パッド 11、バンプ 13 及びパッド 23 を介して、配線基板 10 と半導体チップ 20 とが電氣的に接続されている。

【0013】

50

半導体チップ20の回路面にパンプ31、32が設置されている。パンプ31、32は、例えば、半田ボールである。パンプ31は、TSV22に接合されている。また、パンプ31は、半導体チップ30の回路面に形成されたパッド33に接合されている。パンプ32は、半導体チップ20の回路面に形成されたパッド24に接合されている。また、パンプ32は、半導体チップ30の回路面に形成されたパッド34に接合されている。TSV22、パンプ31及びパッド33を介して、半導体チップ20と半導体チップ30とが電氣的に接続されている。また、パッド24、パンプ32及びパッド34を介して、半導体チップ20と半導体チップ30とが電氣的に接続されている。

#### 【0014】

配線基板10は、配線基板10の内部に形成された配線14と、配線基板10上に配置された電源IC15とを備える。配線14は、パッド11及び電源IC15に接続されている。電源IC15は、例えば、DC-DCコンバータ又はLDO(Low Drop Out)である。DC-DCコンバータは、スイッチングレギュレータとも呼ばれ、LDOは、リニアレギュレータ又はシリースレギュレータとも呼ばれる。電源IC15は、外部電源から入力される電力の電圧を昇圧又は降圧して、半導体装置1に電力を供給する。

#### 【0015】

半導体装置1は複数の電源ドメインを有する。電源ドメインは、半導体装置1の外部から電力が供給される領域である。また、電源ドメインは、半導体装置1が有する回路ブロックに電力を供給する領域である。回路ブロックは、例えば、論理ブロック(論理回路)やメモリブロック(メモリ回路)等である。1つの電源ドメインから1つの回路ブロックに対して電力が供給されてもよいし、1つの電源ドメインから少なくとも2つの回路ブロックに対して電力が供給されてもよい。以下では、1つの回路ブロックに対して電力を供給する電源ドメインを、独立電源ドメインと表記する。独立電源ドメインは、第1電源ドメインの一例である。以下では、独立電源ドメインから電力が供給される回路ブロックを、独立回路ブロックと表記する。以下では、少なくとも2つの回路ブロックに対して電力を供給する電源ドメインを共通電源ドメインと表記する。共通電源ドメインは、第2電源ドメインの一例である。以下では、共通電源ドメインから電力が供給される回路ブロックを、共通回路ブロックと表記する。半導体装置1は、少なくとも1つの独立電源ドメインを有する。また、半導体装置1は、複数の独立電源ドメインを有してもよい。半導体装置1は、少なくとも1つの共通電源ドメインを有する。また、半導体装置1は、複数の共通

#### 【0016】

独立電源ドメインから独立回路ブロックに対して電力が供給される場合、独立回路ブロックに対して他の回路ブロックとは独立して電力供給及び電力供給の停止が行われる。共通電源ドメインから少なくとも2つの共通回路ブロックに対して電力が供給される場合、少なくとも2つの共通回路ブロックに対して共通して電力供給及び電力供給の停止が行われ、かつ、他の回路ブロックとは独立して電力供給及び電力供給の停止が行われる。例えば、半導体チップ、回路ブロックの物理実装密度や、回路ブロック間の論理的関係から生じる制約により、電力供給を分離できない場合、共通電源ドメインから少なくとも2つの共通回路ブロックに電力が供給される。

#### 【0017】

図2は、実施形態に係る半導体装置1の模式図である。図2には、2層の半導体チップ20、30を備える半導体装置1を示すが、図2に示す半導体装置1に限定されず、実施形態に係る半導体装置1は、3層以上の半導体チップを備えてもよい。図2に示す例では、半導体チップ20は、回路ブロック40A~40D及び40Iを有し、半導体チップ30は、回路ブロック40E~40H及び40Jを有する。以下の説明において、回路ブロック40A~40Jのうちの一つを示す場合、回路ブロック40と記述する場合がある。図2に示す例では、半導体チップ20は、電源ドメイン50A~50Dを有し、半導体チップ30は、電源ドメイン50E~50Hを有する。図2に示す例では、半導体チップ20、30の其々は、共通の電源ドメイン50Iを有する。電源ドメイン50A~50Hは

10

20

30

40

50

、第1電源ドメインの一例である。電源ドメイン50Iは、第2電源ドメインの一例である。

【0018】

電源ドメイン50A～50Hでは、回路ブロック40A～40Hに対して独立して電力供給及び電力供給の停止が行われる。例えば、電源ドメイン50Aから回路ブロック40Aに電力が供給され、電源ドメイン50Bから回路ブロック40Bに電力が供給される。回路ブロック40Aに対する電力供給及び電力供給の停止は、回路ブロック40B～40Jとは独立して行われる。また、回路ブロック40Bに対する電力供給及び電力供給の停止は、回路ブロック40A, 40C～40Jとは独立して行われる。そのため、回路ブロック40Aに対する電力供給を停止し、回路ブロック40Bに対する電力供給を継続する

10

【0019】

また、電源ドメイン50Aから回路ブロック40Aに供給される電力の電源電圧と、電源ドメイン50Bから回路ブロック40Bに供給される電力の電源電圧とが独立に制御されている。例えば、回路ブロック40Aに供給される電力の電源電圧と、回路ブロック40Bに供給される電力の電源電圧とを異なる値に制御することが可能である。また、回路ブロック40Aに供給される電力の電源電圧と、回路ブロック40Bに供給される電力の電源電圧とを同一の値に制御することも可能である。

【0020】

電源ドメイン50Iでは、回路ブロック40I, 40Jに対して共通して電力供給及び電力供給の停止が行われ、かつ、回路ブロック40A～40Hとは独立して電力供給及び電力供給の停止が行われる。電源ドメイン50Iから回路ブロック40I, 40Jに電力が供給され、回路ブロック40Iに対する電力供給と、回路ブロック40Jに対する電力供給とが共通に制御されている。すなわち、電源ドメイン50Iから回路ブロック40I, 40Jに共通の電力が供給されている。そのため、回路ブロック40Iに対する電力供給の停止と、回路ブロック40Jに対する電力供給の停止とが同時に行われる。

20

【0021】

回路ブロック40I, 40Jに供給される電力の電源電圧は共通に制御されている。したがって、回路ブロック40Iに供給される電力の電源電圧と、回路ブロック40Jに供給される電力の電源電圧とが同一の値に制御されている。

30

【0022】

電源ドメイン50A～50Hにおける電力供給と、電源ドメイン50Iにおける電力供給とは独立に制御されている。したがって、回路ブロック40A～40Hに対する電力供給と、回路ブロック40I, 40Jに対する電力供給とが独立に制御されている。例えば、回路ブロック40Aに対する電力供給を停止し、回路ブロック40I, 40Jに対する電力供給を継続することが可能である。また、例えば、回路ブロック40I, 40Jに対する電力供給を停止し、回路ブロック40Aに対する電力供給を継続することが可能である。

【0023】

半導体装置1は、回路ブロック40A～40Jに対する電力供給、電力供給の停止及び回路ブロック40A～40Jに供給される電源電圧の変更を制御する制御回路(制御部)を備えてもよい。以下では、回路ブロック40A～40Jに対する電力供給、電力供給の停止及び回路ブロック40A～40Jに供給される電源電圧の変更を制御する処理を、電源制御処理とも表記する。回路ブロック40A～40Jの何れか一つ又は複数が、電源制御処理を実行する制御回路として機能してもよい。半導体装置1とは異なる制御装置(例えば、CPU(Central Processing Unit)等のプロセッサ)が、電源制御処理を実行してもよい。制御装置は、配線基板10上に設けられてもよい。

40

【0024】

半導体装置1の内部回路又は外部装置によって、回路ブロック40A～40Jに対する電力供給の停止(遮断)及び再開を行うことが可能である。例えば、半導体装置1の内部

50

に形成されたパワーゲーティング回路のオン又はオフを制御することにより、回路ブロック 40 A ~ 40 J に対する電力供給の停止又は再開が行われてもよい。制御回路又は制御装置から半導体装置 1 内のパワーゲーティング回路に制御信号が送信されることにより、パワーゲーティング回路のオン又はオフが制御される。また、例えば、半導体装置 1 と電源 IC 15 との間に配置されたパワースイッチのオン又はオフを制御することにより、回路ブロック 40 A ~ 40 J に対する電力供給の停止又は再開が行われてもよい。制御回路又は制御装置からパワースイッチに制御信号が送信されることにより、パワースイッチのオン又はオフが制御される。

#### 【 0 0 2 5 】

電源 IC 15 を制御することにより、回路ブロック 40 A ~ 40 J 供給される電力の電源電圧を変更することが可能である。例えば、制御回路又は制御装置から電源 IC 15 に制御信号が送信されることにより、電源 IC 15 が制御される。また、半導体装置 1 は、電源 IC 15 から供給される電力の電源電圧を昇圧又は降圧して、回路ブロック 40 A ~ 40 J に電力を供給する電源回路を備えてもよい。この場合、半導体装置 1 内の電源回路を制御することにより、回路ブロック 40 A ~ 40 J に供給される電力の電源電圧を変更することが可能である。例えば、制御回路又は制御装置から半導体装置 1 内の電源回路に制御信号が送信されることにより、半導体装置 1 内の電源回路が制御される。

#### 【 0 0 2 6 】

回路ブロック 40 A ~ 40 J へのクロック信号の供給及び供給の停止が独立して行われる。すなわち、回路ブロック 40 A ~ 40 J 毎に独立してクロック信号の供給及び供給の停止が行われる。回路ブロック 40 A に対するクロック信号の供給と、回路ブロック 40 B に対するクロック信号の供給とが独立に制御される。これにより、回路ブロック 40 A に対するクロック信号の供給を停止し、回路ブロック 40 B に対するクロック信号の供給を継続することが可能である。回路ブロック 40 I に対するクロック信号の供給と、回路ブロック 40 J に対するクロック信号の供給とが独立に制御される。これにより、回路ブロック 40 I , 40 J に対して電力を供給しつつ、回路ブロック 40 I に対するクロック信号の供給を停止し、回路ブロック 40 J に対するクロック信号の供給を継続することが可能である。

#### 【 0 0 2 7 】

回路ブロック 40 A に供給されるクロック信号の周波数と、回路ブロック 40 B に供給されるクロック信号の周波数とが独立に制御される。回路ブロック 40 A に供給されるクロック信号の周波数と、回路ブロック 40 B に供給されるクロック信号の周波数とを異なる値に制御することが可能である。また、回路ブロック 40 A に供給されるクロック信号の周波数と、回路ブロック 40 B に供給されるクロック信号の周波数とを同一の値に制御することも可能である。

#### 【 0 0 2 8 】

回路ブロック 40 I に供給されるクロック信号の周波数と、回路ブロック 40 J に供給されるクロック信号の周波数とが独立に制御される。回路ブロック 40 I に供給されるクロック信号の周波数と、回路ブロック 40 J に供給されるクロック信号の周波数とを異なる値に制御することが可能である。また、回路ブロック 40 I に供給されるクロック信号の周波数と、回路ブロック 40 J に供給されるクロック信号の周波数とを同一の値に制御することも可能である。

#### 【 0 0 2 9 】

半導体装置 1 は、回路ブロック 40 A ~ 40 J に対するクロック信号の供給、クロック信号の供給の停止及びクロック信号の周波数の変更を制御する制御回路を備えてもよい。以下では、回路ブロック 40 A ~ 40 J に対するクロック信号の供給、クロック信号の供給の停止及びクロック信号の周波数の変更を制御する処理を、信号制御処理とも表記する。回路ブロック 40 A ~ 40 J の何れか一つ又は複数が、信号制御処理を実行する制御回路として機能してもよい。回路ブロック 40 A ~ 40 J の何れか一つ又は複数が、電源制御処理及び信号制御処理を実行する制御回路として機能してもよい。電源制御処理を実行

10

20

30

40

50

する制御回路が、信号制御処理を実行してもよい。半導体装置 1 とは異なる制御装置（例えば、CPU等のプロセッサ）が、信号制御処理を実行してもよい。制御装置が、電源制御処理及び信号制御処理を実行してもよい。制御装置は、配線基板 10 上に設けられてもよい。

#### 【0030】

半導体装置 1 は、クロック信号を生成し、回路ブロック 40 A ~ 40 J にクロック信号を供給するクロック信号供給回路（クロック生成回路）を備えてもよい。クロック信号供給回路は、例えば、PLL（Phase Locked Loop）回路である。回路ブロック 40 A ~ 40 J の何れか一つ又は複数が、クロック信号を生成し、回路ブロック 40 A ~ 40 J にクロック信号を供給するクロック信号供給回路として機能してもよい。半導体装置 1 の外部にクロック信号供給回路を設けてもよい。クロック信号供給回路は、配線基板 10 上に設けられてもよい。

10

#### 【0031】

半導体装置 1 の内部回路によって、回路ブロック 40 A ~ 40 J に対するクロック信号の供給の停止及び供給の再開を行うことが可能である。例えば、半導体装置 1 の内部に形成されたクロックゲーティング回路 60 のオン又はオフを制御することにより、回路ブロック 40 A ~ 40 J に対するクロック信号の供給の停止又は供給の再開が行われてもよい。

#### 【0032】

図 3 に示すように、制御回路又は制御装置からクロックゲーティング回路 60 にインネーブル信号（制御信号）が入力されることにより、クロックゲーティング回路 60 のオン又はオフが制御される。クロックゲーティング回路 60 がオンの場合、クロックゲーティング回路 60 は、回路ブロック 40 A にクロック信号を供給する。クロックゲーティング回路 60 がオフの場合、クロックゲーティング回路 60 は、回路ブロック 40 A に対するクロック信号の供給を停止する。半導体装置 1 は、回路ブロック 40 A ~ 40 J の其々に対応する複数のクロックゲーティング回路 60 を備える。

20

#### 【0033】

図 4 ~ 図 6 は、実施形態に係る半導体装置 1 の電源供給網の構造の一例を示す図である。図 4 ~ 図 6 に示す電源供給網の構造は、回路ブロック 40 A , 40 E の電源供給網の構造を示している。図 4 は、回路ブロック 40 A の平面図である。図 5 は、回路ブロック 40 E の平面図である。図 6 は、回路ブロック 40 A , 40 E の斜視図である。図 4 ~ 図 6 に示す電源供給網の構造は、回路ブロック 40 B ~ 40 D , 40 F ~ 40 H のうち上下方向（垂直方向）に重なった 2 つの回路ブロック 40 の電源供給網の構造に適用してもよい。

30

#### 【0034】

図 4 及び図 6 に示すように、回路ブロック 40 A に対する電力供給に用いられる電源網 70 と、回路ブロック 40 E に対する電力供給に用いられる電源網 71 , 72 とが、回路ブロック 40 A に形成されている。回路ブロック 40 A の中央部分に電源網 70 が形成されている。回路ブロック 40 A の中央部分に形成された電源網 70 を挟むようにして、回路ブロック 40 A に電源網 71 , 72 が形成されている。電源ドメイン 50 A は電源網 70 を有しており、電源ドメイン 50 A から回路ブロック 40 A に電力が供給される。

40

#### 【0035】

図 5 及び図 6 に示すように、回路ブロック 40 E に対する電力供給に用いられる電源網 71 , 72 が、回路ブロック 40 E に形成されている。電源網 71 , 72 の其々は、櫛形状となっている。すなわち、電源網 71 , 72 の其々は複数の櫛歯部分を有し、電源網 71 の複数の櫛歯部分と電源網 72 の複数の櫛歯部分とが其々交互に配列されている。電源ドメイン 50 E は電源網 71 , 72 を有しており、電源ドメイン 50 E から回路ブロック 40 E に電力が供給される。

#### 【0036】

電源網 70 は、VSS 配線及び VDD 配線を有する。電源網 70 の VSS 配線及び VDD

50

D配線は、回路ブロック40Aに形成されている。電源網71は、VSS配線及びVSS TSVを有する。電源網71のVSS配線は、回路ブロック40A, 40Eに形成されている。電源網71のVSS TSVは、回路ブロック40Aと回路ブロック40Eとの間に形成されている。電源網72は、VDD配線及びVDD TSVを有する。電源網72のVDD配線は、回路ブロック40A, 40Eに形成されている。電源網72のVDD TSVは、回路ブロック40Aと回路ブロック40Eとの間に形成されている。電源網70のVSS配線、電源網71のVSS配線及びVSS TSVには、グランド電圧が供給される。電源網70のVDD配線、電源網72のVDD配線及びVDD TSVには、電源電圧が供給される。

【0037】

10

図7～図9は、実施形態に係る半導体装置1の電源供給網の構造の一例を示す図である。図7～図9に示す電源供給網の構造は、回路ブロック40I, 40Jの電源供給網の構造を示している。図7は、回路ブロック40Iの平面図である。図8は、回路ブロック40Jの平面図である。図9は、回路ブロック40I, 40Jの斜視図である。

【0038】

図7及び図9に示すように、回路ブロック40Iに対する電力供給に用いられる電源網80, 81が、回路ブロック40Iに形成されている。図8及び図9に示すように、回路ブロック40Jに対する電力供給に用いられる電源網80, 81が、回路ブロック40Jに形成されている。図8及び図9に示すように、電源網80, 81の其々は、櫛型形状となっている。すなわち、電源網80, 81の其々は複数の櫛歯部分を有し、電源網80の複数の櫛歯部分と電源網81の複数の櫛歯部分とが其々交互に配列されている。電源ドメイン50Iは電源網80, 81を有しており、電源ドメイン50Iから回路ブロック40I, 40Jに電力が供給される。

20

【0039】

電源網80は、VSS配線及びVSS TSVを有する。電源網80のVSS配線は、回路ブロック40I, 40Jに形成されている。電源網80のVSS TSVは、回路ブロック40Iと回路ブロック40Jとの間に形成されている。電源網81は、VDD配線及びVDD TSVを有する。電源網81のVDD配線は、回路ブロック40I, 40Jに形成されている。電源網81のVDD TSVは、回路ブロック40Iと回路ブロック40Jとの間に形成されている。電源網80のVSS配線及びVSS TSVには、グランド電圧が供給される。電源網81のVDD配線及びVDD TSVには、電源電圧が供給される。

30

【0040】

図10は、実施形態に係る半導体装置1の電源供給網の構造の一例を示す図であって、半導体装置1の内部にパワーゲーティング回路を形成した例を示している。半導体装置1は、パワーゲーティング回路73～76を備えている。パワーゲーティング回路73は、電源網70のVSS配線と、半導体装置1の内部に形成されたVSS配線との間に配置されている。パワーゲーティング回路74は、電源網70のVDD配線と、半導体装置1の内部に形成されたVDD配線との間に配置されている。パワーゲーティング回路75は、電源網71のVSS配線と、半導体装置1の内部に形成されたVSS配線との間に配置されている。パワーゲーティング回路76は、電源網72のVDD配線と、半導体装置1の内部に形成されたVDD配線との間に配置されている。

40

【0041】

半導体チップ30は、半導体チップ20上に配置されている。したがって、半導体チップ30は、半導体チップ20よりも電源IC15からの距離が長いため、半導体チップ30は、半導体チップ20よりも電圧降下となる可能性が高い。図11A～図12Bを参照して、2層目以上に配置された半導体チップの電圧降下を抑制するための電源供給網の構造を説明する。

【0042】

図11A及び図11Bは、実施形態に係る半導体装置1の電源供給網の構造の一例を示

50

す図である。図 1 1 A 及び図 1 1 B に示す電源供給網の構造は、回路ブロック 4 0 I , 4 0 J の電源供給網の構造を示している。図 1 1 A は、回路ブロック 4 0 I の平面図である。図 1 1 B は、回路ブロック 4 0 J の平面図である。

【 0 0 4 3 】

図 1 1 A に示すように、回路ブロック 4 0 I に対する電力供給に用いられる電源網 9 0 , 9 1 , 9 2 が、回路ブロック 4 0 I に形成されている。図 1 1 B に示すように、回路ブロック 4 0 J に対する電力供給に用いられる電源網 9 0 , 9 1 , 9 2 が、回路ブロック 4 0 J に形成されている。電源ドメイン 5 0 I は電源網 9 0 , 9 1 , 9 2 を有しており、電源ドメイン 5 0 I から回路ブロック 4 0 I , 4 0 J に電力が供給される。

【 0 0 4 4 】

電源網 9 0 は、V S S 配線及び V S S T S V を有する。電源網 9 0 の V S S 配線は、回路ブロック 4 0 I , 4 0 J に形成されている。電源網 9 0 の V S S T S V は、回路ブロック 4 0 I と回路ブロック 4 0 J との間に形成されている。電源網 9 1 は、V D D 配線及び V D D T S V を有する。電源網 9 1 の V D D 配線は、回路ブロック 4 0 I , 4 0 J に形成されている。電源網 9 1 の V D D T S V は、回路ブロック 4 0 I と回路ブロック 4 0 J との間に形成されている。電源網 9 2 は、V S S 配線、V S S T S V 、V D D 配線及び V D D T S V を有する。電源網 9 2 の V S S 配線及び V D D 配線は、回路ブロック 4 0 I , 4 0 J に形成されている。電源網 9 2 の V S S T S V 及び V D D T S V は、回路ブロック 4 0 I と回路ブロック 4 0 J との間に形成されている。電源網 9 0 の V S S 配線及び V S S T S V 、電源網 9 2 の V S S 配線及び V S S T S V には、グラウンド電圧が供給される。電源網 9 1 の V D D 配線及び V D D T S V 、電源網 9 2 の V D D 配線及び V D D T S V には、電源電圧が供給される。

【 0 0 4 5 】

図 1 1 A に示すように、回路ブロック 4 0 I の中央部分に電源網 9 2 が形成され、図 1 1 B に示すように、回路ブロック 4 0 J の中央部分に電源網 9 2 が形成されている。これにより、回路ブロック 4 0 I の中央部分及び回路ブロック 4 0 J の中央部分の電圧降下が抑制される。図 1 1 B に示すように、回路ブロック 4 0 J の中央部分に形成された電源網 9 2 は、回路ブロック 4 0 J の中央部分から周辺部分に向かって延伸する複数の突出部分を有している。電源網 9 2 が複数の突出部分を有することにより、回路ブロック 4 0 J の電圧降下を抑制することができる。また、図 1 1 A 及び図 1 1 B に示す電源供給網の構造を、回路ブロック 4 0 A ~ 4 0 H に適用してもよい。この場合、図 1 1 A に示す電源網 9 0 の周囲に、回路ブロック 4 0 A ~ 4 0 D に対する電力供給に用いられる電源網を形成すればよい。

【 0 0 4 6 】

図 1 2 A 及び図 1 2 B は、実施形態に係る半導体装置 1 の電源供給網の構造の一例を示す図である。図 1 2 A 及び図 1 2 B に示す電源供給網の構造は、回路ブロック 4 0 I , 4 0 J の電源供給網の構造を示している。図 1 2 A は、回路ブロック 4 0 I の平面図である。図 1 2 B は、回路ブロック 4 0 J の平面図である。

【 0 0 4 7 】

図 1 2 A に示すように、回路ブロック 4 0 I に対する電力供給に用いられる複数の電源網 1 0 0 , 1 0 1 が、回路ブロック 4 0 I に形成されている。図 1 2 B に示すように、回路ブロック 4 0 J に対する電力供給に用いられる複数の電源網 1 0 0 , 1 0 1 が、回路ブロック 4 0 J に形成されている。図 1 2 A 及び図 1 2 B に示すように、電源網 1 0 0 と電源網 1 0 1 とが隣接するようにして回路ブロック 4 0 I , 4 0 J に複数の電源網 1 0 0 , 1 0 1 が形成されている。電源ドメイン 5 0 I は電源網 1 0 0 , 1 0 1 を有しており、電源ドメイン 5 0 I から回路ブロック 4 0 I , 4 0 J に電力が供給される。

【 0 0 4 8 】

電源網 1 0 0 は、V S S 配線及び V S S T S V を有する。電源網 1 0 0 の V S S 配線は、回路ブロック 4 0 I , 4 0 J に形成されている。電源網 1 0 0 の V S S T S V は、回路ブロック 4 0 I と回路ブロック 4 0 J との間に形成されている。電源網 1 0 1 は、V

10

20

30

40

50

DD配線及びVDD TSVを有する。電源網101のVDD配線は、回路ブロック40I, 40Jに形成されている。電源網101のVDD TSVは、回路ブロック40Iと回路ブロック40Jとの間に形成されている。電源網100のVSS配線及びVSS TSVには、グランド電圧が供給される。電源網101のVDD配線及びVDD TSVには、電源電圧が供給される。

【0049】

図12Aに示すように、電源網100と電源網101とが隣接した一对の電源網102が回路ブロック40Iに配置されている。複数の電源網102が、回路ブロック40Iの一方の端部から他方の端部に向かって所定間隔で配置されることにより、回路ブロック40Iの電圧降下を抑制することができる。図12Bに示すように、電源網100と電源網101とが隣接した一对の電源網103が回路ブロック40Jに配置されている。複数の電源網103が、回路ブロック40Jの一方の端部から他方の端部に向かって所定間隔で配置されることにより、回路ブロック40Jの電圧降下を抑制することができる。

10

【0050】

回路ブロック40A~40Jの状態に基づいて、電源制御処理及び信号制御処理が行われてもよい。回路ブロック40A~40Jの電圧値や電圧降下量に基づいて、電源制御処理及び信号制御処理が行われてもよい。例えば、回路ブロック40Aの電圧降下が発生する場合、回路ブロック40Aに供給される電力量が不足している可能性がある。回路ブロック40Aの周辺に配置されている回路ブロック40B又は回路ブロック40Cに対する電力供給を停止してもよいし、又は回路ブロック40B, 40Cに対する電力供給を停止してもよい。これにより、回路ブロック40Aに供給される電力量が増加し、回路ブロック40Aの電圧降下を抑制することができる。

20

【0051】

例えば、回路ブロック40Jの電圧降下が発生する場合、回路ブロック40Jに供給される電力量が不足している可能性がある。回路ブロック40Jの周辺に配置されている回路ブロック40G又は回路ブロック40Hに対する電力供給を停止してもよいし、又は回路ブロック40G, 40Hに対する電力供給を停止してもよい。これにより、回路ブロック40Jに供給される電力量が増加し、回路ブロック40Jの電圧降下を抑制することができる。この場合、回路ブロック40Jと共通の電力が供給される回路ブロック40Iに対する電力供給は停止しない。

30

【0052】

回路ブロック40Aに供給される電力の電源電圧を下げてよい。回路ブロック40Aに供給される電力の電源電圧を下げることにより、回路ブロック40Aの消費電力が低下するため、回路ブロック40Aの電圧降下を抑制することができる。回路ブロック40B又は回路ブロック40Cに供給される電力の電源電圧を下げてよいし、又は回路ブロック40B, 40Cに供給される電力の電源電圧を下げてよい。これにより、回路ブロック40B, 40Cの消費電力が低下するため、回路ブロック40Aに供給される電力量が増加し、回路ブロック40Aの電圧降下を抑制することができる。

【0053】

回路ブロック40I, 40Jに供給される電力の電源電圧を下げてよい。回路ブロック40I, 40Jに供給される電力の電源電圧は共通であるため、回路ブロック40I, 40Jに供給される電力の電源電圧の変更は共通して行われる。回路ブロック40I, 40Jに供給される電力の電源電圧を下げることにより、回路ブロック40I, 40Jの消費電力が低下するため、回路ブロック40Jの電圧降下を抑制することができる。回路ブロック40G又は回路ブロック40Hに供給される電力の電源電圧を下げてよいし、又は回路ブロック40G, 40Hに供給される電力の電源電圧を下げてよい。これにより、回路ブロック40G, 40Hの消費電力が低下するため、回路ブロック40Jに供給される電力量が増加し、回路ブロック40Jの電圧降下を抑制することができる。

40

【0054】

回路ブロック40Aに供給されるクロック信号の周波数を下げてもよい。回路ブロック

50

40 Aに供給されるクロック信号の周波数を下げることにより、回路ブロック40 Aの消費電力が低下するため、回路ブロック40 Aの電圧降下を抑制することができる。回路ブロック40 B又は回路ブロック40 Cに対するクロック信号の供給を停止してもよいし、回路ブロック40 B, 40 Cに対するクロック信号の供給を停止してもよい。これにより、回路ブロック40 Bや回路ブロック40 Cの消費電力が低下するため、回路ブロック40 Aに供給される電力量が増加し、回路ブロック40 Aの電圧降下を抑制することができる。

【0055】

回路ブロック40 Jに供給されるクロック信号の周波数を下げてもよい。回路ブロック40 I, 40 Jに対してクロック信号は独立して供給されるため、回路ブロック40 I, 40 Jに供給されるクロック信号の周波数の変更は独立して行われる。回路ブロック40 Jに供給されるクロック信号の周波数を下げることにより、回路ブロック40 Jの消費電力が低下するため、回路ブロック40 Jの電圧降下を抑制することができる。回路ブロック40 H又は回路ブロック40 Iに対するクロック信号の供給を停止してもよいし、回路ブロック40 H, 40 Iに対するクロック信号の供給を停止してもよい。回路ブロック40 H又は回路ブロック40 Iに供給されるクロック信号の周波数を下げてもよいし、回路ブロック40 H, 40 Iに供給されるクロック信号の周波数を下げてもよい。これにより、回路ブロック40 Hや回路ブロック40 Iの消費電力が低下するため、回路ブロック40 Jに供給される電力量が増加し、回路ブロック40 Jの電圧降下を抑制することができる。

【0056】

回路ブロック40 A～40 Jに対する電力供給を停止し、かつ、回路ブロック40 A～40 Jに対するクロック信号の供給を停止してもよい。回路ブロック40 A～40 Jに供給される電力の電源電圧を下げ、かつ、回路ブロック40 A～40 Jに供給されるクロック信号の周波数を下げてもよい。

【0057】

回路ブロック40 A～40 Jの温度値や温度上昇量に基づいて、電源制御処理及び信号制御処理が行われてもよい。例えば、回路ブロック40 Aの温度が過度に上昇している場合、回路ブロック40 Aが誤作動したり、故障したりする可能性がある。回路ブロック40 Aの温度が過度に上昇している場合、回路ブロック40 Aに対する電力供給を停止することにより、回路ブロック40 Aの温度上昇を抑制することができる。また、回路ブロック40 Aの温度が過度に上昇している場合、回路ブロック40 Aに供給されるクロック信号の周波数を下げることにより、回路ブロック40 Aの温度上昇を抑制することができる。回路ブロック40 Aの過度の温度上昇を抑制することにより、回路ブロック40 Aの誤動作や故障を回避することができる。

【0058】

回路ブロック40 A～40 Jのタイミング違反情報に基づいて、電源制御処理及び信号制御処理が行われてもよい。例えば、回路ブロック40 Aの電圧降下によって、回路ブロック40 A内のフリップフロップ間のタイミング違反が発生する可能性がある。回路ブロック40 A内のフリップフロップ間のタイミング違反を検出することにより、回路ブロック40 Aの電圧降下を検出することが可能である。回路ブロック40 A内のフリップフロップ間のタイミング違反が発生する場合、回路ブロック40 B又は回路ブロック40 Cに対する電力供給を停止してもよいし、回路ブロック40 B, 40 Cに対する電力供給を停止してもよい。回路ブロック40 A内のフリップフロップ間のタイミング違反が発生する場合、回路ブロック40 Aに供給されるクロック信号の周波数を下げてもよい。

【0059】

回路ブロック40 A～40 Jの状態を検出する検出部を、回路ブロック40 A～40 Jの其々に対して設けてもよい。検出部は、回路ブロック40の電圧降下を検出するセンサであってもよい。検出部は、回路ブロック40の電圧降下量が所定量を越える場合、検出信号を出力するセンサであってもよい。検出部は、回路ブロック40の温度を測定し、回

10

20

30

40

50

路ブロック 40 の温度が所定値を超える場合、検出信号を出力する温度センサであってもよい。温度センサは、例えば、ダイオードのバンドギャップを利用するタイプのセンサであってもよい。検出部は、回路ブロック 40 内のフリップフロップ間でタイミング違反が発生したときに検出信号を出力してもよい。検出部は、回路ブロック 40 が有する複数のフリップフロップ間のタイミング違反を検出する回路であってもよい。タイミング違反を検出する回路は、例えば、カナリアフリップフロップ回路、Razor 回路等である。

#### 【 0 0 6 0 】

図 1 3 A ~ 図 1 5 B は、検出部の配置例を示す図である。図 1 3 A は、回路ブロック 40 A の平面図である。図 1 3 B は、回路ブロック 40 E の平面図である。図 1 3 A 及び図 1 3 B に示す検出部 1 1 0 の配置例では、回路ブロック 40 A に検出部 1 1 0 を配置せず、回路ブロック 40 E に複数の検出部 1 1 0 を配置している。回路ブロック 40 E に形成された電源網 7 1 と電源網 7 2 との間に複数の検出部 1 1 0 が配置されている。検出部 1 1 0 の数は任意である。回路ブロック 40 E に少なくとも 1 つの検出部 1 1 0 を配置することにより、回路ブロック 40 E の状態を検出することが可能である。

10

#### 【 0 0 6 1 】

図 1 4 A は、回路ブロック 40 B の平面図である。図 1 4 B は、回路ブロック 40 F の平面図である。図 1 4 A 及び図 1 4 B に示す検出部 1 1 0 の配置例では、回路ブロック 40 B に複数の検出部 1 1 0 を配置し、回路ブロック 40 F に検出部 1 1 0 を配置していない。検出部 1 1 0 の数は任意である。回路ブロック 40 B に少なくとも 1 つの検出部 1 1 0 を配置することにより、回路ブロック 40 B の状態を検出することが可能である。

20

#### 【 0 0 6 2 】

図 1 5 A は、回路ブロック 40 C の平面図である。図 1 5 B は、回路ブロック 40 G の平面図である。図 1 5 A 及び図 1 5 B に示す検出部 1 1 0 の配置例では、回路ブロック 40 C に複数の検出部 1 1 0 を配置し、回路ブロック 40 G に複数の検出部 1 1 0 を配置している。検出部 1 1 0 の数は任意である。回路ブロック 40 C に少なくとも 1 つの検出部 1 1 0 を配置することにより、回路ブロック 40 C の状態を検出することが可能である。回路ブロック 40 G に少なくとも 1 つの検出部 1 1 0 を配置することにより、回路ブロック 40 G の状態を検出することが可能である。

#### 【 0 0 6 3 】

回路ブロック 40 A ~ 40 J は、パフォーマンスカウンタを備えていてもよい。パフォーマンスカウンタから回路ブロック 40 A ~ 40 J の使用状況（使用回数）を読み出すことにより、電源制御処理及び信号制御処理が実行されてもよい。例えば、単位時間当たりの回路ブロック 40 A の使用回数が閾値を越える場合、回路ブロック 40 A の周辺に配置されている回路ブロック 40 B や回路ブロック 40 C に対する電力供給を停止してもよい。パフォーマンスカウンタの情報に基づいて、制御回路又は制御装置が電源制御処理及び信号制御処理を実行してもよいし、オペレーティングシステム（OS）又はファームウェアによって電源制御処理及び信号制御処理が実行されてもよい。OS 及びファームウェアは、回路ブロック 40 A ~ 40 J に記憶されていてもよいし、半導体装置 1 とは異なるメモリ等の記憶装置に記憶されていてもよい。

30

#### 【 0 0 6 4 】

回路ブロック 40 A ~ 40 J の少なくとも 1 つによって実行されるプログラムの情報に基づいて、電源制御処理及び信号制御処理が行われてもよい。例えば、回路ブロック 40 A ~ 40 J の少なくとも 1 つによって実行されるプログラムの実行フェーズ、プログラムの性質、複数のプログラムの組み合わせ等の情報に基づいて、電源制御処理及び信号制御処理が行われてもよい。

40

#### 【 0 0 6 5 】

プログラムの実行フェーズについて説明する。一つのプログラムは、複数のフェーズに分割することができる。例えば、処理に必要なデータを準備する、一部のデータを計算する、メモリ内のデータへアクセスする、他のマシンが持つデータへアクセスする、単精度の演算をする、倍精度の演算をする等のフェーズがある。各フェーズは、パイプラインを

50

用いたパイプライン処理を行うことにより、複数の処理を同時に行うことが可能であるが、データの依存関係が生じたことにより複数の処理を同時に処理することができない場合やハード資源の競合により複数の処理を同時に処理することができない場合などがある。例えば、特定の演算器を多用するフェーズが実行される場合、実行フェーズの情報に基づいて、フェーズの実行に用いられる演算器を備える回路ブロック40の電圧降下が発生しないように、電源制御処理及び信号制御処理が行われてもよい。

**【0066】**

プログラムの性質の情報には、プログラム毎に使用される回路ブロック40A~40Jの使用率の差に関する情報が含まれる。例えば、科学技術プログラムの演算では、倍精度の演算器の使用率が高く、単精度の演算器の使用率は低い。一方、科学技術プログラム以外のプログラムの演算では、倍精度の演算器の使用率は低い。したがって、このような性質の異なるプログラムでは実行時に使用される回路上の領域が異なるため、プログラム毎に使用される回路ブロック40A~40Jの使用率に差が生じる。例えば、回路ブロック40Aの使用率が高い場合、回路ブロック40Aの電圧降下が発生しないように、回路ブロック40Aの周辺に配置されている回路ブロック40B, 40Cに対して電源制御処理及び信号制御処理が行われてもよい。

10

**【0067】**

複数のプログラムの組み合わせの情報には、プログラム毎に使用される回路ブロック40A~40Jの競合に関する情報が含まれる。複数のプログラムが実行される時に同じ回路ブロック40が使用される場合、回路ブロック40に競合が発生する。例えば、回路ブロック40Aで競合が発生している場合、回路ブロック40Aの電圧降下が発生しないように、回路ブロック40Aの周辺に配置されている回路ブロック40B, 40Cに対して電源制御処理及び信号制御処理が行われてもよい。

20

**【0068】**

上記では、半導体チップ20の回路ブロック40I及び半導体チップ30の回路ブロック40Jに対して共通して電力供給及び電力供給の停止が行われる例を示した。実施形態はこの例に限定されず、半導体チップ20の回路ブロック40A~40Dの少なくとも2つに対して共通して電力供給及び電力供給の停止を行ってもよい。半導体チップ30の回路ブロック40E~40Hの少なくとも2つに対して共通して電力供給及び電力供給の停止を行ってもよい。

30

**【0069】**

半導体装置1では、回路ブロック40A~40Hに対する電力供給を独立して行うことができ、回路ブロック40I, 40Jに対する電力供給を共通して行うことができる。例えば、半導体チップ30の回路ブロック40Eに対する電力供給を停止して、半導体チップ20の回路ブロック40Aに対する電力供給を行う。これにより、回路ブロック40Aに対して優先的に電流が流れることになり、回路ブロック40Aを優先的に動作させることができる。例えば、半導体チップ20の回路ブロック40A~40Dに対する電力供給を行うことにより回路ブロック40A~40Dを動作させ、半導体チップ30の回路ブロック40E~40Hに対する電力供給を停止することができる。例えば、半導体チップ20の回路ブロック40I及び半導体チップ30の回路ブロック40Jに対する電力供給を行うことにより回路ブロック40J, 40Iを動作させ、回路ブロック40A~40Hに対する電力供給を停止することができる。

40

**【0070】**

回路ブロック40A~40Hの少なくとも1つに対する電力供給の停止を行うことにより、他の回路ブロック40や回路ブロック40I, 40Jに供給される電力量を増加することができる。また、回路ブロック40A~40Hの少なくとも1つの消費電力を下げることもできる。回路ブロック40A~40Hの消費電力が下がることにより、回路ブロック40A~40Hの発熱が抑制される。回路ブロック40I, 40Jに対する電力供給の停止を行うことにより、回路ブロック40A~40Hに供給される電力量を増加することができる。また、回路ブロック40I, 40Jの消費電力を下げることもできる。回路ブ

50

ロック 40 I, 40 J の消費電力が下がることにより、回路ブロック 40 I, 40 J の発熱が抑制される。したがって、実施形態によれば、半導体装置 1 に対して効率的に電力を供給することができ、半導体装置 1 の発熱を抑制することができる。

【0071】

回路ブロック 40 A ~ 40 H の少なくとも 1 つに対して供給される電力の電源電圧を下げることにより、他の回路ブロック 40 や回路ブロック 40 I, 40 J に供給される電力量を増加することができる。また、回路ブロック 40 A ~ 40 H の少なくとも 1 つの消費電力を下げることもできる。回路ブロック 40 I, 40 J に供給される電力の電源電圧を下げることにより、回路ブロック 40 A ~ 40 H に供給される電力量を増加することができる。また、回路ブロック 40 I, 40 J の消費電力を下げることもできる。したがって、実施形態によれば、半導体装置 1 に対して効率的に電力を供給することができ、半導体装置 1 の発熱を抑制することができる。

10

【0072】

回路ブロック 40 A ~ 40 J の少なくとも 1 つに対するクロック信号の供給の停止を行うことにより、他の回路ブロック 40 に供給される電力量を増加することができる。回路ブロック 40 A ~ 40 J の少なくとも 1 つに供給されるクロック信号の周波数を下げることにより、他の回路ブロック 40 に供給される電力量を増加することができる。また、回路ブロック 40 A ~ 40 J の少なくとも 1 つの消費電力を下げることもできる。したがって、実施形態によれば、半導体装置 1 に対して効率的に電力を供給することができ、半導体装置 1 の発熱を抑制することができる。

20

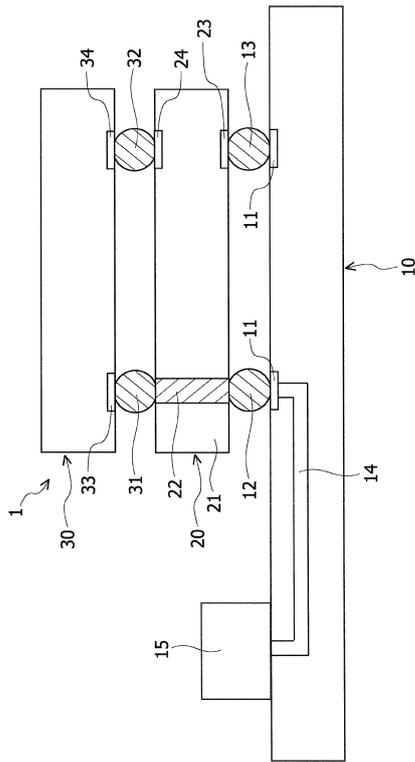
【符号の説明】

【0073】

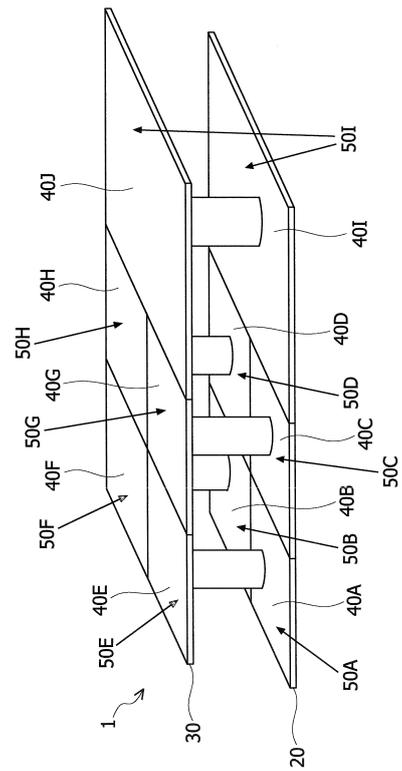
- 1 半導体装置
- 10 配線基板
- 11 パッド
- 12, 13, 31, 32 バンプ
- 20, 30 半導体チップ
- 21 シリコン基板
- 22 TSV
- 23, 24, 33, 34 パッド
- 40 A ~ 40 J 回路ブロック
- 50 A ~ 50 I 電源ドメイン
- 60 クロックゲーティング回路
- 70 ~ 72, 80, 81, 90 ~ 92, 100, 101 電源網
- 73 ~ 76 パワーゲーティング回路
- 110 検出部

30

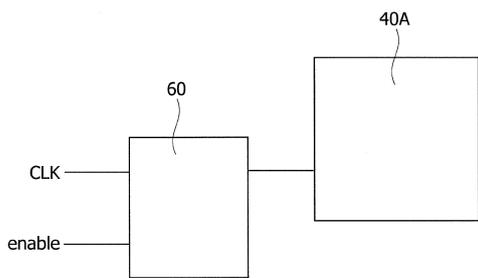
【 図 1 】



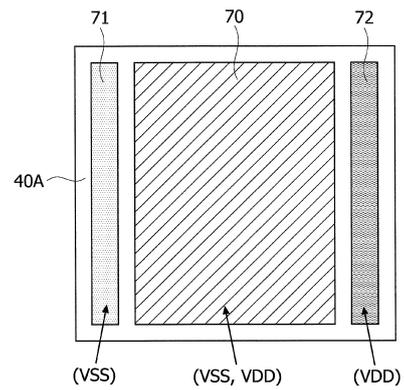
【 図 2 】



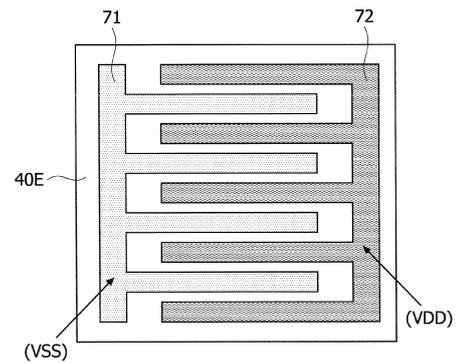
【 図 3 】



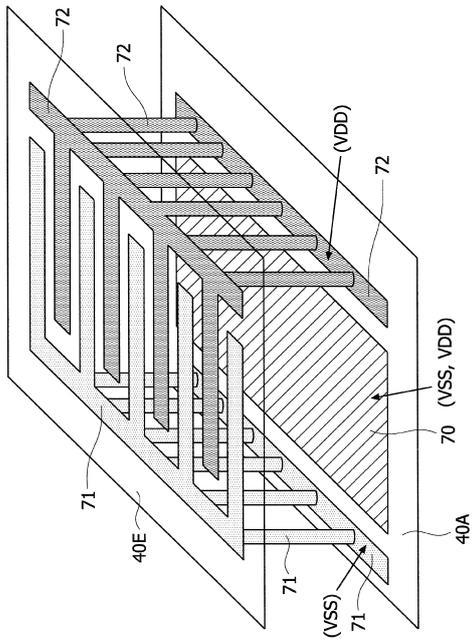
【 図 4 】



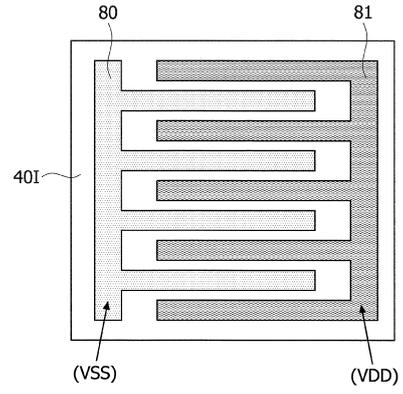
【 図 5 】



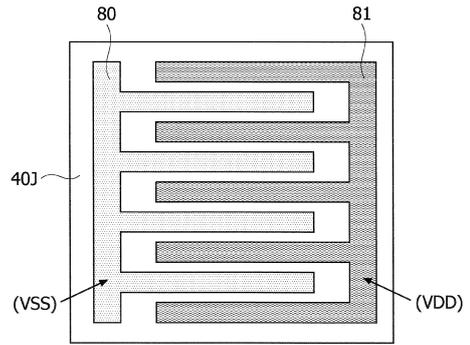
【図 6】



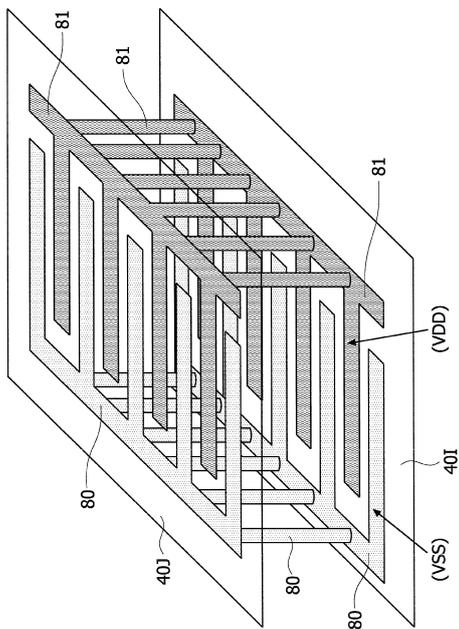
【図 7】



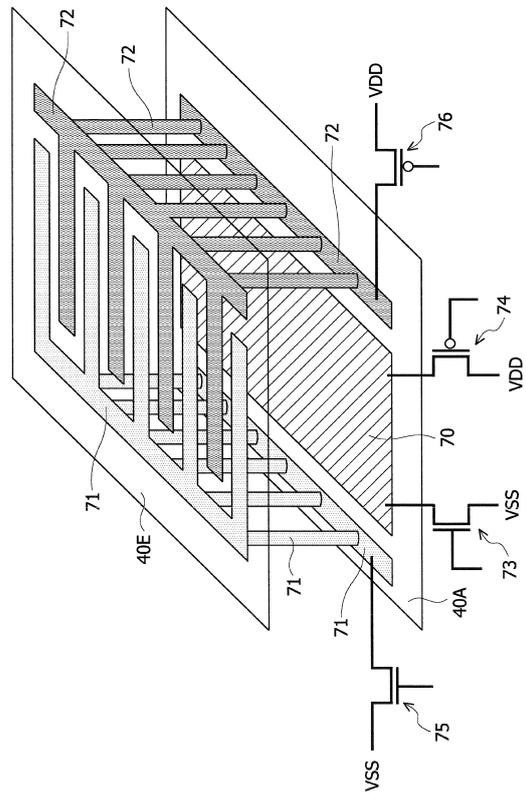
【図 8】



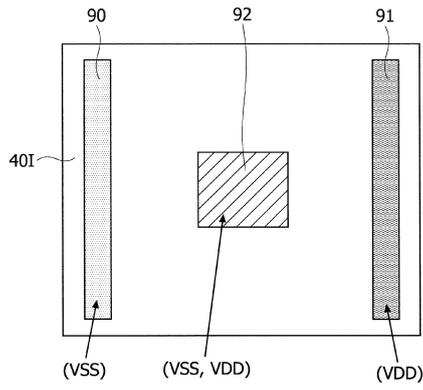
【図 9】



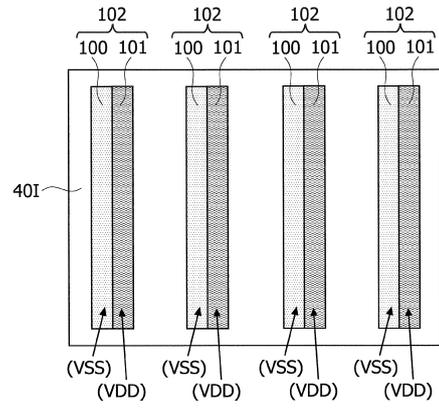
【図 10】



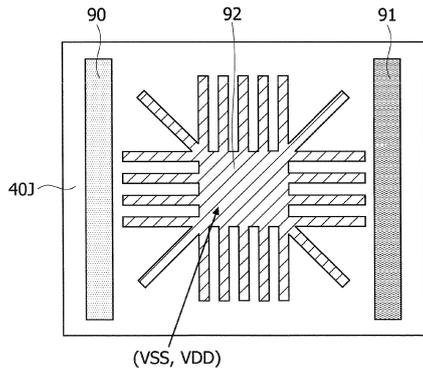
【図11A】



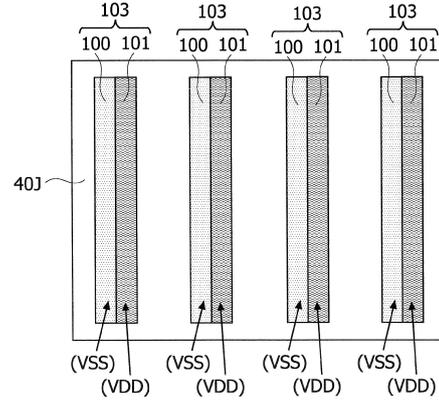
【図12A】



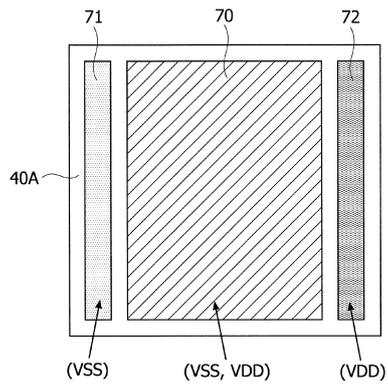
【図11B】



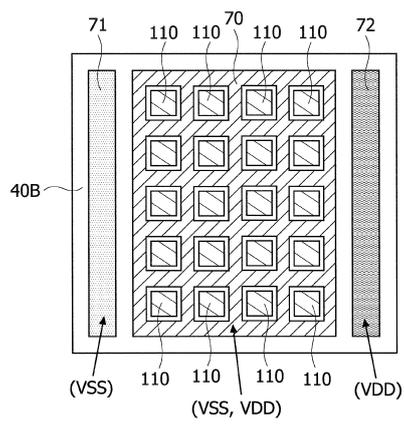
【図12B】



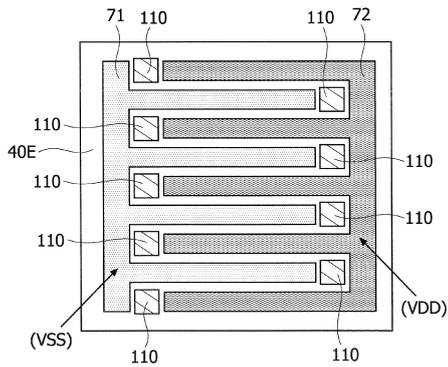
【図13A】



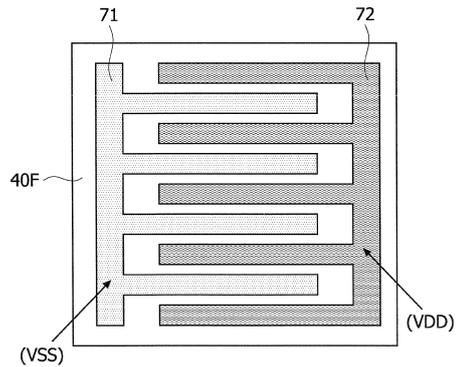
【図14A】



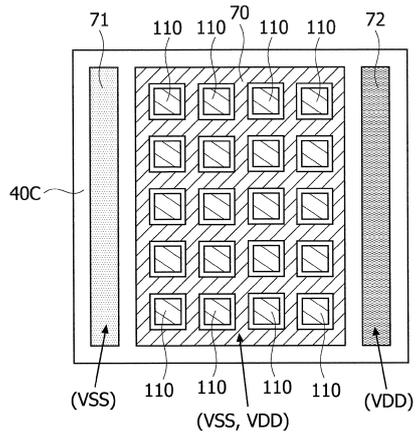
【図13B】



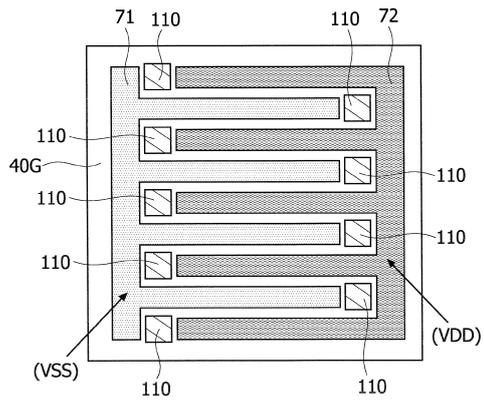
【図14B】



【 15 A 】



【 15 B 】



---

フロントページの続き

審査官 平林 雅行

- (56)参考文献 特開2014-225678(JP,A)  
特開2008-186854(JP,A)  
国際公開第2013/080426(WO,A1)  
特開2013-115109(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82 - 21/822  
H01L 25/00 - 25/07  
H01L 25/10 - 25/11  
H01L 25/16 - 25/18  
H01L 27/04