

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-246622

(P2009-246622A)

(43) 公開日 平成21年10月22日(2009.10.22)

(51) Int.Cl.

H03K 19/0175 (2006.01)

F I

H03K 19/00 101Q

テーマコード (参考)

5J056

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2008-89663 (P2008-89663)
 (22) 出願日 平成20年3月31日 (2008.3.31)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号

(74) 代理人 100108187
 弁理士 横山 淳一

(72) 発明者 大谷 哲也
 福岡県福岡市早良区百道浜2丁目2番1号
 富士通九州ネットワークテクノロジーズ株式会社内

(72) 発明者 速水 数徳
 福岡県福岡市早良区百道浜2丁目2番1号
 富士通九州ネットワークテクノロジーズ株式会社内

最終頁に続く

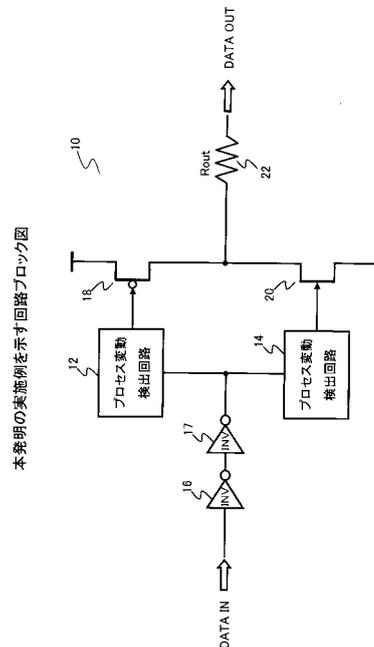
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置内の終端抵抗を調整可能に構成し、この半導体装置と接続される伝送回路等とのインピーダンス整合をとる。

【解決手段】 終端抵抗のインピーダンス変動に応じて、変動を打ち消す方向に終端トランジスタのオン抵抗を変化させるために、終端トランジスタのゲート電圧を制御するので、これにより終端抵抗値の変動幅を抑えることができ、本発明に接続される伝送路等の特性インピーダンスとの不整合を少なくすることができ、反射による波形の劣化を抑えることができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板と、

前記基板に形成された第 1、第 2 のトランジスタと、

前記第 1 のトランジスタのドレイン - ソース間電圧を制御する制御回路とを有し、

前記制御回路の出力信号が前記第 2 のトランジスタのゲートに入力され、前記第 2 のトランジスタのドレインが出力端に接続されたことを特徴とする半導体装置。

【請求項 2】

前記制御回路は、基準電圧と前記第 1 のトランジスタの前記ドレイン - ソース間電圧とが入力信号である帰還回路であることを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記第 1 と第 2 のトランジスタの組み合わせを 2 対有し、第 1 の対は、P 型 MOS トランジスタで構成され、第 2 の対は N 型 MOS トランジスタであることを特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 4】

前記半導体装置は、ハイとローの 2 つの値を有する入力信号を受信可能であり、前記入力信号がハイの値の場合に、前記入力信号は前記 2 対の組み合わせの一方の前記第 2 のゲートに入力され、前記入力信号がローの値の場合、前記入力信号は前記 2 対の組み合わせの他方の前記第 2 のゲートに入力されることを特徴とする請求項 1 乃至請求項 3 のいずれかの半導体装置。

20

【請求項 5】

基板と、

前記基板に形成された参照用抵抗を有する抵抗特性変動検出部と、

前記基板に形成された参照用トランジスタを有するトランジスタ特性変動検出部と、

前記基板に形成された終端抵抗と該終端抵抗と直列に接続される終端トランジスタとを有する終端部とを有し、

前記抵抗特性変動検出部は、増幅回路と、該増幅回路に入力され基準電圧を生成する基準電圧発生回路とを有し、前記基準電圧と前記参照用抵抗素子に定電流を流して発生する電圧とが前記増幅回路に各々入力され、該増幅回路の出力信号が前記トランジスタ特性変動検出部に送信され、

30

前記トランジスタ特性変動検出部は、帰還回路を有し、該帰還回路に前記増幅回路の出力信号が入力され、前記帰還回路の出力信号が前記参照用トランジスタのゲートおよび前記終端部の終端トランジスタのゲートに入力されることを特徴とする半導体装置。

【請求項 6】

前記抵抗特性変動検出部は第 1 の抵抗特性変動検出部と第 2 の抵抗特性変動検出部とを有し、前記トランジスタ特性変動検出部は第 1 のトランジスタ特性変動検出部と第 2 のトランジスタ特性変動検出部とを有し、

前記第 1 の抵抗特性変動検出部の前記基準電圧と前記参照用抵抗素子に定電流を流して発生する電圧とは、前記増幅回路の反転入力端子と非反転入力端子とに各々入力され、前記増幅回路の出力は、前記第 1 のトランジスタ特性変動検出部の帰還回路に入力され、

40

前記第 1 のトランジスタ特性変動検出部の前記参照用トランジスタと前記終端トランジスタとは、P 型 MOS トランジスタであり、前記帰還回路の出力は前記 P 型 MOS トランジスタの終端トランジスタのゲートに入力され

前記第 2 の抵抗特性変動検出部の前記基準電圧と前記参照用抵抗素子に定電流を流して発生する電圧とは、前記増幅回路の非反転入力端子と反転入力端子とに各々入力され、前記増幅回路の出力は、前記第 2 のトランジスタ特性変動検出部の帰還回路に入力され、

前記第 2 のトランジスタ特性変動検出部の前記参照用トランジスタと前記終端トランジスタとは、N 型 MOS トランジスタであり、前記帰還回路の出力は前記 N 型 MOS トランジスタの終端トランジスタのゲートに入力されることを特徴とする請求項 5 に記載の半導体装置。

50

【請求項 7】

前記半導体装置は、ハイとローの 2 つの値を有する入力信号を受信可能であり、

前記信号がハイの値またはローの値に応じて、前記入力信号は、

第 1 の抵抗特性変動検出部と第 1 のトランジスタ特性変動検出部と前記 P 型 MOS トランジスタである前記終端トランジスタとの組み合わせで構成される対、

または、第 2 の抵抗特性変動検出部と第 2 のトランジスタ特性変動検出部と前記 N 型 MOS トランジスタである前記終端トランジスタとの組み合わせで構成される対に入力されることを特徴とする請求項 6 に記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、より詳細には、インピーダンス整合回路を有する半導体装置に関する。

【背景技術】

【0002】

近年、電子機器で使用される信号の高周波化が図られ、電子機器の制御や情報処理の能力が高まっている。さらに、電子機器の小型化や高機能化のために、より多くの回路が集積回路で実現されている。

【0003】

20

使用する信号の高周波化や、回路の集積化によって、従来にも増して、信号の反射、ダンピング時間などを減少させるために、インピーダンス整合が重要になってきている。集積回路内にダンピング抵抗を設け外部負荷とのインピーダンス整合を実現するものとして、図 1 に従来例を示す。外付け抵抗 R_{out} は、抵抗の変動が少なく、終端インピーダンスの変動が小さい。また、特許文献 1 に開示された発明では、ダンピング抵抗を可変とするために、複数のいずれかのダンピング抵抗を選択できる様に構成したものである。

【特許文献 1】特開 2006 - 191417 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

30

上記の従来例では、外付け抵抗と、半導体装置内のトランジスタのオン抵抗とで、終端抵抗を構成するが、このトランジスタのオン抵抗の変動に基づく終端インピーダンスの不整合に関しては、考慮されていない。また特許文献 1 に記載の発明は、選択的にダンピング抵抗を使用できるものの、その抵抗の製造バラツキや使用環境に基づく抵抗値の変動に対応できるものではなかった。本発明は、半導体装置内の回路を製造する際にインピーダンス整合用の終端インピーダンス（終端抵抗）を同時に製造し、かつ、この終端インピーダンスを含む半導体装置の環境変化に応じて変化する抵抗値の変化に適応して、インピーダンス整合を図ることが可能な終端インピーダンス制御回路を有した半導体装置を提供することを課題とする。

【課題を解決するための手段】

40

【0005】

本発明は終端抵抗と同時に形成される半導体素子の特性は、ドレイン - ソース間電圧の所定電圧領域では、このドレイン - ソース間電圧とドレイン電流の関係が線形であり、この所定の電圧領域では、トランジスタのオン抵抗が一定であること、このオン抵抗はゲート電圧によって変わることに着目し、なされたものである。

【0006】

本発明の実施例の 1 側面によれば、基板と、前記基板に形成された第 1、第 2 のトランジスタと、前記第 1 のトランジスタのドレイン - ソース間電圧を制御する制御回路とを有し、前記制御回路の出力信号が前記第 2 のトランジスタのゲートに輸入され、前記第 2 のトランジスタのドレインが出力端に接続されたことを特徴とする半導体装置が提供される

50

。

なお、前記制御回路は、基準電圧と前記第1のトランジスタの前記ドレイン・ソース間電圧とが入力信号である帰還回路であっても良く、さらに、前記第1と第2のトランジスタの組み合わせを2対有し、第1の対は、P型MOSトランジスタで構成され、第1の対はN型MOSトランジスタで構成しても良い。また、前記半導体装置は、ハイとローの2つの値を有する入力信号を受信可能であり、前記入力信号がハイの値の場合に、前記入力信号は前記2対の組み合わせの一方の前記第2のゲートに入力され、前記入力信号がローの値の場合に、前記入力信号は前記2対の組み合わせの他方の前記第2のゲートに入力されるように構成しても良い。

【0007】

本発明の実施例の他の側面によれば、基板と、前記基板に形成された参照用抵抗を有する抵抗特性変動検出部と、前記基板に形成された参照用トランジスタを有するトランジスタ特性変動検出部と、前記基板に形成された終端抵抗と該終端抵抗と直列に接続される終端トランジスタとを有する終端部とを有し、前記抵抗特性変動検出部は、増幅回路と、該増幅回路に入力され基準電圧を生成する基準電圧発生回路とを有し、前記基準電圧と前記参照用抵抗素子に定電流を流して発生する電圧とが前記増幅回路に各々入力され、該増幅回路の出力信号が前記トランジスタ特性変動検出部に送信され、前記トランジスタ特性変動検出部は、帰還回路を有し、該帰還回路に前記増幅回路の出力信号が入力され、前記帰還回路の出力信号が前記参照用トランジスタのゲートおよび前記終端部の終端トランジスタのゲートに入力される構成を有する半導体装置が提供される。

10

20

【0008】

なお、前記半導体装置は、さらに前記抵抗特性変動検出部は第1の抵抗特性変動検出部と第2の抵抗特性変動検出部とを有し、前記トランジスタ特性変動検出部は第1のトランジスタ特性変動検出部と第2のトランジスタ特性変動検出部とを有し、前記第1の抵抗特性変動検出部の前記基準電圧と前記参照用抵抗素子に定電流を流して発生する電圧とは、

前記増幅回路の反転入力端子と非反転入力端子とに各々入力され、前記増幅回路の出力は、前記第1のトランジスタ特性変動検出部の帰還回路に入力され、前記第1のトランジスタ特性変動検出部の前記参照用トランジスタと前記終端トランジスタとは、P型MOSトランジスタであり、前記帰還回路の出力は前記P型MOSトランジスタの終端トランジスタのゲートに入力され、前記第2の抵抗特性変動検出部の前記基準電圧と前記参照用抵抗素子に定電流を流して発生する電圧とは、前記増幅回路の非反転入力端子と反転入力端子とに各々入力され、前記増幅回路の出力は、前記第2のトランジスタ特性変動検出部の帰還回路に入力され、前記第2のトランジスタ特性変動検出部の前記参照用トランジスタと前記終端トランジスタとは、N型MOSトランジスタであり、前記帰還回路の出力は前記N型MOSトランジスタの終端トランジスタのゲートに入力される構成を有しても良い。

30

さらに、前記半導体装置は、ハイとローの2つの値を有する入力信号を受信可能であり、前記信号がハイの値またはローの値に応じて、前記入力信号は、第1の抵抗特性変動検出部と第1のトランジスタ特性変動検出部と前記P型MOSトランジスタである前記終端トランジスタとの組み合わせで構成される対、または、第2の抵抗特性変動検出部と第2のトランジスタ特性変動検出部と前記N型MOSトランジスタである前記終端トランジスタとの組み合わせで構成される対に入力される様に構成されても良い。

40

【発明の効果】**【0009】**

終端抵抗のインピーダンス変動に応じて、変動を打ち消す方向に終端トランジスタのオン抵抗を変化させるために、終端トランジスタのゲート電圧を制御するので、これにより終端抵抗値の変動幅を抑えることができ、本発明の半導体装置に接続される伝送路等の特性インピーダンスとの不整合を少なくすることができ、反射による波形の劣化を抑えることができる。

【発明を実施するための最良の形態】

50

【0010】

本発明に先立って、MOSトランジスタの立ち上がり特性の時間特性と、このMOSトランジスタのオン抵抗との関係を説明する。MOSトランジスタは製造時のウェハ、ロットにおいて特性がばらつき、トランジスタの立ち上がり特性の遅いものほど、オン抵抗値は大きく、トランジスタを使用する環境温度が高いほど、オン抵抗値も大きくなる。また同様に、トランジスタと同時に同一基板に形成される抵抗素子の値も公称値の±10%程度はばらつく。したがって、このMOSトランジスタや抵抗素子を使用して、インピーダンス整合を図る場合には、製造時の抵抗素子の値やMOSトランジスタのオン抵抗(ON抵抗とも表記する。)のパラッキおよび、温度変化などによる抵抗値の変化に応じた補正が必要になる。

10

【0011】

図2には、MOSトランジスタのゲートに入力する電圧値を変え、各々の電圧値に対するドレイン-ソース間電圧(V_{ds})と電流(ドレイン電流 I_d)とをグラフにして示したものである。MOSトランジスタの動作領域には、図2に示す様に、線形領域と飽和領域の2種類があり、MOSトランジスタのドレイン-ソース間電圧(V_{ds})、ゲート-ソース間電圧を V_{gs} 、MOSトランジスタのしきい値電圧を V_{th} とした場合に、線形領域では、 $V_{ds} < V_{gs} - V_{th}$ が成立し、飽和領域では、 $V_{ds} > V_{gs} - V_{th}$ が成立している。ここで注目すべきは、一般的に、トランジスタの $V_{ds} - I_d$ 特性は、線形領域で V_{ds} が小さな範囲Aでは、グラフの傾きが一定になっており、この傾きは、ゲート電圧を変化させると変わる点である。このグラフの傾きは、トランジスタのオン抵抗を表し、線形領域の傾きが直線のところでは、オン抵抗が V_{ds} によらず一定になっている。本発明は、このゲート電圧によって、オン抵抗が変わる特性を利用している。

20

【0012】

つぎに、図3を参照して本発明の要部を説明する。図3は半導体装置10の内の本発明の要部を示す模式図である。この半導体装置10には、ハイおよびローの2値の値をとるデータが信号として入力され、本実施例では、2個のインバータ16、17を介してプロセス変動検出回路12、14に入力される。このプロセス変動検出回路12、14は、後述するが、信号のハイおよびローの2値の値に応じて、切り換えて使用し、各プロセス変動検出回路12、14の出力信号は、終端抵抗 R_{out22} に直列に接続されたP型MOSトランジスタ18、N型MOSトランジスタ20のゲートに入力される。このプロセス変動検出回路12、14には、P型、N型MOSトランジスタ18、20のオン抵抗値および、終端抵抗 R_{out22} の変動に対応した変動を検出するための参照用のMOSトランジスタおよび参照用の抵抗素子が設けられている。この参照用のMOSトランジスタのオン抵抗値および参照用の抵抗素子の抵抗値の変動に応じて、P型MOSトランジスタ18、N型MOSトランジスタ20のゲート電圧に入力する信号が、各プロセス変動検出回路12、14によって各々生成され、各ゲートに入力され、MOSトランジスタ18または20のオン抵抗と終端抵抗 R_{out22} との抵抗値の和が一定となる様にP型、N型MOSトランジスタ18、20のオン抵抗値が制御される。

30

【0013】

次に、図4を参照して、本発明の1実施例を説明する。半導体装置100には、プロセス変動検出回路110とスイッチ部150と終端部140とが構成され、プロセス変動検出回路110はさらに抵抗特性変動検出部120とトランジスタ特性変動検出部130とが含まれている。

40

【0014】

この半導体装置100には、データとして、ハイ(high)とロー(low)の2値の信号(例えば1にハイ信号が、0にロー信号が対応する。)が入力される。

【0015】

抵抗特性変動検出部120、トランジスタ特性変動検出部130、終端部140の各々は、この入力される2値信号のハイ、ロー信号に応じて、P型MOSトランジスタまたは、N型MOSトランジスタを使用した各検出部と終端部が設けられている。図4では、入

50

力されるデータがロー信号の場合、このロー信号はアナログスイッチ151を介してN - ch側の回路に入力され、N型MOSトランジスタ260のオン抵抗が制御される。ハイ信号の場合、このハイ信号はアナログスイッチ152を介してP - ch側の回路に入力され、P型MOSトランジスタ262のオン抵抗が制御される。

【0016】

このN - ch側およびP - ch側の動作は、基本的に同様に構成されており、以下においては、N - ch側の説明を主に行う。また、P - ch側、N - ch側の対応する機能の各構成部品等には同じ符号を付し、特に区別する場合には、別符号を付す。また、回路素子について周知の表示記号を使用し、周知の機能を果たすものについては、符号を付さず説明を省略したのものがある。

10

【0017】

抵抗特性変動検出部120の目的は、抵抗値のばらつき、および温度変化による抵抗値の変動をモニタするための参照用抵抗素子202とそれに定電流を流すための定電流源204、基準電圧 V_{ref2} を生成するための、分圧用抵抗206、207と増幅回路220より構成される。

【0018】

参照用抵抗素子202に定電流源204から定電流を流し、電圧を降下(電圧ドロップ)させる。この参照抵抗素子202の両端間の電圧をドロップ電圧と称する。この参照用抵抗素子202の抵抗値が大きい場合のドロップ電圧を V_{r+} 、小さい場合のドロップ電圧を V_{r-} とする。増幅回路220の出力電圧は、ドロップ電圧が V_{r+} の場合は V_{o1+} とし、 V_{r-} の場合は V_{o1-} とすると、増幅回路220への入力電圧が大きいほうが出力電圧は小さくなるので、 $V_{o1+} < V_{o1-}$ となり、参照抵抗素子202の抵抗値が大きいほうが増幅回路220の出力電圧は小さくなる。(なお、増幅回路220の非反転入力端子に v_{ref2} が入力され、反転入力端子に抵抗素子を介してドロップ電圧が入力される反転増幅回路が構成されている。)

20

次に、N - ch側のトランジスタ特性変動検出部130の動作を説明する。トランジスタ特性変動検出部130は、トランジスタのオン抵抗のばらつきや変動をモニタするための参照用トランジスタ250と、それに定電流を流すための定電流源252と帰還回路254で構成され、参照用トランジスタ250のドレイン電圧が、増幅回路220の出力電圧と同じ電圧になるようにゲート電圧を制御する帰還回路が構成されている。参照用トランジスタ250のオン抵抗を R_{on} 、この参照用トランジスタ250に流れる電流を I とすると、参照用トランジスタ250のドレイン電圧 V_{ds} はオームの法則より、 $V_{ds} = I \times R_{on}$ が成立する。電流 I は一定であるので、したがって、ドレイン電圧を高くするためには R_{on} を大きくしなければならないので、ゲート電圧は低くなる。

30

【0019】

逆にドレイン電圧を低くするためには R_{on} を小さくしなければならないので、ゲート電圧は高くなる。上記した $V_{o1+} < V_{o1-}$ の関係により、 V_{o1+} より V_{o1-} のほうが、電圧が高いので、参照用トランジスタ250のオン抵抗を、入力電圧が V_{o1+} の場合には R_{on+} 、 V_{o1-} の場合には、 R_{on-} とすれば、 $R_{on+} < R_{on-}$ となる。

40

【0020】

よって、参照用抵抗素子202の抵抗値の変動と逆方向に参照用トランジスタ250のオン抵抗を制御することができる。

【0021】

また、参照用抵抗素子202の抵抗値が一定で、増幅回路220の出力電圧が一定のときに、N - ch側のトランジスタのプロセス変動を考えると、ドレイン電圧が一定でP型、N型MOSトランジスタの両方の立ち上がり特性が遅い場合と、両方の立ち上がり特性が遅い場合とでは、両方のトランジスタの立ち上がり特性が遅い場合の方が、オン抵抗が大きいので、オン抵抗を小さくするために、ゲート電圧は高くなる。よって、帰還回路254の出力電圧はP型、N型MOSトランジスタの両方の立ち上がり特性が遅い場合の方

50

が、P型、N型MOSトランジスタの両方の立ち上がり特性が早い場合の帰還回路254の出力電圧より高くなる。

【0022】

この帰還回路254の出力電圧をN-ch側の終端部140のN型MOSトランジスタ260のゲートに接続することで、このN型MOSトランジスタ260のオン抵抗を終端抵抗280の抵抗値が大きくなった場合には小さく、小さくなった場合には大きくすることができる。また、トランジスタの立ち上がり特性が、P型、N型MOSトランジスタとも遅い場合にはN型MOSトランジスタ260のオン抵抗を小さく、早い場合にはオン抵抗を大きくすることが可能になり、終端インピーダンスを制御することができる。

【0023】

上記した説明の要部をより詳しく説明すると、図4で、トランジスタ特性変動検出部130のN-ch側の参照用トランジスタ250のオン抵抗を R_{on1} 、並列に接続した個数を m とするとトランジスタ1個当たりのオン抵抗は、 $R_{on1} \times m$ となる。

【0024】

また、終端部140のN-ch側のN型MOSトランジスタ260のオン抵抗を R_{on2} 、並列に接続した個数を n とするとトランジスタ1個当たりのオン抵抗は、 $R_{on2} \times n$ となる。

【0025】

これらの参照用N型MOSトランジスタ250、N型MOSトランジスタ260のサイズがほぼ、同じでどちらも線形領域にバイアスされているとすると、トランジスタ250、260の1個当たりのオン抵抗は、ほぼ等しいので、 $R_{on1} \times m = R_{on2} \times n$ 、 $R_{on2} = R_{on1} \times m / n$ となる。

【0026】

よって、参照用トランジスタ250のオン抵抗を制御できれば、N型MOSトランジスタ260のオン抵抗も制御できるので、終端抵抗素子280の抵抗変動と逆方向に参照用トランジスタ250のオン抵抗を制御することで、終端インピーダンスを制御することができる。

【0027】

また、P-ch側のトランジスタの制御方法は、プロセス変動検出回路110の(反転)増幅回路が正転増幅回路になり、抵抗値が大きいほうが正転増幅回路の出力電圧が大きくなり、P型MOSトランジスタで構成される参照用トランジスタ255の V_{ds} は低くなるので、オン抵抗を下げるためにゲート電圧は高くなり、参照用抵抗素子222の抵抗値の変動方向と逆方向に、参照用トランジスタ255のオン抵抗を制御することができる。

【0028】

また、P-ch側のトランジスタ特性変動検出部130動作については、N-ch側のトランジスタ特性変動検出部130の動作と基本的に同様である。

【0029】

また、スイッチ部150の詳細は説明を省略しているが、N-ch側またはP-ch側のいずれの終端インピーダンスを制御するかは、半導体装置100に入力される信号に基づき、アナログスイッチ151を動作させることによって行う。

【0030】

本発明の他の実施例を、図5を参照して説明する。図中、図4に示すものと同様の素子には同じ符号を付してある。この図5に示す実施例は、半導体装置100内には、インピーダンス整合用の終端抵抗素子を設けない場合であり、この場合は、抵抗特性の変動を検出する必要はないので、図4に示す実施例から抵抗特性変動検出部120を削除した構成になっている。

【0031】

終端部140のN型MOSトランジスタ260、およびP型MOSトランジスタ262のオン抵抗が所望の抵抗値になるように V_{ds} を求め、その電圧をトランジスタ特性変動

10

20

30

40

50

検出部 130 の帰還回路 254 の - 側入力にリファレンス電圧として与える。そうすることで、参照用トランジスタ 250 および 255 のオン抵抗値が一定になるので、終端部 140 の N 型 MOS トランジスタ 260、および P 型 MOS トランジスタ 262 のオン抵抗も一定に制御できる。

【0032】

本発明の他の実施例を図 6 に示す。この実施例では、終端抵抗が、半導体装置 100 の外部にある場合に相当し、この場合も抵抗特性の変動を検出することは必要ないので、図 5 に示す回路構成と同様に、終端部 140 のトランジスタ 260 のオン抵抗を一定に制御できる。

【産業上の利用可能性】

10

【0033】

終端抵抗のインピーダンス変動に応じて、変動を打ち消す方向に終端トランジスタのオン抵抗を変化させるために、終端トランジスタのゲート電圧を制御するので、これにより終端抵抗値の変動幅を抑えることができ、本発明に接続される伝送路等の特性インピーダンスとの不整合を少なくすることができ、反射による波形の劣化を抑えることができる。

【図面の簡単な説明】

【0034】

【図 1】従来例を示す図。

【図 2】トランジスタの $V_{ds} - I_d$ 特性を示す図

【図 3】本発明の実施例を示す回路ブロック図

20

【図 4】本発明の実施例を示す回路ブロック図

【図 5】本発明の実施例を示す回路ブロック図

【図 6】本発明の実施例を示す回路ブロック図

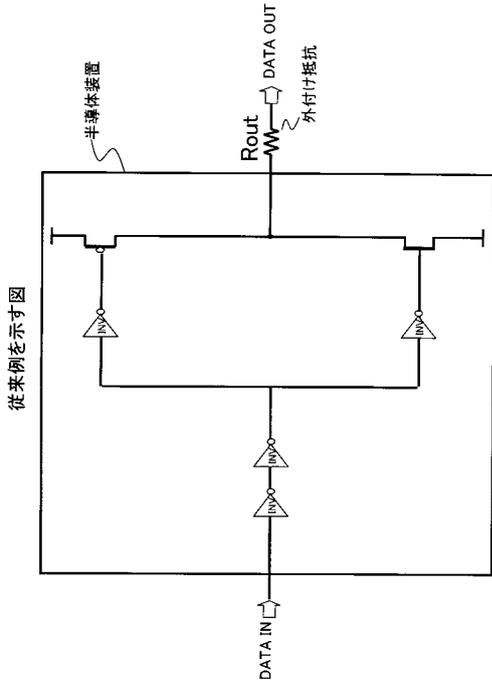
【符号の説明】

【0035】

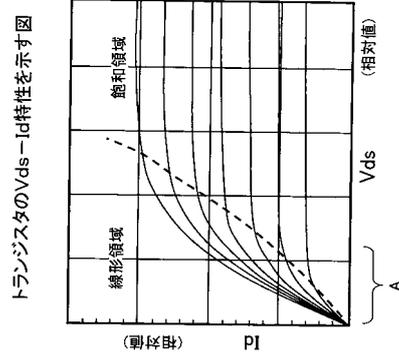
100	半導体装置
120	抵抗特性変動検出部
130	トランジスタ特性変動検出部
140	終端部
150	スイッチ部
151、152	アナログスイッチ
202、222	参照用抵抗素子
250、255	参照用トランジスタ
260	N 型 MOS トランジスタ
262	P 型 MOS トランジスタ

30

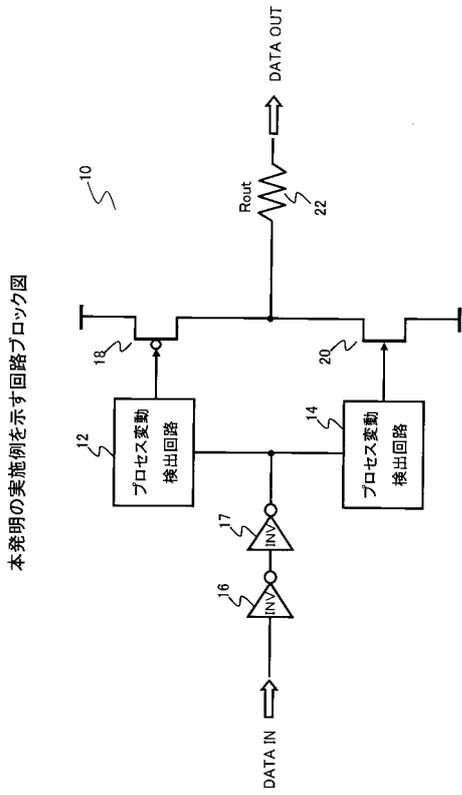
【 図 1 】



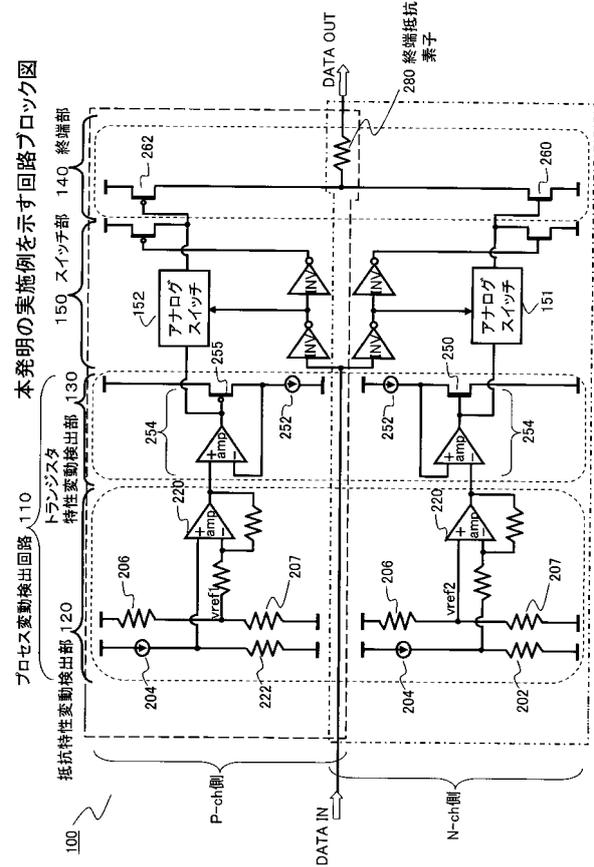
【 図 2 】



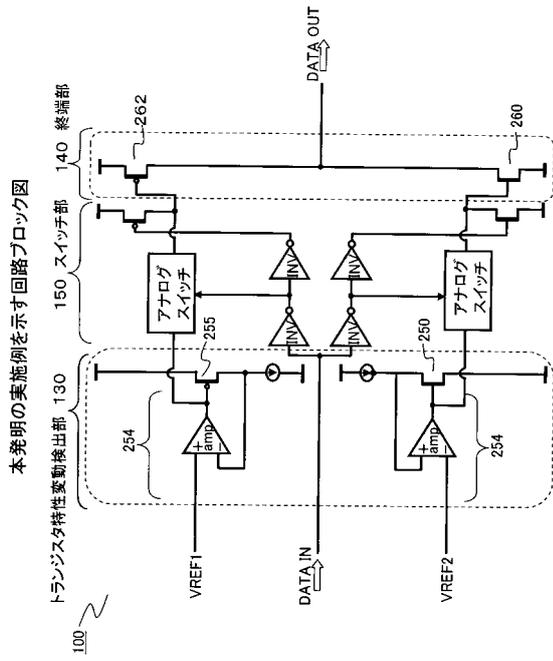
【 図 3 】



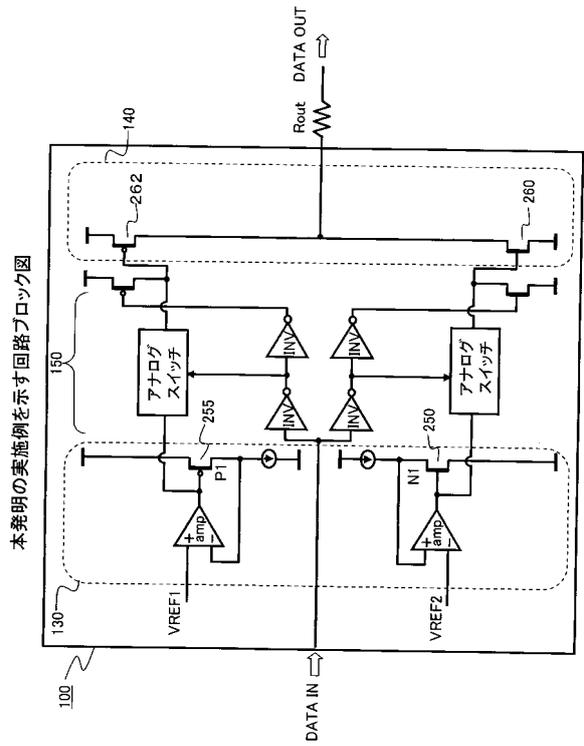
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

Fターム(参考) 5J056 AA40 BB27 BB38 CC01 CC10 DD13 DD28 DD59 EE07 FF08
KK03