



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월16일  
(11) 등록번호 10-2603255  
(24) 등록일자 2023년11월13일

(51) 국제특허분류(Int. Cl.)  
H01L 23/495 (2006.01) H01L 33/38 (2010.01)  
H01L 33/62 (2010.01)  
(52) CPC특허분류  
H01L 23/495 (2013.01)  
H01L 33/38 (2013.01)  
(21) 출원번호 10-2019-0064376  
(22) 출원일자 2019년05월31일  
심사청구일자 2022년05월09일  
(65) 공개번호 10-2020-0137657  
(43) 공개일자 2020년12월09일  
(56) 선행기술조사문헌  
KR1020170016630 A\*  
JP2009043934 A\*  
KR1020140022640 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드  
중국 쑤저우 타이창 시티 168 창성 노스 로드  
(72) 발명자  
성연준  
서울특별시 중구 후암로 98(남대문로5가)  
(74) 대리인  
특허법인다나

전체 청구항 수 : 총 7 항

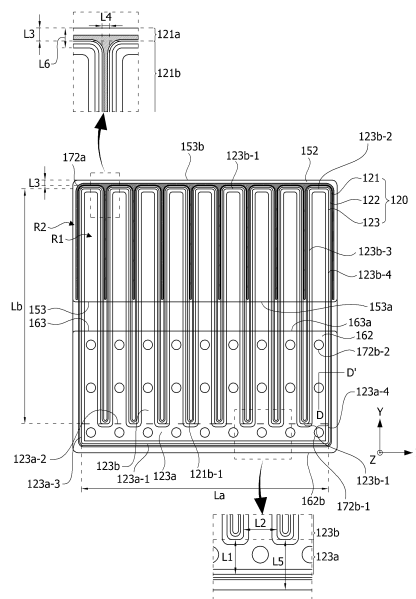
심사관 : 정구원

(54) 발명의 명칭 반도체 소자

(57) 요약

실시예는 기관; 상기 기관 상에 배치되는 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하는 리세스를 포함하는 반도체 구조물; 상기 제1 도전형 반도체층 상에 배치되는 제1 전극; 상기 제2 (뒷면에 계속)

대표도 - 도5



도전형 반도체층 상에 배치된 제2 전극; 상기 제1 전극 상에 배치된 제1 패드; 상기 제2 전극 상에 서로 이격 배치된 복수 개의 제2 패드; 및 상기 제1 전극 및 상기 제2 전극 상에 배치되는 절연층;을 포함하고, 제2 도전형 반도체층은, 제1 방향으로 연장되는 본체부; 및 상기 본체부에서 상기 제1 방향에 수직한 제2 방향으로 연장되는 가지부;를 포함하고, 상기 절연층은 상기 가지부 상에 배치되는 제1 홀을 포함하고, 상기 제2 패드는 상기 제1 홀을 통해 상기 제2 전극과 전기적으로 연결되고, 상기 본체부의 상기 제2 방향으로 길이는 상기 가지부의 제1 방향으로 길이보다 큰 반도체 소자를 개시한다.

(52) CPC특허분류

*H01L 33/62* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

기관;

상기 기관 상에 배치되는 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하는 리세스를 포함하는 반도체 구조물;

상기 제1 도전형 반도체층 상에 배치되는 제1 전극;

상기 제2 도전형 반도체층 상에 배치된 제2 전극;

상기 제1 전극 상에 배치된 제1 패드;

상기 제2 전극 상에 서로 이격 배치된 복수 개의 제2 패드; 및

상기 제1 전극 및 상기 제2 전극 상에 배치되는 절연층;을 포함하고,

제2 도전형 반도체층은,

제1 방향으로 연장되는 제1 본체부; 및

상기 제1 본체부에서 상기 제1 방향에 수직한 제2 방향으로 연장되는 제1 가지부;를 포함하고,

상기 절연층은 상기 제1 가지부 상에 배치되는 제2 홀을 포함하고,

상기 제2 패드는 상기 제2 홀을 통해 상기 제2 전극과 전기적으로 연결되고,

상기 제1 본체부의 상기 제2 방향으로 길이는 상기 제1 가지부의 제1 방향으로 길이보다 크고,

노출된 제1 도전형 반도체층은 상기 제1 방향으로 연장되는 제2 본체부, 및 상기 제2 방향으로 연장되는 제2 가지부를 포함하고,

상기 제2 본체부의 상기 제2 방향으로 길이가 상기 제1 본체부의 상기 제2 방향으로 길이보다 작고,

상기 제2 가지부의 상기 제1 방향으로 길이는 상기 제1 가지부의 상기 제1 방향으로 길이보다 작은 반도체 소자.

**청구항 2**

제1항에 있어서,

상기 제1 방향은 제1-1 방향; 및 상기 제1-1 방향에 반대 방향인 제1-2 방향을 포함하고,

상기 제1 가지부는 상기 제1-1 방향으로 연장되는 제1 서브 가지 또는 상기 제1-2 방향으로 연장되는 제2 서브 가지;를 더 포함하는 반도체 소자.

**청구항 3**

제2항에 있어서,

상기 제1 가지부는 복수 개이고,

상기 제1 서브 가지는 복수 개의 제1 가지부에서 제2 방향으로 나란히 배치되는 반도체 소자.

**청구항 4**

제2항에 있어서,

상기 제1 가지부는 복수 개이고,

상기 제2 서브 가지는 복수 개의 제1 가지부에서 제2 방향으로 나란히 배치되는 반도체 소자.

**청구항 5**

제2항에 있어서,

상기 제1 서브 가지 및 상기 제2 서브 가지는 상기 제2 방향으로 교차 배치되는 반도체 소자.

**청구항 6**

제5항에 있어서,

상기 제2 홀은 상기 제1 서브 가지 상에 배치되는 제2-1 홀; 및 상기 제2 서브 가지 상에 배치되는 제2-2 홀을 포함하고,

상기 제2-1 홀은 상기 제2-2 홀과 상기 제2 방향으로 중첩되지 않는 반도체 소자.

**청구항 7**

제1항에 있어서,

상기 제2 홀은 상기 제1 방향으로의 길이가 상기 제2 방향으로의 길이보다 보다 작은 반도체 소자.

**발명의 설명**

**기술 분야**

[0001] 실시예는 반도체 소자에 관한 것이다.

**배경 기술**

[0002] GaN, AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.

[0004] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.

[0005] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등 및 Gas나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.

[0006] 특히, 자외선 파장 영역의 광을 방출하는 발광소자는 경화작용이나 살균 작용을 하여 경화용, 의료용, 및 살균용으로 사용될 수 있다.

[0007] 최근 자외선 발광소자에 대한 연구가 활발하나, 아직까지 자외선 발광소자는 플립칩으로 구현하기 어려운 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0008] 실시예는 플립칩 타입의 반도체 소자를 제공한다.
- [0009] 또한, 오믹 접촉 면적이 증가하여 전기적 특성이 개선된 반도체 소자를 제공한다.
- [0010] 또한, 전극 길이의 증가로 광출력이 개선된 반도체 소자를 제공한다.
- [0011] 실시예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

**과제의 해결 수단**

- [0012] 실시예에 따른 반도체 소자는 기관; 상기 기관 상에 배치되는 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하는 리세스를 포함하는 반도체 구조물; 상기 제1 도전형 반도체층 상에 배치되는 제1 전극; 상기 제2 도전형 반도체층 상에 배치된 제2 전극; 상기 제1 전극 상에 배치된 제1 패드; 상기 제2 전극 상에 서로 이격 배치된 복수 개의 제2 패드; 및 상기 제1 전극 및 상기 제2 전극 상에 배치되는 절연층;을 포함하고, 제2 도전형 반도체층은, 제1 방향으로 연장되는 본체부; 및 상기 본체부에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 가지부;를 포함하고, 상기 절연층은 상기 가지부 상에 배치되는 제1 홀을 포함하고, 상기 제2 패드는 상기 제1 홀을 통해 상기 제2 전극과 전기적으로 연결되고, 상기 본체부의 상기 제2 방향으로 길이는 상기 가지부의 제1 방향으로 길이보다 클 수 있다.
- [0013] 상기 제1 방향은 제1-1 방향; 및 상기 제1-1 방향에 반대 방향인 제1-2 방향을 포함하고, 상기 가지부는 상기 제1-1 방향으로 연장되는 제1 서브 가지 또는 상기 제1-2 방향으로 연장되는 제2 서브 가지;를 더 포함할 수 있다.
- [0014] 상기 가지부는 복수 개이고, 상기 제1 서브 가지는 복수 개의 가지부에서 제2 방향으로 나란히 배치될 수 있다.
- [0015] 상기 가지부는 복수 개이고, 상기 제2 서브 가지는 복수 개의 가지부에서 제2 방향으로 나란히 배치될 수 있다.
- [0016] 상기 제1 서브 가지 및 상기 제2 서브 가지는 상기 제2 방향으로 교차 배치될 수 있다.
- [0017] 상기 제1 홀은 상기 제1 서브 가지 상에 배치되는 제1-1 홀; 및 상기 제2 서브 가지 상에 배치되는 제1-2 홀을 포함하고, 상기 제1-1 홀은 상기 제1-2 홀과 상기 제2 방향으로 중첩되지 않을 수 있다.
- [0018] 상기 제1 홀은 상기 제1 방향으로의 길이가 상기 제2 방향으로의 길이보다 보다 작을 수 있다.

**발명의 효과**

- [0019] 실시예에 따르면, 반도체 소자를 플립칩 형태로 구현할 수 있다.
- [0020] 또한, 전류 스프레딩 등 전기적 특성이 우수한 반도체 소자를 제작할 수 있다.
- [0021] 또한, 광출력이 개선된 반도체 소자를 제작할 수 있다.
- [0022] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0023] 도 1은 일 실시예에 따른 반도체 소자의 평면도이고,
- 도 2는 도 1에서 AA'로 절단된 단면도이고,
- 도 3은 도 1에서 BB'로 절단된 단면도이고,
- 도 4는 도 1에서 CC'로 절단된 단면도이고,
- 도 5는 일 실시예에 따른 반도체 소자에서 반도체 구조물까지 도시한 평면도이고,
- 도 6은 도 5에서 DD'로 절단된 단면도이고,

도 7은 다른 실시예에 따른 반도체 소자의 평면도이고,  
 도 8은 또 다른 실시예에 따른 반도체 소자의 평면도이고,  
 도 9는 도 8에서 K부분의 확대도이다.  
 도 10a 및 도 10b는 식각에 의해 반도체 구조물까지 도시한 평면도 및 단면도이고,  
 도 11a 및 도 11b는 반도체 구조물 상에 제1 절연층을 형성한 평면도 및 단면도이고,  
 도 12a 및 도 12b는 제1 오믹전극을 형성한 평면도 및 단면도이고,  
 도 13a 및 도 13b는 제2 오믹전극을 형성한 평면도 및 단면도이고,  
 도 14a 및 도 14b는 제1 전극, 제2 전극 및 제2 절연층을 형성한 평면도 및 단면도이고,  
 도 15a 및 도 15b는 제1 패드 및 제2 패드를 형성한 평면도 및 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- [0025] 다만, 본 발명의 기술 사상은 설명되는 일부 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실시예들간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.
- [0026] 또한, 본 발명의 실시예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다.
- [0027] 또한, 본 발명의 실시예에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.
- [0028] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, "A 및(와) B, C 중 적어도 하나(또는 한 개 이상)"로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나 이상을 포함할 수 있다.
- [0029] 또한, 본 발명의 실시예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다.
- [0030] 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다.
- [0031] 그리고, 어떤 구성 요소가 다른 구성요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결, 결합 또는 접속되는 경우뿐만 아니라, 그 구성 요소와 그 다른 구성 요소 사이에 있는 또 다른 구성 요소로 인해 '연결', '결합' 또는 '접속' 되는 경우도 포함할 수 있다.
- [0032] 또한, 각 구성 요소의 "상(위) 또는 하(아래)"에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되는 경우뿐만 아니라 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다. 또한, "상(위) 또는 하(아래)"으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0033] 도 1은 실시예에 따른 반도체 소자의 평면도이고, 도 2는 도 1에서 AA'로 절단된 단면도이고, 도 3은 도 1에서 BB'로 절단된 단면도이고, 도 4는 도 1에서 CC'로 절단된 단면도이다.
- [0034] 도 1 내지 도 4를 참조하면, 본 발명의 일 실시예에 따른 반도체 소자는, 기판(110), 기판(110) 상에 배치되는 반도체 구조물(120), 반도체 구조물(120) 상에 배치되는 제1 절연층(171), 제1 도전형 반도체층(121) 상에 배치되는 제1 오믹전극(151), 제2 도전형 반도체층(123) 상에 배치되는 제2 오믹전극(161), 제1 오믹전극(151) 상에 배치되는 제1 전극(152), 제2 오믹전극(161) 상에 배치되는 제2 전극(162), 및 제1 전극(152) 및 제2 전극(162) 상에 배치되는 제2 절연층(172), 제1 전극(152)과 전기적으로 연결되는 제1 패드(153), 제2 전극(162)과 전기적으로 연결되는 제2 패드(163)를 포함할 수 있다.

- [0035] 먼저, 본 발명의 실시예에 따른 반도체 구조물(120)은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 반도체 구조물(120)은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 반도체 구조물(120)의 Al의 조성비에 의해 결정될 수 있다.
- [0036] 예시적으로, 근자외선 파장대의 광(UV-A)은 320nm 내지 420nm 범위의 파장 대역을 중심 파장으로 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위의 파장 대역을 중심 파장으로 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위의 파장 대역을 중심 파장으로 가질 수 있다.
- [0037] 구체적으로, 기관(110)은 사파이어( $Al_2O_3$ ), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 예컨대, 기관(110)은 자외선 파장대의 광이 투과할 수 있는 투광기관일 수 있다.
- [0038] 버퍼층(111)은 기관(110)과 반도체층들 사이의 격자 부정합을 완화할 수 있다. 버퍼층(111)은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 본 실시예는 버퍼층(111)은 AlN일 수 있으나 이에 한정하지 않는다. 버퍼층(111)은 도펀트를 포함할 수도 있으나 이에 한정하지 않는다.
- [0039] 제1 도전형 반도체층(121)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1 도펀트가 도핑될 수 있다. 제1 도전형 반도체층(121)은  $In_{x1}Al_{y1}Ga_{1-x1-y1}N$  ( $0 \leq x1 \leq 1, 0 < y1 \leq 1, 0 \leq x1+y1 \leq 1$ )의 조성식을 갖는 반도체 재료, 예를 들어 AlGaIn, AlN, InAlGaIn 등에서 선택될 수 있다. 그리고, 제1 도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1 도펀트가 n형 도펀트인 경우, 제1 도펀트가 도핑된 제1 도전형 반도체층(121)은 n형 반도체층일 수 있다.
- [0040] 활성층(122)은 제1 도전형 반도체층(121)과 제2 도전형 반도체층(123) 사이에 배치될 수 있다. 활성층(122)은 제1 도전형 반도체층(121)을 통해서 주입되는 전자(또는 정공)와 제2 도전형 반도체층(123)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(122)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 자외선 파장을 가지는 빛을 생성할 수 있다.
- [0041] 활성층(122)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(122)의 구조는 이에 한정하지 않는다.
- [0042] 활성층(122)은 복수 개의 우물층(미도시)과 장벽층(미도시)을 포함할 수 있다. 우물층과 장벽층은  $In_{x2}Al_{y2}Ga_{1-x2-y2}N$  ( $0 \leq x2 \leq 1, 0 < y2 \leq 1, 0 \leq x2+y2 \leq 1$ )의 조성식을 가질 수 있다. 우물층은 발광하는 파장에 따라 알루미늄 조성이 달라질 수 있다.
- [0043] 제2 도전형 반도체층(123)은 활성층(122) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 반도체층(123)에 제2 도펀트가 도핑될 수 있다.
- [0044] 제2 도전형 반도체층(123)은  $In_{x5}Al_{y5}Ga_{1-x5-y5}N$  ( $0 \leq x5 \leq 1, 0 < y5 \leq 1, 0 \leq x5+y5 \leq 1$ )의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다.
- [0045] 제2 도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2 도펀트가 도핑된 제2 도전형 반도체층(123)은 p형 반도체층일 수 있다.
- [0046] 그리고 반도체 구조물(120)은 제2 도전형 반도체층(123) 및 활성층(122)을 관통하는 리세스를 포함할 수 있다. 리세스는 제1 도전형 반도체층(121)의 일부 영역까지 배치될 수 있다.
- [0047] 제1 절연층(171)은 제1 오믹전극(151)과 제2 오믹전극(161) 사이에 배치될 수 있다. 또한, 제1 절연층(171)은 일부가 리세스 내에 배치될 수 있다. 그리고 제1 절연층(171)은 제1 오믹전극(151)이 배치되는 제1 홀(171a) 및 제2 오믹전극(161)이 배치되는 제2 홀(171b)을 포함할 수 있다.
- [0048] 제1 오믹전극(151)은 제1 도전형 반도체층(121) 상에 배치되고, 제2 오믹전극(161)은 제2 도전형 반도체층(123) 상에 배치될 수 있다.
- [0049] 제1 오믹전극(151)과 제2 오믹전극(161)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc

tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다. 예시적으로, 제1 오믹전극(151)은 복수의 금속층(예: Cr/Al/Ni)을 갖고, 제2 오믹전극(161)은 ITO일 수 있다.

- [0050] 제1 전극(152)은 제1 오믹전극(151) 상부에 배치되어 제1 오믹전극(151)을 덮을 수 있다. 즉, 제1 전극(152)은 제1 오믹전극(151)의 측면을 커버할 수 있으나, 이러한 구성에 한정되는 것은 아니다.
- [0051] 또한, 제1 전극(152)은 제1 홀(171a)을 통해 제1 오믹전극(151)과 전기적으로 연결되어 제1 도전형 반도체층(121)과 전기적 채널을 이룰 수 있다. 그리고 제1 전극(152)은 제1 절연층(171)의 상부로 연장될 수 있다. 이에, 제1 전극(152)은 일부 제1 절연층(171) 상에 위치할 수 있다. 이러한 구성에 의하여, 제1 전극(152)의 전체 면적이 증가하므로 실시예에 따른 반도체 소자의 동작 전압이 낮아질 수 있다.
- [0052] 제2 전극(162)은 제2 오믹전극(161)상에 배치되어 제2 오믹전극(161)을 덮을 수 있다. 또한, 제2 전극(162)은 제2 오믹전극(161)의 측면까지 커버할 수 있으나 반드시 이에 한정하지 않는다.
- [0053] 그리고 제2 전극(162)은 제2 홀(171b)을 통해 제2 전극(162)과 전기적으로 연결될 수 있다. 이에, 제2 전극(162)은 제2 오믹전극(161)과 전기적으로 제2 도전형 반도체층(123)과 전기적 채널을 이룰 수 있다. 그리고 예시적으로 제2 전극(162)은 제2 오믹전극(161)의 상부에만 배치될 수도 있다.
- [0054] 제1 전극(152)과 제2 전극(162)은 Ni/Al/Au, 또는 Ni/IrOx/Au, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나 특별히 한정하지 않는다. 다만, 제1 전극(152)과 제2 전극(162)은 외부로 노출되는 최외곽층이 금(Au)을 포함할 수 있다. 금(Au)은 전극의 부식을 방지하며 전기 전도성을 향상시켜 패드와의 전기적 연결을 원활하게 할 수 있다.
- [0055] 제2 절연층(172)은 제1 전극(152), 제2 전극(162), 및 제1 절연층(171) 상에 배치될 수 있다. 제2 절연층(172)은 제1 전극(152)을 노출시키는 제3 홀(172a) 및 제2 전극(162)을 노출시키는 제4 홀(172b)을 포함할 수 있다. 제3 홀(172a) 및 제4 홀(172b)은 서로 이격 배치될 수 있다.
- [0056] 제1 절연층(171)과 제2 절연층(172)은 SiO<sub>2</sub>, SixOy, Si<sub>3</sub>N<sub>4</sub>, SixNy, SiOxNy, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 또한, 제1 절연층(171)과 제2 절연층(172)은 제2 절연층(172)이 형성되는 과정에서 부분적으로 제1 절연층(171)과 제2 절연층(172) 사이의 경계가 제거되어 일체로 존재할 수도 있다.
- [0057] 또한, 제1 패드(153)는 제1 전극(152) 상에 배치되어 제1 전극(152)과 전기적으로 연결될 수 있다. 그리고 제2 패드(163)는 제2 전극(162) 상에 배치되어 제2 전극(162)과 전기적으로 연결될 수 있다. 이 때, 제1 패드(153)와 제2 패드(163)는 유테틱 본딩(eutectic bonding) 될 수 있으나 반드시 이에 한정하지 않는다.
- [0058] 그리고 제1 패드(153)와 제2 패드(163)는 반도체 구조물(120) 상에서 서로 마주보도록 배치될 수 있다. 실시예로, 제1 패드(153)는 제2 패드(163)와 평면 상에서 제2 방향(Y축 방향)으로 이격 배치될 수 있다. 본 명세서에서 제1 방향(X축 방향)은 제2 방향(Y축 방향)에 수직한 방향이고, 제3 방향(Z축 방향)은 제1 방향 및 제2 방향에 모두 수직하며 반도체 구조물(120)에서 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)의 적층 방향과 동일할 수 있다.
- [0059] 또한, 제1 패드(153)는 제2 절연층(172)의 제3 홀(172a)을 통해 제1 전극(152)과 전기적으로 연결되고, 제2 패드(163)는 제2 절연층(172)의 제4 홀(162a)을 통해 제2 전극(162)과 전기적으로 연결될 수 있다. 제3 홀(172a)은 제1 전극(152)의 형상을 따라 형성된 하나의 홀일 수 있고, 제4 홀(162a)은 복수 개일 수 있으며 이러한 홀의 개수는 다양하게 변경될 수 있다.
- [0060] 또한, 제1 패드(153)는 제3 홀(172a) 상부인 일측에 배치되고, 제2 패드(163)는 제4 홀(172b) 상부인 타측에 배치될 수 있다. 또한, 제1 패드(153)와 제2 패드(163)는 반도체 구조물(120) 상에서 이격 배치되어 전기적으로 분리될 수 있다.
- [0061] 도 5는 일 실시예에 따른 반도체 소자에서 반도체 구조물까지 도시한 평면도이고, 도 6은 도 5에서 DD'로 절단된 단면도이다.



- [0062] 도 5 및 도 6을 참조하면, 반도체 구조물(120)은 식각에 의해 돌출된 발광부(M1) 및 식각에 의해 제1 도전형 반도체층(121)이 노출된 비발광부(M2)를 포함할 수 있다. 발광부(M1)는 활성층(122) 및 제2 도전형 반도체층(123)을 포함할 수 있다. 그리고 비발광부(M2)는 제1 도전형 반도체층(121)을 포함할 수 있다.
- [0063] 이때, 발광부(M1)의 최대 둘레(P11)와 발광부의 최대 면적(P12)의 비(P11/P12)는 0.05 [1/um] 이상 0.10 [1/um]이하일 수 있다. 여기서 발광부(M1)의 최대 둘레 및 최대 면적은 제2 도전형 반도체층(또는 활성층)의 최대 둘레 및 면적일 수 있다. 이하에서는 발광부(M1)를 제2 도전형 반도체층을 기준으로 설명하고, 비발광부(M2)를 제1 도전형 반도체층(121)을 기준으로 설명한다.
- [0064] 비(P11/P12)가 0.05 이상인 경우 면적 대비 제2 도전형 반도체층의 둘레가 길어져 광 출력이 향상될 수 있다. 예시적으로, 측면에서 광이 출사될 수 있는 확률이 높아져 광 출력이 향상될 수 있다. 또한, 비(P11/P12)가 0.10 이하인 경우 면적 대비 제2 도전형 반도체층의 둘레가 너무 길어져 오히려 광 출력이 저하되는 문제를 방지할 수 있다.
- [0065] 다시 말해, 동일 면적 내에서 제2 도전형 반도체층의 둘레가 과도하게 길어지는 경우 매우 얇은(제1 방향으로 길이) 제2 도전형 반도체층(123)이 연속 배치될 수 있다 그러나, 이 경우 제2 도전형 반도체층(123) 위에 배치되는 제2 오믹전극 역시 매우 얇아져 저항이 높아질 수 있다. 따라서, 동작 전압이 상승할 수 있다 또한, 동일 면적 내에서 제2 도전형 반도체층(123)의 둘레가 매우 작아지는 경우 외측면의 면적이 감소하여 광출력이 저하될 수 있다.
- [0066] 이에, 제2 도전형 반도체층(123)은 적정 둘레와 면적의 비를 갖기 위해 제1 방향(X축 방향)으로 연장되는 제1 본체부(123a) 및 제1 본체부(123a)에서 제2 방향(Y축 방향)으로 연장되는 제1 가지부(123b)를 포함할 수 있다. 또한, 제1 가지부(123b)는 복수 개로 각각이 제1 방향(X축 방향)으로 이격 배치될 수 있다. 그리고, 복수 개의 제1 가지부(123b)는 일단에서 제1 본체부(123a)와 연결될 수 있다. 다만, 상술한 바와 같이, 발광부(M1)가 제1 본체부 및 제1 가지부를 가지는 것으로도 해석될 수 있다.
- [0067] 보다 구체적으로, 제1 본체부(123a)는 제1 도전형 반도체층(123)의 일 측면에 인접하게 배치될 수 있다. 그리고 제1 본체부(123a)는 제1 방향(X축 방향)으로 연장 배치될 수 있다. 이 때, 제1 본체부(123a)가 연장되는 방향은 제1 방향으로 길이 및 제2 방향으로 길이 중 길이가 큰 방향으로 설명한다. 즉, 실시예에서 제1 본체부(123a)는 제1 방향(X축 방향)으로 길이(La)가 제2 방향(Y축 방향)으로 길이(L1)보다 크므로, 제1 본체부(123a)는 제1 방향으로 연장될 수 있다. 이에 대한 설명은, 이하 가지부에서도 동일하게 적용될 수 있다.
- [0068] 또한, 제1 본체부(123a)은 제1 방향(X축 방향)과 평행하게 배치되는 제1 외측면(123a-1) 및 제2 외측면(123a-2), 그리고 제2 방향(Y축 방향)과 평행하게 배치되는 제3 외측면(123a-3) 및 제4 외측면(123a-4)를 포함할 수 있다. 이 때, 앞서 설명한 바와 같이 제1 외측면(123a-1) 및 제2 외측면(123a-2)는 제1 방향(X축 방향)으로 길이(L1)가 제3 외측면(123a-3) 및 제4 외측면(123a-4)의 제2 방향(Y축 방향)으로 길이(La)보다 클 수 있다. 그리고 제1 외측면(123a-1) 및 제2 외측면(123a-2)는 서로 마주보게 위치하고, 제3 외측면(123a-3) 및 제4 외측면(123a-4)는 서로 마주보게 위치할 수 있다. 그리고 반도체 구조물의 적층 방향인 제3 방향(Z축 방향)으로의 길이를 제외하고 설명한다.
- [0069] 제1 가지부(123b)는 제1 본체부(123a)의 제2 외측면(123a-2) 상에서 제2 방향(Y축 방향)으로 연장 배치될 수 있다. 다시 말해, 제1 가지부(123b)는 앞서 설명한 바와 같이 제2 방향(Y축 방향)으로 길이(Lb)가 제1 방향(X축 방향)으로 길이(L2)보다 클 수 있다. 또한, 각 제1 가지부(123b)는 제1 본체부(123a)의 일 외측면(예컨대, 제2 외측면(123a-2)) 상에서 제1 방향(X축 방향)으로 이격하여 배치될 수 있다. 뿐만 아니라, 제1 가지부(123b)는 제1 본체부(123a)와 일체로 이루어질 수 있으며 제1 본체부(123a)와 접하는 부분에서 경계면이 존재하지 않을 수 있다.
- [0070] 또한, 제1 가지부(123b)는 제1 본체부(123a)와 접하는 제5 외측면(123b-1), 제5 외측면(123b-1)과 마주보게 위치하고 제1 방향(X축 방향)과 평행한 제6 외측면(123b-2)를 포함할 수 있다. 그리고 제1 가지부(123b)는 제5 외측면(123b-1)과 제6 외측면(123b-2) 사이에 배치되는 제7 외측면(123b-3)과 제8 외측면(123b-4)를 포함할 수 있다.
- [0071] 제5 외측면(123b-1)은 제2 외측면(123a-2)의 일부와 접하기에 제1 방향(X축 방향)과 평행하게 배치될 수 있으며, 제7 외측면(123b-3)과 제8 외측면(123b-4)는 서로 마주보고 일부가 제2 방향(Y축 방향)과 평행하게 배치될 수 있다.

- [0072] 또한, 후술하는 바와 같이 본 발명의 다른 실시예에서 제7 외측면(123b-3) 및 제8 외측면(123b-4)는 제1 방향(X축 방향)으로 연장되는 서브 가지를 더 포함할 수 있다. 다만, 본 명세서의 다양한 실시예에서 제7 외측면(123b-3) 및 제8 외측면(123b-4)의 제2 방향(Y축 방향)으로 길이(Lb)가 제5 외측면(123b-1) 및 제6 외측면(123b-2)의 제1 방향(X축 방향)으로 길이(L2)보다 크게 유지될 수 있다. 이 때, 제1 본체부(123a)의 제2 방향(Y축 방향)으로 길이(L1)는 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이(L2)보다 클 수 있다. 이에 따라, 제2 도전형 반도체층(123)의 둘레 증가로 복수 개의 제1 가지부(123b) 및 제1 본체부(123a)가 얇아지더라도 제1 본체부(123a)가 제1 본체부(123a)에 연결된 복수 개의 제1 가지부(123b)를 용이하게 지지할 수 있다. 이에 따라, 실시예에 따른 반도체 구조물의 신뢰성이 개선될 수 있다.
- [0073] 뿐만 아니라, 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이(L2)는 제1 본체부(123a)의 제2 방향(Y축 방향)으로 길이(L1)와 길이 비가 1:1.1 내지 1:2.6일 수 있다.
- [0074] 상기 길이 비가 1:1.1이상인 경우 제1 본체부가 제1 가지부를 용이하게 지지하고, 제2 도전형 반도체층의 제1 본체부 상의 제2 오믹전극 및 제2 전극도 지지대 역할을 수행하여 신뢰성이 개선될 수 있다. 그리고 상기 길이 비가 1:2.6이하인 경우에 제2 도전형 반도체층의 둘레를 향상시켜 광 출력을 향상시킬 수 있다.
- [0075] 또한, 노출된 제1 도전형 반도체층(121)은 상술한 바와 같이 제2 도전형 반도체층(123)을 평면(XY) 상으로 둘러싸는 형상을 가질 수 있다.
- [0076] 구체적으로, 노출된 제1 도전형 반도체층(121)은 제1 방향(X축 방향)으로 연장되는 제2 본체부(121a) 및 제2 방향(Y축 방향)으로 연장되는 제2 가지부(121b)를 포함할 수 있다. 제2 본체부(121a)는 복수 개로 제2 방향(Y축 방향)으로 양측에 위치할 수 있다. 즉, 제2 본체부(121a)는 평면(XY) 상으로 제1 본체부(123a)와 제1 가지부(123b)를 감싸도록 위치할 수 있다.
- [0077] 그리고 제2 가지부(121b)는 제1 가지부(123b) 사이에 위치할 수 있다. 또는, 복수 개의 제1 가지부(123b) 각각은 복수 개의 제2 가지부(121b) 사이에 위치할 수 있다. 이러한 구성에 의하여, 노출된 제1 도전형 반도체층(121) 상에 배치되는 제1 전극을 통해 주입된 전류가 균일하게 분산될 수 있다.
- [0078] 제2 본체부(121a)는 제2 방향(Y축 방향)으로 길이(L3)가 제1 본체부(123a)의 제2 방향(Y축 방향)으로 길이(L1)보다 작을 수 있다. 제2 본체부(121a)의 제2 방향으로 길이와 제1 본체부(123a)의 제2 방향으로 길이의 길이 비(L3:L1)는 1:3 내지 1:5일 수 있다. 길이 비가 1:3이상인 경우 제2 전극의 면적이 커져 정공 주입 효율이 개선될 수 있으며, 폭의 비가 1:5 이하인 경우 제2 본체부(121a)의 면적이 확보되어 전자 주입 효율이 개선될 수 있다.
- [0079] 또한, 제2 가지부(121b)는 이웃한 제1 가지부(123b) 사이에 배치되고, 제2 가지부(121b)의 제1 방향으로 길이(L4)는 제1 가지부(123b)의 제1 방향으로 길이(L2)보다 작을 수 있다. 제2 가지부(121b)의 제1 방향으로 길이(L4)와 제1 가지부(123b)의 제1 방향으로 길이(L2)의 길이 비는 1:2 내지 1:4일 수 있다. 길이 비가 1:2 이상인 경우 제2 전극의 면적이 증가하여 정공 주입 효율이 개선될 수 있다. 그리고 길이 비가 1:4이하인 경우 제1 전극의 면적을 확보할 수 있어 전자 주입 효율이 개선될 수 있다.
- [0080] 또한, 제2 도전형 반도체층(123)의 면적은 노출된 제1 도전형 반도체층(121)의 면적보다 클 수 있다. 제2 도전형 반도체층(123)의 면적(R1)은 노출된 제1 도전형 반도체층의 면적(R2)과 면적 비가 1:0.5 내지 1:0.8일 수 있다. 면적비가 1:0.5 이상인 경우 제1 전극의 면적이 확보되어 전자 주입 효율이 개선될 수 있으며, 제1 전극의 제2 전극을 둘러싸도록 배치될 수 있다. 따라서, 전류 분산 효율도 개선될 수 있다. 그리고 면적비가 1:0.8이하인 경우 제2 전극의 면적이 확보되어 정공 주입 효율이 개선될 수 있으며, 광 출력이 향상될 수 있다.
- [0081] 그리고 제1 본체부(123a)는 제2 패드(163)와 제3 방향(Z축 방향)으로 중첩되도록 위치할 수 있다. 즉, 제1 본체부(123a)는 제2 패드(163) 하부에 위치할 수 있다.
- [0082] 또한, 제1 가지부(123b)는 일부 영역이 제1 패드(153) 및 제2 패드(163) 각각의 하부에 위치할 수 있다. 다시 말해, 제1 가지부(123b)는 끝단(123b-1)이 제1 패드 하부에 위치할 수 있다. 이와 달리, 제2 가지부(121b)는 끝단(121b-1)이 제2 패드(163)의 하부에 위치할 수 있다.
- [0083] 그리고 제1 패드(153)는 제1 방향으로 평행한 제1 측면(153b) 및 제2 측면(153a)을 포함하고, 제2 패드(163)는 제1 방향과 평행하고 제2 측면(153a)에 가까운 제3 측면(163a), 및 제3 측면(163a)과 평행한 제4 측면(163b)을 포함할 수 있다.
- [0084] 이때, 제2 가지부(121b)의 끝단(121b-1)에서 제2 패드(163)의 제4 측면(163b)까지 제2 방향의 거리(L5)는 제1

가지부(123b)의 끝단(123b-1)에서 제1 패드(153)의 제1 측면(153b)까지 제2 방향의 거리(L6)보다 길 수 있다. 이에 따라, 제1 가지부(123b)와 제1 패드(153)의 중첩 면적은 제2 가지부(121b)와 제2 패드(163)의 중첩 면적보다 클 수 있다.

- [0085] 이에 따라, 제1 가지부(123b)와 제1 패드(153)의 중첩 면적을 면적은 제2 가지부(121b)와 제2 패드(163)의 중첩 면적보다 크게 가져감으로써, 제2 패드(163)와 제2 가지부(121b) 사이에 위치하는 제2 절연층(172)이 제2 패드(163)와 제2 가지부(121b) 사이에서 습기에 약해져 신뢰성이 저하되는 문제를 방지할 수 있다.
- [0086] 또한, 노출된 제1 도전형 반도체층(121)은 평면(XY 평면) 상으로 제2 도전형 반도체층(123)을 둘러싸도록 배치될 수 있다. 그리고 노출된 제1 도전형 반도체층(121) 상에 제1 전극이 배치될 수 있다. 제1 전극은 노출된 제1 도전형 반도체층(121)의 형상에 대응되는 형상을 가질 수 있다. 그리고 제1 전극이 노출된 제1 도전형 반도체층(121)의 형상에 대응하고, 제2 전극이 제2 도전형 반도체층(123)의 형상에 대응하기에, 제1 전극은 평면상 제2 전극을 둘러싸는 형태로 배치될 수 있다.
- [0087] 또한, 실시예에 따르면 제4 홀(172b)은 제1 본체부(123a) 및 제1 가지부(123b)와 제3 방향(Z축 방향)으로 중첩되도록 위치할 수 있다.
- [0088] 보다 구체적으로, 실시예에서 제4 홀(172b)은 제1 본체부(123a) 상에 배치되는 본체 홀(172b-1) 및 제1 가지부(123b) 상에 배치되는 가지 홀(172b-2)을 포함할 수 있다. 이 때, 본체 홀(172b-1)은 제1 본체부(123a)와 제3 방향으로 중첩되고, 가지 홀(172b-2)은 제1 가지부(123b)와 제3 방향으로 중첩될 수 있다.
- [0089] 이에 따라, 제4 홀(172b)이 제1 본체부(123a) 및 제1 가지부(123b) 상에 모두 배치함으로써, 제2 도전형 반도체층(123)의 면적 대비 둘레를 상술한 범위로 가져감으로써 신뢰성 및 광출력을 개선할 수 있다.
- [0090] 또한, 이에 추가하여 본체 홀(172b-1)과 가지 홀(172b-2)이 제1 본체부(123a) 및 제1 가지부(123b)를 따라 반도체 구조물(120)의 일측에 전체적으로 위치하여 제2 전극(162)을 통해 제1 본체부(123a) 및 제1 가지부(123b)로 전류 스프레딩이 원활히 일어나게 할 수 있다.
- [0091] 또한, 제2 도전형 반도체층(123)이 예를 들어 AlGaIn으로 이루어진 경우(다만, 이러한 제질에 한정되는 것은 아니다), 제2 오믹전극(161)이 제2 도전형 반도체층(123)에 접촉하면 높은 저항에 의해 열이 다량 발생할 수 있다. 이 때, 발생한 열에 의해 제2 오믹전극(161)의 박리가 발생할 수 있으나, 실시예에 따르면 제1 본체부(123a)의 제2 방향(Y축 방향)으로 길이가 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이보다 크게 가져감으로써 상술한 열을 고르게 분포함으로써 박리 현상을 방지하며 신뢰성을 개선할 수 있다. 나아가, 제4 홀(172b)이 반도체 구조물(120) 상부에서 제1 본체부(123a)에 보다 인접하게 배치될 수 있다. 다시 말해, 제4 홀(172b)은 제2 도전형 반도체층(123) 상에서 제1 가지부(123b)와 제1 본체부(123a)가 접하는 일측에 집중하여 배치될 수 있다. 그리고 제4 홀(172b)이 다수 배치된 영역에 상술한 열이 더욱 크게 발생하여 전극의 박리 현상이 일어날 수 있으나, 실시예와 같이 제1 본체부(123a)의 제2 방향(Y축 방향)으로 길이가 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이보다 크므로 열 분포도를 더욱 고르게 가져가 상기 박리 현상 억제력을 더욱 효과적으로 제공할 수 있다.
- [0092] 또한, 추가적으로 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이가 제1 본체부(123a)에서 멀어질수록 커질 수 있다. 다시 말해, 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이가 제2 방향(Y축 방향)을 향해 점차 증가할 수 있다. 이러한 구성에 의하여, 제2 가지부(121b)는 제2 본체부(121a)로부터 멀어질수록 제1 방향(X축 방향)으로 폭이 감소할 수 있다. 이러한 구성에 의하여, 제2 도전형 반도체층(123)으로의 정공 주입이 제1 가지부(123b)에서 제1 본체부(123a)와 접하는 일측뿐만 아니라 반대편의 타측에서도 원활하게 일어날 수 있다.
- [0093] 뿐만 아니라, 복수 개의 가지 홀(172b-2)은 제1 가지부(123b) 상에 위치할 수 있다. 특히, 복수 개의 가지 홀(172b-2)은 하나의 제1 가지부(123b) 상에서 제2 방향으로 중첩되도록 위치할 수 있다. 이러한 구성에 의하여, 가지 홀(172b-2)을 통해 제1 가지부(123b)로 주입된 전류가 균일하게 스프레딩되어 반도체 소자의 광 출력이 개선될 수 있다.
- [0094] 또한, 복수 개의 가지 홀(172b-2)은 복수 개의 제1 가지부(123b) 및 제1 본체부(123a) 상에서 제1 방향으로 중첩되도록 배치될 수 있다. 즉, 복수 개의 가지 홀(172b-2)은 복수 개의 제1 가지부(123b) 및 제1 본체부(123a) 상에서 나란히 배치될 수 있다. 이로서, 실시예에 따른 반도체 소자는 가지 홀(172b-2)을 통해 제1 주입된 전류가 가지부(123b) 및 제1 본체부(123a)로 균일하게 스프레딩되어 반도체 소자의 광 출력이 개선될 수 있다.
- [0095] 또한, 복수 개의 본체 홀(172b-1) 중 적어도 하나는 제1 가지부(123b) 상의 가지 홀(172b-2)과 제2 방향으로 중

침될 수 있다. 이에, 실시예에 따른 반도체 소자에서는 각각의 제1 가지부(123b) 상에 위치하는 가지 홀(172b-2)에 대응하여 제1 본체부(123a)에 본체 홀(172b-1)을 배치함으로써 전류 스프레딩을 더욱 개선할 수 있다.

[0096] 또한, 제1 패드(153)의 면적은 제2 패드(163)의 면적보다 클 수 있다. 실시예로, 제1 패드(153)는 제1 방향(X축 방향)으로 길이가 복수 개의 제2 가지부(121b)의 제1 방향(X축 방향)으로 최대 길이보다 클 수 있다. 이에, 제2 가지부(121b) 각각은 제1 패드(153)와 제3 방향으로 적어도 일부 중첩될 수 있다. 그리고 이러한 구성에 의하여, 제1 패드(153)에서 제2 가지부(121b)로의 전자 주입이 용이하게 이루어질 수 있다.

[0097] 그리고 제2 패드(163)는 제1 방향(X축 방향)으로 길이가 복수 개의 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이보다 클 수 있다. 또한, 제2 패드(163)는 제1 방향(X축 방향)으로 길이가 제1 본체부(123a)의 제1 방향(X축 방향)으로 길이보다 클 수 있다. 즉, 제2 가지부(123b) 각각은 제2 패드(163)와 제3 방향(Z축 방향)으로 적어도 일부 중첩될 수 있다. 이로써, 제2 패드(163)에서 제1 가지부(123b)로의 정공 주입이 용이하게 이루어질 수 있다.

[0098] 또한, 제2 패드(163)는 제1 방향(X축 방향)으로 길이가 복수 개의 제2 가지부(121b)의 제1 방향(X축 방향)으로 최대 길이보다 작을 수도 있다. 즉, 제1 방향(X축 방향)으로 최외측에 위치하는 제2 가지부(121b)는 제2 패드(163)와 제3 방향(Z축 방향)으로 중첩되지 않을 수 있다. 이로써, 제2 패드(163)와 제2 가지부(121b)와의 제3 방향(Z축 방향)으로 중첩 영역을 줄여 제2 패드(163)와 제2 가지부(121b) 간의 반대 극성에 따른 신뢰성 저하를 방지할 수 있다.

[0099] 또한, 변형예로 제2 패드(163)는 제2 도전형 반도체층(123)의 형상과 대응되는 형상을 가질 수 있다. 예컨대, 제2 패드(163)는 제2 도전형 반도체층(123)의 제1 본체부(123a) 상에 위치하는 본체 패드(미도시됨) 및 제1 가지부(123b) 상에 위치하는 가지 패드(미도시됨)를 포함할 수 있다. 이에 따라, 제2 패드(163)는 제2 가지부(121b), 제1 오믹전극, 제1 전극과 제3 방향으로 중첩되지 않을 수 있다. 이에, 제2 가지부(121b), 제1 오믹전극 및 제1 전극은 제2 패드(163)로 인한 신뢰성 저하를 용이하게 방지할 수 있다.

[0100] 도 7은 다른 실시예에 따른 반도체 소자의 평면도이다.

[0101] 도 7을 참조하면, 다른 실시예에 따른 반도체 소자는 제4 홀(172b)의 형상이 상술한 일 실시예에 따른 반도체 소자와 상이할 수 있다.

[0102] 구체적으로, 제4 홀(172b)은 제1 방향(X축 방향)으로의 폭(Wa)이 제2 방향(Y축 방향)으로의 폭(Wb)보다 작을 수 있다. 이에, 제4 홀(172b)은 제1 방향(X축 방향)보다 제2 방향(Y축 방향)으로 보다 연장된 형상을 가질 수 있다.

[0103] 이러한 구성에 의하여, 반도체 소자에서 제4 홀(172b)을 통해 제2 도전형 반도체층으로 주입되는 전류가 제2 방향(Y축 방향)으로 효율적으로 퍼질 수 있다. 또한, 복수 개의 제1 가지부(123b)가 제1 방향(X축 방향)으로 평행하게 배치되고 각 제1 가지부(123b)가 제4 홀(172b)을 가짐으로써 제1 방향(X축 방향)으로 전류 스프레딩이 원활히 이루어질 수 있다. 또한, 실시예에 따른 반도체 소자는 전류 스프레딩이 전 영역으로 효율적으로 이루어질 수 있다.

[0104] 또한, 다른 실시예에 따른 반도체 소자는 상술한 실시예에 따른 반도체 소자 대비 동일 면적에서 제1 가지부(123b)의 개수가 더 클 수 있다.

[0105] 다시 말해, 제4 홀(127b)이 제1 방향 대비 제2 방향으로 폭이 길어짐으로써, 이에 대응하여 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이가 감소할 수 있다. 이로써, 다른 실시예에 따른 반도체 소자는 제2 도전형 반도체층의 두께가 증가하여 광 출력을 개선할 수 있다. 뿐만 아니라, 두께의 증가에 따라 제2 전극이 얇아지더라도 전류 스프레딩을 개선하여 원활한 전류 스프레딩을 유지할 수 있다.

[0106] 또한, 상술한 바와 같이 또한, 실시예에 따르면 제4 홀(172b)은 제1 본체부(123a) 및 제1 가지부(123b)와 제3 방향(Z축 방향)으로 중첩되도록 위치할 수 있다.

[0107] 또한, 제4 홀(172b)은 제1 본체부(123a) 상에 배치되는 본체 홀(172b-1) 및 제1 가지부(123b) 상에 배치되는 가지 홀(172b-2)을 포함할 수 있다.

[0108] 뿐만 아니라, 복수 개의 가지 홀(172b-2)은 제1 가지부(123b) 상에 위치할 수 있다. 특히, 복수 개의 가지 홀(172b-2)은 하나의 제1 가지부(123b) 상에서 제2 방향으로 중첩되도록 배치될 수 있다. 이러한 구성에 의하여, 가지 홀(172b-2)을 통해 제1 가지부(123b)로 주입된 전류가 반도체 구조물에서 균일하게 스프레딩되어 반도체

소자의 광 출력이 개선될 수 있다.

- [0109] 또한, 복수 개의 가지 홀(172b-2)은 복수 개의 제1 가지부(123b) 및 제1 본체부(123a) 상에서 제1 방향으로 중첩되도록 배치될 수 있다. 즉, 복수 개의 가지 홀(172b-2)은 복수 개의 제1 가지부(123b) 및 제1 본체부(123a) 상에서 나란히 배치될 수 있다. 이로서, 실시예에 따른 반도체 소자는 가지 홀(172b-2)을 통해 제1 가지부(123b) 및 제1 본체부(123a)로 주입된 전류가 균일하게 스프레딩되어 반도체 소자의 광 출력이 개선될 수 있다.
- [0110] 또한, 복수 개의 본체 홀(172b-1) 중 적어도 하나는 제1 가지부(123b) 상의 가지 홀(172b-2)과 제2 방향으로 중첩될 수 있다. 이에, 실시예에 따른 반도체 소자에서는 각각의 제1 가지부(123b) 상에 위치하는 가지 홀(172b-2)에 대응하여 제1 본체부(123a)에 본체 홀(172b-1)을 배치함으로써 전류 스프레딩을 더욱 개선할 수 있다.
- [0111] 그리고 다른 실시예에 따른 반도체 소자는 상술한 제4 홀(172b)의 형상과 제1 가지부(123b) 이외의 구성(기판, 기판 상에 배치되는 반도체 구조물, 반도체 구조물 상에 배치되는 제1 절연층, 제1 도전형 반도체층 상에 배치되는 제1 오믹전극, 제2 도전형 반도체층 상에 배치되는 제2 오믹전극, 제1 오믹전극 상에 배치되는 제1 전극, 제2 오믹전극 상에 배치되는 제2 전극, 및 제1 전극 및 제2 전극 상에 배치되는 제2 절연층, 제1 전극과 전기적으로 연결되는 제1 패드, 제2 전극과 전기적으로 연결되는 제2 패드)을 더 포함할 수 있다. 또한, 상술한 제4 홀(172b)의 형상과 제1 가지부(123b) 이외의 구성은 상기 기재한 내용이 동일하게 적용될 수 있다.
- [0112] 도 8은 또 다른 실시예에 따른 반도체 소자의 평면도이고, 도 9는 도 8에서 K부분의 확대도이다.
- [0113] 도 8 및 도 9를 참조하면, 또 다른 실시예에 따른 반도체 소자는 제1 가지부가 복수 개의 서브 가지를 더 포함할 수 있다.
- [0114] 구체적으로, 또 다른 실시예에 따른 반도체 소자에서 제2 도전형 반도체층(123) 상술한 바와 마찬가지로 제1 본체부(123a) 및 제1 가지부(123b)를 포함할 수 있다. 또한, 제1 본체부(123a)는 제1 방향으로 연장될 수 있고, 제1 가지부(123b)는 제2 방향으로 연장될 수 있다.
- [0115] 앞서 설명한 바와 마찬가지로, 제1 본체부(123a)는 제1 도전형 반도체층(123)의 일 측면에 인접하게 배치될 수 있다. 그리고 제1 본체부(123a)는 제1 방향(X축 방향)으로 연장 배치될 수 있다. 즉, 실시예에서 제1 본체부(123a)는 제1 방향(X축 방향)으로 길이가 제2 방향(Y축 방향)으로 길이보다 클 수 있다.
- [0116] 또한, 제1 가지부(123b)는 제1 본체부(123a)의 제2 외측면 상에서 제2 방향(Y축 방향)으로 연장 배치될 수 있다. 다시 말해, 제1 가지부(123b)는 제2 방향(Y축 방향)으로 길이가 제1 방향(X축 방향)으로 길이보다 클 수 있다. 또한, 각 제1 가지부(123b)는 제1 본체부(123a)의 일 외측면(예컨대, 제2 외측면) 상에서 제1 방향(X축 방향)으로 이격하여 배치될 수 있다.
- [0117] 구체적으로, 제1 가지부(123b)는 제1 본체부(123a)와 접하는 제5 외측면, 제5 외측면과 마주보게 위치하고 제1 방향(X축 방향)과 평행한 제6 외측면을 포함할 수 있다. 그리고 제1 가지부(123b)는 제5 외측면과 제6 외측면 사이에 배치되는 제7 외측면과 제8 외측면을 포함할 수 있다. 이에 대한 설명은 상술한 내용이 동일하게 적용될 수 있다. 그리고 제5 외측면은 제2 외측면의 일부와 접하기에 제1 방향(X축 방향)과 평행하게 배치될 수 있으며, 제7 외측면과 제8 외측면은 서로 마주보고 일부가 제2 방향(Y축 방향)과 평행하게 배치될 수 있다.
- [0118] 이 때, 제1 가지부(123b)는 제2 방향으로 연장되는 제1 본체 가지(123ba)에 제1-1 방향(X1축 방향)으로 연장되는 제1 서브 가지(123bb) 및 제1-2 방향(X2축 방향)으로 연장되는 제2 서브 가지(123bc)를 더 포함할 수 있다. 여기서, 제1 방향(X축 방향)은 제1-1 방향(X1 축 방향) 및 제1-2 방향(X2축 방향)을 포함하고, 제1-1 방향(X1축 방향)은 제1-2 방향(X2축 방향)에 반대 방향이다. 그리고 제2 방향(Y축 방향)은 제2-1 방향(Y1축 방향) 및 제2-2 방향(Y2축 방향)을 포함하고, 제2-1 방향(Y1축 방향)은 제2-2 방향(Y2축 방향)에 반대 방향이다.
- [0119] 또한, 제1 가지부(123b)가 제1 본체 가지(123ba), 제1 서브 가지(123bb) 및 제2 서브 가지(123bc)를 더 포함하더라도, 제1 가지부(123b)의 제1 방향(X축 방향)으로 길이는 제2 방향(Y축 방향)으로 길이보다 작을 수 있다.
- [0120] 그리고 제1 서브 가지(123bb)는 일단이 제1 본체 가지(123ba)와 연결될 수 있다. 또한, 제1 서브 가지(123bb)는 복수 개일 수 있다. 즉, 하나의 제1 본체 가지(123a)는 복수 개의 제1 서브 가지(123bb)와 연결될 수 있다. 그리고 복수 개의 제1 서브 가지(123bb)는 제2 방향으로 이격 배치되어 제2 방향으로 중첩될 수 있다.
- [0121] 또한, 제1 서브 가지(123bb)는 복수 개의 제1 본체 가지(123ba) 각각에 연결될 수 있다. 이러한 복수 개의 제1 서브 가지(123bb)는 복수 개의 제1 가지부(123b)에서 제2 방향으로 나란히 배치될 수 있다. 즉, 복수 개의 제1 서브 가지(123bb)는 복수 개의 제1 가지부(123b)에서 제2 방향으로 중첩하게 배치될 수 있다.

- [0122] 그리고 제1 서브 가지(123bb) 상에 제4 홀(172b)이 배치될 수 있다. 이에 따라, 복수 개의 제4 홀(172b)은 하나의 제1 가지부(123b)에서 제2 방향으로 나란히 배치될 수 있다. 즉, 복수 개의 제4 홀(172b)은 하나의 제1 가지부(123b)에서 제2 방향으로 중첩하게 배치될 수 있다.
- [0123] 반면, 복수 개의 제4 홀(172b)은 복수 개의 제1 가지부(123b)(제1 서브 가지)에서 제1 방향으로 나란히 배치될 수 있다. 즉, 복수 개의 제4 홀(172b)은 복수 개의 제1 가지부(123b)에서 제1 방향으로 중첩하게 배치될 수 있다. 이러한 구성에 의하여, 제2 도전형 반도체층의 두께가 커져 광 출력을 상승할 수 있으며, 제4 홀(172b)을 통해 원활한 전류 스프레딩도 제공할 수 있다.
- [0124] 마찬가지로, 제2 서브 가지(123bc)는 일단이 제1 본체 가지(123ba)와 연결될 수 있다. 또한, 제2 서브 가지(123bc)는 복수 개일 수 있다. 즉, 하나의 제1 본체 가지(123a)는 복수 개의 제2 서브 가지(123bc)와 연결될 수 있다. 그리고 복수 개의 제2 서브 가지(123bc)는 제2 방향으로 이격 배치되어 제2 방향으로 중첩될 수 있다.
- [0125] 또한, 제2 서브 가지(123bc)는 복수 개의 제1 본체 가지(123ba) 각각에 연결될 수 있다. 이러한 복수 개의 제2 서브 가지(123bc)는 복수 개의 제1 가지부(123b)에서 제2 방향으로 나란히 배치될 수 있다. 즉, 복수 개의 제2 서브 가지(123bc)는 복수 개의 제1 가지부(123b)에서 제2 방향으로 중첩하게 배치될 수 있다.
- [0126] 그리고 제2 서브 가지(123bc) 상에 제4 홀(172b)이 배치될 수 있다. 이에 따라, 복수 개의 제4 홀(172b)은 하나의 제1 가지부(123b)에서 제2 방향으로 나란히 배치될 수 있다. 즉, 복수 개의 제4 홀(172b)은 하나의 제1 가지부(123b)에서 제2 방향으로 중첩하게 배치될 수 있다.
- [0127] 반면, 복수 개의 제4 홀(172b)은 복수 개의 제1 가지부(123b)(제1 서브 가지)에서 제1 방향으로 나란히 배치될 수 있다. 즉, 복수 개의 제4 홀(172b)은 복수 개의 제1 가지부(123b)에서 제1 방향으로 중첩하게 배치될 수 있다. 이러한 구성에 의하여, 제2 도전형 반도체층의 두께가 커져 광 출력을 상승할 수 있으며, 제4 홀(172b)을 통해 원활한 전류 스프레딩도 제공할 수 있다.
- [0128] 이 때, 제4 홀(172b)은 제1 서브 가지(123bb) 상에 배치되는 제4-1 홀(172ba) 및 제4-2 홀(172bb)을 포함할 수 있다. 이 때, 제4-1 홀(172ba) 및 제4-2 홀(172bb)은 이격 배치되며, 제1 방향 및 제2 방향으로 중첩되도록 배치되지 않을 수 있다.
- [0129] 이러한 구성에 의하여, 제2 도전형 반도체층의 두께를 증가하면서 제1 오믹전극 또는 제1 전극의 넓이를 증가할 수 있다. 이에 따라, 광 출력을 증가하면서 동작 전압을 낮춰 전기적 특성을 개선할 수 있다.
- [0130] 뿐만 아니라, 제2 서브 가지(123bc)와 제1 서브 가지(123bb)는 동일한 제1 본체 가지(123ba)와 연결될 수 있다. 이 때, 제1 서브 가지(123bb)와 제2 서브 가지(123bc)는 제2 방향으로 서로 이격 배치될 수 있다. 예컨대, 제1 서브 가지(123bb)와 제2 서브 가지(123bc)는 제2 방향으로 교차 배치될 수 있다.
- [0131] 다시 말해, 또 다른 실시예에 따른 반도체 소자에서 제1 가지부(123b)는 제1 서브 가지(123bb) 및 제2 서브 가지(123bc) 중 적어도 하나를 포함할 수 있다. 예컨대, 제1 가지부(123b)는 제1 서브 가지(123bb)만을 포함할 수도 있고, 제2 서브 가지(123bc)만을 포함할 수도 있다.
- [0132] 또한, 제4-1 홀(172ba)은 제1 중심(Ca)을 가질 수 있으며, 하나의 제1 가지부(123b)에서 제1 중심(Ca)은 제2 방향으로 중첩될 수 있다. 여기서, 제4-1 홀(172ba)의 제1 중심(Ca)은 제4-1 홀(172ba)이 원인 경우 원의 중심일 수 있으며, 제4-1 홀(172ba)이 원이 아닌 형상을 갖는 경우 무게중심일 수 있다.
- [0133] 또한, 제4-2 홀(172bb)은 제2 중심(Cb)을 가질 수 있으며, 하나의 제1 가지부(123b)에서 제2 중심(Cb)은 제2 방향으로 중첩될 수 있다. 여기서, 제4-1 홀(172ba)의 제2 중심(Ca)은 제4-1 홀(172ba)이 원인 경우 원의 중심일 수 있으며, 제4-1 홀(172ba)이 원이 아닌 형상을 갖는 경우 무게중심일 수 있다.
- [0134] 또한, 제1 중심(Ca)과 제2 중심(Cb)은 하나의 제1 가지부(123b)에서 제2 방향으로 중첩되지 않을 수 있다.
- [0135] 다만, 복수 개의 제1 가지부(123b)에서 제1 중심(Ca)은 서로 제1 방향으로 중첩될 수 있다. 예컨대, 제1 방향으로 이격된 복수 개의 제1 중심(Ca)을 서로 연결한 제1 가상선(V1)은 제1 방향에 평행할 수 있다.
- [0136] 또한, 복수 개의 제1 가지부(123b)에서 제2 중심(Cb)은 서로 제1 방향으로 중첩될 수 있다. 예컨대, 제1 방향으로 이격된 복수 개의 제2 중심(Cb)을 서로 연결한 제2 가상선(V2)은 제1 방향에 평행할 수 있다.
- [0137] 그리고 제1 가상선(V1)과 제2 가상선(V2)은 서로 평행하며, 제2 방향으로 이격 배치될 수 있다. 이러한 구성에 의하여, 제4-1 홀(172ba) 및 제4-2 홀(172bb)을 통해 정공 주입이 균일하게 이루어질 수 있다.

- [0138] 또한, 또 다른 실시예에 따른 반도체 소자는 상술한 제4 홀(172b)과 제1 가지부(123b) 이외에 다른 구성(기관, 기관 상에 배치되는 반도체 구조물, 반도체 구조물 상에 배치되는 제1 절연층, 제1 도전형 반도체층 상에 배치되는 제1 오믹전극, 제2 도전형 반도체층 상에 배치되는 제2 오믹전극, 제1 오믹전극 상에 배치되는 제1 전극, 제2 오믹전극 상에 배치되는 제2 전극, 및 제1 전극 및 제2 전극 상에 배치되는 제2 절연층, 제1 전극과 전기적으로 연결되는 제1 패드, 제2 전극과 전기적으로 연결되는 제2 패드)을 더 포함할 수 있다. 또한, 상술한 제4 홀(172b)의 형상과 제1 가지부(123b) 이외의 구성은 상기 기재한 내용이 동일하게 적용될 수 있다.
- [0139] 도 10a 및 도 10b는 식각에 의해 반도체 구조물까지 도시한 평면도 및 단면도이다.
- [0140] 도 10a 및 도 10b를 참조하면, 기관(110)상에 버퍼층(111)과 제1 도전형 반도체층(121), 활성층(122), 및 제2 도전형 반도체층(123)을 포함하는 반도체 구조물(120)을 배치할 수 있다.
- [0141] 실시 예에 따르면, 상술한 바와 같이 반도체 구조물(120)은 식각에 의해 제1 도전형 반도체층(121)이 노출된 비발광부(M2) 및 비발광부(M2)보다 돌출된 발광부(M1)를 포함할 수 있다. 발광부(M1)는 활성층(122) 및 제2 도전형 반도체층(123)을 포함할 수 있다.
- [0142] 발광부(M1)의 제2 도전형 반도체층(123)은 적정 둘레와 면적의 비를 갖기 위해 제1 방향(X축 방향)으로 연장된 제1 본체부와 제2 방향(Y축 방향)으로 연장된 복수 개의 제1 가지부를 포함할 수 있다.
- [0143] 도 11a 및 도 11b는 반도체 구조물 상에 제1 절연층을 형성한 평면도 및 단면도이다.
- [0144] 도 11a 및 도 11b를 참조하면, 반도체 구조물(120) 상에 제1 절연층(171)을 형성하고 제1 홀(171a)과 제2 홀(171b)을 형성할 수 있다. 제1 절연층(171)은 SiO<sub>2</sub>, SixOy, Si<sub>3</sub>N<sub>4</sub>, SixNy, SiOxNy, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0145] 도 12a 및 도 12b는 제1 오믹전극을 형성한 평면도 및 단면도이고, 도 13a 및 도 13b는 제2 오믹전극을 형성한 평면도 및 단면도이다.
- [0146] 도 12a 및 도 12b를 참조하면, 노출된 제1 도전형 반도체층(121)상에 제1 오믹전극(151)을 형성할 수 있다. 제1 오믹전극(151)의 두께는 제1 절연층(171)의 두께보다 두꺼울 수 있다. 이후 도 13a 및 도 13b와 같이, 제2 도전형 반도체층(123) 상에 제2 오믹전극(161)을 형성할 수 있다.
- [0147] 제1 오믹전극(151)과 제2 오믹전극(161)을 형성하는 방법은 일반 오믹전극을 형성하는 방법이 그대로 적용될 수 있다. 제1 오믹전극(151)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다. 예시적으로, 제1 오믹전극(151)은 복수의 금속층(예: Cr/Al/Ni)을 포함하고 제2 오믹전극(161)은 ITO를 포함할 수 있으나 반드시 이에 한정하지 않는다.
- [0148] 도 14a 및 도 14b는 제1 전극, 제2 전극 및 제2 절연층을 형성한 평면도 및 단면도이다.
- [0149] 도 14a 및 도 14b를 참조하면, 제1 오믹전극(151) 상에 제1 전극(152)이 배치될 수 있다. 제1 전극(152)은 제1 오믹전극(151)상에 배치될 수 있다.
- [0150] 제2 전극(162)은 제2 오믹전극(161)상에 배치될 수 있다. 제1 전극(152)은 제2 오믹전극(161)의 측면까지 커버할 수 있다.
- [0151] 제1 전극(152)과 제2 전극(162)은 Ni/Al/Au, 또는 Ni/IrOx/Au, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나 특별히 한정하지 않는다. 다만, 제1 전극(152)과 제2 전극(162)은 외부로 노출되는 최외곽층이 Au를 포함할 수 있다.
- [0152] 또한, 제2 절연층(172)은 제1 전극(152) 제2 전극(162) 및 제1 절연층(171) 상에 배치될 수 있다. 제2 절연층(172)은 제1 전극(152)을 노출시키는 제3 홀(172a) 및 제2 전극(162)을 노출시키는 제4 홀(162a)을 포함할 수 있다.
- [0153] 도 15a 및 도 15b는 제1 패드 및 제2 패드를 형성한 평면도 및 단면도이다.
- [0154] 도 15a 및 도 15b를 참조하면, 제1 패드(153)는 제3 홀(172a)을 통해 제1 전극(152)과 전기적으로 연결될 수 있

다. 또한, 제2 패드(163)는 제4 홀(162a)을 통해 제2 전극(162)과 전기적으로 연결될 수 있다.

- [0155] 반도체 소자는 다양한 종류의 광원 장치에 적용될 수 있다. 예시적으로 광원장치는 살균 장치, 경화 장치, 조명 장치, 및 표시 장치 및 차량용 램프 등을 포함하는 개념일 수 있다. 즉, 반도체 소자는 케이스에 배치되어 광을 제공하는 다양한 전자 디바이스에 적용될 수 있다.
- [0156] 살균 장치는 실시 예에 따른 반도체 소자를 구비하여 원하는 영역을 살균할 수 있다. 살균 장치는 정수기, 에어컨, 냉장고 등의 생활 가전에 적용될 수 있으나 반드시 이에 한정하지 않는다. 즉, 살균 장치는 살균이 필요한 다양한 제품(예: 의료 기기)에 모두 적용될 수 있다.
- [0157] 예시적으로 정수기는 순환하는 물을 살균하기 위해 실시 예에 따른 살균 장치를 구비할 수 있다. 살균 장치는 물이 순환하는 노즐 또는 토출구에 배치되어 자외선을 조사할 수 있다. 이때, 살균 장치는 방수 구조를 포함할 수 있다.
- [0158] 경화 장치는 실시 예에 따른 반도체 소자를 구비하여 다양한 종류의 액체를 경화시킬 수 있다. 액체는 자외선이 조사되면 경화되는 다양한 물질을 모두 포함하는 최광의 개념일 수 있다. 예시적으로 경화장치는 다양한 종류의 레진을 경화시킬 수 있다. 또는 경화장치는 매니큐어와 같은 미용 제품을 경화시키는 데 적용될 수도 있다.
- [0159] 조명 장치는 기관과 실시 예의 반도체 소자를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열부 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 또한, 조명 장치는, 램프, 헤드 램프, 또는 가로등 등을 포함할 수 있다.
- [0160] 표시 장치는 바텀 커버, 반사판, 발광 모듈, 도광판, 광학 시트, 디스플레이 패널, 화상 신호 출력 회로 및 컬러 필터를 포함할 수 있다. 바텀 커버, 반사판, 발광 모듈, 도광판 및 광학 시트는 백라이트 유닛(Backlight Unit)을 구성할 수 있다.
- [0161] 반사판은 바텀 커버 상에 배치되고, 발광 모듈은 광을 방출할 수 있다. 도광판은 반사판의 전방에 배치되어 발광 모듈에서 발산되는 빛을 전방으로 안내하고, 광학 시트는 프리즘 시트 등을 포함하여 이루어져 도광판의 전방에 배치될 수 있다. 디스플레이 패널은 광학 시트 전방에 배치되고, 화상 신호 출력 회로는 디스플레이 패널에 화상 신호를 공급하며, 컬러 필터는 디스플레이 패널의 전방에 배치될 수 있다.
- [0162] 반도체 소자는 표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있다.
- [0163] 반도체 소자는 상술한 발광 다이오드 외에 레이저 다이오드일 수도 있다.
- [0164] 레이저 다이오드는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.
- [0165] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광 출력전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [0166] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.
- [0167] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때



전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.

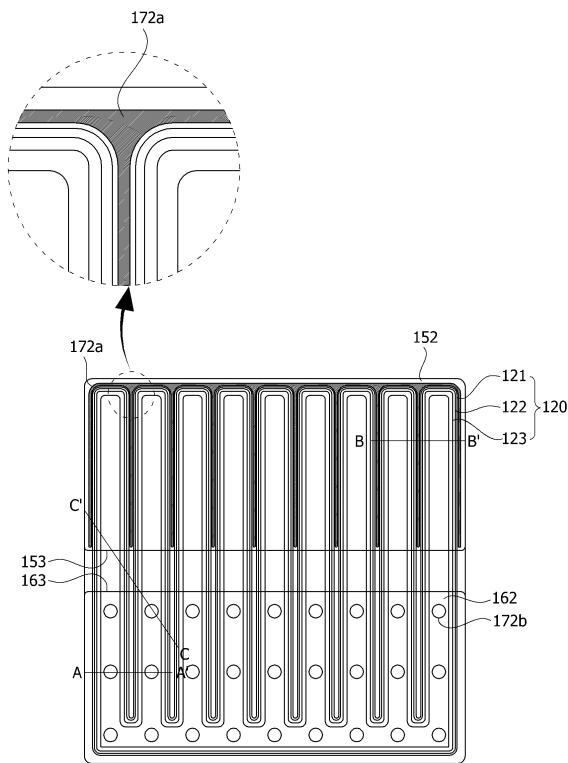
[0168] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.

[0169] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.

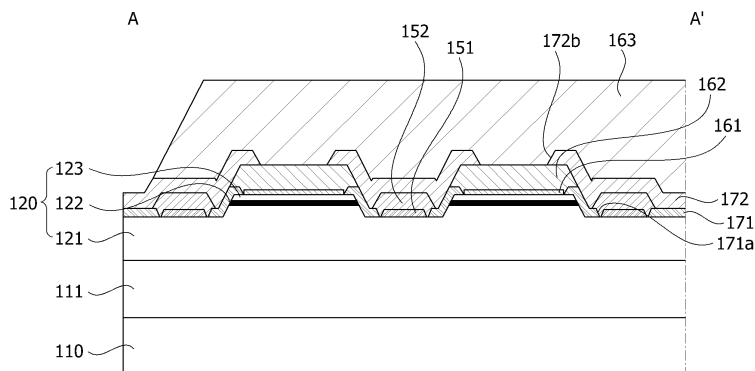
[0170] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다.

**도면**

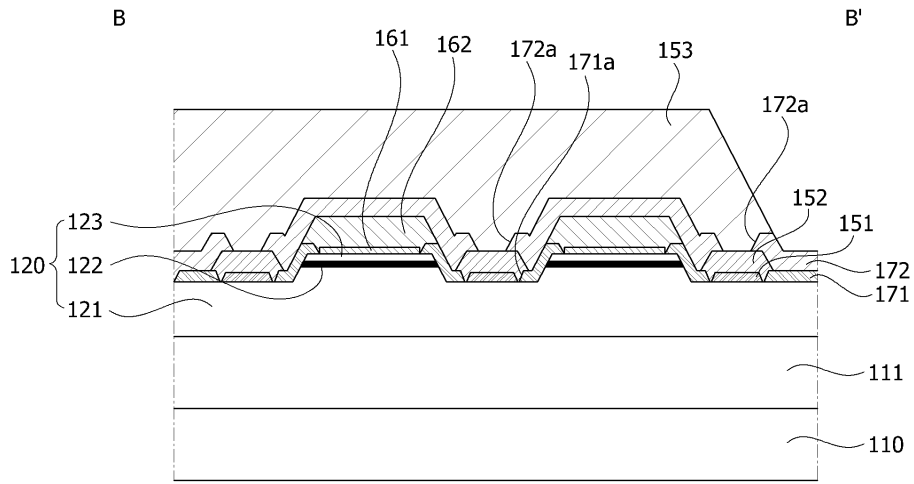
**도면1**



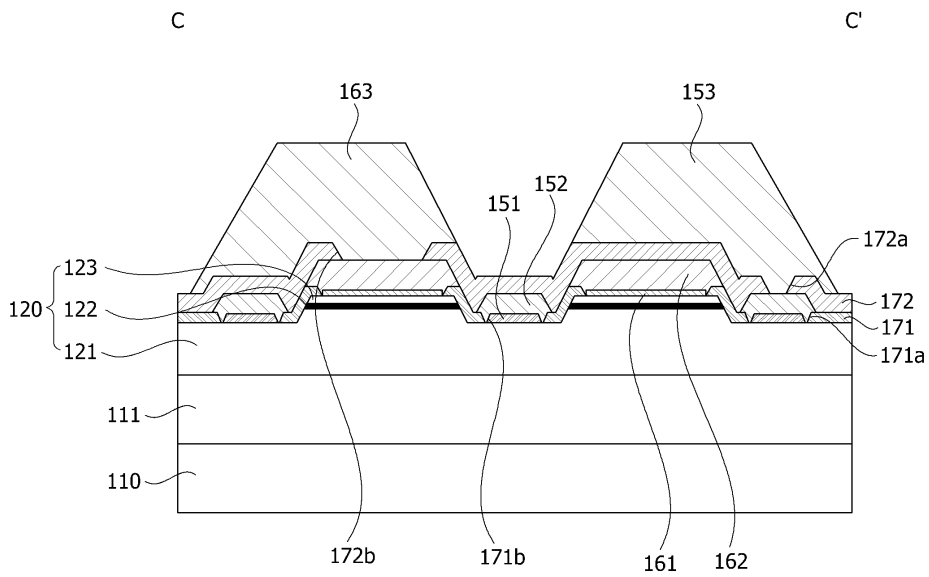
**도면2**



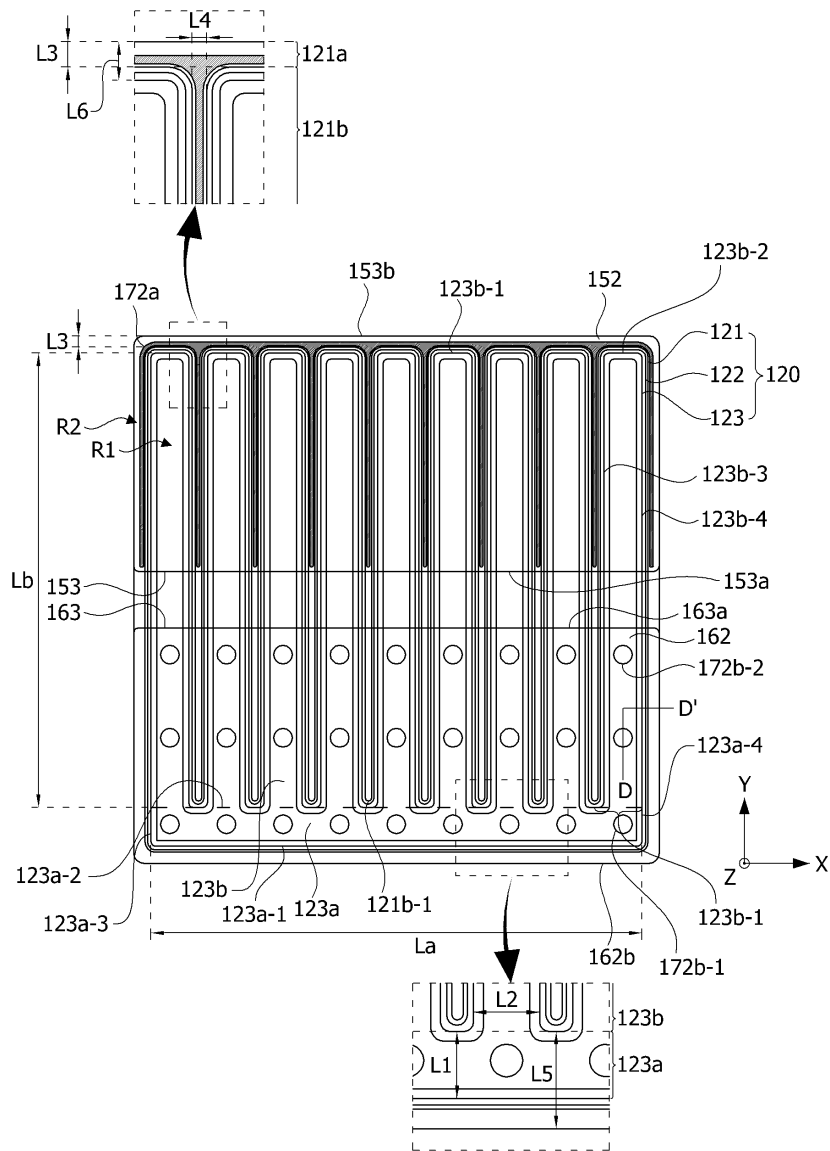
도면3



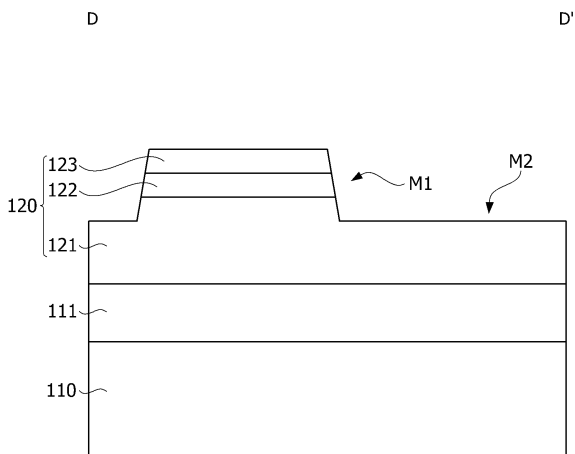
도면4



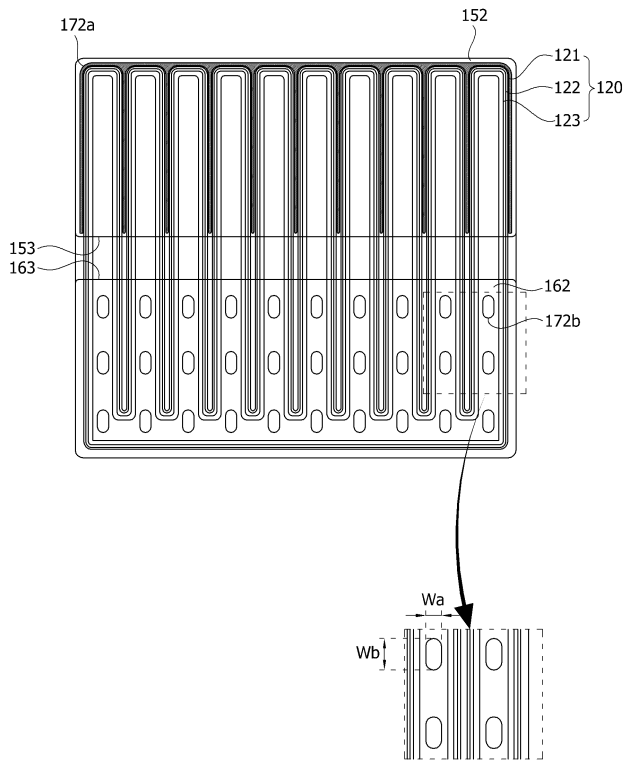
도면5



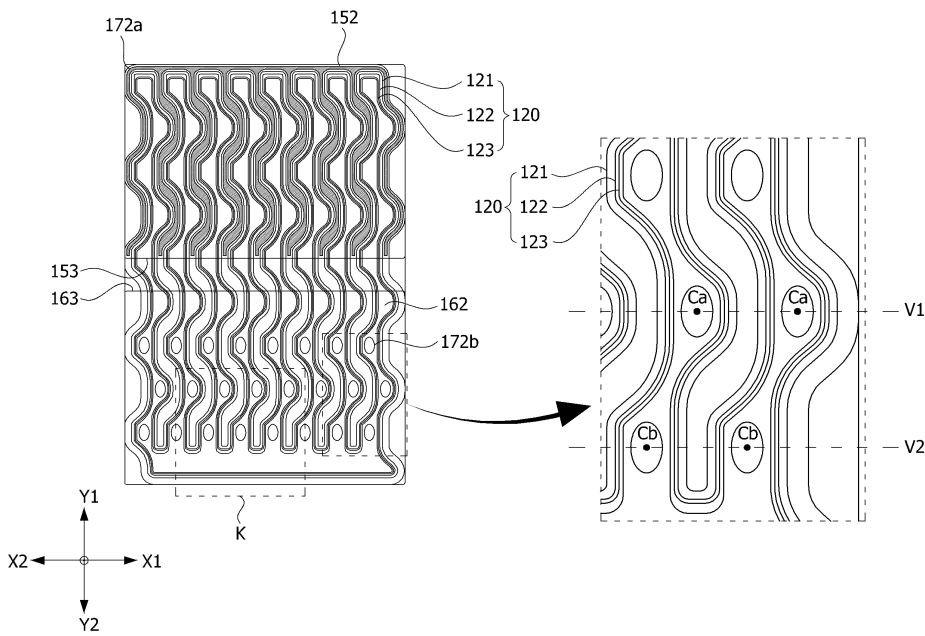
도면6



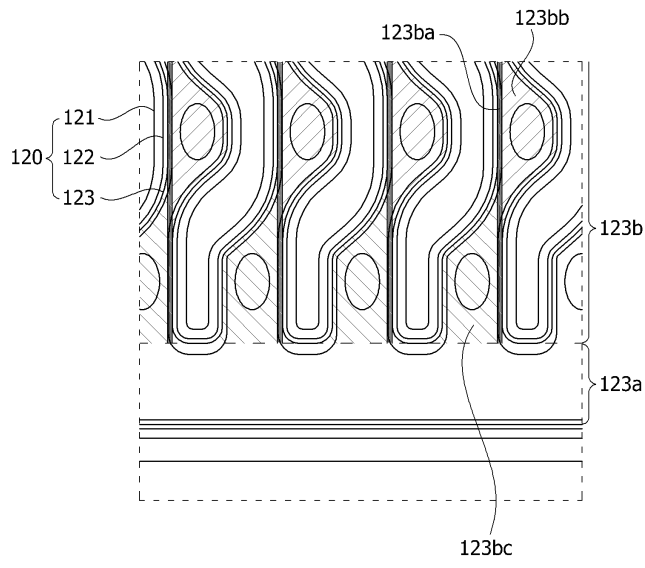
도면7



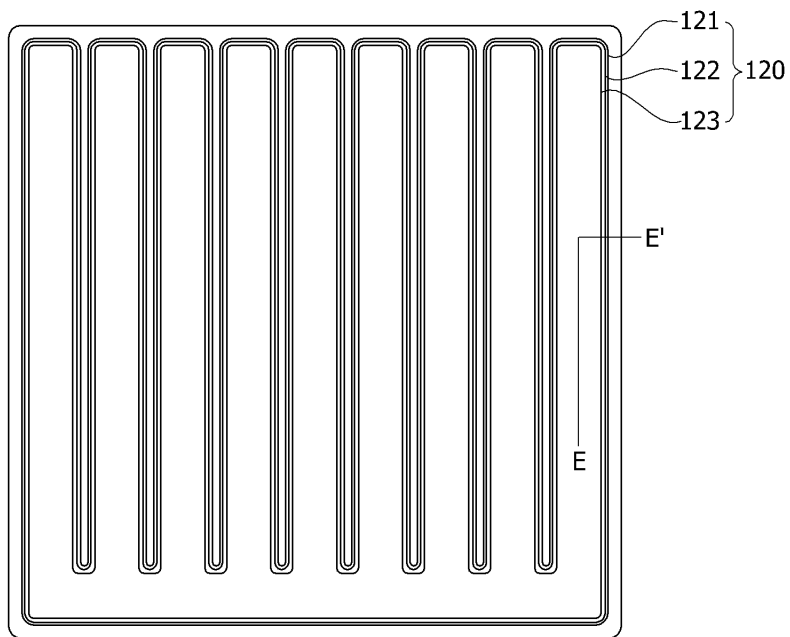
도면8



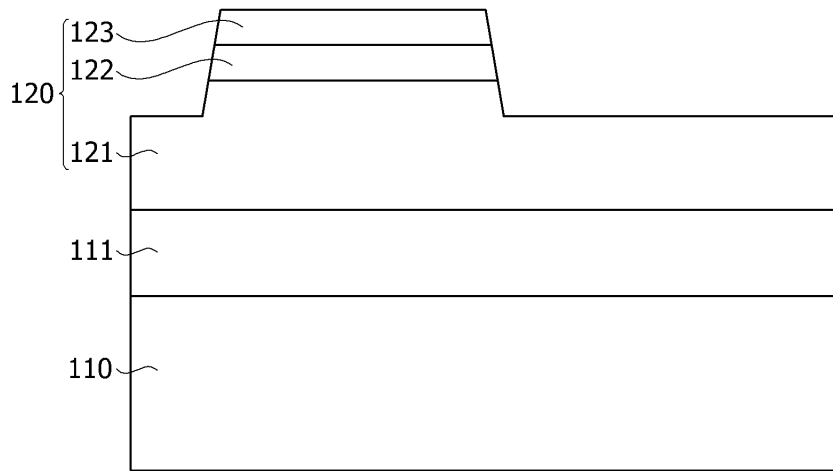
도면9



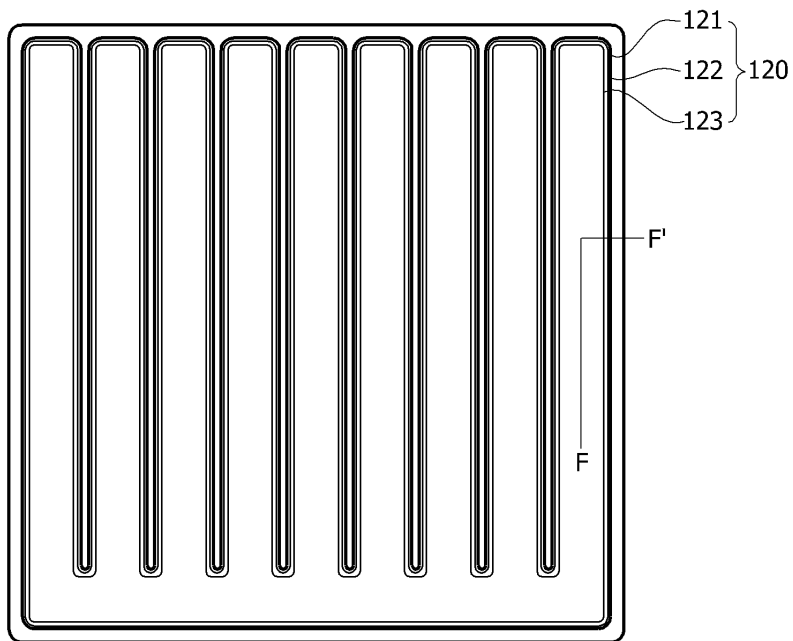
도면10a



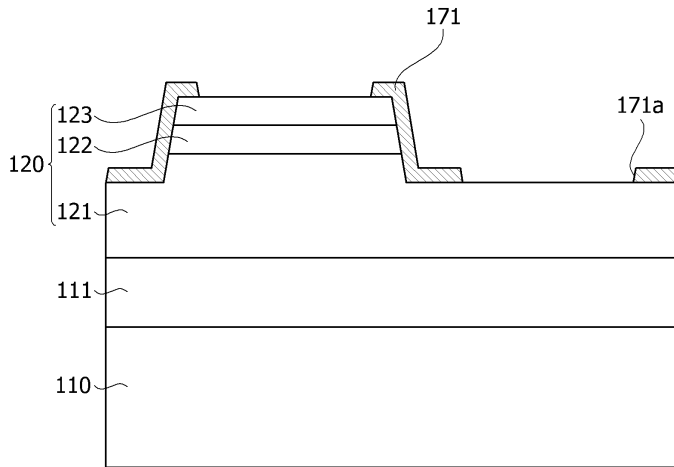
도면10b



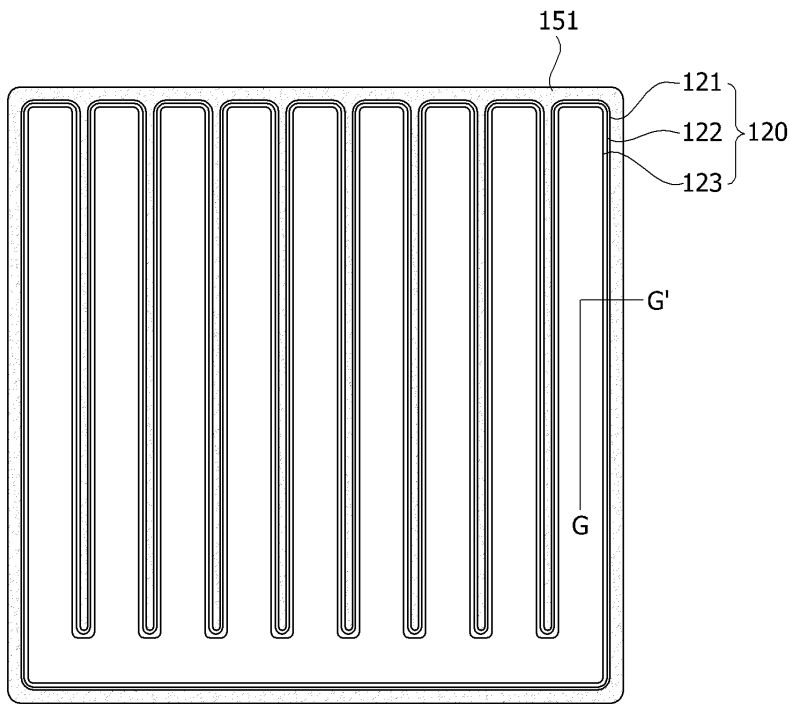
도면11a



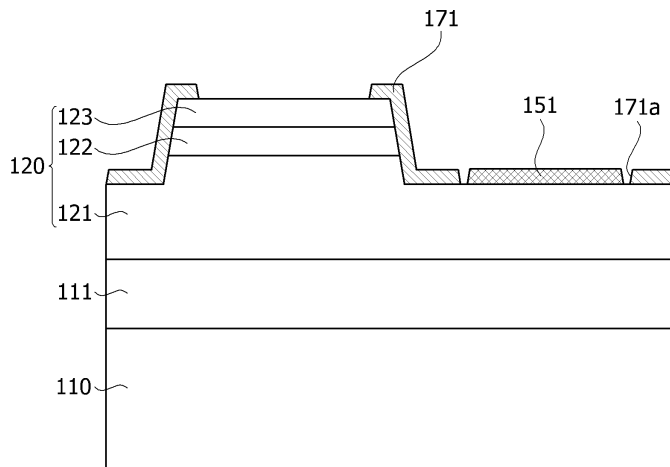
도면11b



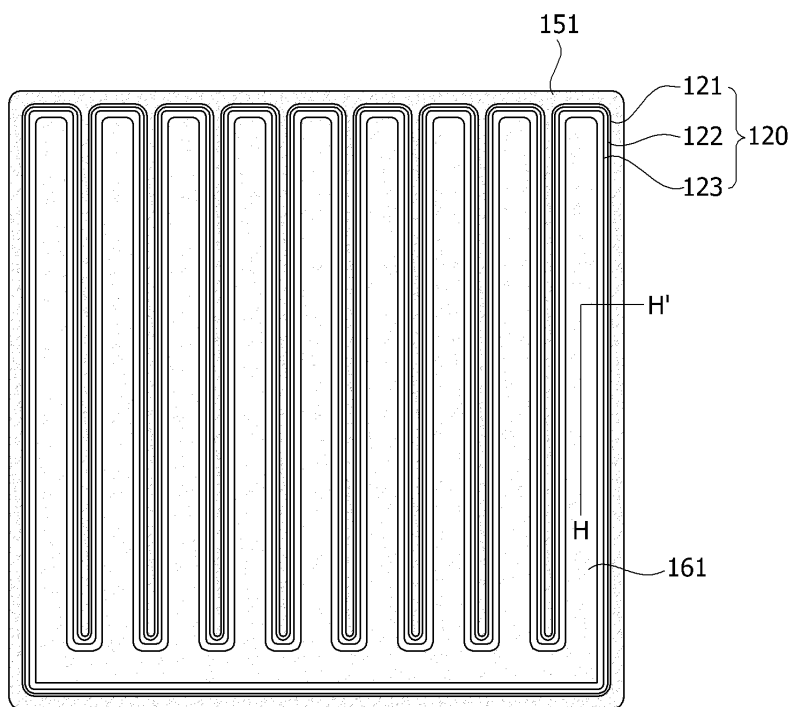
도면12a



도면12b

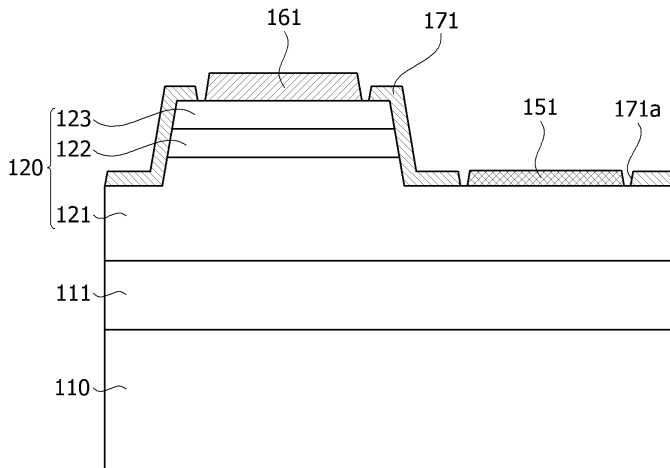


도면13a

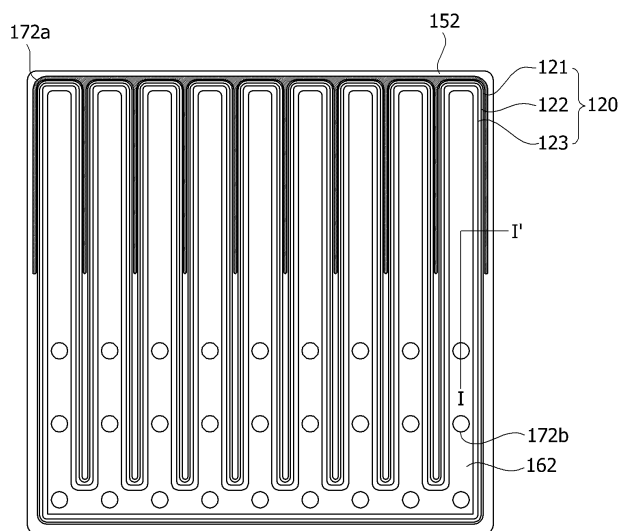




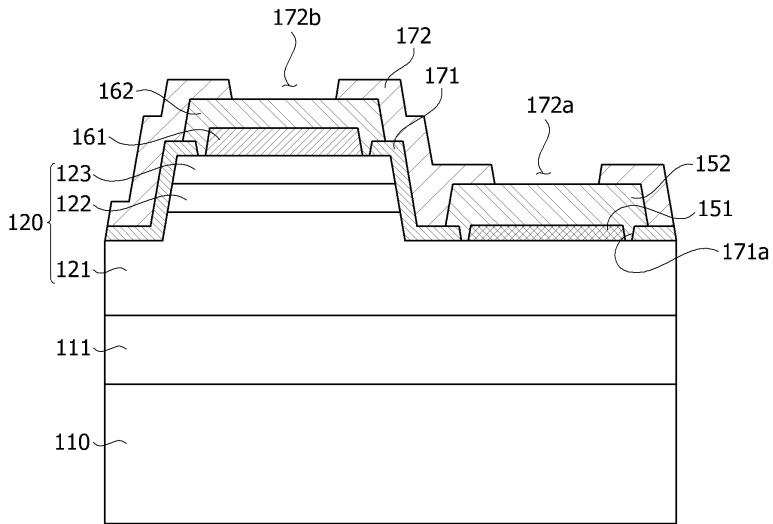
도면13b



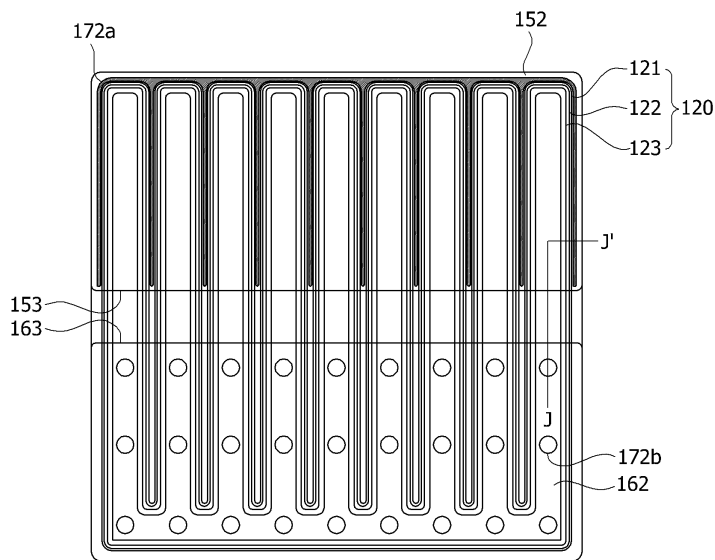
도면14a



도면14b



도면15a



도면 15b

