

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-34191

(P2012-34191A)

(43) 公開日 平成24年2月16日(2012.2.16)

(51) Int.Cl.	F I	テーマコード (参考)
H04B 1/18 (2006.01)	H04B 1/18 C	5C025
H03F 3/195 (2006.01)	H03F 3/195	5J100
H03G 3/20 (2006.01)	H03G 3/20 D	5J500
H04B 1/10 (2006.01)	H04B 1/10 H	5K052
H04B 1/16 (2006.01)	H04B 1/10 E	5K061
審査請求 未請求 請求項の数 15 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2010-172062 (P2010-172062)
 (22) 出願日 平成22年7月30日 (2010.7.30)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100117581
 弁理士 二宮 克也

最終頁に続く

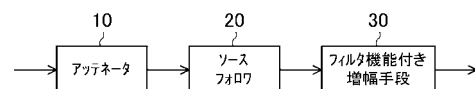
(54) 【発明の名称】 半導体集積回路およびそれを備えたチューナシステム

(57) 【要約】

【課題】集積回路化されたRF信号処理回路について低電圧動作でも良好な歪特性を実現する。

【解決手段】半導体集積回路は、入力された信号を可変減衰量で減衰させるアッテネータ(10)と、アッテネータ(10)の出力を受けるソースフォロワ(20)と、ソースフォロワ(20)の出力に対してフィルタリング処理を行ってから可変ゲインで増幅する増幅手段(30)とを備えている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

入力された信号を可変減衰量で減衰させるアッテネータと、
前記アッテネータの出力を受けるソースフォロワと、
前記ソースフォロワの出力に対してフィルタリング処理を行ってから可変ゲインで増幅する増幅手段とを備えている
ことを特徴とする半導体集積回路。

【請求項 2】

請求項 1 の半導体集積回路において、

前記増幅手段は、

前記ソースフォロワの出力のフィルタリング処理を行うフィルタ手段と、

前記フィルタ手段の出力を可変ゲインで増幅する可変ゲイン増幅器とを有する

ことを特徴とする半導体集積回路。

10

【請求項 3】

請求項 1 の半導体集積回路において、

前記増幅手段の出力レベルを検出し、当該検出結果に応じて前記増幅手段の可変ゲインを制御する検波回路とを備えている

ことを特徴とする半導体集積回路。

【請求項 4】

請求項 1 の半導体集積回路において、

前記アッテネータ、ソースフォロワ、および増幅手段は、いずれも差動信号を処理することを特徴とする半導体集積回路。

20

【請求項 5】

入力された信号を可変減衰量で減衰させるアッテネータと、

前記アッテネータの出力を受けるソースフォロワとを備えている

ことを特徴とする半導体集積回路。

【請求項 6】

請求項 5 の半導体集積回路において、

前記ソースフォロワの出力のフィルタリング処理を行うフィルタ手段を備えている

ことを特徴とする半導体集積回路。

30

【請求項 7】

請求項 5 の半導体集積回路において、

前記アッテネータと共通の信号が入力される低雑音増幅器と、

前記ソースフォロワおよび前記低雑音増幅器のいずれか一方の出力を選択的に出力するマルチプレクサとを備えている

ことを特徴とする半導体集積回路。

【請求項 8】

請求項 7 の半導体集積回路において、

前記アッテネータの出力レベルを検出し、当該検出結果に応じて前記アッテネータの可変減衰量および前記マルチプレクサを制御する検波回路を備えている

ことを特徴とする半導体集積回路。

40

【請求項 9】

請求項 5 の半導体集積回路において、

前記アッテネータおよびソースフォロワは、いずれも差動信号を処理する

ことを特徴とする半導体集積回路。

【請求項 10】

請求項 1 および 5 のいずれか一つの半導体集積回路において、

前記アッテネータおよびソースフォロワのいずれか一方の出力レベルを検出し、当該検出結果に応じて前記アッテネータの可変減衰量を制御する検波回路を備えている

ことを特徴とする半導体集積回路。

50

【請求項 1 1】

請求項 2 および 6 のいずれか一つの半導体集積回路において、

前記フィルタ手段は、バンドパスフィルタの中心周波数を希望チャンネルの周波数と同調させて変化させることが可能なトラッキングフィルタを有することを特徴とする半導体集積回路。

【請求項 1 2】

請求項 2 および 6 のいずれか一つの半導体集積回路において、

前記フィルタ手段は、

互いに異なる同調周波数範囲を有する複数のトラッキングフィルタと、

前記ソースフォロワの出力を前記複数のトラッキングフィルタのいずれか一つに選択的に入力するデマルチプレクサと、

前記複数のトラッキングフィルタのいずれか一つの出力を選択的に出力するマルチプレクサとを有する

ことを特徴とする半導体集積回路。

【請求項 1 3】

請求項 1 および 5 のいずれか一つの半導体集積回路を備えている

ことを特徴とするチューナシステム。

【請求項 1 4】

請求項 4 および 9 のいずれか一つの半導体集積回路と、

片相の原信号を差動信号に変換して前記半導体集積回路におけるアッテネータに入力する差動信号生成手段とを備えている

ことを特徴とするチューナシステム。

【請求項 1 5】

請求項 1 4 のチューナシステムにおいて、

前記差動信号生成手段はバランである

ことを特徴とするチューナシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、特に、チューナシステムのフロントエンドに好適な低歪かつ低雑音の RF 信号処理回路に関する。

【背景技術】

【0002】

複数のチャンネルにより構成される送信信号を受信し、所望チャンネルを選択して復調を行うチューナシステムには低雑音特性と低歪特性が要求される。例えば、日本の地上波デジタルテレビ放送 (ISDB-T) は 1 チャンネル当たり 6 MHz の信号帯域で第 13 チャンネル (473.143 MHz) から第 62 チャンネル (767.143 MHz) までの計 50 チャンネルで構成されており、チューナシステムには各受信チャンネルにおいて -80 dBm 以下の感度特性が求められる一方で、妨害チャンネル入力レベルに対して 50 dBc 以上の耐妨害波特性が求められる。

【0003】

こうしたチューナシステムの受信特性は、アンテナなどで受信した直後の RF 信号を処理する RF 信号処理回路の雑音特性と歪特性で決まる。一般に、チューナシステムに入力された RF 信号はアッテネータで減衰した後、増幅器で増幅される。すなわち、RF 信号の入力レベルが高いときにはアッテネータで大きく減衰させることで RF 信号処理回路の歪特性を良好に保つ一方、RF 信号の入力レベルが低いときにはアッテネータでの信号減衰量を極力小さくして RF 信号処理回路の雑音特性を良好に保つ (例えば、特許文献 1 参照)。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 1 - 8 1 7 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

チューナシステムのフロントエンドなどに用いられる R F 信号処理回路は、通常、半導体集積回路として実現される。近年、半導体集積回路にはより一層の小型化、低消費電力化が求められており、C M O S プロセスの微細化が進むとともに動作電圧も低下しつつある。しかし、R F 信号処理回路の動作電圧を下げると特に増幅器の歪特性が著しく劣化する。例えば、次表に示すように電源電圧を 3 . 3 V から 1 . 2 V に下げると R F 信号処理回路の I I P 3 は約 6 d B も劣化する。これは、1 2 d B c 相当の耐妨害波特性の劣化を意味する。このため、R F 信号処理回路を含む半導体集積回路については小型化や低電圧化がしにくいという問題がある。

10

【 0 0 0 6 】

【表 1】

電源電圧	ゲイン[dB]*1	雑音指数[dB]*1	IIP3[dBm]*2
3.3V	2.0	14.5	23.1
1.2V	1.8	13.9	16.7

20

*1. 500MHzの正弦波入力時のもの

*2. 500MHzと505MHzの正弦波を同時に入力し、505MHzの出力パワーと3次歪成分である510MHzの出力パワーから算出したもの

【 0 0 0 7 】

上記問題に鑑み、本発明は、集積回路化された R F 信号処理回路について低電圧動作でも良好な歪特性を実現することを課題とする。

【課題を解決するための手段】

【 0 0 0 8 】

30

上記課題を解決するために本発明によって次のような手段を講じた。例えば、半導体集積回路は、入力された信号を可変減衰量で減衰させるアッテネータと、アッテネータの出力を受けるソースフォロワとを備えている。さらに、前記ソースフォロワの出力のフィルタリング処理を行うフィルタ手段、あるいは、ソースフォロワの出力に対してフィルタリング処理を行ってから可変ゲインで増幅する増幅手段を備えていてもよい。具体的には、増幅手段は、ソースフォロワの出力のフィルタリング処理を行うフィルタ手段と、フィルタ手段の出力を可変ゲインで増幅する可変ゲイン増幅器とを有する。これによると、アッテネータで減衰した信号はソースフォロワを介して後段の信号処理ブロックに入力されるため、後段における増幅器は低電圧動作しても低歪で信号増幅をすることができる。さらに、ソースフォロワの出力をフィルタリング処理してから後段の信号処理ブロックに入力することで、後段における増幅器の歪特性をより向上させることができる。

40

【 0 0 0 9 】

好ましくは、半導体集積回路は、アッテネータと共通の信号が入力される低雑音増幅器と、ソースフォロワおよび低雑音増幅器のいずれか一方の出力を選択的に出力するマルチプレクサとを備えている。そして、フィルタ手段または増幅手段にはマルチプレクサの出力が与えられる。これによると、アンテナなどからの信号入力端子から後段の増幅器までを含めた回路全体の雑音指数を改善することができる。

【発明の効果】

【 0 0 1 0 】

本発明によると、集積回路化された R F 信号処理回路について低電圧動作でも良好な歪

50

特性を実現することができる。したがって、微細ＣＭＯＳプロセスを用いてＲＦ信号処理回路を含む半導体集積回路の小型化や低電圧化が可能となる。

【図面の簡単な説明】

【００１１】

【図１】図１は、第１の実施形態に係るＲＦ信号処理回路の構成図である。

【図２】図２は、変形例に係るＲＦ信号処理回路の構成図である。

【図３】図３は、アッテネータの回路構成図である。

【図４】図４は、アッテネータの回路構成図である。

【図５】図５は、ソースフォロワの回路構成図である。

【図６】図６は、増幅手段の回路構成図である。

10

【図７】図７は、トラッキングフィルタの回路構成図である。

【図８】図８は、フィルタ手段の回路構成図である。

【図９】図９は、変形例に係るＲＦ信号処理回路の構成図である。

【図１０】図１０は、アッテネータの回路構成図である。

【図１１】図１１は、第２の実施形態に係るＲＦ信号処理回路の構成図である。

【図１２】図１２は、変形例に係るＲＦ信号処理回路の構成図である。

【図１３】図１３は、第３の実施形態に係るチューナシステムの構成図である。

【発明を実施するための形態】

【００１２】

（第１の実施形態）

20

図１は、第１の実施形態に係るＲＦ信号処理回路の構成を示す。本実施形態に係るＲＦ信号処理回路は、アッテネータ１０、ソースフォロワ２０、および増幅手段３０を備えており、微細ＣＭＯＳプロセスを用いて集積回路化することができる。アッテネータ１０に入力された信号は可変減衰量で減衰した後、ソースフォロワ２０を介して増幅手段３０で増幅される。増幅手段３０は、フィルタリング処理機能を有しており、ソースフォロワ２０の出力に対してフィルタリング処理を行ってから可変ゲインで増幅する。

【００１３】

図２に例示したように、アッテネータ１０の可変減衰量および増幅手段３０の可変ゲインは、検波回路１５、３５によってそれぞれ適応的に制御することができる。検波回路１５は、例えば－２０ｄＢｍの閾値でアッテネータ１０の出力レベルを検出する。ソースフォロワ２０の出力レベルを検出するようにしてもよい。検波回路３５は、例えば－１０ｄＢｍの閾値で増幅手段３０の出力レベルを検出する。出力レベルの検出はピークレベルや平均レベルなど、信号強度の検出ができるものであればよい。

30

【００１４】

図３は、アッテネータ１０の一構成例を示す。アッテネータ１０は、直列接続された抵抗素子とスイッチトランジスタからなるスイッチ抵抗回路を複数個並列に接続して構成することができる。アッテネータ１０のインピーダンスは各スイッチトランジスタのスイッチング状態に応じてデジタル的に変更できる。そして、ＲＦ信号の伝送路は５０や７５の特性インピーダンスを有し、特性インピーダンスとアッテネータ１０のインピーダンスとの比率に応じて減衰量が決まるため、減衰量をデジタル的に制御可能である。さらに、図４に例示したように、容量素子とスイッチトランジスタからなる容量分圧回路を追加することでアッテネータ１０の減衰量の可変範囲を拡張することができる。また、アッテネータ１０の前段にＬＣ共振回路を挿入して伝送路とのインピーダンスマッチングを図ってゲインを持たせることで雑音特性を改善することができる。

40

【００１５】

図５は、ソースフォロワ２０の一構成例を示す。アッテネータ１０において抵抗分圧による減衰量の制御ができるように、入力インピーダンスは伝送路の特性インピーダンスに対して十分に大きくすることが望ましい（例えば、入力容量１００ｆＦ程度）。ソースフォロワ２０は、入力信号電圧をそのまま出力する回路であり、増幅器と比較して歪特性に優れている。したがって、高レベルのＲＦ信号がアッテネータ１０で大きく減衰した後に

50

ソースフォロワ 20 に入力されることで、ソースフォロワ 20 で生じる歪みを十分に抑制することができる。例えば、表 1 に示した条件下で本実施形態に係る RF 信号処理回路を電源電圧 1.2 V で動作させた場合のゲインは 1.5 dB、IIP3 は 23.6 dBm である。すなわち、従来構成と比較して IIP3 が約 7 dB も改善する。これは、1.4 dB c 相当の耐妨害波特性の向上を意味し、3.3 V で動作する従来構成の歪特性と同等である。

【0016】

図 6 は、増幅手段 30 の一構成例を示す。増幅手段 30 は、ソースフォロワ 20 の出力のフィルタリング処理を行うフィルタ手段 31 と、フィルタ手段 31 の出力を可変ゲインで増幅する可変ゲイン増幅器 32 とで構成することができる。

10

【0017】

図 7 に例示したように、フィルタ手段 31 は、直列接続された容量素子とスイッチトランジスタからなるスイッチ容量回路を複数個並列に接続し、さらにインダクタを並列に接続して構成されるトラッキングフィルタとして構成することができる。トラッキングフィルタとは、バンドパスフィルタの中心周波数を希望チャンネルの周波数と同調させて変化させることができるフィルタである。例えば、インダクタを 20 nH、スイッチ容量回路を 200 fF から 10 pF まで可変とした場合、トラッキングフィルタの同調周波数範囲は 300 MHz から 2.5 GHz 程度となる。また、トラッキングフィルタの Q 値を 20 程度にすると、希望波から 100 MHz 離れた妨害波を 18 dB 減衰させることができる。なお、ソースフォロワ 20 はトラッキングフィルタを駆動するのに十分な出力性能を有する。なお、バンドパスフィルタの中心周波数を希望チャンネルの周波数と同調させて変化させることができるのであれば、トラッキングフィルタの構成は図 7 に示したものに限られない。

20

【0018】

図 8 は、フィルタ手段 31 の別構成例を示す。フィルタ手段 31 は、互いに異なる同調周波数範囲を有する複数のトラッキングフィルタ 311 と、ソースフォロワ 20 の出力をトラッキングフィルタ 311 のいずれか一つに選択的に入力するデマルチプレクサ 312 と、トラッキングフィルタ 311 のいずれか一つの出力を選択的に出力するマルチプレクサ 313 とで構成することができる。この構成によると、受信周波数に応じてデマルチプレクサ 312 およびマルチプレクサ 313 の選択動作を制御することで、同調周波数範囲

30

【0019】

以上、本実施形態によると、入力された RF 信号をアッテネータ 10 で減衰させた後にソースフォロワ 20 を介して増幅手段 30 で増幅するため、低電圧動作する増幅手段 30 において低歪で信号増幅することができる。また、増幅前にフィルタリング処理をすることで耐妨害波特性を改善することができる。CMOS プロセスの微細化が進展すれば、トランジスタ能力が向上してソースフォロワ 20 のロスの雑音指数の劣化が改善する。したがって、本実施形態に係る RF 信号処理回路は半導体集積回路の微細化および低電圧化に非常に有効である。

【0020】

40

なお、図 9 に例示したように、アッテネータ 10 の前段に差動信号生成手段 100 を設けて片相の RF 信号を差動信号に変換してもよい。差動信号生成手段 100 は半導体集積回路の一部および外部部品のいずれでもよい。差動信号生成手段 100 を設けた場合、アッテネータ 10、ソースフォロワ 20、および増幅手段 30 は、いずれも差動信号を処理する。例えば、図 10 に例示したように、アッテネータ 10 は、2 つの抵抗素子とそれらに挟まれたスイッチトランジスタからなるスイッチ抵抗回路を複数個並列に接続して構成することができる。スイッチ抵抗回路は、2 つのスイッチトランジスタとそれらに挟まれた抵抗素子で構成してもよい。差動信号生成手段 100 として balan を用いると、balan によって生成される差動信号の振幅誤差は 5 % 程度であるため、差動信号のまま各種処理を行った後に片相信号に戻すことで 2 次歪成分が約 26 dB 抑圧される。また、balan を

50

用いることで伝送路とのインピーダンスマッチングを図り、ゲインを持たせて雑音特性を改善することができる。例えば、巻線比が 1 : 4 のバランを用いることでゲインが約 6 d B 向上する。

【 0 0 2 1 】

(第 2 の実施形態)

図 1 1 は、第 2 の実施形態に係る R F 信号処理回路の構成を示す。本実施形態に係る R F 信号処理回路は、第 1 の実施形態に係る R F 信号処理回路に、アッテネータ 1 0 と供給の R F 信号が入力される低雑音増幅器 (L N A) 4 0 と、ソースフォロワ 2 0 および L N A 4 0 のいずれか一方の出力を選択的に出力するマルチプレクサ 5 0 とを追加したものである。以下、第 1 の実施形態と異なる点について説明する。

10

【 0 0 2 2 】

マルチプレクサ 5 0 は、R F 信号の入力レベルが大きければソースフォロワ 2 0 の出力を選択し、小さければ L N A 4 0 の出力を選択する。閾値は例えば - 5 0 d B m である。このように、R F 信号の入力レベルに応じて増幅手段 3 0 の前段の信号経路を適宜切り替えることで R F 信号処理回路の雑音指数を改善することができる。例えば、L N A 4 0 のゲインを 2 0 d B、雑音指数を 2 d B とすると、R F 信号処理回路の雑音指数は 1 ~ 2 d B 程度改善する。

【 0 0 2 3 】

図 1 2 に例示したように、アッテネータ 1 0 の出力レベルを検出する検波回路 1 5 によってマルチプレクサ 5 0 の選択動作を制御することができる。検波回路 1 5 は、- 2 0 d B m の閾値でアッテネータ 1 0 の減衰量を制御するとともに - 5 0 d B m の閾値でマルチプレクサ 5 0 の選択動作を制御する。すなわち、検波回路 1 5 は、アッテネータ 1 0 の出力レベルが - 5 0 d B m よりも大きければソースフォロワ 2 0 の出力の選択を指示し、アッテネータ 1 0 の出力レベルがそれよりも小さければ L N A 4 0 の出力の選択を指示する。このように 1 個の検波回路 1 5 における異なる 2 つの閾値による検波は、2 つの閾値を時分割で切り替えることで実現することができる。なお、検波回路 1 5 とは独立に、マルチプレクサ 5 0 を制御するための検波回路を設けてもよい。

20

【 0 0 2 4 】

なお、L N A 4 0 の出力側にソースフォロワを設けてもよい。これにより、マルチプレクサ 5 0 の選択対象となる信号経路の出力インピーダンスを等しくすることができ、信号経路の違いによる増幅手段 3 0 でのフィルタリング処理における同調周波数のズレを少なくすることができる。さらに、信号経路の選択と連動して増幅手段 3 0 のゲインを制御することにより、信号経路の違いによる R F 信号処理回路のゲイン差を少なくすることができる。

30

【 0 0 2 5 】

また、マルチプレクサ 5 0 を省略して、R F 信号の入力レベルに応じてソースフォロワ 2 0 および L N A 4 0 のいずれか一方を選択的に休止させてもよい。これにより、消費電力を低減することができる。あるいは、増幅手段 3 0 が複数のトラッキングフィルタを有する場合には、マルチプレクサ 5 0 に代えて、R F 信号の入力レベルおよび受信周波数に応じてソースフォロワ 2 0 および L N A 4 0 のいずれか一方の出力をいずれか一つのトラッキングフィルタに入力する経路選択回路を設けてもよい。

40

【 0 0 2 6 】

また、本実施形態に係る R F 信号処理回路についても、アッテネータ 1 0 および L N A 4 0 の前段に差動信号生成手段 1 0 0 を設けて片相の R F 信号を差動信号に変換してもよい。

【 0 0 2 7 】

(第 3 の実施形態)

図 1 3 は、第 3 の実施形態に係るチューナシステムの構成を示す。図中のアンテナ 1 を除く各信号処理ブロックは微細 C M O S プロセスを用いて集積回路化することができる。アンテナ 1 で受信した R F 信号は R F 信号処理回路 2 によって信号強度が調整される。R

50

F 信号はケーブルを介して入力される有線信号であってもよい。R F 信号処理回路 2 は、上記の各実施形態および変形例に係るものである。R F 信号処理回路 2 で処理された R F 信号は、P L L 3 が生成した局部発振信号でミキサによってベースバンド信号に変換される。変換方式は L o w - I F 方式およびダイレクトコンバージョン方式のいずれでもよい。ベースバンド信号はローパスフィルタ (L P F) 5 によって不要な高周波成分が十分に除外された後に A / D 変換器 (A D C) 6 でデジタル信号に変換される。そして、最終的にデジタル信号処理部 (D S P) 7 において復調処理などが行われる。D S P 7 では R F 信号の入力レベルが検出されるため、当該検出結果に応じて図 1 の R F 信号処理回路におけるアッテネータ 10 や増幅手段 30 の可変特性を制御することができる。

【 0 0 2 8 】

例えば、日本の地上波デジタルテレビ放送における第 13 チャンネル (473 . 143 MHz) を受信する場合、P L L 3 からは 470 . 143 MHz の局部発振信号が出力され、受信した R F 信号はミキサ 4 において受信周波数と局部発振周波数との差である 3 MHz の中間周波数のベースバンド信号に変換される。このとき、受信周波数と局部発振周波数との和である 943 . 286 MHz の高周波信号も発生するが、そのような高周波成分は L P F 5 によるフィルタリング処理で十分に減衰する。例えば、L P F 5 の信号帯域はチャンネルの信号帯域と同じ 6 MHz である。他のチャンネル受信時は P L L 3 の発振周波数が希望チャンネルに応じて変化する。

【 0 0 2 9 】

本実施形態に係るチューナシステムでは、アンテナ 1 の受信直後の R F 信号を上記各実施形態および変形例に係る R F 信号処理回路 2 で処理するため、低電圧動作でも良好な歪特性を得ることができる。

【 産業上の利用可能性 】

【 0 0 3 0 】

本発明に係る半導体集積回路は、小型かつ低消費電力でありながら良好な歪特性で広い受信周波数範囲を有するため、アナログ放送波およびデジタル放送波を受信する据え置き型のテレビジョン装置やワンセグ放送を受信する携帯型端末などに有用である。

【 符号の説明 】

【 0 0 3 1 】

- 10 アッテネータ
- 15 検波回路
- 20 ソースフォロワ
- 30 増幅手段
- 31 フィルタ手段
- 311 トラッキングフィルタ
- 312 デマルチプレクサ
- 313 マルチプレクサ
- 32 可変ゲイン増幅器
- 35 検波回路
- 40 低雑音増幅器
- 50 マルチプレクサ
- 100 差動信号生成手段

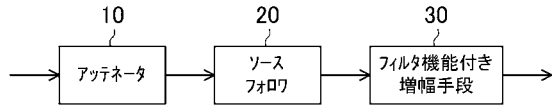
10

20

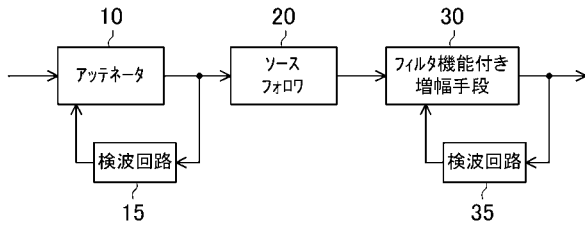
30

40

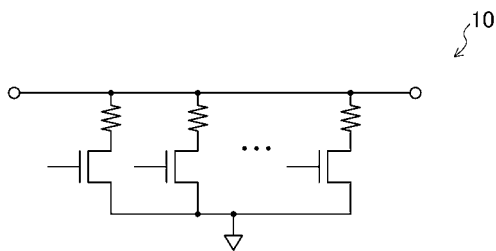
【図 1】



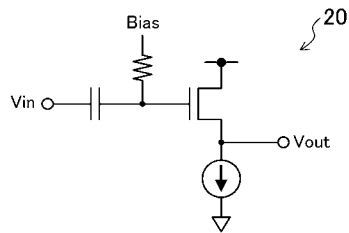
【図 2】



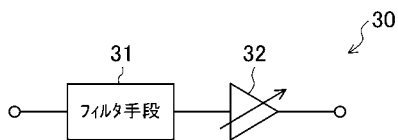
【図 3】



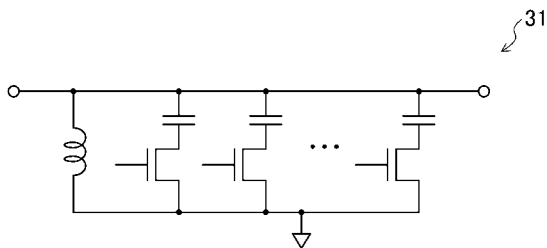
【図 5】



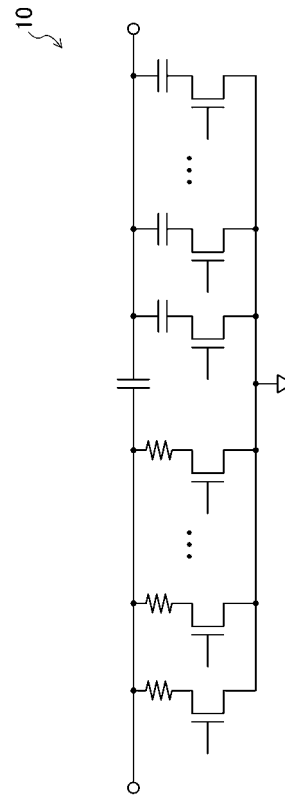
【図 6】



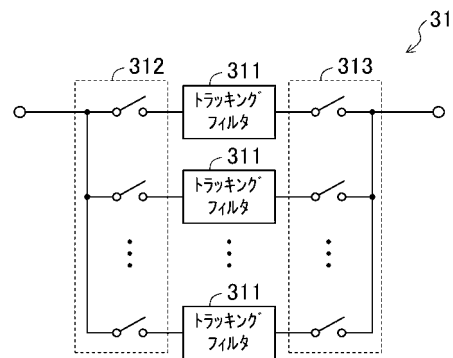
【図 7】



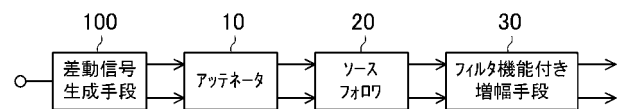
【図 4】



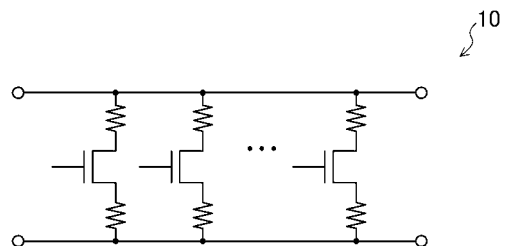
【図 8】



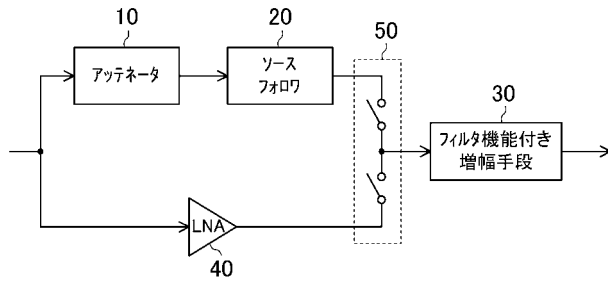
【図 9】



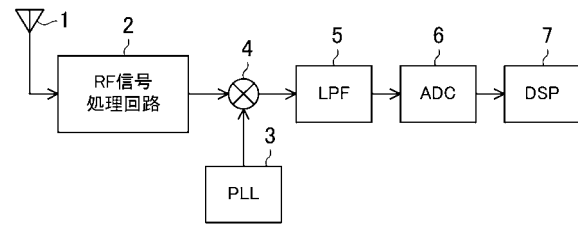
【図 10】



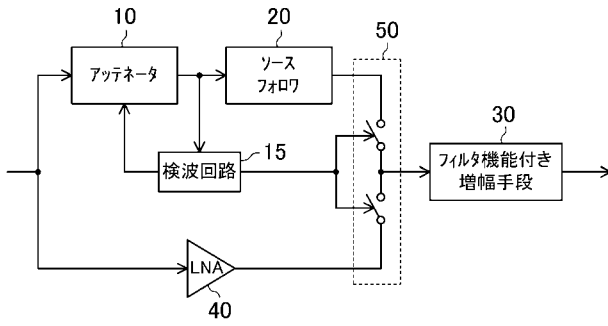
【図 1 1】



【図 1 3】



【図 1 2】



フロントページの続き

(51) Int.Cl.		F I		テーマコード (参考)
H 0 4 N	5/44	(2011.01)	H 0 4 B 1/16	Z
H 0 3 F	1/26	(2006.01)	H 0 4 N 5/44	K
			H 0 3 F 1/26	

(74)代理人 100117710
弁理士 原田 智雄

(74)代理人 100121728
弁理士 井関 勝守

(74)代理人 100124671
弁理士 関 啓

(74)代理人 100131060
弁理士 杉浦 靖也

(74)代理人 100131200
弁理士 河部 大輔

(74)代理人 100131901
弁理士 長谷川 雅典

(74)代理人 100132012
弁理士 岩下 嗣也

(74)代理人 100141276
弁理士 福本 康二

(74)代理人 100143409
弁理士 前田 亮

(74)代理人 100157093
弁理士 間脇 八蔵

(74)代理人 100163186
弁理士 松永 裕吉

(74)代理人 100163197
弁理士 川北 憲司

(74)代理人 100163588
弁理士 岡澤 祥平

(72)発明者 那須 貴文
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 林 錠二
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 土方 克昌
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 5C025 AA25 DA01

5J100 JA01 KA05 QA01 QA02 SA03

5J500 AA01 AA28 AC22 AC37 AF15 AF18 AH10 AH29 AH39 AK14

AK23 AK44 AK55 AM08 AM13 AS01 AS13 AT01 LV07

5K052 BB03 DD04 EE01 EE32 GG02 GG04 GG12 GG31

5K061 AA11 BB06 BB07 CC11 CC16 JJ09 JJ11 JJ24

5K062 AA06 AB06 AD04 BA01 BC01 BE08