



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I741854 B

(45) 公告日：中華民國 110 (2021) 年 10 月 01 日

(21) 申請案號：109137152

(22) 申請日：中華民國 109 (2020) 年 10 月 26 日

(51) Int. Cl. : H01L33/14 (2010.01)

H01L33/62 (2010.01)

(71) 申請人：銓創顯示科技股份有限公司 (中華民國) PLAYNITRIDE DISPLAY CO., LTD. (TW)
苗粟縣竹南鎮科中路 13 號 8 樓

(72) 發明人：曾彥鈞 TSENG, YEN-CHUN (TW)；林子暘 LIN, TZU-YANG (TW)；吳俊德 WU, JYUN-DE (TW)；史詒君 SHIH, YI-CHUN (TW)

(74) 代理人：葉璟宗；卓俊傑

(56) 參考文獻：

TW 202018979A

TW 202025504A

US 7305018B2

US 2012/0097918A1

US 2020/0251614A1

審查人員：翁佑菱

申請專利範圍項數：17 項 圖式數：5 共 36 頁

(54) 名稱

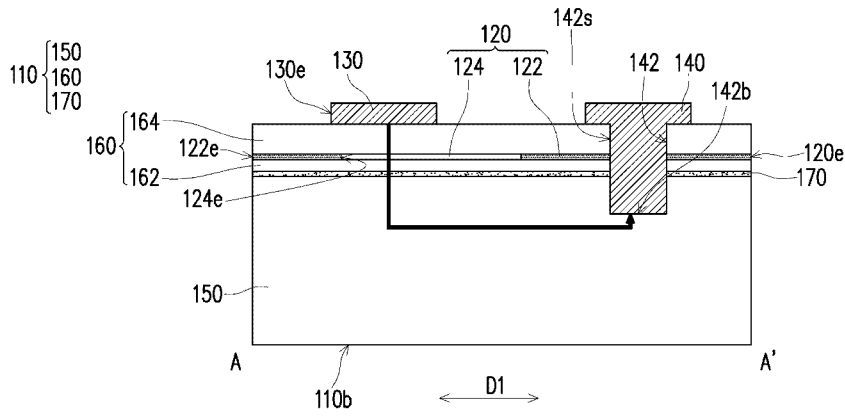
微型半導體元件

(57) 摘要

提供一種微型半導體元件，包括半導體結構、電流侷限層以及第一型電極與第二型電極。電流侷限層設置於半導體結構中，其中電流侷限層包括氧化區域與非氧化區域。第一型電極與第二型電極皆設置於電流侷限層上。氧化區域的一部分於所述半導體結構遠離所述第一型電極和所述第二型電極的一底面上的正投影位於所述第一型電極於所述底面上的正投影與所述第二型電極於所述底面上的正投影之間。

A micro semiconductor device including a semiconductor structure, a current confinement layer, and a first type electrode, and a second type electrode is provided. The current confinement layer is disposed in the semiconductor structure, wherein the current confinement layer includes an oxidized area and a non-oxidized area. The first type electrode and the second type electrode are both arranged on the current confinement layer. The orthographic projection of a part of the oxidized area on the bottom surface of the semiconductor structure away from the first type electrode and the second type electrode is between the orthographic projection of the first type electrode on the bottom surface and the orthographic projection of the second type electrode on the bottom surface.

指定代表圖：



【圖1A】

符號簡單說明：

100:微型半導體元件

110:半導體結構

110b:底面

120:電流侷限層

120e、122e、124e、
130e:邊緣

122:氧化區域

124:非氧化區域

130:第一型電極

140:第二型電極

142:穿孔

142b:底部

142s:外側壁

150:第一型半導體層

160:第二型半導體層

162:第一部分

164:第二部分

170:發光層

D1:方向

100



I741854

【發明摘要】

公告本

【中文發明名稱】 微型半導體元件

【英文發明名稱】 MICRO SEMICONDUCTOR DEVICE

【中文】 提供一種微型半導體元件，包括半導體結構、電流侷限層以及第一型電極與第二型電極。電流侷限層設置於半導體結構中，其中電流侷限層包括氧化區域與非氧化區域。第一型電極與第二型電極皆設置於電流侷限層上。氧化區域的一部分於所述半導體結構遠離所述第一型電極和所述第二型電極的一底面上的正投影位於所述第一型電極於所述底面上的正投影與所述第二型電極於所述底面上的正投影之間。

【英文】 A micro semiconductor device including a semiconductor structure, a current confinement layer, and a first type electrode, and a second type electrode is provided. The current confinement layer is disposed in the semiconductor structure, wherein the current confinement layer includes an oxidized area and a non-oxidized area. The first type electrode and the second type electrode are both arranged on the current confinement layer. The orthographic projection of a part of the oxidized area on the bottom surface of the semiconductor structure away from the first type electrode and the second type electrode is between the orthographic projection of the

first type electrode on the bottom surface and the orthographic projection of the second type electrode on the bottom surface.

【指定代表圖】圖1A。

【代表圖之符號簡單說明】

100:微型半導體元件

110:半導體結構

110b:底面

120:電流侷限層

120e、122e、124e、130e:邊緣

122:氧化區域

124:非氧化區域

130:第一型電極

140:第二型電極

142:穿孔

142b:底部

142s:外側壁

150:第一型半導體層

160:第二型半導體層

162:第一部分

164:第二部分

170:發光層

D1:方向

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】 微型半導體元件

【英文發明名稱】 MICRO SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明是有關於一種半導體元件，且特別是有關於一種微型半導體元件。

【先前技術】

【0002】 一般而言，在製作微型半導體元件的電極時，使用到的製程(如乾蝕刻製程)容易於電極周圍產生表面缺陷(defect)，如此一來，當電流於電極之間流動時，電流載子(如電子/電洞)與這些表面缺陷就會產生表面複合現象及生成多餘的廢熱，因此表面缺陷的存在會對微型半導體元件的性能表現產生負面影響。

【發明內容】

【0003】 本發明提供一種微型半導體元件，其可以在降低電流載子與表面缺陷產生表面複合現象的機率的同時減少多餘廢熱的生成，改善因表面缺陷的存在對其性能表現產生的負面影響。

【0004】 本發明的一種微型半導體元件，包括半導體結構、電流侷限層以及第一型電極與第二型電極。電流侷限層設置於半導體結構中，其中電流侷限層包括氧化區域與非氧化區域。第一型電

極與第二型電極皆設置於電流侷限層上。氧化區域的一部分於所述半導體結構遠離所述第一型電極和所述第二型電極的一底面上的正投影位於所述第一型電極於所述底面上的正投影與所述第二型電極於所述底面上的正投影之間。

【0005】 在本發明的一實施例中，上述的氧化區域的電阻值大於所述非氧化區域的電阻值。

【0006】 在本發明的一實施例中，上述的半導體結構更包括第一型半導體層、第二型半導體層以及發光層。第一型半導體層設置於半導體結構上。第二型半導體層設置於第一型半導體層上。發光層設置於第一型半導體層與第二型半導體層之間。

【0007】 在本發明的一實施例中，上述的電流侷限層位於第二型半導體層內。

【0008】 在本發明的一實施例中，第二型半導體層包括第一部分與第二部分，第一部分位於電流侷限層與發光層之間，電流侷限層位於第一部分與第二部分之間。

【0009】 在本發明的一實施例中，上述的第一部分的摻雜濃度小於第二部分的摻雜濃度。

【0010】 在本發明的一實施例中，上述的第一型電極於半導體結構上的正投影與非氧化區域於半導體結構上的正投影至少部分重疊。

【0011】 在本發明的一實施例中，上述的第一型電極於半導體結構上的正投影與非氧化區域於半導體結構上的正投影完全重疊。

【0012】 在本發明的一實施例中，上述的氧化區域的邊緣與電流侷限層的邊緣切齊。

【0013】 在本發明的一實施例中，上述的氧化區域的邊緣與電流侷限層的邊緣具有距離。

【0014】 在本發明的一實施例中，上述的電流侷限層位於第一型半導體層內。

【0015】 在本發明的一實施例中，上述的電流侷限層為至少二層電流侷限層，至少二層電流侷限層的一者位於第一型半導體層內，至少二層電流侷限層的另一者位於第二型半導體層內。

【0016】 在本發明的一實施例中，上述的至少二層電流侷限層的一者中的非氧化區域與所述至少二層電流侷限層的另一者的非氧化區域於所述底面上的正投影至少部分重疊。

【0017】 在本發明的一實施例中，上述的至少二層電流侷限層的一者中的非氧化區域與所述至少二層電流侷限層的另一者的非氧化區域於所述底面上的正投影完全錯位。

【0018】 在本發明的一實施例中，上述的在第一型電極與第二型電極的排列方向上，氧化區域與非氧化區域的交界位於第一型電極與第二型電極之間。

【0019】 本發明的一種微型半導體元件，包括半導體結構、電流侷限層以及第一型電極與第二型電極。電流侷限層設置於半導體結構內上，其中電流侷限層包括氧化區域與非氧化區域。第一型電極與第二型電極皆設置於電流侷限層上。第二型電極具有朝半

導體結構遠離第一型電極和第二型電極的底面方向延伸的穿孔，且氧化區域環繞第一型電極、第二型電極或其組合。

【0020】基於上述，本發明的微型半導體元件中的電流侷限層包括氧化區域與非氧化區域，且設計為氧化區域的至少一部分位於電極之間或氧化區域環繞電極，以藉由氧化區域與非氧化區域的電阻值差異，有效地控制電流流向，使電流載子不易在電極之間進行橫向擴散，進而降低電流載子通過電極之間的表面缺陷部分的機率，因此本發明的微型半導體元件可以在降低電流載子與表面缺陷產生表面複合現象的機率的同時減少多餘的廢熱的生成，改善因表面缺陷的存在對其性能表現產生的負面影響。

【0021】為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0022】

圖 1A 繪示本發明一實施例的微型半導體元件的部分剖面示意圖。

圖 1B 繪示圖 1A 的微型半導體元件的俯視示意圖，其中圖 1A 是沿圖 1B 中的線 A-A'的部分剖視圖。

圖 1C 繪示本發明另一實施例的微型半導體元件的部分剖面示意圖。

圖 1D 繪示本發明又一實施例的微型半導體元件的部分剖面

示意圖。

圖 2 繪示本發明再一實施例的微型半導體元件的部分剖面示意圖。

圖 3 繪示本發明又另一實施例的微型半導體元件的部分剖面示意圖。

圖 4A 繪示本發明又再一實施例的微型半導體元件的部分剖面示意圖。

圖 4B 繪示本發明又再又一實施例的微型半導體元件的部分剖面示意圖。

圖 5A 繪示本發明又再另一實施例的微型半導體元件的部分剖面示意圖。

圖 5B 繪示圖 5A 的微型半導體元件的俯視示意圖，其中圖 5A 是沿圖 5B 中的線 B-B'的部分剖視圖。

特別說明的是，為了清楚繪示，圖 1B、5B 採透視畫法。

【實施方式】

【0023】 以下在實施方式中詳細敘述本發明之詳細特徵以及優點，其內容足以使任何熟習相關技藝者瞭解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖式，任何熟習相關技藝者可輕易地理解本發明相關之目的及優點。以下之實施例進一步詳細說明本發明之觀點，但非以任何觀點限制本發明之範疇。

【0024】 圖 1A 繪示本發明一實施例的微型半導體元件的部分剖面示意圖。圖 1B 繪示圖 1A 的微型半導體元件的俯視示意圖，其中圖 1A 是沿圖 1B 中的線 A-A' 的部分剖視圖。

【0025】 請參考圖 1A 與圖 1B，在本實施例中，微型半導體元件 100 包括半導體結構 110、電流侷限層 120 以及第一型電極 130 與第二型電極 140，其中電流侷限層 120 設置於半導體結構 110 中，第一型電極 130 與第二型電極 140 皆設置於電流侷限層 120 上。

【0026】 在一些實施例中，半導體結構 110 例如是由適用於進行磊晶的半導體材料所形成，但本發明不限於此。

【0027】 在一些實施例中，第一型電極 130 可以是 P 型電極，而第二型電極可以是 N 型電極，但本發明不限於此。

【0028】 在本實施例中，電流侷限層 120 例如是由可以進行選擇性氧化的半導體材料所形成，以使電流侷限層 120 可以包括用於控制電極之間的電流流向的部分氧化區域。舉例而言，可以對電流侷限層 120 進行選擇性氧化，以於電流侷限層 120 中形成電阻值不同的氧化區域 122 與非氧化區域 124，其中氧化區域 122 與非氧化區域 124 可以用於控制第一型電極 130 與第二型電極 140 之間的電流流向。

【0029】 在一些實施例中，氧化區域 122 的電阻值可以是大大於非氧化區域 124 的電阻值，但本發明不限於此。

【0030】 在本實施例中，微型半導體元件 100 中的電流侷限層 120 可以包括氧化區域 122 與非氧化區域 124，且可以設計為氧化區域

122 的一部分於半導體結構 110 遠離第一型電極 130 和第二型電極 130 的底面 110b 上的正投影位於第一型電極 130 於半導體結構 110 的底面 110b 上的正投影與第二型電極 140 於半導體結構 110 的底面 110b 上的正投影之間，亦即氧化區域 122 的至少一部份位在電極之間，或者，設計為氧化區域 122 環繞第一型電極 130、第二型電極 140 或其組合，亦即氧化區域 122 環繞電極，以藉由氧化區域 122 與非氧化區域 124 的電阻值差異，有效地控制電流流向，使電流載子不易在電極之間進行橫向擴散，進而降低電流載子通過電極之間的表面缺陷部分的機率，因此微型半導體元件 100 可以在降低電流載子與表面缺陷產生表面複合現象的機率的同時減少多餘的廢熱的生成，改善因表面缺陷的存在對其性能表現產生的負面影響。

【0031】 在本實施例中，第二型電極 140 可以具有朝半導體結構 110 的底面 110b 方向延伸的穿孔 142，其中穿孔 142 例如是藉由乾蝕刻製程所形成，因此在形成穿孔 142 的同時會於其側壁上形成表面缺陷，因此設計為氧化區域 122 的至少一部分位於電極之間或氧化區域 122 環繞電極時可以使電流載子例如是由第一型電極 130 往下穿過電流侷限層 120 的非氧化區域 124，再由穿孔 142 的底部 142b 流至第二型電極 140，電流路徑可以如圖 1A 的箭頭方向所示，使電流載子不易在電極之間進行橫向擴散，降低電流載子通過穿孔 142 側壁上的表面缺陷部分，進而可以在降低電流載子與表面缺陷產生表面複合現象的機率的同時減少多餘的廢熱

的生成，改善因表面缺陷的存在對性能表現產生的負面影響。

【0032】 在一些實施例中，氧化區域 122 可以同時位於第二型電極 140 的周圍以及微型半導體元件 100 的邊緣，因此氧化區域 122 可以同時環繞第一型電極 130 與第二型電極 140 且具有圍繞第二型電極 140 的穿孔 142 的環形輪廓(如圖 1B 所示)，但本發明不限於此。

【0033】 在一些實施例中，穿孔 142 可以是朝半導體結構 110 方向貫穿電流侷限層 120，穿孔 142 的底部 142b 可以位於電流侷限層 120 與半導體結構 110 之間，但本發明不限於此。

【0034】 在一些實施例中，氧化區域 122 可以是覆蓋穿孔 142 的外側壁 142s 並與外側壁 142s 直接接觸，但本發明不限於此。

【0035】 在本實施例中，半導體結構 110 可以更包括第一型半導體層 150、第二型半導體層 160 以及發光層 170，其中第二型半導體層 160 可以設置於第一型半導體層 150 上，且發光層 170 可以設置於第一型半導體層 150 與第二型半導體層 160 之間，因此設計為氧化區域 122 的至少一部分位於電極之間或氧化區域 122 環繞電極時可以減少電流載子因與表面缺陷產生表面複合現象而造成的不必要損耗(電流載子被表面缺陷消耗而無法用於發光)，以增加等效電流密度且提升發光效果，進而可以有利於微型半導體元件 100 的量子效率表現，但本發明不限於此。

【0036】 在一些實施例中，第一型半導體層 150 例如是 P 型半導體層，而第二型半導體層 160 例如是 N 型半導體層，但本發明不

限於此，可以視實際設計上的需求進行調整。

【0037】 在一些實施例中，發光層 170 例如是多層量子井結構 (Multiple Quantum Well, MQW)，多重量子井結構包括交替堆疊的多層氮化銦鎵(InGaN)以及多層氮化鎵(GaN)，藉由設計發光層 170 中銦或鎵的比例，可調整發光層 170 的發光波長範圍，但本發明不限於此。

【0038】 在一些實施例中，微型半導體元件 100 可以是微型發光元件，如微型發光二極體(Micro LED)，其中微型發光元件的尺寸可以是小於等於 50 微米，但本發明不限於此。

【0039】 在一些實施例中，當上述微型發光元件的電流範圍在 10 毫安培(mA)以下時，例如是介於 0.1 毫安培至 10 毫安培之間，其可以具有更佳的發光效果，進而可以更有利於微型半導體元件 100 量子效率的表現，但本發明不限於此。

【0040】 在一些實施例中，前述微型發光二極體可以是水平式微型發光二極體，但本發明不限於此。

【0041】 應說明的是，本發明不限制微型半導體元件 100 的種類，舉例而言，微型半導體元件 100 也可以是微型積體電路(micro IC)、微型雷射二極體(micro LD)或微型感測器(micro sensor)等微型半導體元件。

【0042】 在一些實施例中，發光層 150 可以設置於穿孔 142 的底部 142b 與電流侷限層 120 之間，但本發明不限於此。

【0043】 在本實施例中，電流侷限層 120 可以位於第二型半導體

層 160 內。舉例而言，電流侷限層 120 可以是位於第二型半導體層 160 內具有一定程度鋁含量的膜層，以有效地對其進行選擇性氧化，而形成包括氧化鋁(AlO_2)的氧化區域 122 與不包括氧化鋁(AlO_2)的非氧化區域 124，但本發明不限於此。

【0044】 在一些實施例中，第二型半導體層 160 可以是 III V 族半導體層，例如是氮化鎵(GaN)層，而電流侷限層 120 可以是具有一定程度鋁含量的氮化鋁銻($\text{Al}_x\text{In}_{1-x}\text{N}$)層，其中 $0.8 \leq x \leq 1$ ，當 x 數值過小會吸光，但本發明不限於此。特別說明的是此時微型半導體元件 100 例如是藍綠光微型發光二極體。

【0045】 在一些實施例中，第二型半導體層 160 可以是磷化鋁鎵銻(AlGaInP)層，而電流侷限層 120 可以是具有一定程度鋁含量的砷化鋁鎵($\text{Al}_y\text{Ga}_{1-y}\text{As}$)層，其中 $0.9 \leq y \leq 1$ ，當 y 數值過小會吸光，但本發明不限於此。特別說明的是此時微型半導體元件 100 例如是紅光微型發光二極體。

【0046】 應說明的是，本發明不限制電流侷限層 120 中的氧化區域 122 中所包括的氧化物，也不限制電流侷限層 120 的元素組成比例，只要電流侷限層 120 包括氧化區域 122 與非氧化區域 124 皆屬於本發明的保護範圍。

【0047】 在一些實施例中，第二型半導體層 160 可以包括第一部分 162 與第二部分 164，其中第一部分 162 可以位於電流侷限層 120 與發光層 170 之間，且電流侷限層 120 位於第一部分 162 與第二部分 164 之間，但本發明不限於此。

【0048】 在一些實施例中，第二型半導體層 160 例如是 P 型磷化鋁鎵銻(AlGaInP)或 P 型氮化鋁鎵銻(AlGaInN)，且第一部分 162 與第二部分 164 中可以具有不同程度的鋁含量，換句話說，第一部分 162 與第二部分 164 的鋁含量可以不對稱，但本發明不限於此。

【0049】 在一些實施例中，第一部分 162 與第二部分 164 被電流侷限層 120 分隔開，但本發明不限於此。

【0050】 在一些實施例中，第一部分 162 的摻雜濃度可以不同於第二部分 164 的摻雜濃度。進一步而言，由於第二型半導體層 160 中的摻雜濃度的高低可能會影響電流流向，舉例而言，當第一部分 162 的摻雜濃度過高時會增加電流載子的橫向擴散能力，降低電流侷限層 120 控制電流流向的能力，因此第一部分 162 的摻雜濃度可以是小於第二部分 164 的摻雜濃度，舉例而言，可以小於約 10^{18} ，以增加接觸電阻，降低其影響電流流向的機率，但本發明不限於此。

【0051】 在一些實施例中，第一型電極 130 於半導體結構 110 上的正投影與非氧化區域 124 於半導體結構 110 上的正投影可以是至少部分重疊。舉例而言，如圖 1A 所示，第一型電極 130 於底面 110b 上的正投影與非氧化區域 124 於底面 110b 上的正投影可以是至少部分重疊但沒有完全重疊，可使電流流經下方非氧化區域 124，但本發明不限於此。

【0052】 在一些實施例中，氧化區域 122 的邊緣 122e 可以與電流侷限層 120 的邊緣 120e 實質上切齊，但本發明不限於此。在一些

實施例中，非氧化區域 124 的邊緣 124e 可以與第一型電極 130 的邊緣 130e 實質上切齊，但本發明不限於此。

【0053】 在一些實施例中，在第一型電極 130 與第二型電極 140 的排列方向 D1 上，氧化區域 122 與非氧化區域 124 的交界位於第一型電極 130 與第二型電極 140 之間，但本發明不限於此。

【0054】 在一些實施例中，氧化區域 122 與非氧化區域 124 之間可以具有大於等於一個交界(如圖 1A 具有兩個交界)，因此可以是氧化區域 122 與非氧化區域 124 的任一個或多個交界位於第一型電極 130 與第二型電極 140 之間，但本發明不限於此。

【0055】 在一些實施例中，氧化區域 122 的厚度可以與非氧化區域 124 的厚度實質上相同，因此電流侷限層 120 可以是厚度均勻的膜層，但本發明不限於此。

【0056】 在一些實施例中，電流侷限層 120 的厚度可以是小於等於 500 埃(Å)，超過 500 埃(Å)在微型半導體元件 100 小於等於 50 微米的尺寸下氧化深度較難控制。

【0057】 在一些實施例中，電流侷限層 120 的厚度與微型半導體元件 100 的厚度比例可以是小於等於 0.06%，當厚度比例大於 0.06%將會影響微型半導體元件 100 效率。

【0058】 在一些實施例中，氧化區域 122 與第一型電極 130 之間的距離可以大於等於 10 奈米(nm)，距離小於 10 奈米可能造成第一型電極 130 與第一型半導體層 160 電性連接效率不佳，但本發明不限於此。

【0059】 在一些實施例中，氧化區域 122 可以包括第二型電極 140 周圍的第一橫向氧化深度 d1 以及微型半導體元件 100 邊緣的第二橫向氧化深度 d2 與第三橫向氧化深度 d3，如圖 1B 所示，其中第一橫向氧化深度 d1、第二橫向氧化深度 d2 與第三橫向氧化深度 d3 可以大於等於 10 奈米，橫向氧化深度過小電流侷限效果不佳，但本發明不限於此。

【0060】 在一些實施例中，微型半導體元件 100 的中心部分 C 為電流密度較高的區域，如圖 1B 框線所示，其中在中心部分 C 內氧化區域 122 的面積占總中心部分 C 的面積的 0.1%到 80%，過小電流侷限效果不佳，過高正向電壓會太高。在此，中心部分 C 可以是藉由第一型電極 130 與第二型電極 140 的幾何中心位置或圓心所定義出來。

【0061】 在此必須說明的是，以下實施例沿用上述實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明，關於省略部分的說明可參考前述實施例，下述實施例不再重複贅述。

【0062】 圖 1C 繪示本發明另一實施例的微型半導體元件的部分剖面示意圖。請參照圖 1C，相較於微型半導體元件 100 而言，本實施例的微型半導體元件 100a 的第一型電極 130 於半導體結構 110 上的正投影可以與非氧化區域 124 於半導體結構 110 上的正投影完全重疊，但本發明不限於此。

【0063】 圖 1D 繪示本發明又一實施例的微型半導體元件的部分

剖面示意圖。請參照圖 1D，相較於微型半導體元件 100 而言，本實施例的微型半導體元件 100b 的氧化區域 122 的邊緣 122e 與電流侷限層 120 的邊緣 120e 可以具有距離，換句話說，氧化區域 122 僅在第二型電極 140 的兩側，但本發明不限於此。

【0064】 圖 2 繪示本發明再一實施例的微型半導體元件的部分剖面示意圖。請參照圖 2，相較於微型半導體元件 100 而言，本實施例的微型半導體元件 200 的電流侷限層 220 可以位於第一型半導體層 150 內，其中電流侷限層 220 的氧化區域 222 的至少一部分位於電極之間或氧化區域 222 環繞電極。

【0065】 此外，第一型電極 130 於半導體結構 110 上的正投影與非氧化區域 224 於半導體結構 110 上的正投影可以是至少部分重疊但沒有完全重疊，但本發明不限於此。

【0066】 圖 3 繪示本發明又另一實施例的微型半導體元件的部分剖面示意圖。請參照圖 3，相較於微型半導體元件 100 而言，本實施例的微型半導體元件 300 的電流侷限層可以為至少二層電流侷限層，可以增加電流侷限。舉例而言，至少二層電流侷限層可以例如是圖 1A 所示的電流侷限層 120 與圖 2 所示的電流侷限層 220，其中電流侷限層 220 位於第一型半導體層 150 內，電流侷限層 120 位於第二型半導體層 160 內，但本發明不限於此。

【0067】 在一些實施例中，由於當電流侷限層的層數過多時會影響微型半導體元件的結構，因此電流侷限層的層數可以是大於等於一層，且小於等於四層，但本發明不限於此。在此，多層電流

侷限層與發光層之間的排列方式可以視實際設計上的需求進行調整。

【0068】 在本實施例中，電流侷限層 120 中的非氧化區域 124 與電流侷限層 220 的非氧化區域 224 在電流侷限層 120 與電流侷限層 220 的排列方向 D2 上可以相互對位，電流侷限層 120 中的非氧化區域 124 與電流侷限層 220 的非氧化區域 224 於底面 110b 上的正投影至少部分重疊，但本發明不限於此。

【0069】 圖 4A 繪示本發明又再一實施例的微型半導體元件的部分剖面示意圖。請參照圖 4A，相較於微型半導體元件 300 而言，本實施例的微型半導體元件 400a 的電流侷限層 120 中的非氧化區域 124 與電流侷限層 220 的非氧化區域 224 在電流侷限層 120 與電流侷限層 220 的排列方向 D2 上可以部分錯位，亦即二者的正投影可以至少部分不重疊。較佳的，非氧化區域 124 靠近第一型電極 130，非氧化區域 224 靠近第二型電極 140，讓電流可以往中間集中，但本發明不限於此。

【0070】 圖 4B 繪示本發明又再又一實施例的微型半導體元件的部分剖面示意圖。請參照圖 4B，相較於微型半導體元件 400 而言，本實施例的微型半導體元件 400b 的電流侷限層 120 中的非氧化區域 124 與電流侷限層 220 的非氧化區域 224 在電流侷限層 120 與電流侷限層 220 的排列方向 D2 上可以完全錯位，亦即二者的正投影可以完全不重疊，以調配電流於特定中心位置集中密度，但本發明不限於此。

【0071】 圖 5A 繪示本發明又再另一實施例的微型半導體元件的部分剖面示意圖。圖 5B 繪示圖 5A 的微型半導體元件的俯視示意圖，其中圖 5A 是沿圖 5B 中的線 B-B' 的部分剖視圖。請參照圖 5A 與圖 5B，相較於微型半導體元件 100 而言，本實施例的微型半導體元件 500 可以是具有平台(MESA)結構的水平式微型半導體元件 500，其中平台結構例如是微型半導體元件 100 具有高低差的區域。舉例而言，微型半導體元件 500 的半導體結構 110 上可以具有凸起部分 112 與凹陷部分 114，其中第一型電極 130 位於凸起部分 112，第二型電極 540 位於凹陷部分 114。

【0072】 由於在製作平台結構時在第一型電極 130 所在的凸起部分 112 與第二型電極 540 所在的凹陷部分 114 之間會存在表面缺陷，因此在本實施例中，氧化區域 522 的一部分可以位於凸起部分 112 與凹陷部分 114 之間，以使電流載子不易在電極之間進行橫向擴散，進而降低電流載子通過電極之間的表面缺陷部分的機率。

【0073】 在一些實施例中，凸起部分 112 與凹陷部分 114 可以藉由連接部分構成階梯狀結構，且氧化區域 522 與連接部分可以直接接觸，但本發明不限於此。

【0074】 在一些實施例中，電流侷限層 520 中的氧化區域 522 與非氧化區域 524 可以僅位於凸起部分 112，但本發明不限於此。

【0075】 在一些實施例中，氧化區域 522 可以是僅環繞第一型電極 130，如圖 5B 所示，但本發明不限於此。

【0076】 在一些實施例中，第二型電極 540 可以是不具有穿孔，但本發明不限於此。

【0077】 在一些實施例中，微型半導體元件 500 在中心部分(如圖 5B 的粗框線部分)內氧化區域 522 的面積占總中心部分的面積的 0.1%至 80%，過小電流侷限效果不佳，過高正向電壓會太高。在此，中心部分 C 可以是藉由平台結構上的第一型電極 130 的幾何中心位置或圓心與平台結構的凸起部分 112 的邊緣 112e 所定義出來。

【0078】 應說明的是，本發明的氧化區域與非氧化區域不限定於上述實施例中的配置方式與對應比例，只要氧化區域的至少一部分位於電極之間或氧化區域環繞電極皆屬於本發明的保護範圍。

【0079】 綜上所述，本發明的微型半導體元件中的電流侷限層包括氧化區域與非氧化區域，且設計為氧化區域的至少一部分位於電極之間或氧化區域環繞電極，以藉由氧化區域與非氧化區域的電阻值差異，有效地控制電流流向，使電流載子不易在電極之間進行橫向擴散，進而降低電流載子通過電極之間表面缺陷部分的機率，因此本發明的微型半導體元件可以在降低電流載子與表面缺陷產生表面複合現象的機率的同時減少多餘的廢熱的生成，改善因表面缺陷的存在對其性能表現產生的負面影響。此外，由於可以減少電流載子因與表面缺陷產生表面複合現象而造成的不必要損耗(電流載子被表面缺陷消耗而無法用於發光)，以增加等效電流密度且提升發光效果，進而可以有利於本發明的微型半導體

元件的量子效率表現。

【0080】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0081】

100、100a、100b、200、300、400a、400b、500:微型半導體
元件

110:半導體結構

110b:底面

112:凸起部分

114:凹陷部分

120、220、520:電流侷限層

122、222、522:氧化區域

112e、120e、122e、124e、130e:邊緣

124、224、524:非氧化區域

130:第一型電極

140、540:第二型電極

142:穿孔

142b:底部

142s:外側壁

150:第一型半導體層

160:第二型半導體層

162:第一部分

164:第二部分

170:發光層

C:中心部分

D1、D2:方向

d1、d2、d3:橫向氧化深度

【發明申請專利範圍】

【請求項1】 一種微型半導體元件，包括：

半導體結構；

電流侷限層，設置於所述半導體結構中，其中所述電流侷限層包括氧化區域與非氧化區域；以及

第一型電極與第二型電極，皆設置於所述電流侷限層上，所述第二型電極具有朝所述半導體結構遠離所述第一型電極和所述第二型電極的底面方向延伸的穿孔，其中所述氧化區域的一部分於所述半導體結構遠離所述第一型電極和所述第二型電極的底面上的正投影位於所述第一型電極於所述底面上的正投影與所述第二型電極於所述底面上的正投影之間，且所述穿孔於所述底面上的正投影位於所述氧化區域的一部分於所述底面的正投影之間。

【請求項2】 如請求項1所述的微型半導體元件，其中所述氧化區域的電阻值大於所述非氧化區域的電阻值。

【請求項3】 如請求項1所述的微型半導體元件，所述半導體結構更包括：

第一型半導體層；

第二型半導體層，設置於所述第一型半導體層上；以及

發光層，設置於所述第一型半導體層與所述第二型半導體層之間。

【請求項4】 如請求項3所述的微型半導體元件，其中所述電流侷限層位於所述第二型半導體層內。

【請求項5】 如請求項4所述的微型半導體元件，其中所述第二型半導體層包括第一部分與第二部分，所述第一部分位於所述電流侷限層與所述發光層之間，所述電流侷限層位於所述第一部分與所述第二部分之間。

【請求項6】 如請求項5所述的微型半導體元件，其中所述第一部分的摻雜濃度小於所述第二部分的摻雜濃度。

【請求項7】 如請求項1所述的微型半導體元件，其中所述氧化區域的邊緣與所述電流侷限層的邊緣切齊。

【請求項8】 如請求項1所述的微型半導體元件，其中所述氧化區域的邊緣與所述電流侷限層的邊緣具有距離。

【請求項9】 如請求項3所述的微型半導體元件，其中所述電流侷限層位於所述第一型半導體層內。

【請求項10】 如請求項3所述的微型半導體元件，其中所述電流侷限層為至少二層所述電流侷限層，所述至少二層電流侷限層的一者位於所述第一型半導體層內，所述至少二層電流侷限層的另一者位於所述第二型半導體層內。

【請求項11】 如請求項10所述的微型半導體元件，其中所述至少二層電流侷限層的一者中的非氧化區域與所述至少二層電流侷限層的另一者的非氧化區域於所述底面上的正投影至少部分重疊。

【請求項12】 如請求項10所述的微型半導體元件，其中所述至少二層電流侷限層的一者中的非氧化區域與所述至少二層電流侷

限層的另一者的非氧化區域在所述至少二層電流侷限層的於所述底面上的正投影完全錯位。

【請求項13】 如請求項1所述的微型半導體元件，其中所述第一型電極於所述底面上的正投影與所述非氧化區域於所述底面上的正投影至少部分重疊。

【請求項14】 如請求項13所述的微型半導體元件，其中所述第一型電極於所述底面上的正投影與所述非氧化區域於所述底面上的正投影完全重疊。

【請求項15】 如請求項1所述的微型半導體元件，其中在所述第一型電極與所述第二型電極的排列方向上，所述氧化區域與所述非氧化區域的交界位於所述第一型電極與所述第二型電極之間。

【請求項16】 如請求項1所述的微型半導體元件，更包括中心部分，其中在所述中心部分內所述氧化區域的面積占所述中心部分的總面積的0.1%到80%。

【請求項17】 一種微型半導體元件，包括：

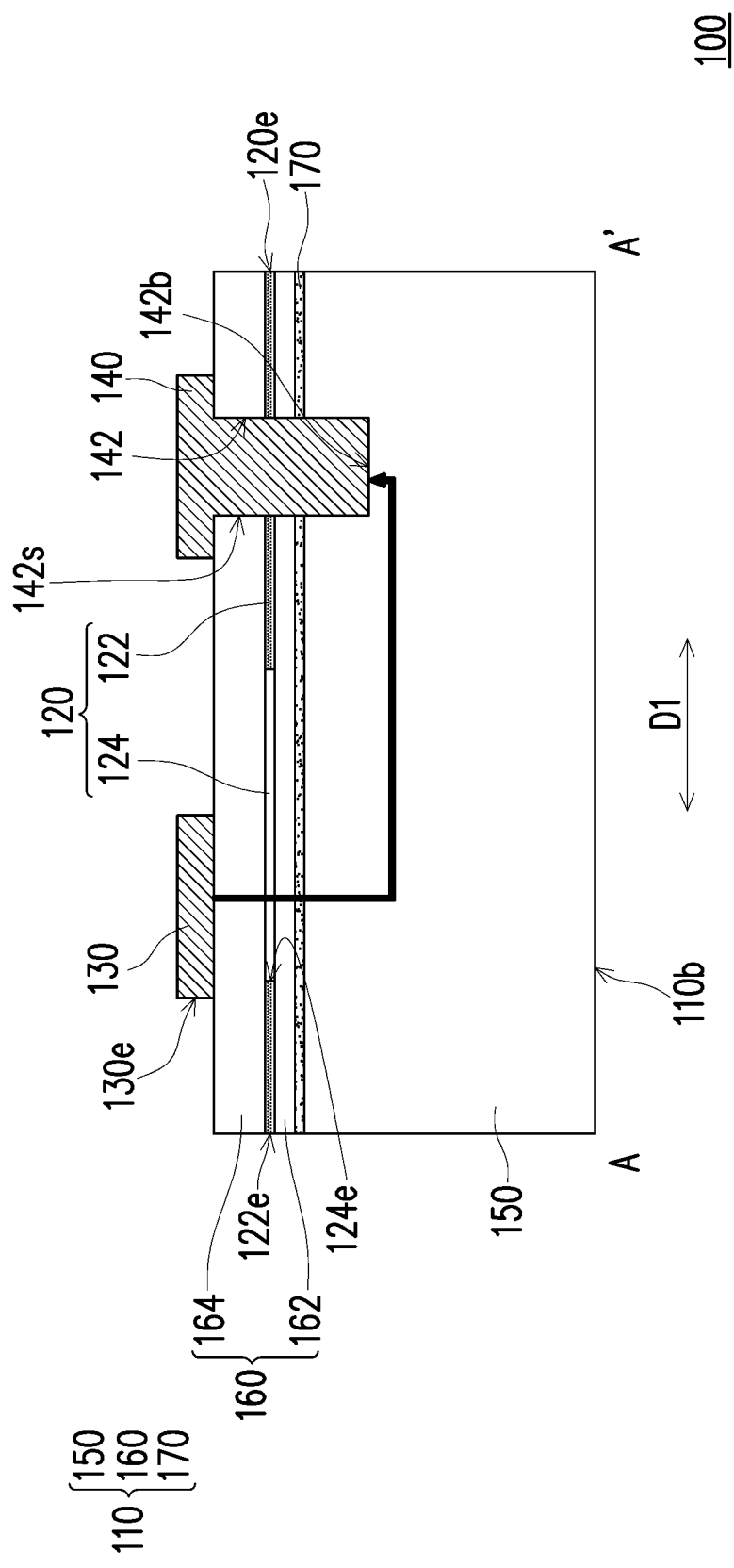
半導體結構；

電流侷限層，設置於所述半導體結構內，其中所述電流侷限層包括氧化區域與非氧化區域；以及

第一型電極與第二型電極，皆設置於所述電流侷限層上，其中所述第二型電極具有朝所述半導體結構遠離所述第一型電極和所述第二型電極的底面方向延伸的穿孔，且所述氧化區域環繞所

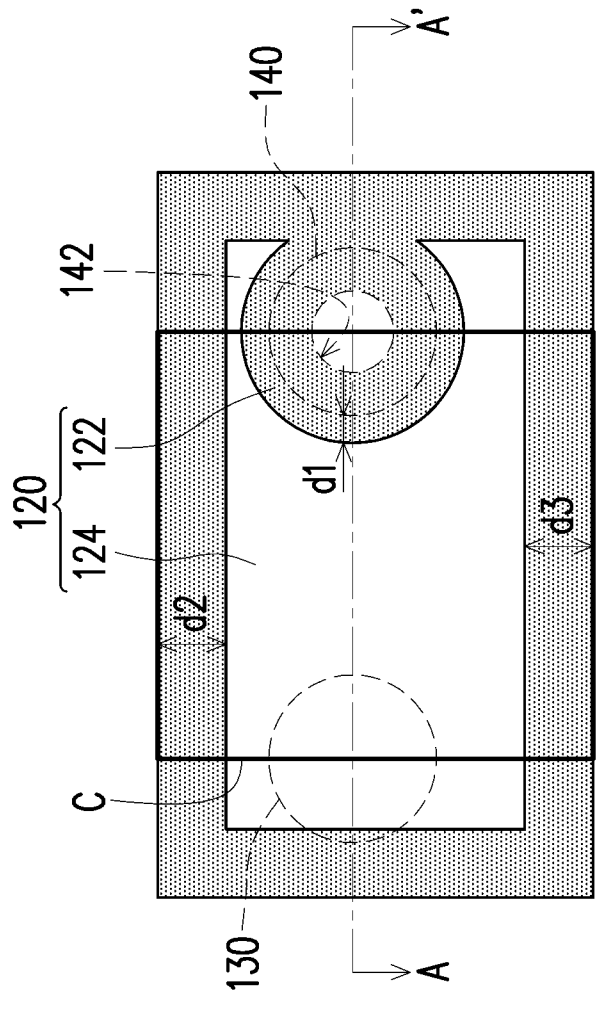
述第一型電極、所述第二型電極或其組合。

【發明圖式】



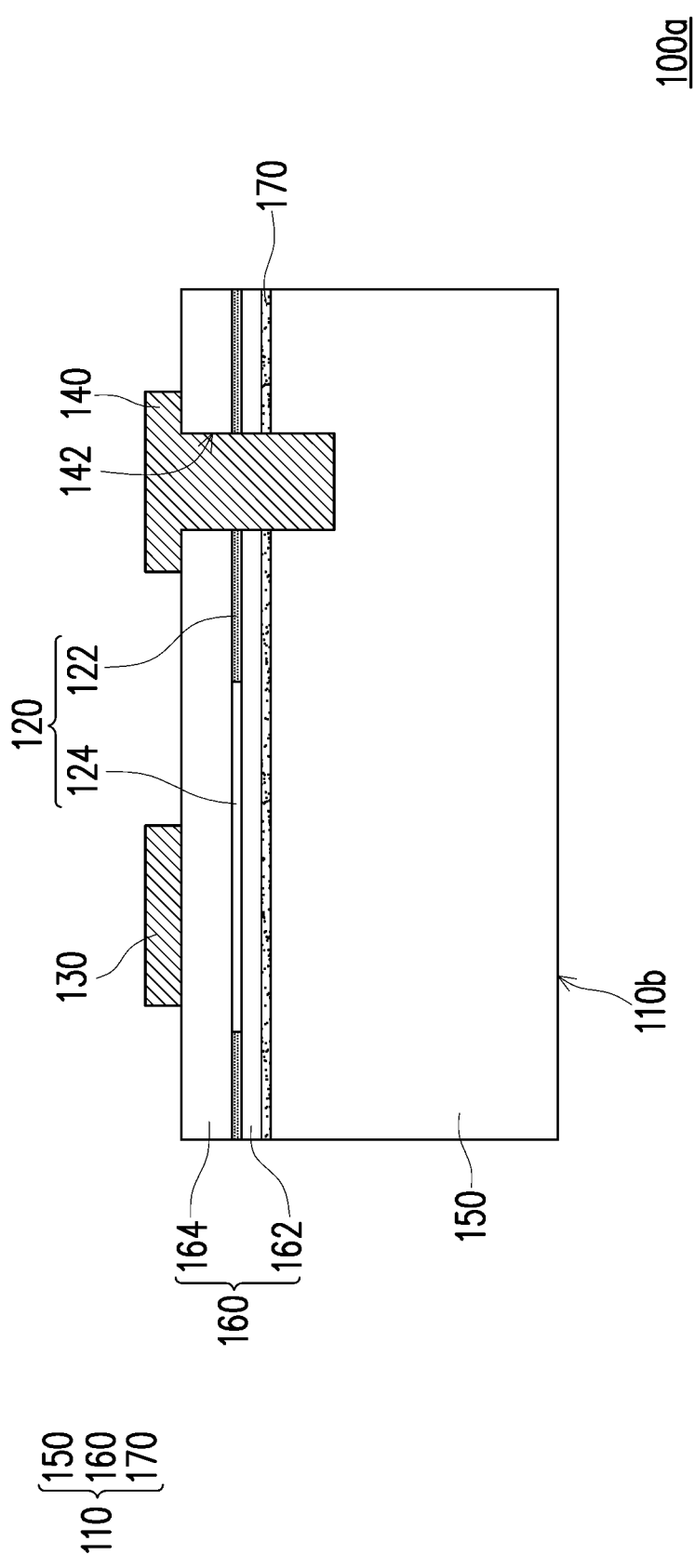
【圖1A】

100

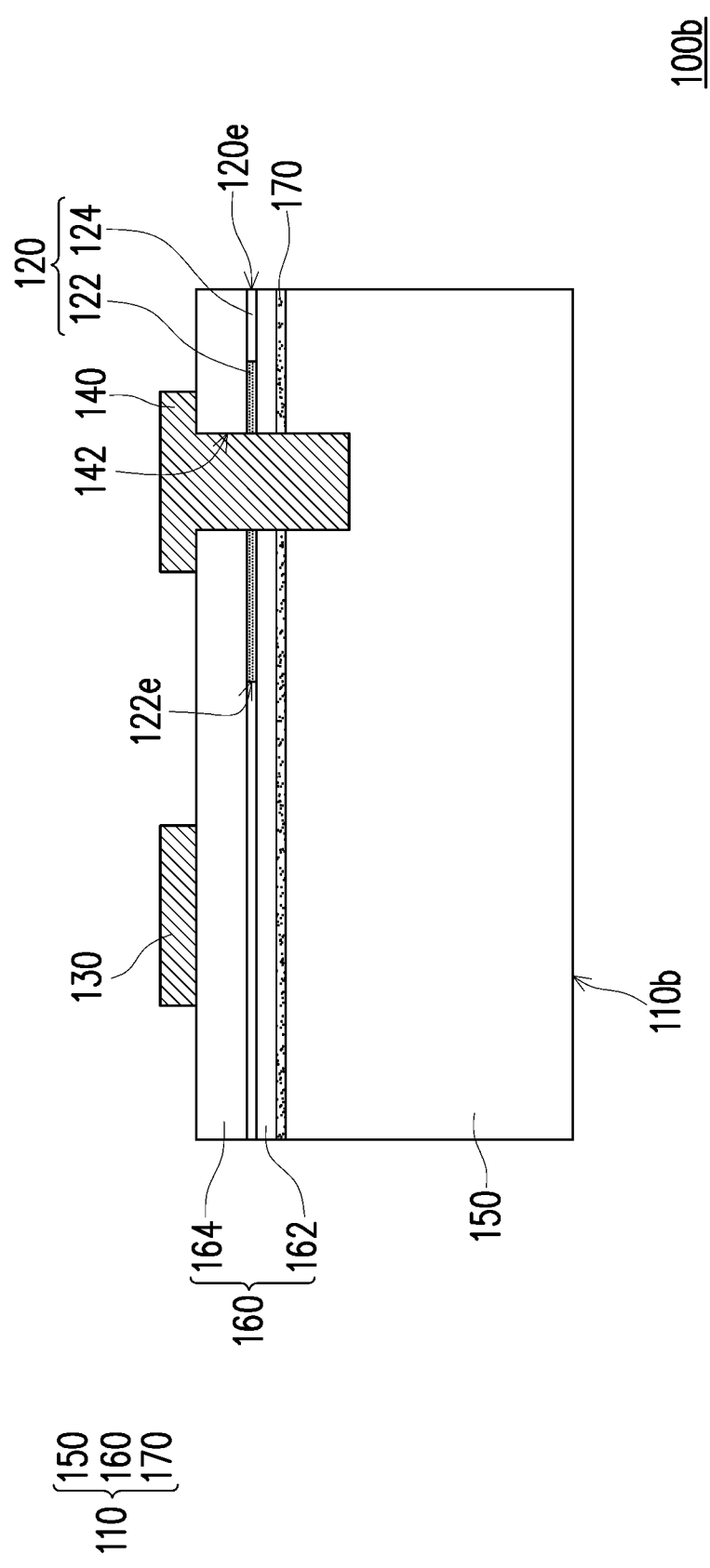


100

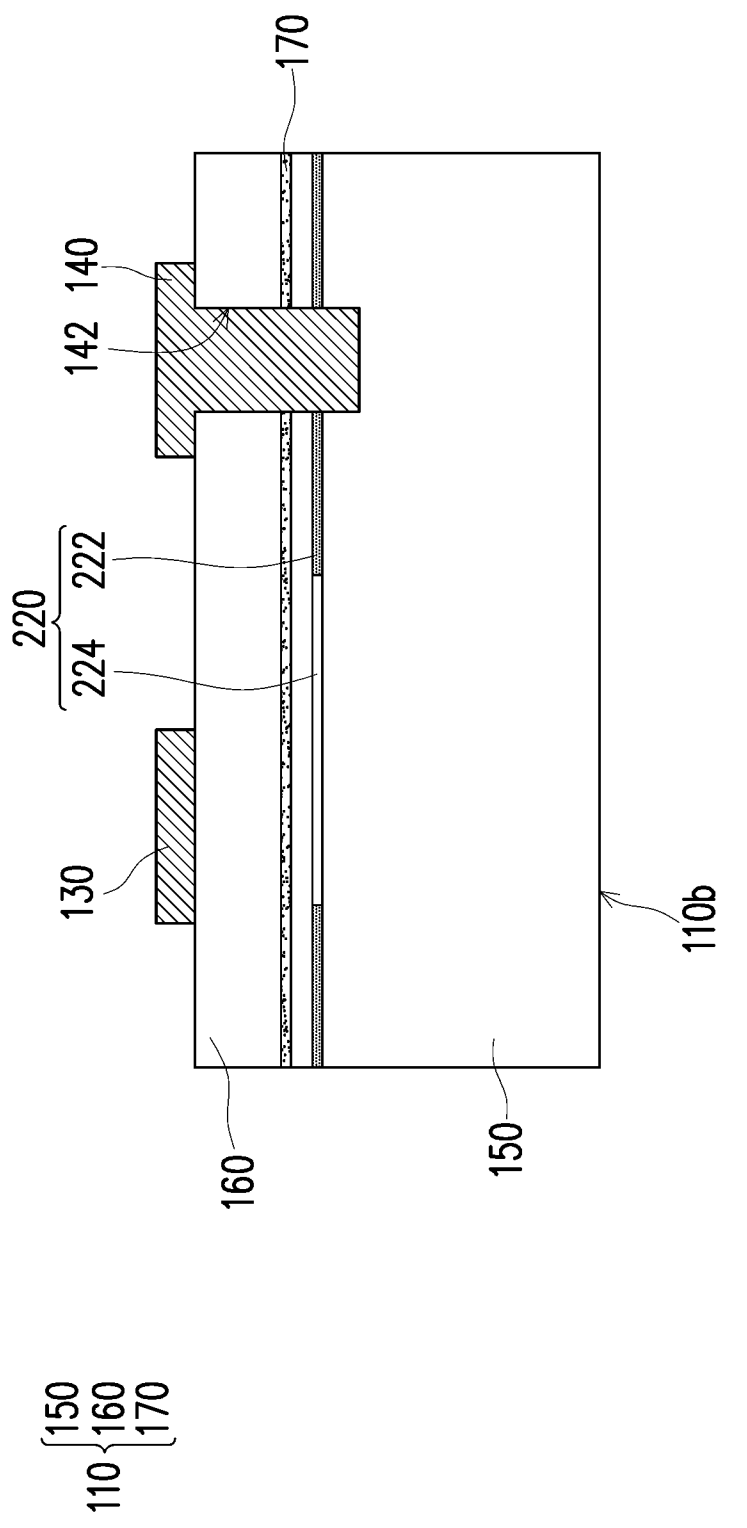
【圖1B】



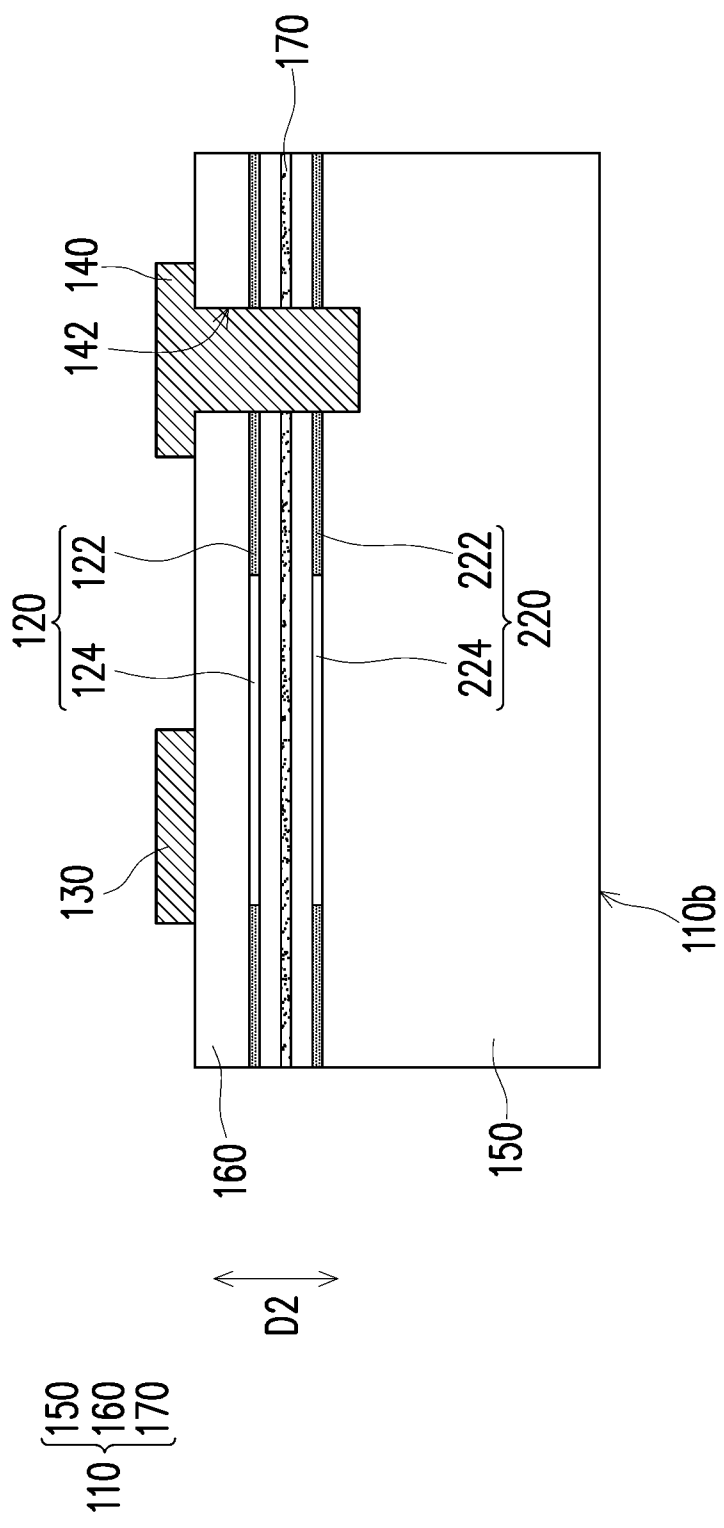
【圖1C】



【圖1D】

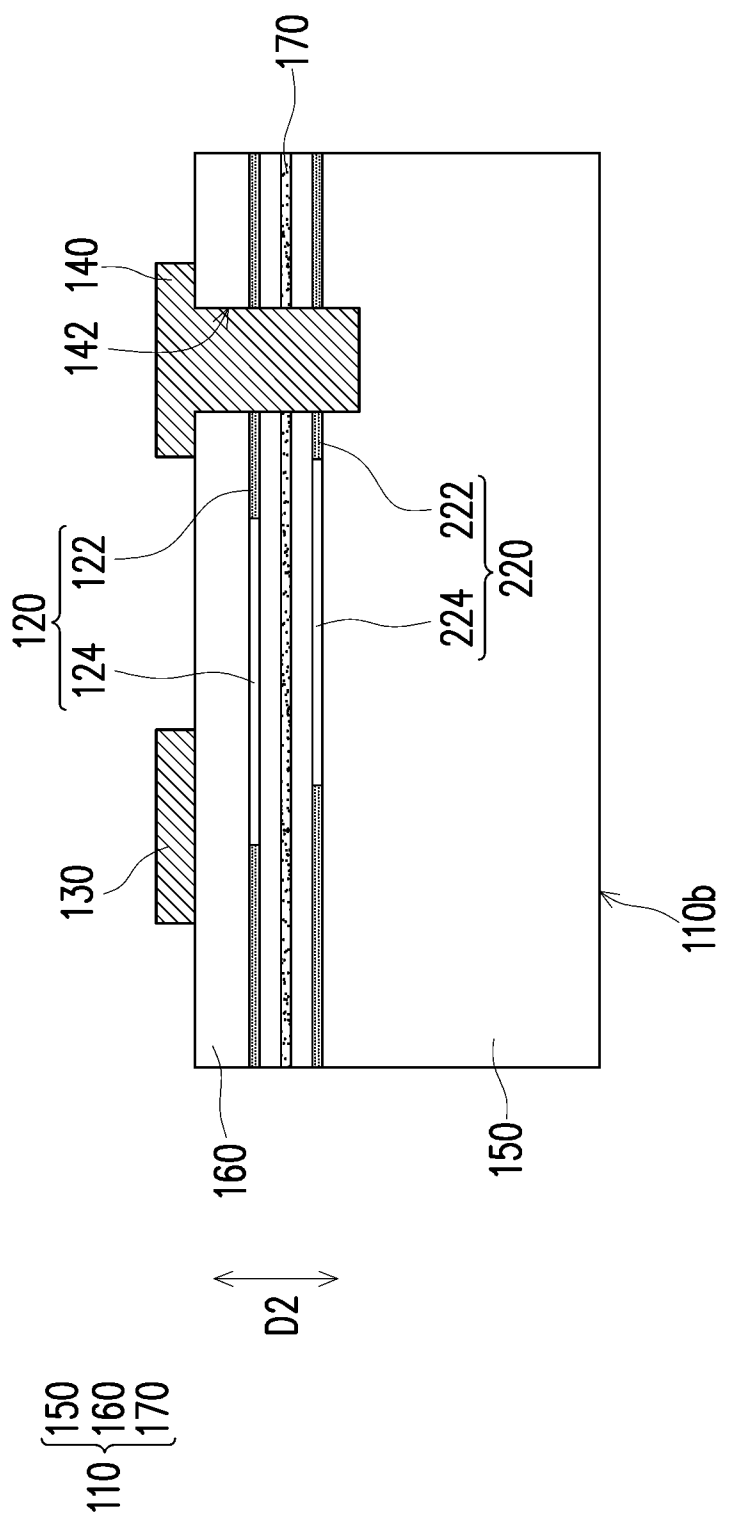


【圖2】

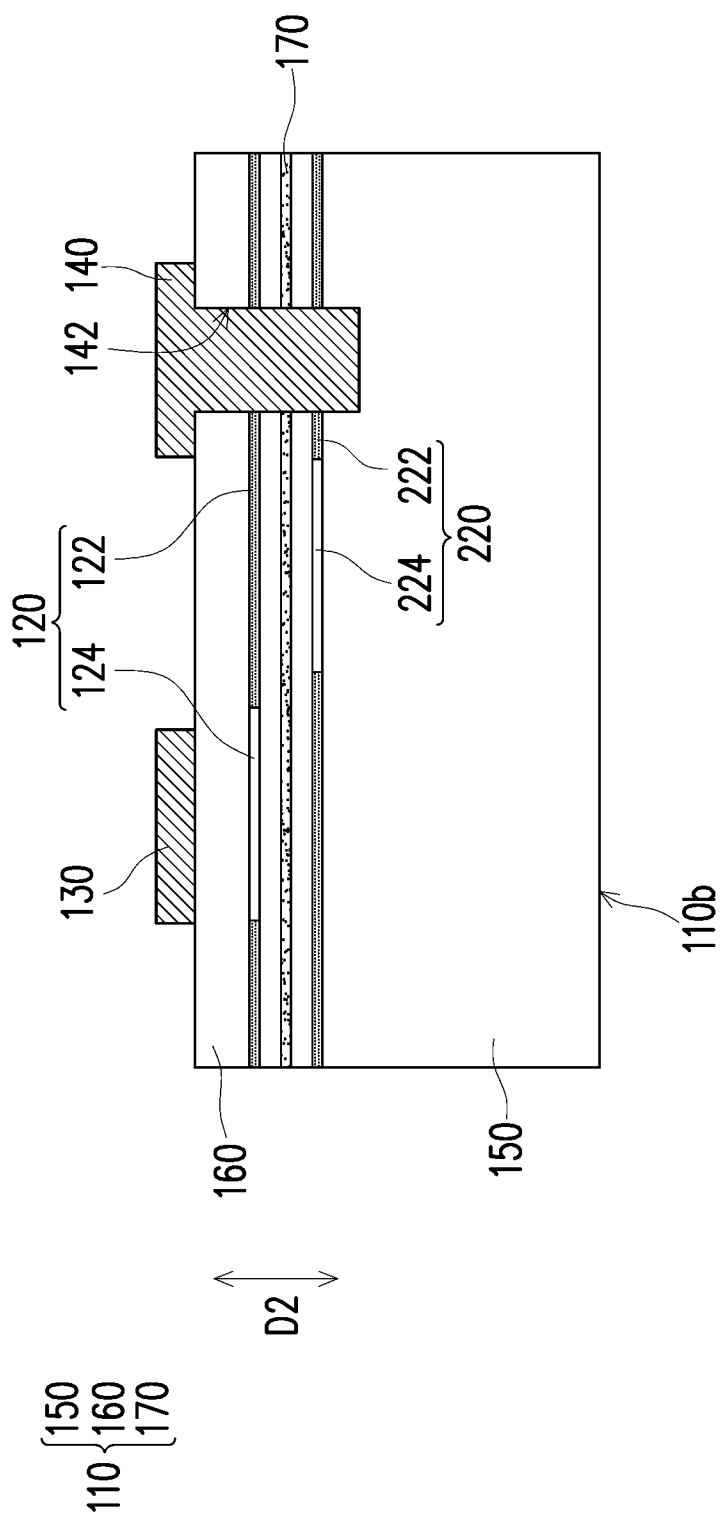


300

【圖3】

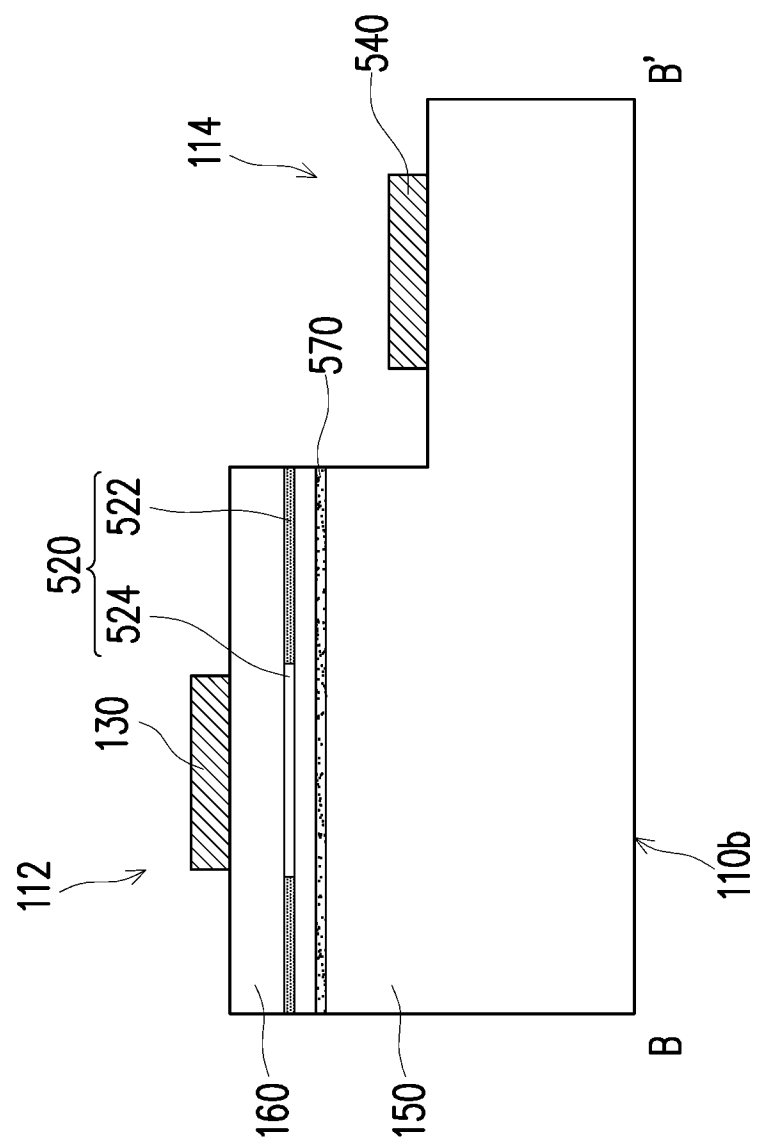


【圖4A】



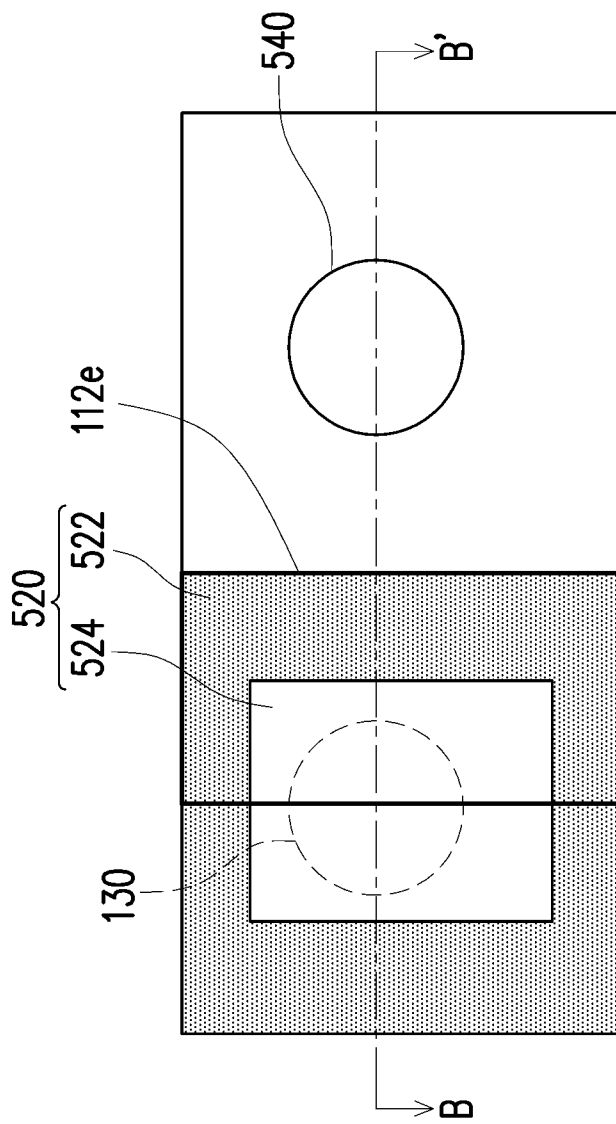
400b

【圖4B】



500

【圖5A】



500

【圖5B】