



(10) **DE 10 2016 204 414 B4** 2021.09.02

(12)

Patentschrift

(21) Aktenzeichen: **10 2016 204 414.1**
(22) Anmeldetag: **17.03.2016**
(43) Offenlegungstag: **22.09.2016**
(45) Veröffentlichungstag
der Patenterteilung: **02.09.2021**

(51) Int Cl.: **H01L 29/775** (2006.01)
H01L 29/423 (2006.01)
H01L 21/283 (2006.01)
H01L 21/324 (2006.01)
H01L 21/20 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

14/659,796 **17.03.2015** **US**

(73) Patentinhaber:

**International Business Machines Corporation,
Armonk, NY, US**

(74) Vertreter:

**Spies & Behrndt Patentanwälte PartG mbB, 80687
München, DE**

(72) Erfinder:

**Chang, Josephine B., Yorktown Heights, N.Y., US;
Guillorn, Michael A., Yorktown Heights, N.Y., US;
Lauer, Isaac, Yorktown Heights, N.Y., US; Sleight,
Jeffrey W., Yorktown, NY, US**

(56) Ermittelter Stand der Technik:

US **2013 / 0 320 455** **A1**
US **2015 / 0 069 328** **A1**

(54) Bezeichnung: **VERFAHREN ZUR HERSTELLUNG EINES WIRE-LAST-GATE-ALL-AROUND-NANODRAHT-FET**

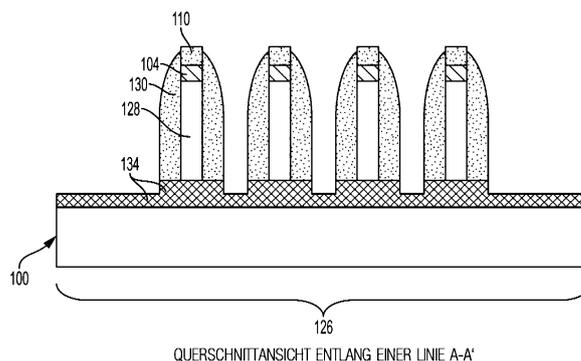
(57) Hauptanspruch: Verfahren zum Herstellen einer Nano- draht-Feldeffekttransistor(FET)-Einheit, wobei das Verfah- ren aufweist:

Bilden einer Mehrzahl von Fins (128) direkt auf einem Bulk- Substrat (100) aus einem Halbleitermaterial eines ersten Typs;

Bilden von einer epitaxialen Basisschicht (134) aus einem Material eines zweiten Halbleiter-Typs benachbart zu unter- en Anteilen der Mehrzahl von Fins (128), wobei sich das Material des zweiten Halbleiter-Typs von dem Material des ersten Halbleiter-Typs unterscheidet;

Durchführen einer Temperung derart, dass die epitaxiale Bas- isschicht (134) thermisch in Basisanteile der Halbleiter-Fins (128) hineingemischt wird.

Selektives Entfernen des Halbleitermaterials des zweiten Typs in Bezug auf das Halbleitermaterial des ersten Typs, um eine Mehrzahl von Nanodrähten (138) aus der Mehrzahl von Fins (128) zu bilden, wobei die Mehrzahl von Nanodräht- en (138) über dem Bulk-Halbleitermaterial (100) hängt.



BeschreibungVERFAHREN ZUR HERSTELLUNG EINES WIRE-
LAST-GATE-ALL-AROUND-NANODRAHT-FET

HINTERGRUND

[0001] Die vorliegende Offenbarung bezieht sich allgemein auf eine Halbleitereinheit und insbesondere auf Nanodraht-Feldeffekttransistor(FET)-Einheiten.

[0002] Die Verwendung von nicht planaren Halbleitereinheiten, wie zum Beispiel FinFET-Einheiten (d.h. FinFETs), ist aufgrund der Fähigkeit, die Gesamtabmessung der Halbleitereinheit zu verringern, erstrebenswert. Die Herstellung von nicht planaren Halbleitereinheiten, wie zum Beispiel Wire-last-Gate-all-around-FinFET-Einheiten, verwendet typischerweise ein Halbleiter-auf-Isolator(SOI)-Substrat, um eine parasitäre Kapazität der Einheit zu verringern. SOI-Substrate beinhalten typischerweise ein Bulk-Substrat, eine vergrabene Isolatorschicht, die sich oben auf dem Bulk-Substrat befindet, sowie eine Halbleiter-auf-Isolator(SOI)-Schicht, die sich oben auf der vergrabenen Isolatorschicht befindet. Die Kosten, die mit SOI-Substraten und den Anforderungen hinsichtlich einer minimalen Dicke aufgrund der vergrabenen Isolatorschicht verknüpft sind, haben jedoch Bestrebungen angeregt, das Bilden von nicht planaren Halbleitereinheiten auf einem Bulk-Halbleitersubstrat zu überdenken.

[0003] In diesem Kontext wurden bereits Dokumente veröffentlicht. Beispielsweise beschreibt das Dokument US 2013 / 0 320 455 A1 eine Halbleitervorrichtung mit einem Körper (body) oberhalb eines Halbleitersubstrates. Der Halbleiterkörper weist eine Kanalregion und ein Paar von Source- und Drain-Bereichen auf jeder Seite des Kanalbereiches auf. Ein isolierender Sockel befindet sich zwischen dem Halbleiterkörper und dem Halbleitersubstrat. Dabei umgibt ein Gate-Elektrodenstapel mindestens teilweise einen Teil der Kanalregion des Halbleiterkörpers.

KURZDARSTELLUNG

[0004] Ein Verfahren zum Herstellen des oben genannten erstrebenswerten Gegenstandes wird durch den ersten unabhängigen Anspruch beschrieben. Weitere Ausgestaltungen sind durch die abhängigen Ansprüche beschrieben.

[0005] Durch die Techniken der vorliegenden Erfindung werden zusätzliche Merkmale realisiert. Weitere Ausführungsformen sind hierin im Detail beschrieben und werden als ein Teil der beanspruchten Erfindung betrachtet. Für ein besseres Verständnis der Erfindung mit den Merkmalen siehe die Beschreibung und die Zeichnungen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0006] Der Gegenstand, der als die Erfindung angesehen wird, ist speziell in den Ansprüchen am Ende der Beschreibung aufgezeigt und eindeutig beansprucht. Die vorstehenden Merkmale sind aus der folgenden detaillierten Beschreibung in Verbindung mit den begleitenden Zeichnungen ersichtlich.

[0007] Bei den **Fig. 1** bis **Fig. 18** handelt es sich um eine Serie von Ansichten, die ein Verfahren zum Bilden eines Wire-last-Gate-all-around-Nanodraht-FETs gemäß exemplarischen Ausführungsformen der vorliegenden Lehren darstellen, in denen:

Fig. 1 eine Querschnittsansicht eines anfänglichen Bulk-Halbleitersubstrats ist;

Fig. 2 das Bulk-Halbleitersubstrat von **Fig. 1** im Anschluss an einen Oxid-Füll-Prozess mit einer Technik für eine flache Grabenisolation (STI, Shallow Trench Isolation) darstellt, um Isolator-Liner an gegenüber liegenden Kanten des Bulk-Halbleitersubstrats zu bilden;

Fig. 3 das Bulk-Halbleitersubstrat von **Fig. 2** im Anschluss an eine Abscheidung einer Isolatorschicht auf einer Oberseite des Bulk-Halbleitersubstrats und auf der Oberseite der flachen Isolator-Liner darstellt;

Fig. 4 das Bulk-Halbleitersubstrat von **Fig. 3** im Anschluss an eine Abscheidung einer Hartmaskenschicht und ein Strukturieren einer Mehrzahl von Resist-Elementen auf einer Oberseite der Hartmaskenschicht darstellt;

Fig. 5 das Bulk-Halbleitersubstrat von **Fig. 4** nach einem Strukturieren der Hartmaskenschicht und einem Entfernen der Resist-Elemente derart darstellt, dass eine Mehrzahl von Hartmasken-Elementen auf einer Oberseite der Isolatorschicht gebildet werden;

Fig. 6 das Bulk-Halbleitersubstrat von **Fig. 5** im Anschluss an eine Bildung eines Dummy-Gate-Stapels auf der Oberseite des Bulk-Halbleitersubstrats darstellt, um die Hartmasken-Elemente zu bedecken;

Fig. 7 das Bulk-Halbleitersubstrat von **Fig. 6** im Anschluss an einen Prozess zum Füllen eines Zwischenraums darstellt, der Bereiche benachbart zu den Seitenwänden des Dummy-Gate-Stapels im Anschluss an einen Ätzprozess, der die Oberseite des Dummy-Gates freilegt, mit einem Isolatormaterial füllt;

Fig. 8 das Bulk-Halbleitersubstrat von **Fig. 7** im Anschluss an einen chemischmechanischen Planarisierungs(CMP)-Prozess darstellt, der auf dem Dummy-Gate stoppt;

Fig. 9 das Bulk-Halbleitersubstrat von **Fig. 8** im Anschluss an eine Entfernung des Dummy-

Gates darstellt, um einen Gate-Graben zu bilden, der die Mehrzahl von Hartmasken-Elementen freilegt, die zwischen Seitenwände der Gate-Struktur zwischengefügt sind;

Fig. 10 das Bulk-Halbleitersubstrat von **Fig. 9** im Anschluss an einen Ätzprozess darstellt, der eine Mehrzahl von Halbleiter-Fins zwischen Seitenwänden des Gate-Stapels bildet;

Fig. 11A das Bulk-Halbleitersubstrat von **Fig. 10** nach einem Bilden von Abstandshaltern auf Seitenwänden der Halbleiter-Fins und nach einem Vertiefen eines Anteils des Halbleitersubstrats darstellt, der sich unterhalb der Abstandshalter befindet;

Fig. 11B das Bulk-Halbleitersubstrat von **Fig. 11A** entlang einer Linie A-A' darstellt;

Fig. 12A das Bulk-Halbleitersubstrat der **Fig. 11A** und **Fig. 11B** nach einem epitaxialen Aufwachsen einer Schicht aus Silicium-Germanium auf einer Oberseite des Halbleitersubstrats und unterhalb der Hartmasken-Elemente darstellt, die sich zwischen den Seitenwänden befinden;

Fig. 12B ein Schaubild von **Fig. 12A** im Querschnitt entlang der Linie A-A' ist; **Fig. 13** das Bulk-Halbleitersubstrat der **Fig. 12A** und **Fig. 12B** darstellt, während es einem Temperprozess unterzogen wird, sodass die epitaxiale Basisschicht thermisch in Basisteile der Halbleiter-Fins hineingemischt wird;

Fig. 14 das Bulk-Halbleitersubstrat von **Fig. 13** nach dem Hineinmischen der epitaxialen Basisschicht in einen Anteil der Halbleiter-Fins darstellt, die sich unterhalb der Hartmasken-Elemente befinden;

Fig. 15A das Bulk-Halbleitersubstrat von **Fig. 14** im Anschluss an einen Ätzprozess darstellt, der einen Anteil der Abstandshalter entfernt und einen Anteil der Halbleiter-Fins zwischen Seitenwänden der Gate-Struktur freilegt;

Fig. 15B das Bulk-Halbleitersubstrat von **Fig. 15A** entlang der Linie A-A' darstellt;

Fig. 16A das Bulk-Halbleitersubstrat der **Fig. 15A** und **Fig. 15B** im Anschluss an eine Entfernung des Silicium-Germaniums derart darstellt, dass eine Mehrzahl von Nanodrähten zwischen Seitenwänden der Gate-Struktur hängen;

Fig. 16B das Bulk-Halbleitersubstrat von **Fig. 16A** entlang der Linie A-A' darstellt;

Fig. 17A das Bulk-Halbleitersubstrat der **Fig. 16A** bis **Fig. 16B** nach einem Füllen des Gate-Grabens mit einem Material für eine Gate-Elektrode darstellt, das die gesamte Oberfläche jedes Nanodrahts umgibt;

Fig. 17B eine Querschnittsansicht des in **Fig. 17A** dargestellten Nanodraht-FETs entlang der Linie A-A' ist; und

Fig. 18 einen fertiggestellten Nanodraht-FET darstellt, der auf einem Bulk-Halbleitersubstrat ausgebildet ist, nachdem die Schicht aus einem Füllmaterial entfernt ist und die Source-/Drain-Bereiche freigelegt sind.

DETAILLIERTE BESCHREIBUNG

[0008] Verschiedene nicht beschränkende Ausführungsformen der Erfindung stellen einen Nanodraht-FET bereit, der auf einem Bulk-Halbleitersubstrat ausgebildet ist. Die Nanodrähte hängen zwischen Seitenwänden einer Gate-Struktur über dem Bulk-Halbleitersubstrat. In der Struktur ist eine Gate-Elektrode ausgebildet, die sich mit der gesamten Oberfläche jedes Nanodrahts in Kontakt befindet. Gemäß einer weiteren Ausführungsform bildet ein Wire-last-Gate-all-around-Herstellungprozess einen Nanodraht-FET, der auf einem Bulk-Halbleitersubstrat gebildet wird. Der Nanodraht-FET beinhaltet eine Mehrzahl von Halbleiter-Nanodrähten, die über einem Anteil des Bulk-Halbleitersubstrats hängen, und eine Gate-Elektrode befindet sich mit der gesamten Oberfläche (d.h. mit sämtlichen Seiten) jedes Nanodrahts in dem Gate-Bereich in Kontakt. Demgemäß kann ein Gate-all-around-Nanodraht-FET auf einer Bulk-Halbleitereinheit hergestellt werden, während die Dicke und die Kosten verringert werden, die mit herkömmlichen Silicium-auf-Substrat-FET-Einheiten verknüpft sind.

[0009] Nunmehr bezugnehmend auf **Fig. 1**, ist ein Bulk-Halbleitersubstrat **100** gemäß einer nicht beschränkenden Ausführungsform der Erfindung dargestellt. Das Halbleitersubstrat **100** erstreckt sich entlang einer ersten Achse (z.B. einer x-Achse), um eine Länge zu definieren, entlang einer zweiten Achse (z.B. einer y-Achse), um eine Breite zu definieren, und entlang einer dritten Achse (z.B. einer z-Achse), um eine Höhe, d.h. eine Dicke, zu definieren. Das Halbleitersubstrat **100** weist verschiedene Materialien auf, die Silicium (Si) beinhalten, jedoch nicht darauf beschränkt sind. Das Halbleitersubstrat **100** kann außerdem eine Dicke in einem Bereich von etwa 30 Nanometern (nm) bis etwa 40 nm aufweisen.

[0010] Bezugnehmend auf **Fig. 2**, wird ein Prozess für eine flache Grabenisolation (STI) durchgeführt und auf das Halbleitersubstrat **100** angewendet. Der STI-Prozess bildet einen ersten Isolator-Liner **102a** an einem ersten Kantenbereich des Halbleitersubstrats **100** und einen zweiten Isolator-Liner **102b** an einem gegenüber liegenden Kantenbereich des Halbleitersubstrats **100**. Der STI-Prozess beinhaltet ein Ätzen des ersten und des zweiten Kantenbereichs des Halbleitersubstrats **100** und ein Wiederbefüllen der geätzten Anteile mit einem dielektrischen Isola-

tormaterial, das Siliciumdioxid (SiO_2) beinhaltet, jedoch nicht beschränkt darauf ist, wie es für einen Fachmann verständlich ist. Jeder Isolator-Liner **102a** bis **102b** kann eine Länge in einem Bereich von ungefähr 10 nm (Nanometern) bis ungefähr 30 nm sowie eine Höhe in einem Bereich von ungefähr 15 nm bis ungefähr 25 nm aufweisen und kann sich entlang der gesamten Breite des Halbleitersubstrats **100** erstrecken.

[0011] Bezugnehmend auf **Fig. 3**, wird eine Isolatorschicht **104** auf einer Oberseite des Halbleitersubstrats **100** gebildet und kann auch auf einer Oberseite jedes Isolator-Liners **102a** bis **102b** gebildet werden. Die Isolatorschicht **104** kann aus verschiedenen dielektrischen Materialien gebildet werden, die SiO_2 beinhalten, jedoch nicht darauf beschränkt sind, und kann eine Dicke in einem Bereich von etwa 5 nm bis etwa 10 nm aufweisen. Es können verschiedene Abscheidungsprozesse verwendet werden, um die Isolatorschicht **104** abzuscheiden, die eine chemische Gasphasenabscheidung (CVD) beinhalten, jedoch nicht darauf beschränkt sind.

[0012] Sich **Fig. 4** zuwendend, wird eine Maskierungsschicht **106** auf einer Oberseite der Isolatorschicht **104** gebildet. Die Maskierungsschicht **106** beinhaltet eine Mehrzahl von als Fin strukturierten Elementen **108**, die auf einer Oberseite derselben ausgebildet sind. Die Mehrzahl von als Fin strukturierten Elementen **108** definiert letztendlich eine Struktur von Fin-Hartmasken, die nachstehend detaillierter beschrieben sind. Es ist ersichtlich, dass die als Fin strukturierten Elemente **108** in irgendeiner geeigneten Weise gebildet werden können, die auf dem Fachgebiet bekannt ist, wie beispielsweise durch lithographisches Strukturieren eines Photoresist-Materials. Alternativ können die als Fin strukturierten Elemente **108** durch einen Seitenwand-Abbildungstransfer (STI)-Prozess (SIT, Sidewall Image Transfer) gebildet werden. Die Maskierungsschicht **106** kann ein Nitrid-Material aufweisen, wie zum Beispiel Siliciumnitrid (SiN). Die als Fin strukturierten Elemente **108** können in dem Fall eines SIT ein Material mit einer hohen Dielektrizitätskonstante (d.h. ein High-k-Dielektrikum) aufweisen, wie zum Beispiel Hafniumsilicat (HfSiO_4), Hafniumdioxid (HfO_2) und Zirconiumdioxid (ZrO_2). Jedes als Fin strukturierte Element **108** kann eine Länge aufweisen, die sich zwischen den Isolator-Linern **102a** bis **102b** erstreckt. Gemäß einer weiteren Ausführungsform können die als Fin strukturierten Elemente **108** jedoch Enden aufweisen, die sich über die Isolator-Liner **102a** bis **102b** hinaus erstrecken.

[0013] Sich **Fig. 5** zuwendend, ist das Halbleitersubstrat **100** im Anschluss an einen Strukturierungsprozess dargestellt, der die Struktur der als Fin strukturierten Elemente **108** durch die Isolatorschicht **104** hindurch transferiert. Demgemäß wird eine Mehrzahl

von Fin-Hartmasken **110** auf verbliebenen Anteilen der Isolatorschicht **104** gebildet. Es können verschiedene Ätzprozesse verwendet werden, um die Resist-Elemente **108** zu transferieren, die einen reaktiven Ionenätz (RIE)-Prozess beinhalten, jedoch nicht darauf beschränkt sind. Der Strukturierungsprozess legt außerdem Anteile des Halbleitersubstrats **100** frei, die sich auf benachbarten Seiten von jeder Fin-Hartmaske **110** befinden, wie in **Fig. 5** weitergehend dargestellt.

[0014] Sich **Fig. 6** zuwendend, wird eine Gate-Struktur **112** auf einer Oberseite des Halbleitersubstrats **100** gebildet. Im Besonderen wird die Gate-Struktur **112** über einem mittleren Anteil des Halbleitersubstrats **100** so gebildet, dass sie die Fin-Hartmasken **110** bedeckt. Es können verschiedene allgemein bekannte Prozesse verwendet werden, um die Gate-Struktur **112** zu bilden, wie es für einen Fachmann verständlich ist. Die Gate-Struktur **112** beinhaltet ein Dummy-Gate **114**, eine Gate-Abdeckung **116** sowie gegenüber liegende Seitenwände **118a**, **118b**. Die Gate-Abdeckung **116** wird auf einer Oberseite des Dummy-Gates **114** gebildet. Die Seitenwände **118a** bis **118b** werden auf Außenwänden des Dummy-Gates **114** und auf Außenwänden der Gate-Abdeckung **116** gebildet. Das Dummy-Gate **114** kann ein oder mehrere Opfermaterialien beinhalten, die polykristallines Silicium, amorphes Silicium oder mikrokristallines Silicium beinhalten, jedoch nicht darauf beschränkt sind. Die Gate-Abdeckung **116** und die Seitenwände **118a** bis **118b** können aus verschiedenen maskierenden Materialien gebildet werden, die SiN beinhalten, jedoch nicht darauf beschränkt sind.

[0015] Weiterhin Bezugnehmend auf **Fig. 6** werden Source-/Drain-Bereiche **120a** bis **120b** benachbart zu jeder Seite der Gate-Struktur **112** gebildet. Gemäß einer nicht beschränkenden Ausführungsform werden Kanten-Anteile der Fin-Hartmaske **110** und der darunter liegenden Isolatorschicht **104** weggeätzt, um das darunter liegende Halbleitersubstrat **100** freizulegen. Die Source-/Drain-Bereiche **120a** bis **120b** können zum Beispiel mittels Dotieren von zugänglichen, freigelegten Bereichen des Halbleitersubstrats **100** mit Ionen vom n-Typ oder Ionen vom p-Typ gebildet werden, wie es für einen Fachmann verständlich ist. Die Ionen werden in den freigelegten Bereichen des Halbleitersubstrats **100** unter einem Neigungswinkel von zwischen etwa 0 Grad und etwa 20 Grad implementiert.

[0016] Nunmehr Bezugnehmend auf **Fig. 7**, wird eine Schicht **122** aus einem Füllmaterial auf freigelegten Anteilen des Halbleitersubstrats **100** abgeschieden, und diese verkapselt die Gate-Struktur **112**. Die Schicht **122** aus einem Füllmaterial kann irgendein geeignetes Füllmaterial aufweisen, das ein Dielektrikum beinhaltet, wie zum Beispiel SiO_2 . Gemäß einer exemplarischen Ausführungsform wird die Schicht

122 aus dem Füllmaterial unter Verwendung eines Prozesses mit einem Plasma hoher Dichte (HDP) um die Gate-Struktur **112** herum abgeschieden.

[0017] Nunmehr bezugnehmend auf **Fig. 8**, wird ein chemisch-mechanischer Planarisierungs(CMP)-Prozess auf das Halbleitersubstrat **100** angewendet. Spezifischer kann der CMP-Prozess selektiv in Bezug auf das Opfermaterial des Dummy-Gates **114** sein. Auf diese Weise kann das Dummy-Gate **114** als eine Ätzstopp-Schicht verwendet werden. Demgemäß setzt der CMP-Prozess die Schicht **122** aus dem Füllmaterial, die Gate-Abdeckung **116** sowie die Seitenwände **118a** bis **118b** zurück, während er auf der Oberseite des Dummy-Gates **114** stoppt. Somit weist die Schicht **122** aus dem Füllmaterial eine Dicke auf, d.h. eine Höhe, die äquivalent zu der Höhe des Dummy-Gates **114** und der verbliebenen Anteile der Seitenwände **118a** bis **118b** ist.

[0018] Sich **Fig. 9** zuwendend, wird das Dummy-Gate **114** entfernt, wobei ein Gate-Graben **124** zwischen den Seitenwänden **118a** bis **118b** gebildet wird, der Anteile der Fin-Hartmasken **110** dazwischen freilegt. Da der Gate-Graben **124** eine negative Struktur des Dummy-Gates **114** definiert, befindet sich der Gate-Graben **124** außerdem mittig über den Fin-Hartmasken **110** und definiert einen Gate-Bereich **126**, der zwischen gegenüber liegende Source-/Drain-Bereiche (die in **Fig. 9** durch die Schicht **122** aus dem Füllmaterial bedeckt sind) des Halbleitersubstrats **100** zwischengefügt ist. Der Gate-Bereich **126** kann eine Länge in einem Bereich zum Beispiel von ungefähr 30 nm bis ungefähr 50 nm aufweisen.

[0019] Das Dummy-Gate **114** kann unter Verwendung verschiedener Techniken entfernt werden, wie zum Beispiel von nasschemischem Ätzen oder trockenchemischem Ätzen. Gemäß einer nicht beschränkenden Ausführungsform wird ein nasschemischer Ätzvorgang verwendet, um die Dummy-Gate-Struktur **112** zu entfernen. Der Ätzvorgang kann außerdem eine Auswirkung auf die Schicht **122** aus dem Füllmaterial haben, wobei ein Anteil derselben entfernt wird. Nach einer Beendigung des Ätzprozesses, um das Dummy-Gate **114** zu entfernen, kann die Schicht **122** aus dem Füllmaterial zum Beispiel auf eine Dicke von etwa 115 Nanometern bis etwa 125 Nanometern verringert werden. Es sollte ersichtlich sein, dass es wenigstens eine Ausführungsform der Erfindung ermöglicht, dass die Fin-Hartmasken **110** vor dem Bilden der Schicht **122** aus dem Füllmaterial platziert werden. Auf diese Weise sind die Fin-Hartmasken **110** freigelegt, wenn das Dummy-Gate **114** entfernt ist, d.h. sie sind innerhalb des Gate-Grabens **124** und des Gate-Bereichs **126** bereits gebildet, wodurch eine Bildung von präziseren und gleichmäßigeren Fins in dem Gate-Bereich **126** ermöglicht wird.

[0020] Bezugnehmend auf **Fig. 10**, werden gemäß der Struktur, die durch die Fin-Hartmasken **110** definiert ist, eine oder mehrere Halbleiter-Fins **128** in dem Gate-Bereich **126** gebildet. Die Halbleiter-Fins **128** weisen eine Breite in einem Bereich von ungefähr 10 nm bis ungefähr 40 nm sowie eine Höhe in einem Bereich von ungefähr 20 nm bis ungefähr 25 nm auf. Gemäß einer nicht beschränkenden Ausführungsform wird ein zeitlich festgelegter reaktiver Ionenätz(RIE)-Vorgang, der selektiv in Bezug auf ein Halbleitermaterial ist, wie beispielsweise Silicium (Si), dazu verwendet, Anteile des Halbleitersubstrats **100** zu entfernen, die durch den Gate-Graben **124** freigelegt sind, d.h. von den Fin-Hartmasken **110** nicht bedeckt sind. Es sollte ersichtlich sein, dass wenigstens eine nicht beschränkende Ausführungsform der Erfindung lediglich das Halbleitermaterial (z.B. Si) ätzt, das sich in dem Gate-Graben **124** befindet. Demgemäß verbleiben die Source-/Drain-Bereiche (die von der Schicht **122** aus dem Füllmaterial bedeckt sind) des Halbleitersubstrats **100** unterhalb der Schicht **122** aus dem Füllmaterial intakt. Des Weiteren sind die Source-/Drain-Bereiche selbstjustiert zu dem Gate-Graben **124** und können wiederum selbstjustiert zu einer Gate-Elektrode sein (in **Fig. 10** nicht gezeigt), die in dem Gate-Graben **124** ausgebildet ist, wie nachstehend detaillierter beschrieben.

[0021] Sich nunmehr den **Fig. 11** bis **Fig. 17** zuwendend, werden die Halbleiter-Fins **128** dazu verwendet, Nanodrähte zu bilden, die in den Gate-Graben **124** (d.h. den Gate-Bereich **126**) und zwischen den Seitenwänden **118a** bis **118b** der Gate-Struktur **112** hängen. Unter Bezugnahme auf die **Fig. 11A** bis **Fig. 11B** wird eine konforme Schicht **130** für innere Abstandshalter, die zum Beispiel SiN aufweist, in dem Gate-Graben **124** abgeschieden, und diese bedeckt innere Anteile der Seitenwände **118a** bis **118b**. Die Schicht **130** für innere Abstandshalter erhöht die Dicke der Seitenwände **118a** bis **118b**, während sie die Breite des Gate-Bereichs **126** verringert. Nach dem Abscheiden der Schicht **130** für innere Abstandshalter wird ein Anteil des Halbleitersubstrats **100** vertieft, der sich unterhalb der Fin-Hartmasken **110** befindet. Demgemäß wird ein Hohlraum **132** unterhalb jeder Fin-Hartmaske **110** gebildet und dieser legt einen Anteil jeder Halbleiter-Fin **128** frei, wie in **Fig. 11B** weitergehend dargestellt.

[0022] Sich den **Fig. 12A** bis **Fig. 12B** zuwendend, wird ein epitaxialer Prozess durchgeführt, durch den eine epitaxiale Basisschicht **134** von dem freigelegten Halbleitersubstrat **100** aus aufwächst, das durch den Gate-Graben **124** freigelegt ist. Das epitaxiale Material beinhaltet zum Beispiel Silicium-Germanium (SiGe), das unter Verwendung verschiedener epitaxialer Prozesse gebildet werden kann, wie es für einen Fachmann verständlich ist. Da das epitaxiale Material lediglich auf dem Halbleitersubstrat **100** aufwächst, wird die epitaxiale Basisschicht **134** von der

Basisoberfläche des Halbleitersubstrats **100** aus aufgewachsen, die durch den Gate-Graben **124** freigelegt ist, und diese bedeckt Seiten der Halbleiter-Fins **128**, die über die Hohlräume **132** unterhalb der Fin-Hartmaske **110** freigelegt sind, wie in **Fig. 12B** dargestellt.

[0023] Bezugnehmend auf **Fig. 13** ist das Halbleitersubstrat **100** gezeigt, das einem Temper-Prozess unterworfen wird. Der Temper-Prozess wendet Wärme (die als strömende Pfeile gezeigt ist) auf das Halbleitersubstrat **100** und im Besonderen auf den Gate-Bereich **126** an. Die Wärme weist eine Temperatur in einem Bereich von etwa 700 Grad Celsius ($^{\circ}\text{C}$) bis etwa 1.100°C auf. In Fällen, in denen die Umgebung nicht oxidierend ist, mischt die Wärme, die während des Temper-Prozesses angewendet wird, die epitaxiale Basisschicht **134** thermisch in Basisanteile des Halbleiter-Fins **128** hinein, der sich unterhalb der Fin-Hartmasken **110** befindet, wie in **Fig. 14** weitergehend dargestellt. In Fällen, in denen die Umgebung oxidierend ist, führt die Wärme, die während des Temper-Prozesses angewendet wird, dazu, die epitaxiale Basisschicht **134** in freigelegte Oberflächen der Basisanteile des Halbleiter-Fins **128** hineinzumischen.

[0024] Sich nunmehr den **Fig. 15A** bis **Fig. 15B** zuwendend, wird die Schicht **130** für innere Abstandshalter zum Beispiel unter Verwendung eines anisotropen Ätzprozesses überätzt, der selektiv in Bezug auf Halbleitermaterialien ist, wie beispielsweise Silicium (Si) und Silicium-Germanium (SiGe). Auf diese Weise werden die Fin-Hartmasken **110** entfernt, wodurch die darunter liegenden Halbleiter-Fins **128** und die epitaxiale Basisschicht **134** freigelegt werden. Die Seitenwände **118a** bis **118b** und verbliebene Anteile der Schicht **130** für innere Abstandshalter werden außerdem unter die Schicht **122** aus dem Füllmaterial vertieft und tragen eine Gate-Elektrode (in den **Fig. 15A** bis **Fig. 15B** nicht gezeigt), wie nachstehend detaillierter erörtert wird.

[0025] Nunmehr bezugnehmend auf die **Fig. 16A** bis **Fig. 16B**, wird ein Unterschneidungsprozess durchgeführt, der selektiv die epitaxiale Basisschicht **134** entfernt. Es kann eine Kombination aus einem anisotropen Ätzvorgang und einem isotropen Ätzvorgang, die jeweils selektiv in Bezug auf das Halbleitersubstrat **100** sind, zum Beispiel Si, dazu verwendet werden, das SiGe zu entfernen, während das Halbleitersubstrat **100** und die Halbleiter-Fins **128** erhalten werden. Es können verschiedene chemische Ätzprozesse angewendet werden, die zum Beispiel einen chemischen Gasphasen-Ätzvorgang mit HCl bei etwa 500 Grad Celsius bis etwa 800 Grad Celsius oder einen chemischen Ätzvorgang auf der Basis von Ammoniumhydroxid (NH_4OH) beinhalten. Auf diese Weise wird ein Tunnel **136** unterhalb der zuvor gebildeten Halbleiter-Fins gebildet. Der Tunnel weist eine Höhe in einem Bereich zum Beispiel von ungefähr 20

nm bis ungefähr 10 nm auf und erstreckt sich entlang der Breite des Halbleitersubstrats **100**. Der Tunnel **136** definiert im Wesentlichen eine Mehrzahl von Halbleiter-Nanodrähten **138**, die sich in dem Gate-Bereich **126** befinden und gegenüber liegende Enden aufweisen, die durch jeweilige Seitenwände der Gate-Struktur **112** verankert sind. Demgemäß ist die gesamte Oberfläche, d.h. sämtliche Seiten, der Nanodrähte **138** in dem Gate-Graben **124** freigelegt, wie in **Fig. 16B** weitergehend dargestellt. Die Nanodrähte **138** weisen eine Höhe in einem Bereich zum Beispiel von ungefähr 10 nm bis ungefähr 15 nm und eine Breite in einem Bereich zum Beispiel von ungefähr 10 nm bis ungefähr 40 nm auf. Des Weiteren sind die Nanodrähte **138** in dem Gate-Graben **126** bereits vor dem Bilden einer endgültigen Gate-Elektrode gebildet und weisen ein Rastermaß in einem Bereich zum Beispiel von ungefähr 40 nm bis ungefähr 100 nm auf. Auf diese Weise sieht wenigstens eine Ausführungsform der Erfindung einen Wire-last-Gate-all-around-Herstellungsprozess vor. Der Wire-last-Gate-all-around-Prozess beinhaltet ein Bilden der Nanodrähte **138** nach einem Bilden der Source-/Drain-Bereiche **120a** bis **120b** und des Gate-Bereichs **126**.

[0026] Bezugnehmend auf die **Fig. 17A** bis **Fig. 17B**, wird ein Material **140** für eine Gate-Elektrode in dem Gate-Graben **124** abgeschieden. Das Material **140** für die Gate-Elektrode wird aus verschiedenen elektrisch leitfähigen Materialien gebildet, die Metall und Polysilicium beinhalten, jedoch nicht darauf beschränkt sind. Da der Tunnel **136** unterhalb der Nanodrähte **138** gebildet wird, befindet sich das Material **140** für die Gate-Elektrode in Kontakt mit der gesamten Oberfläche, d.h. sämtlichen Seiten, jedes Nanodrahts **138**, wie in **Fig. 17B** weitergehend dargestellt. Wenngleich nicht dargestellt, sollte ersichtlich sein, dass ein CMP-Prozess derart durchgeführt werden kann, dass die Gate-Struktur **112**, die Schicht **122** aus dem Füllmaterial sowie das Material **140** für die Gate-Elektrode bündig miteinander sind. Zum Beispiel kann ein CMP-Prozess auf die Schicht **122** aus dem Füllmaterial angewendet werden, wobei das Material **140** für die Gate-Elektrode als eine Ätzstopp-Schicht verwendet wird. Auf diese Weise kann die Schicht **122** aus dem Füllmaterial derart zurück gesetzt werden, dass das Material **140** für die Gate-Elektrode (d.h. die Gate-Elektrode), die Gate-Struktur **112** und die Schicht **122** aus dem Füllmaterial bündig miteinander sind, d.h. ungefähr die gleiche Dicke aufweisen.

[0027] Sich nunmehr **Fig. 18** zuwendend, ist ein fertiggestellter Nanodraht-FET, der auf einem Bulk-Halbleitersubstrat **100** ausgebildet ist, nach einem Entfernen der Schicht aus dem Füllmaterial (die in **Fig. 17A** als **122** gezeigt ist) und einem Freilegen der darunter liegenden Source-/Drain-Bereiche **120a** bis **120b** dargestellt, die selbstjustiert zu der Gate-Struktur **112** sind. Wenngleich nicht gezeigt, können auf

der Oberseite der Gate-Elektrode **140** und den Source-/Drain-Bereichen **120a** bis **120b** weitere Kontaktstrukturen gebildet werden, wie es für einen Fachmann verständlich ist.

[0028] Wie vorstehend beschrieben, stellen verschiedene nicht beschränkende Ausführungsformen der Erfindung einen Nanodraht-FET bereit, der eine Mehrzahl von Nanodrähten beinhaltet, die auf einem Bulk-Halbleitersubstrat ausgebildet sind. Die Nanodrähte hängen zwischen Seitenwänden eines Gate-Stapels, und eine Gate-Elektrode ist auf der gesamten Oberfläche, d.h. auf sämtlichen Seiten, jedes Nanodrahts ausgebildet. Gemäß einer weiteren Ausführungsform bildet ein Wire-last-Gate-all-around-Herstellungsprozess einen Nanodraht-FET, der eine Mehrzahl von Halbleiter-Nanodrähten beinhaltet, die auf einem Bulk-Halbleitersubstrat ausgebildet sind. Die Gate-Elektrode befindet sich mit der gesamten Oberfläche (d.h. sämtlichen Seiten) jedes Nanodrahts in dem Gate-Bereich in Kontakt. Demgemäß kann ein Gate-all-around-FET hergestellt werden, während die Dicke und die Kosten verringert werden, die mit herkömmlichen Silicium-auf-Substrat-Nanodraht-FETs verknüpft sind.

[0029] Wie hierin verwendet, bezieht sich der Ausdruck Modul auf ein Hardware-Modul, das einen Application Specific Integrated Circuit (ASIC), einen elektronischen Schaltkreis, einen Prozessor (gemeinsam genutzt, fest zugeordnet oder Gruppe) sowie einen Speicher, der eine oder mehrere Software- oder Firmware-Programme ausführt, einen kombinatorischen Logik-Schaltkreis und/oder weitere geeignete Komponenten beinhaltet, welche die beschriebene Funktionalität bereitstellen.

[0030] Die Beschreibungen der verschiedenen Ausführungsformen der vorliegenden Erfindung wurden zu Illustrationszwecken präsentiert, sollen jedoch nicht erschöpfend oder beschränkend für die offenbaren Ausführungsformen sein. Für den Fachmann sind viele Modifikationen und Variationen ersichtlich, ohne von dem Umfang und dem Inhalt der beschriebenen Ausführungsformen abzuweichen. Die hierin verwendete Terminologie wurde gewählt, um die Grundgedanken der Ausführungsformen, die praktische Anwendung oder die technische Verbesserung gegenüber Technologien, die auf dem Markt zu finden sind, am besten zu erläutern oder andere Fachleute in die Lage zu versetzen, die hierin offenbaren Ausführungsformen zu verstehen.

[0031] Die hierin verwendete Terminologie dient lediglich dem Zweck des Beschreibens spezieller Ausführungsformen und soll die Erfindung nicht beschränken. Wie hierin verwendet, sollen die Singularformen „ein“, „eine“, „eines“ sowie „der“, „die“, „das“ ebenso die Pluralformen beinhalten, wenn nicht der Kontext klar etwas anderes anzeigt. Des Weiteren

verstehen es sich, dass die Ausdrücke „weist auf“ und/oder „aufweisend“, wenn sie in dieser Beschreibung verwendet werden, das Vorhandensein von angegebenen Merkmalen, ganzen Zahlen, Schritten, Operationen, Elementen und/oder Komponenten spezifizieren, dass sie jedoch das Vorhandensein oder die Hinzufügung von einem (einer) oder mehreren weiteren Merkmalen, ganzen Zahlen, Schritten, Operationen, Elementen, Komponenten und/oder Gruppen derselben nicht ausschließen.

Patentansprüche

1. Verfahren zum Herstellen einer Nanodraht-Feldeffekttransistor(FET)-Einheit, wobei das Verfahren aufweist:

Bilden einer Mehrzahl von Fins (128) direkt auf einem Bulk-Substrat (100) aus einem Halbleitermaterial eines ersten Typs;

Bilden von einer epitaxialen Basisschicht (134) aus einem Material eines zweiten Halbleiter-Typs benachbart zu unteren Anteilen der Mehrzahl von Fins (128), wobei sich das Material des zweiten Halbleiter-Typs von dem Material des ersten Halbleiter-Typs unterscheidet;

Durchführen einer Temperung derart, dass die epitaxiale Basisschicht (134) thermisch in Basisanteile der Halbleiter-Fins (128) hineingemischt wird.

selektives Entfernen des Halbleitermaterials des zweiten Typs in Bezug auf das Halbleitermaterial des ersten Typs, um eine Mehrzahl von Nanodrähten (138) aus der Mehrzahl von Fins (128) zu bilden, wobei die Mehrzahl von Nanodrähten (138) über dem Bulk-Halbleitermaterial (100) hängt.

2. Verfahren nach Anspruch 1, das des Weiteren ein Bilden einer Gate-Struktur (112) und von Source-/Drain-Bereichen (120a, 120b) der Nanodraht-FET-Einheit vor dem Bilden der Mehrzahl von Nanodrähten (138) aufweist.

3. Verfahren nach Anspruch 2, das des Weiteren aufweist:

Bilden einer Gate-Struktur (112) auf einer Oberseite des Bulk-Halbleitersubstrats (100), wobei die Gate-Struktur (112) ein Dummy-Gate (114) aufweist, das einen mittleren Anteil der Fin-Hartmasken (110) überdeckt;

Entfernen des Dummy-Gates (114), um einen Gate-Graben (124) in der Gate-Struktur (112) freizulegen, wobei der Gate-Graben (124) einen Gate-Bereich (126) der Nanodraht-FET-Einheit definiert; und Füllen des Gate-Grabens (124) mit einem elektrisch leitfähigen Gate-Material (140), um eine Gate-Elektrode (140) zu bilden, die sich mit einer gesamten Oberfläche von jedem Nanodraht in Kontakt befindet.

4. Verfahren nach Anspruch 3, wobei das Ätzen der Halbleiter-Fins (128) des Weiteren ein Ätzen ei-

nes Tunnels (136) unterhalb der Halbleiter-Fins aufweist, um die Nanodrähte zu bilden.

5. Verfahren nach Anspruch 4, wobei das Ätzen der Halbleiter-Fins (128) des Weiteren ein Ätzen einer epitaxialen Basisschicht (134) unterhalb der Halbleiter-Fins (128) aufweist, um den Tunnel (136) zu bilden.

6. Verfahren nach Anspruch 5, wobei das Ätzen der Halbleiter-Fins (128) des Weiteren aufweist:
Abscheiden einer Schicht für innere Abstandshalter in dem Graben vor dem Ätzen des Tunnels (136), die mit einer äußeren Oberfläche der Fin-Hartmasken (110) übereinstimmt;
Ätzen eines Anteils des Bulk-Halbleitersubstrats (100), der sich an einer Basis der Fin-Hartmaske (110) befindet, um einen Basisanteil der Halbleiter-Fins freizulegen; und
Bilden der epitaxialen Basisschicht (134) zwischen den Fin-Hartmasken (110) und dem Bulk-Halbleitersubstrat (100).

7. Verfahren nach Anspruch 1, wobei das Ätzen des Tunnels (136) unterhalb der Halbleiter-Fins (138) des Weiteren ein selektives Ätzen eines epitaxialen Materials (134) der epitaxialen Basisschicht (134) in Bezug auf ein Halbleitermaterial des bulk-Halbleitersubstrats (100) und der Halbleiter-Fins (128) aufweist.

8. Verfahren nach Anspruch 7, wobei das Bilden der epitaxialen Basisschicht (134) ein epitaxiales Aufwachsen von Silicium-Germanium (SiGe) auf dem geätzten Bulk-Halbleitersubstrat (100) und dem Basisanteil der Halbleiter-Fins (128) aufweist.

9. Verfahren nach Anspruch 8, das des Weiteren ein Bilden eines ersten Isolator-Liners (102a) an einem ersten Kantenbereich des Bulk-Halbleitersubstrats (100) und ein Bilden eines zweiten Isolator-Liners (102b) an einem zweiten Kantenbereich der Bulk-Halbleitereinheit (100) aufweist, der dem ersten Kantenbereich gegenüber liegt, bevor die Mehrzahl von Fin-Hartmasken (110) strukturiert wird.

10. Verfahren nach Anspruch 9, das des Weiteren ein Bilden eines ersten Source-/Drain-Bereichs (120a) zwischen dem ersten Isolator-Liner (102a) und der Gate-Struktur (112) und ein Bilden eines zweiten Source-/Drain-Bereichs (120b) zwischen dem zweiten Isolator-Liner (102b) und der Gate-Struktur (112) aufweist.

11. Verfahren nach Anspruch 10, wobei der erste und der zweite Source-/Drain-Bereich (120a, 120b) selbstjustiert zu der Gate-Struktur (112) sind.

Es folgen 23 Seiten Zeichnungen

Anhängende Zeichnungen

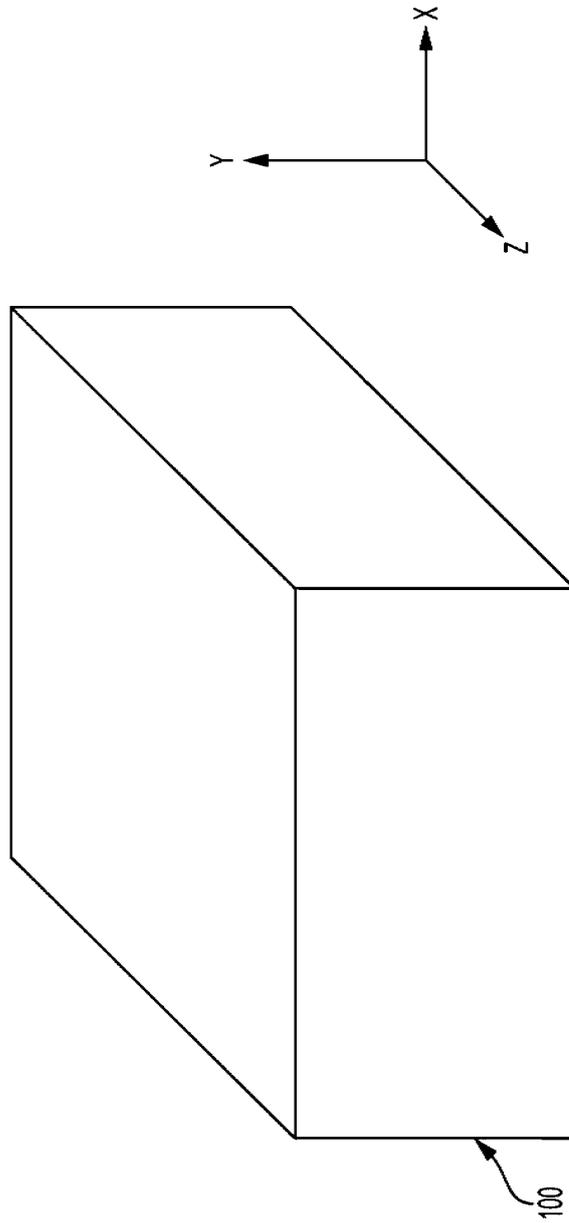


FIG. 1

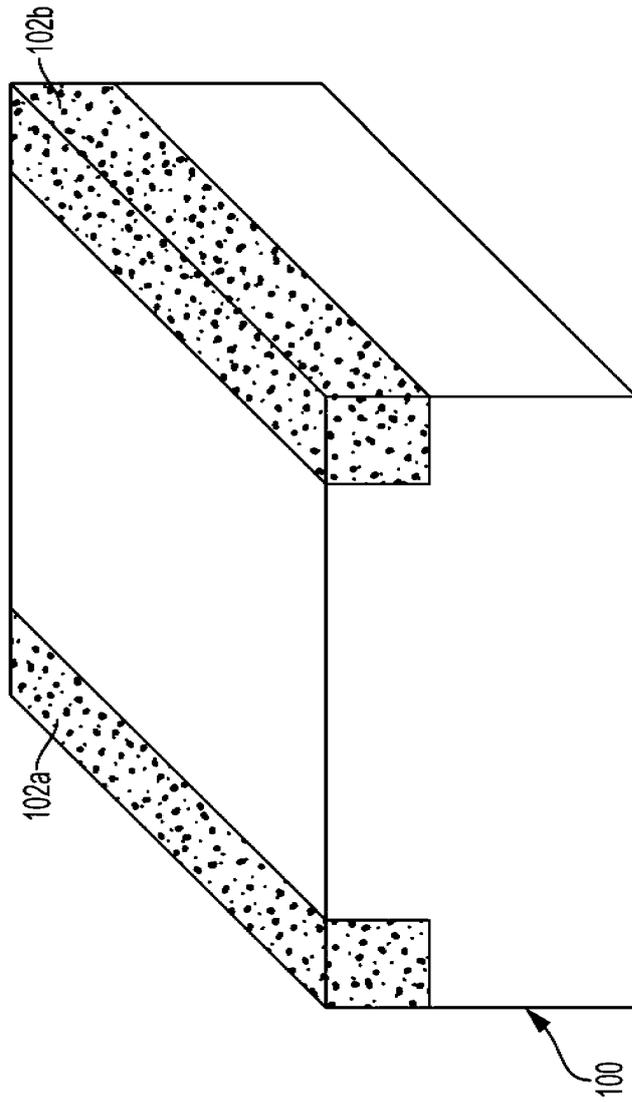


FIG. 2

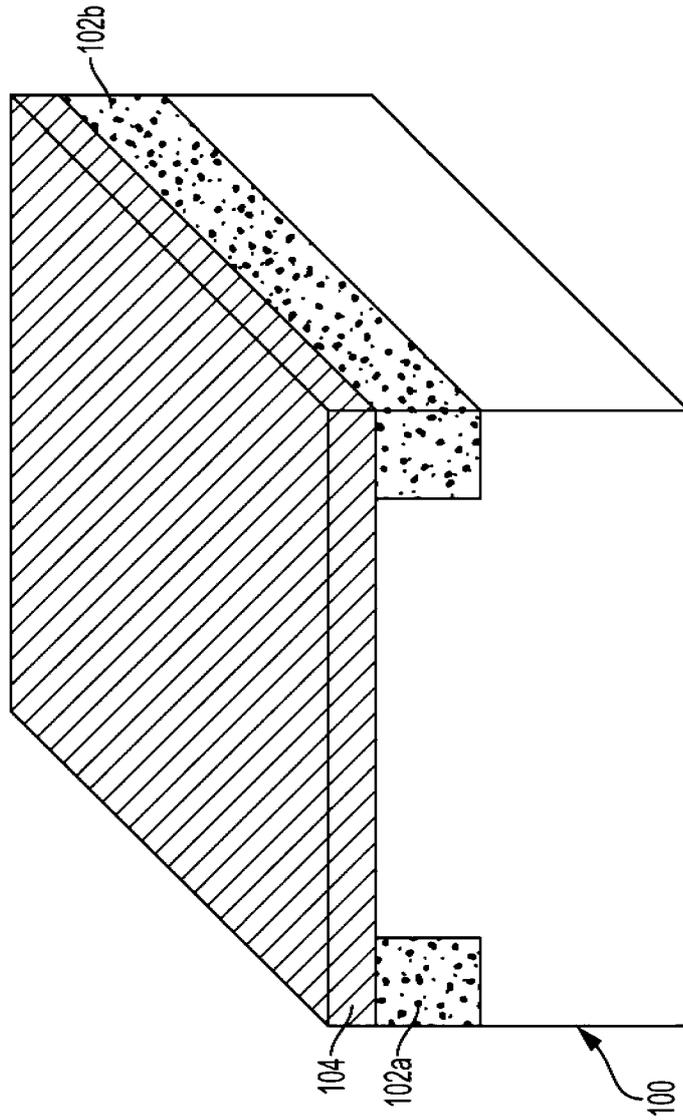


FIG. 3

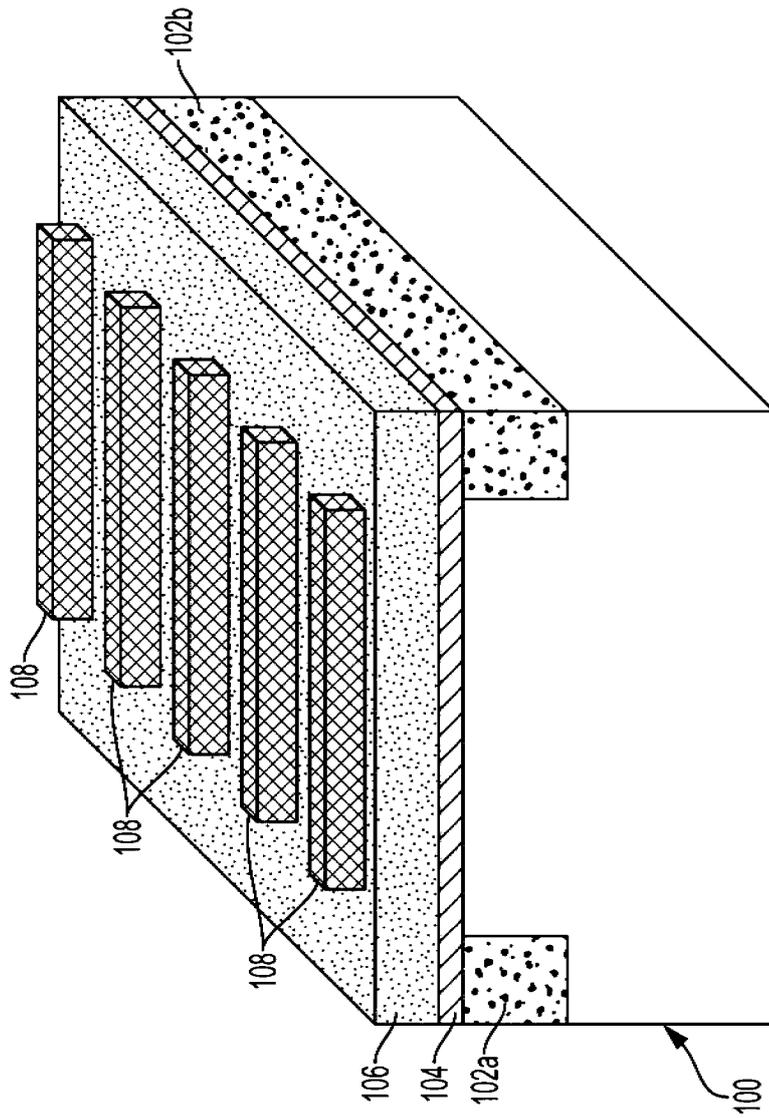


FIG. 4

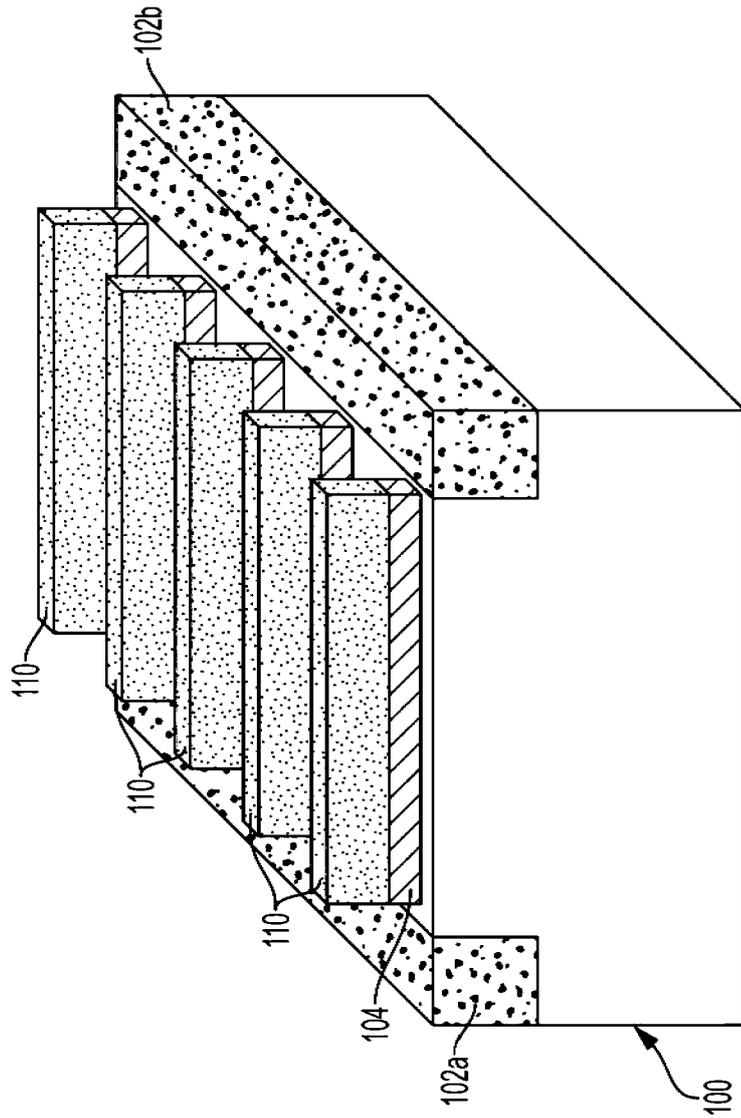


FIG. 5

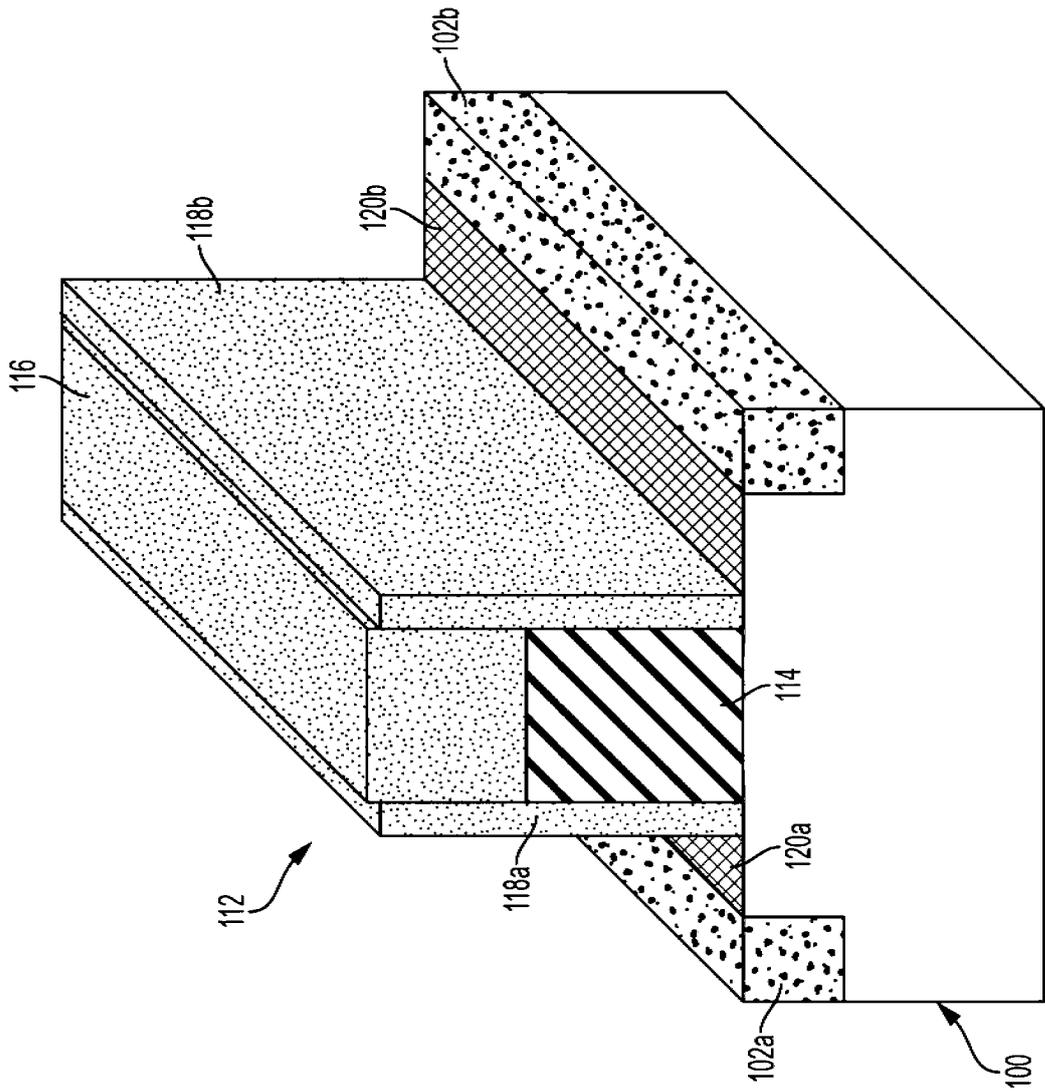


FIG. 6

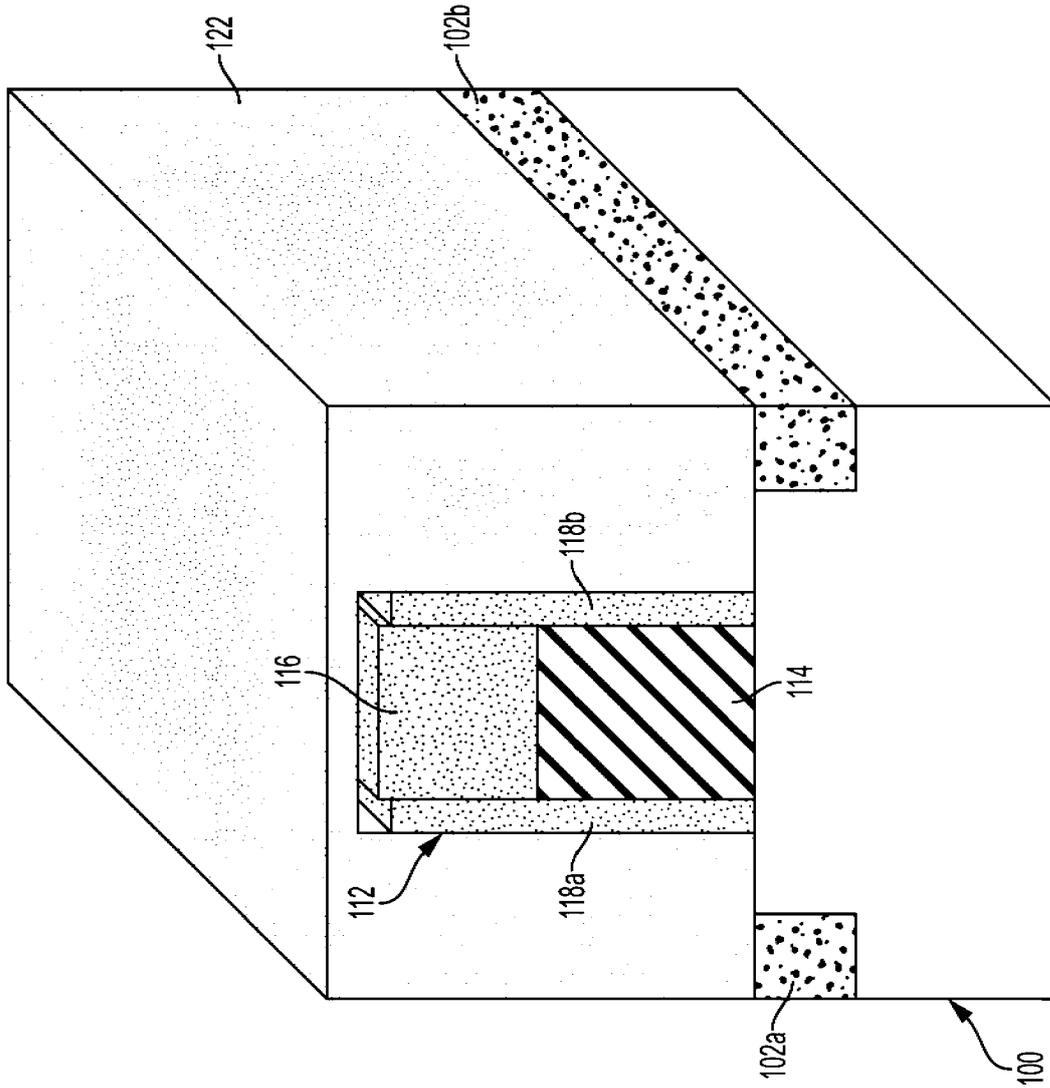


FIG. 7

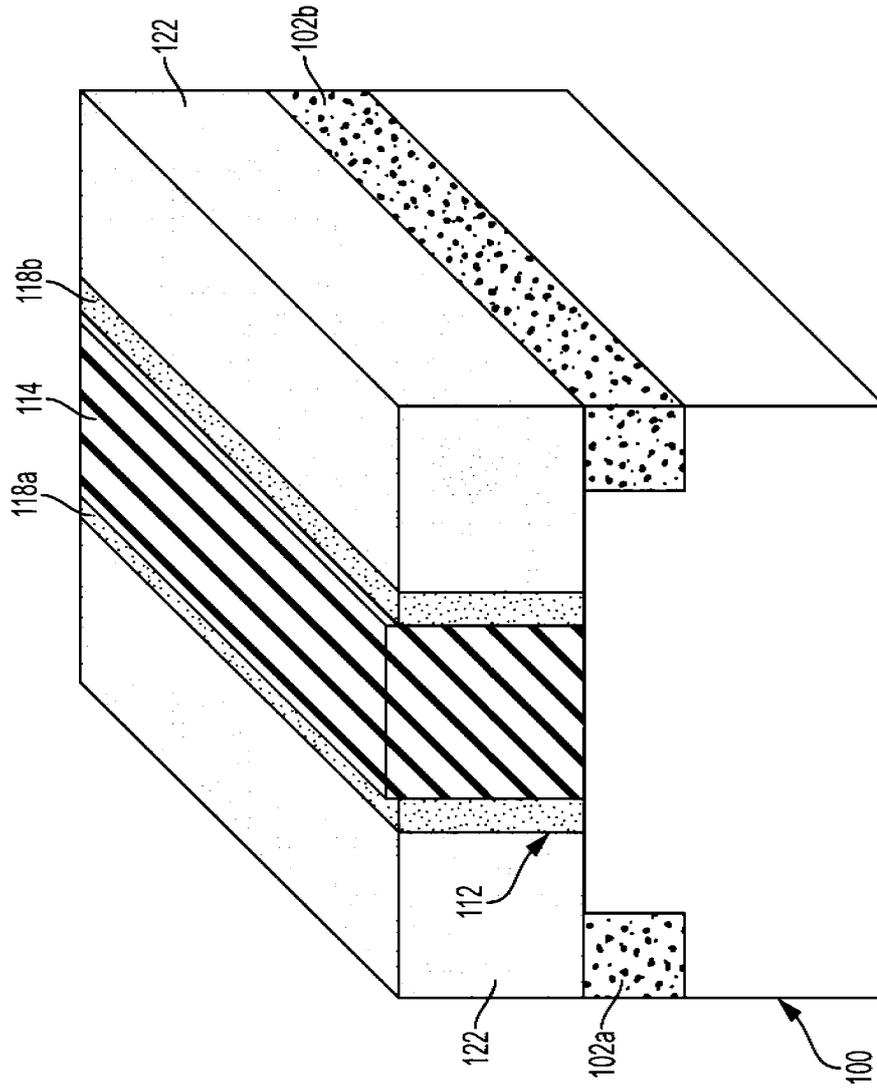


FIG. 8

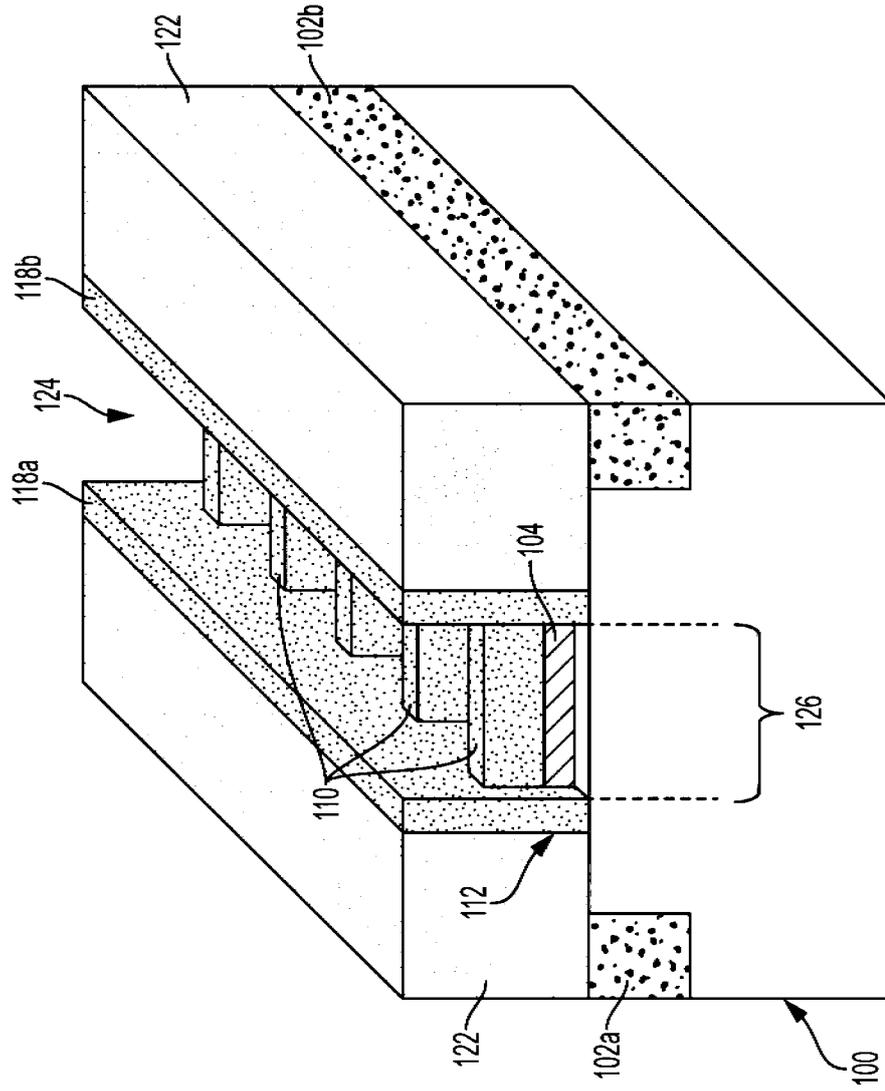


FIG. 9

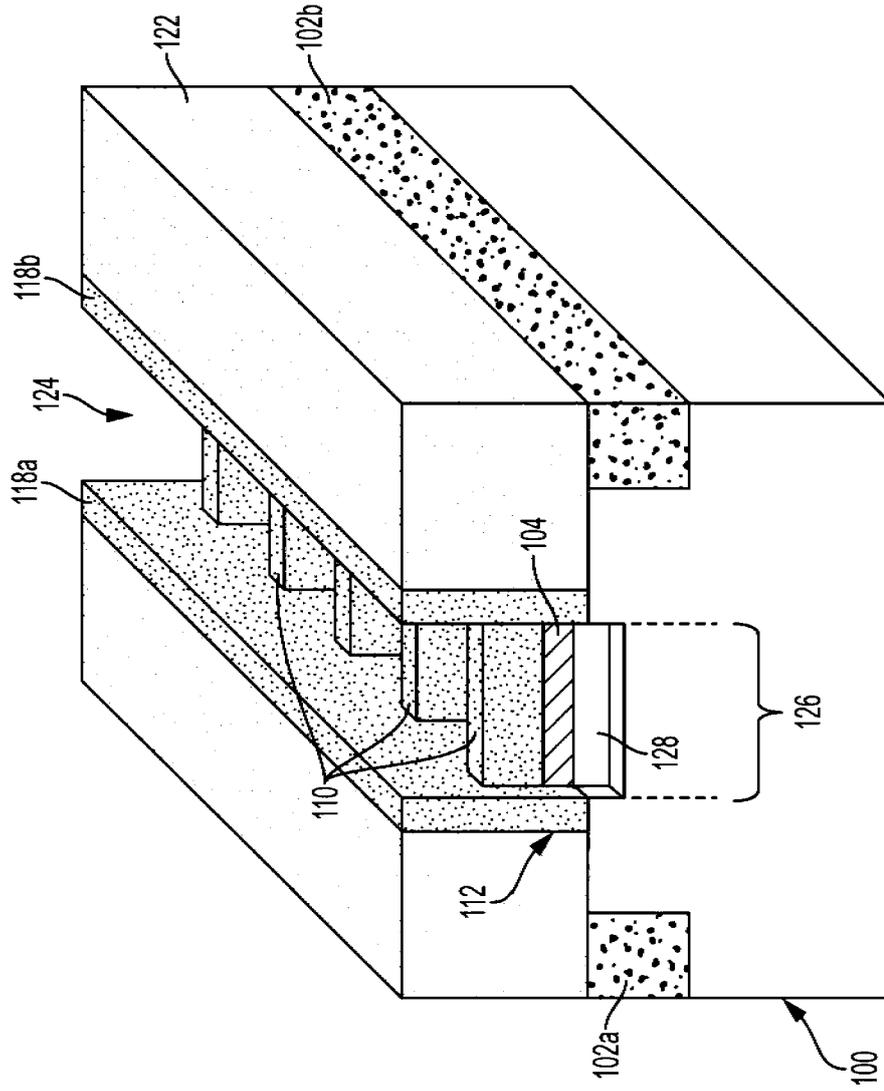


FIG. 10

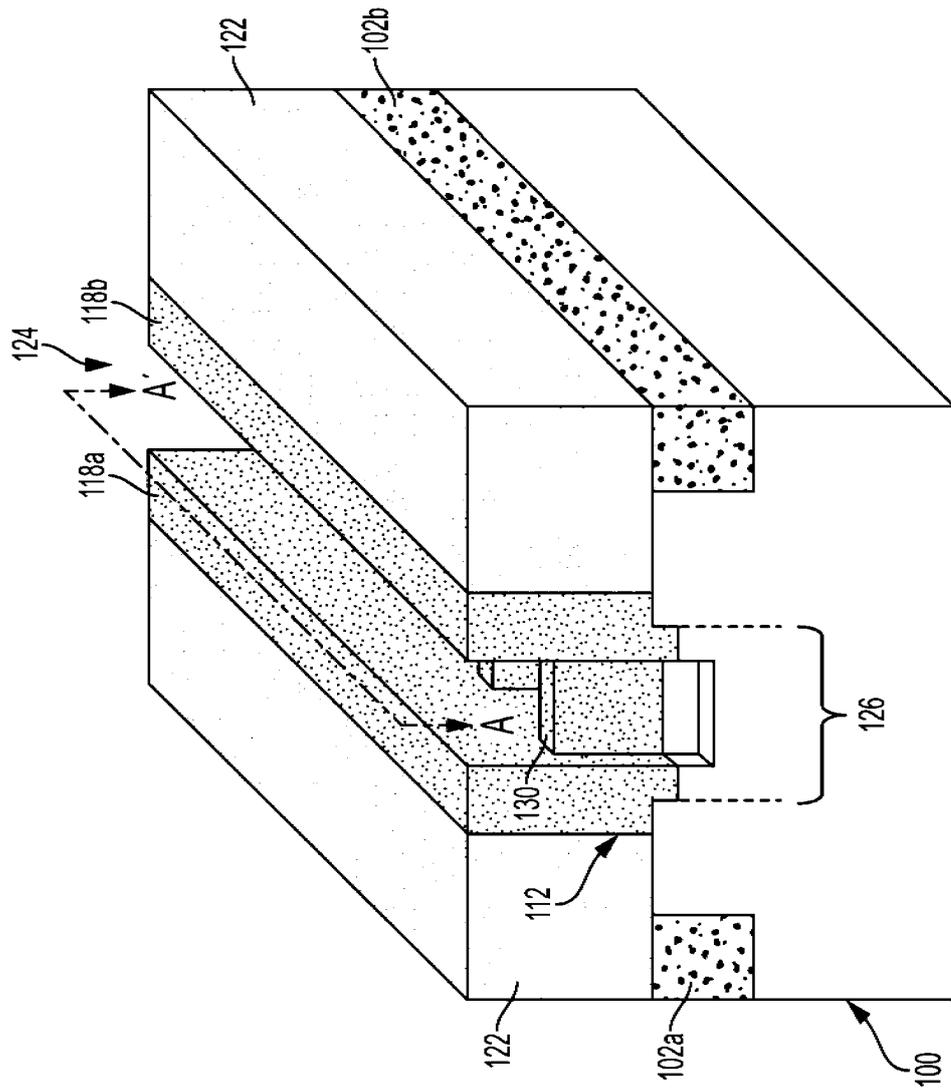


FIG. 11A

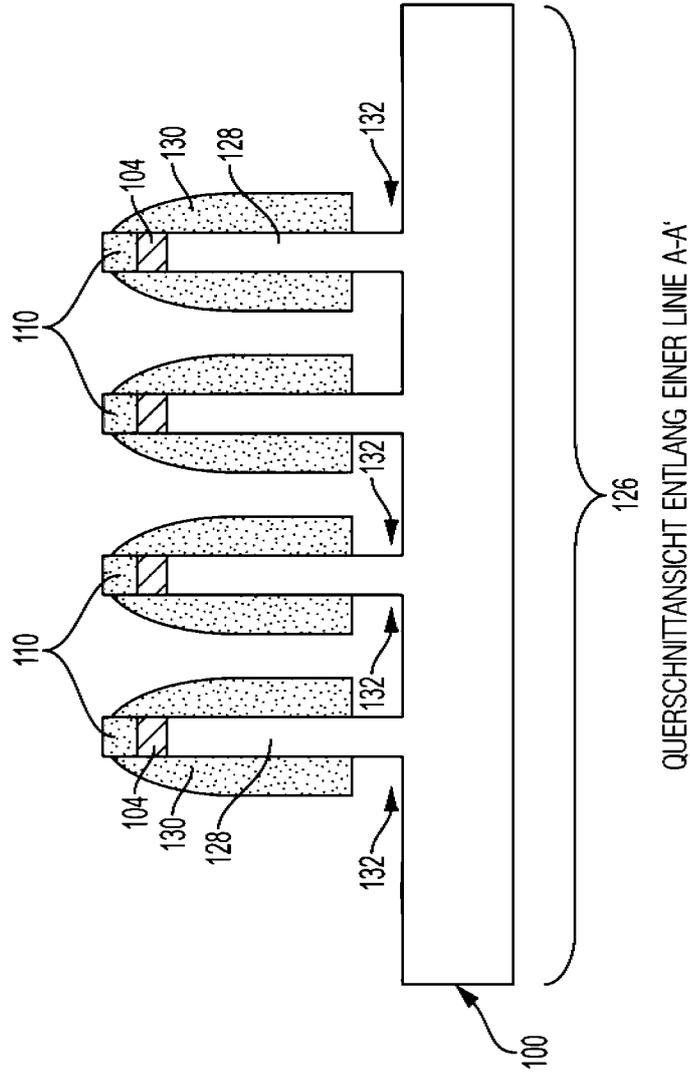


FIG. 11B

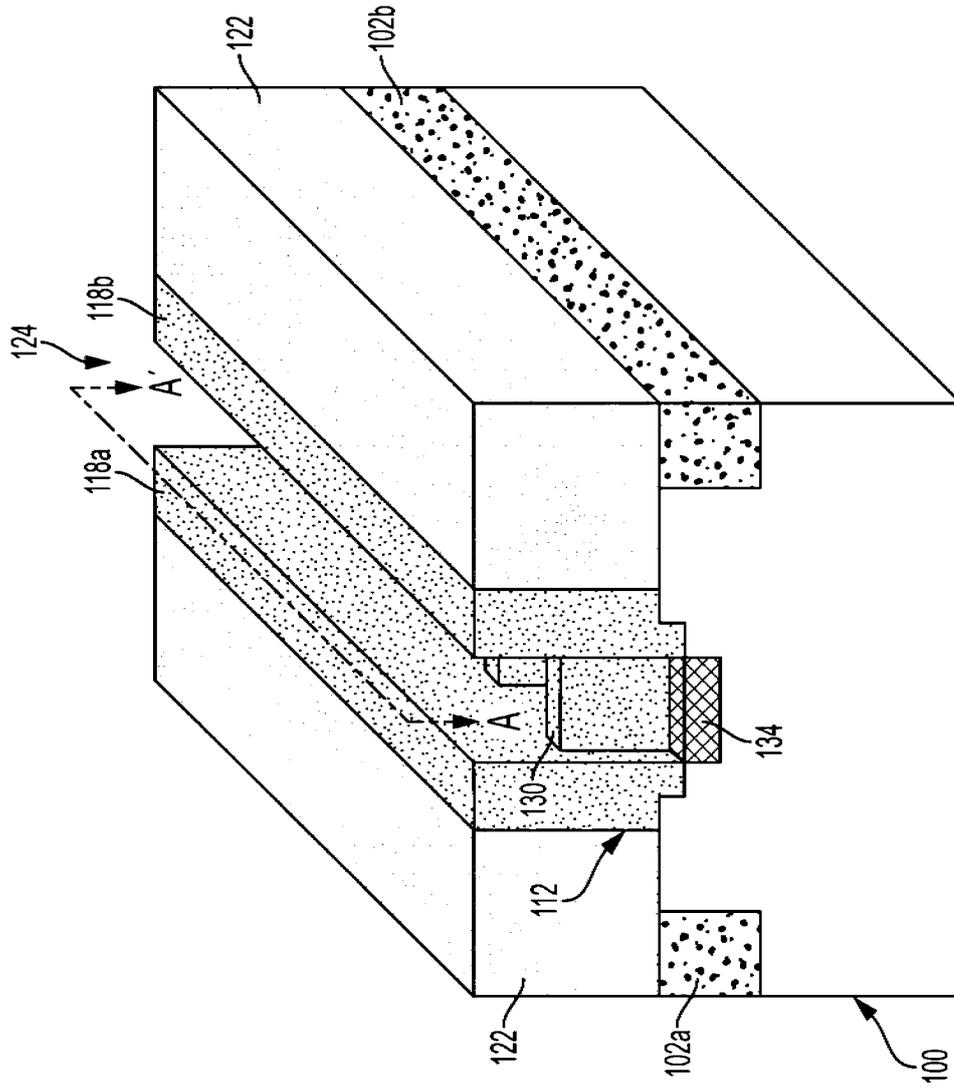


FIG. 12A

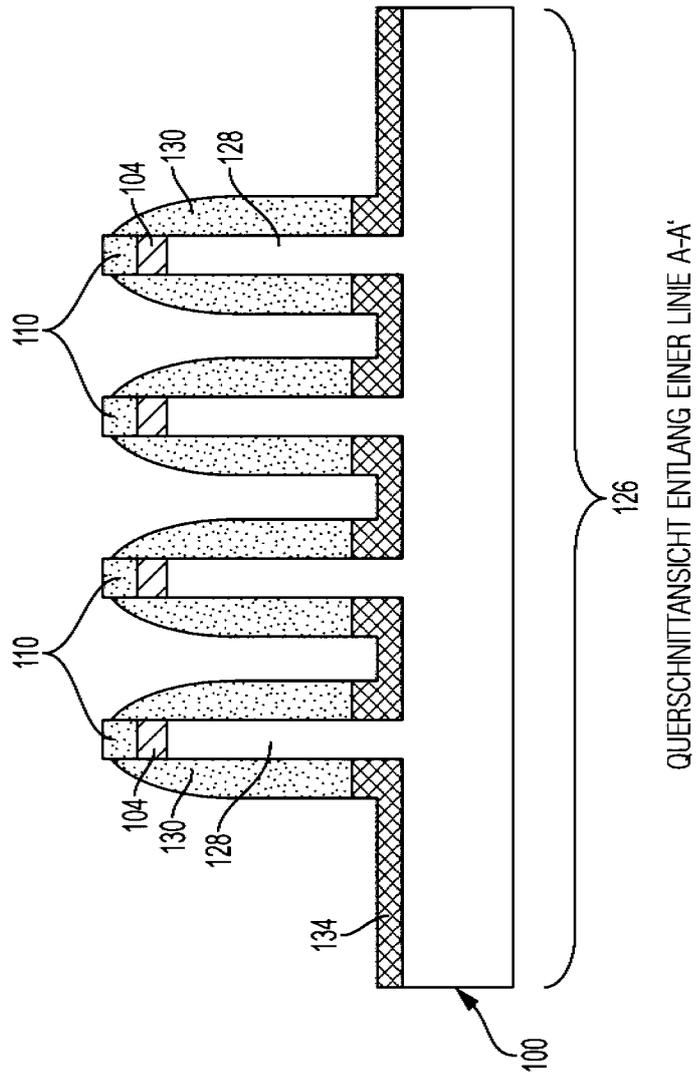
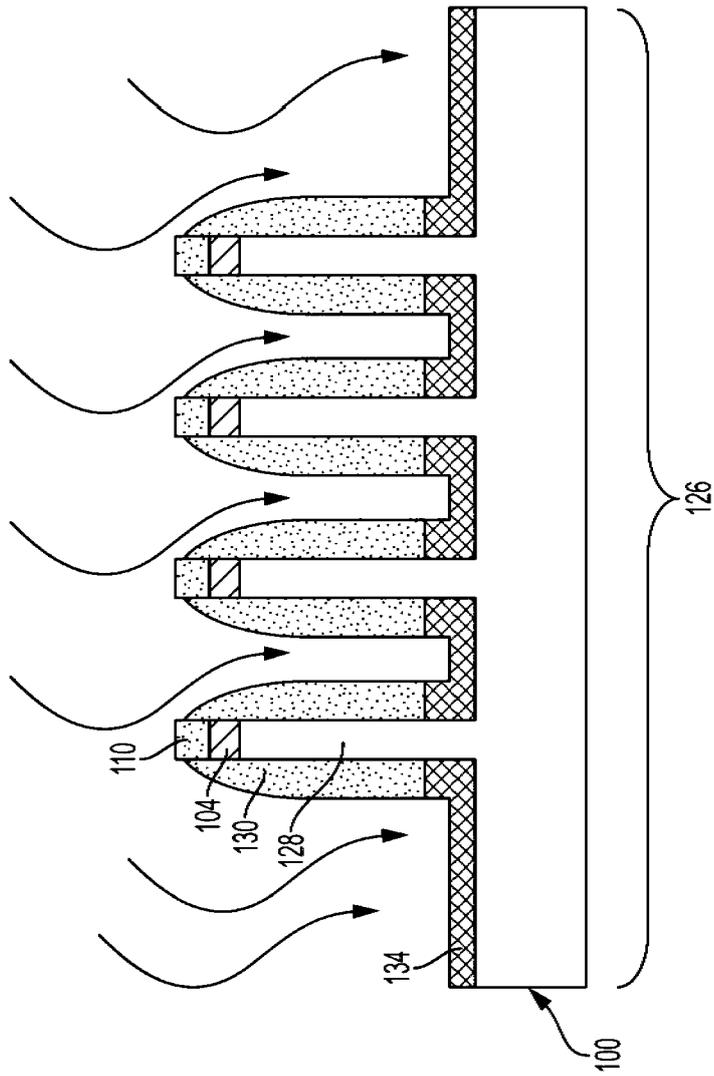
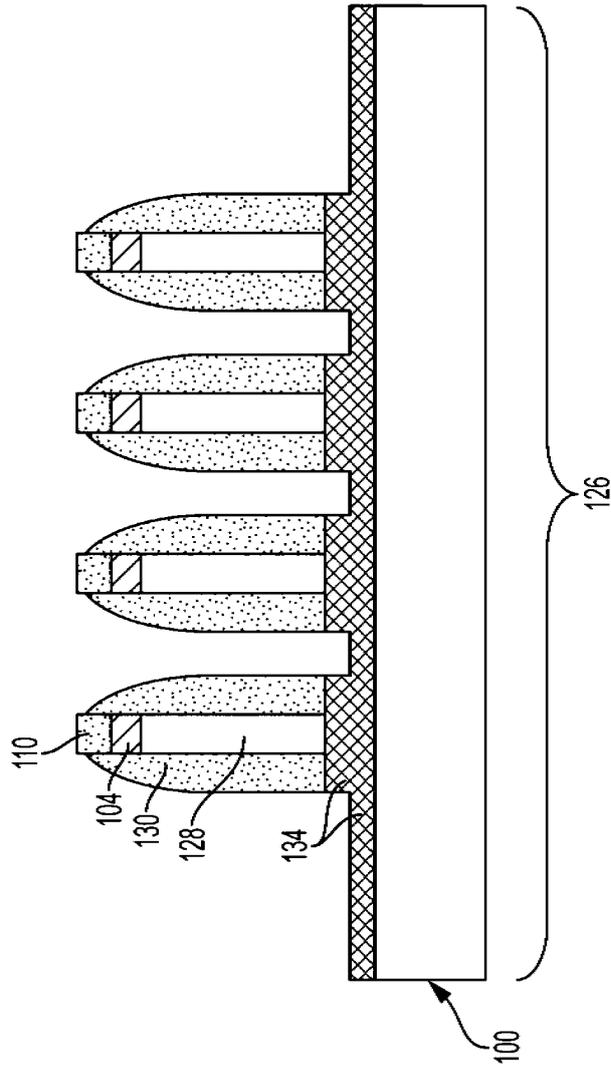


FIG. 12B



QUERSCHNITTANSICHT ENTLANG EINER LINIE A-A'

FIG. 13



QUERSCHNITTANSICHT ENTLANG EINER LINIE A-A'

FIG. 14

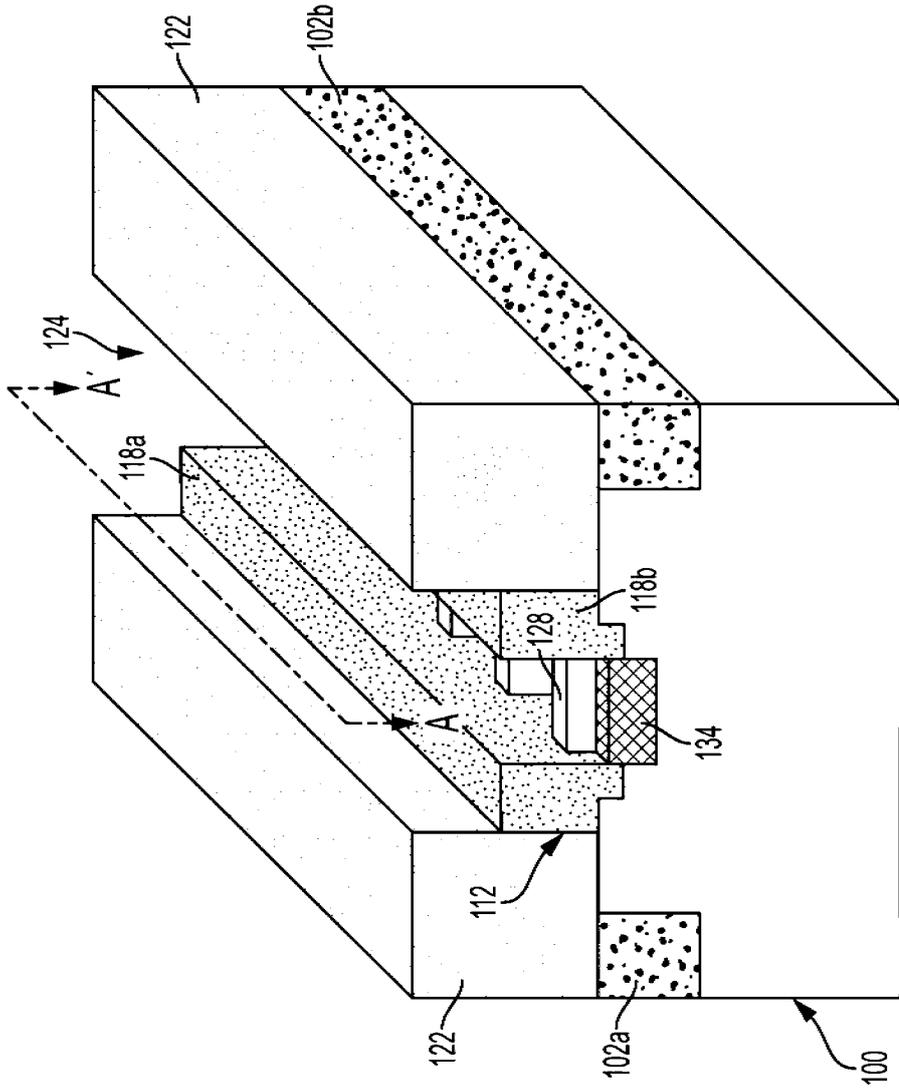


FIG. 15A

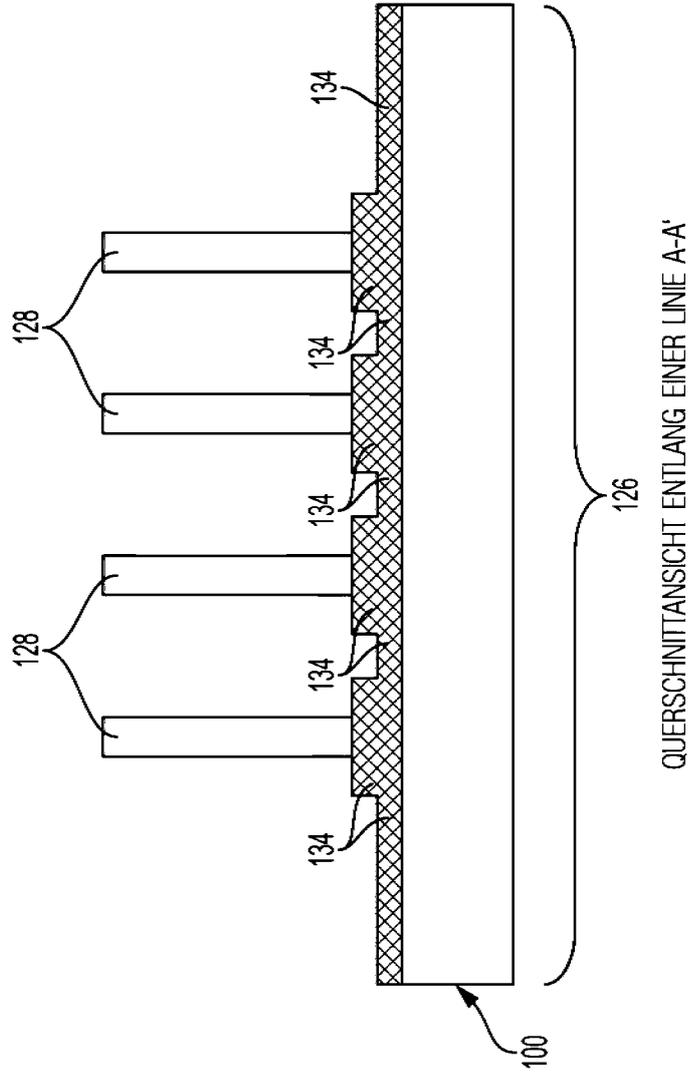


FIG. 15B

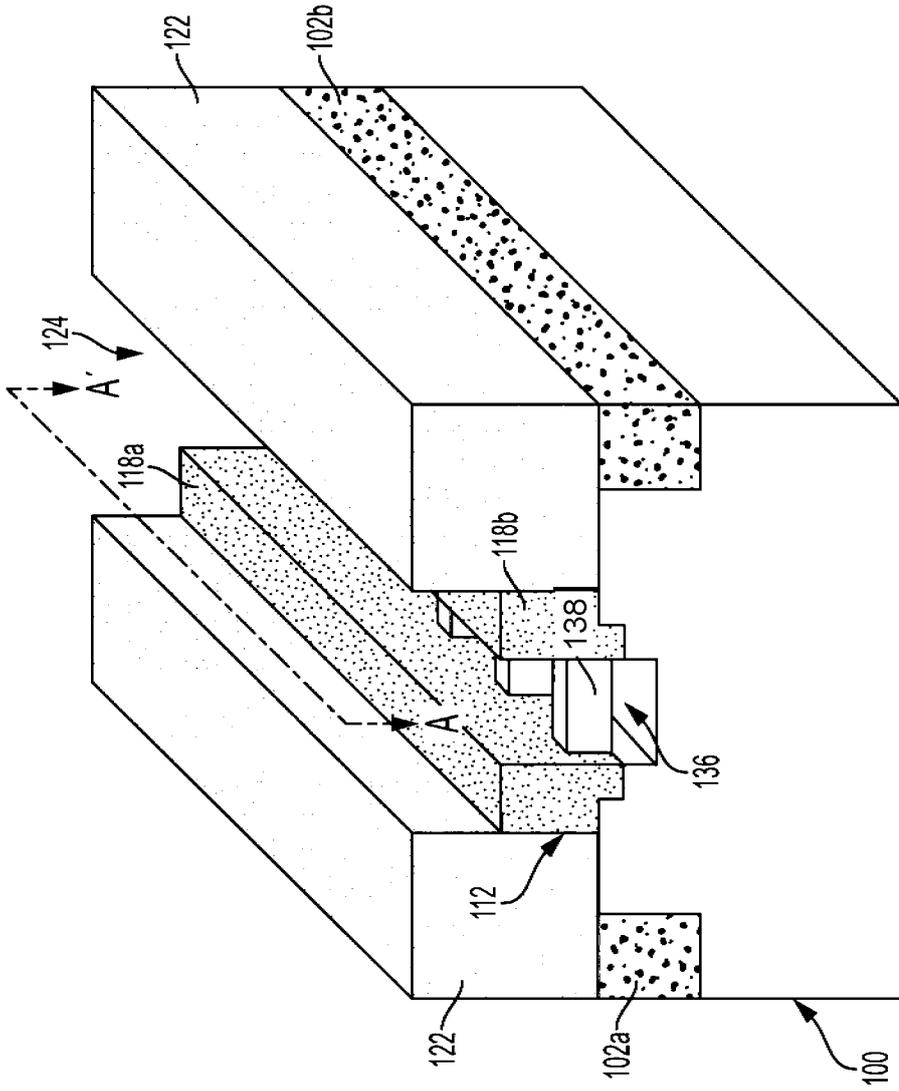
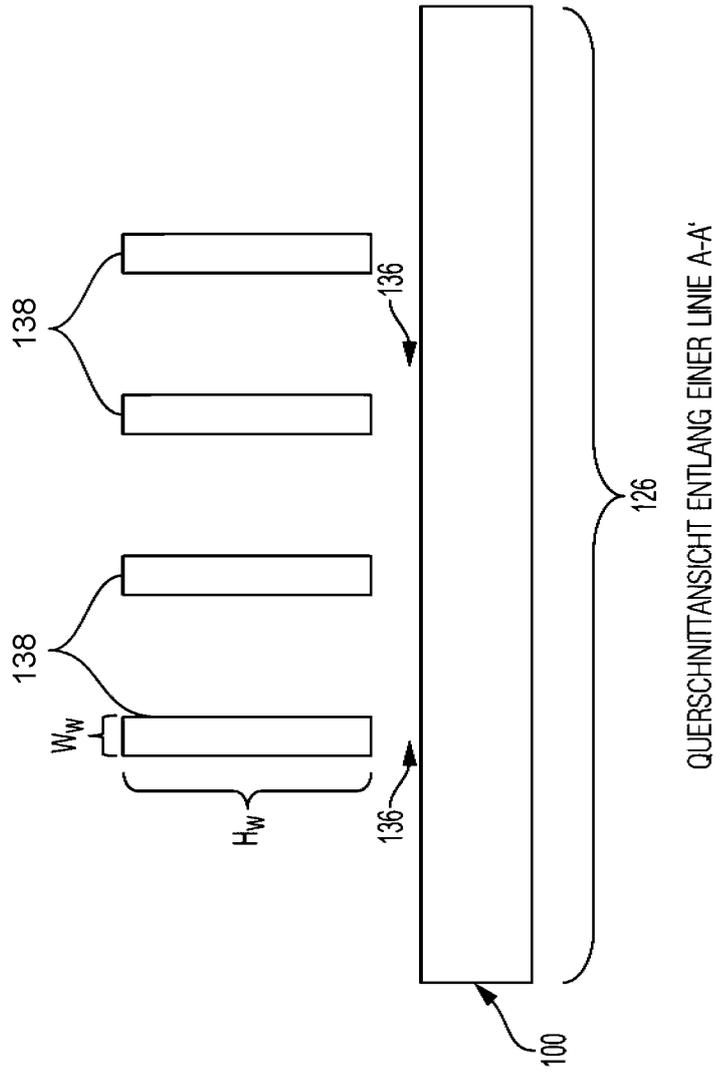


FIG. 16A



QUERSCHNITTANSICHT ENTLANG EINER LINIE A-A'

FIG. 16B

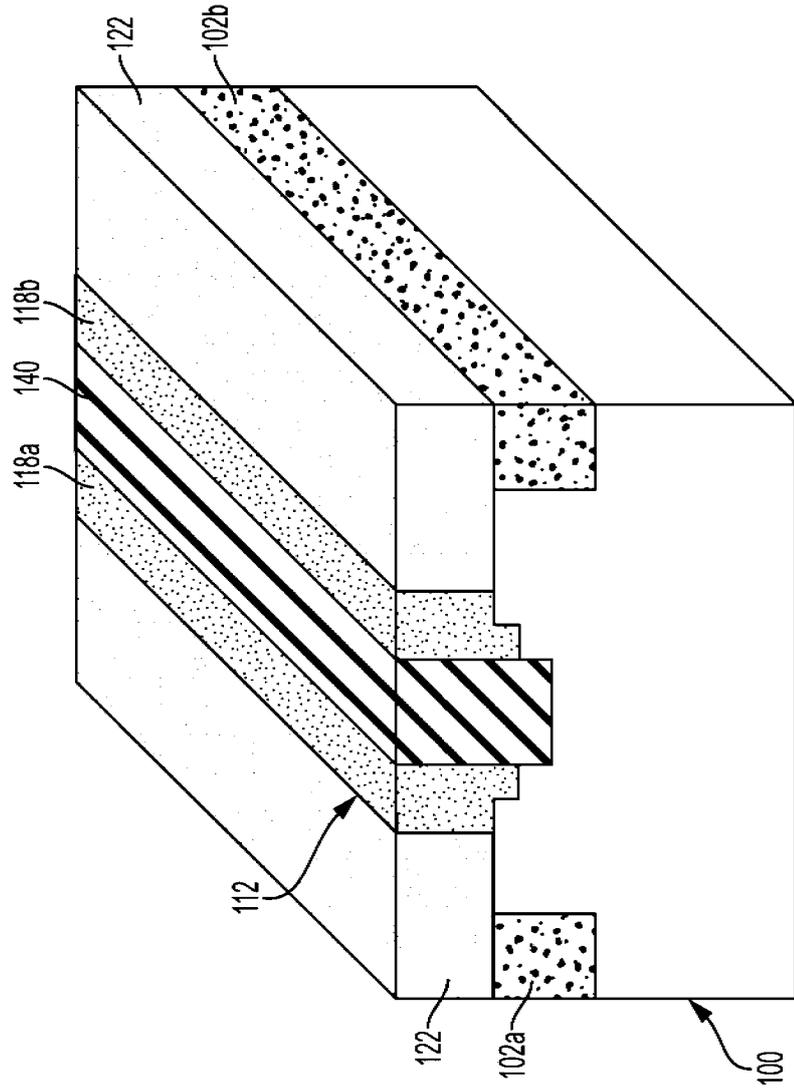


FIG. 17A

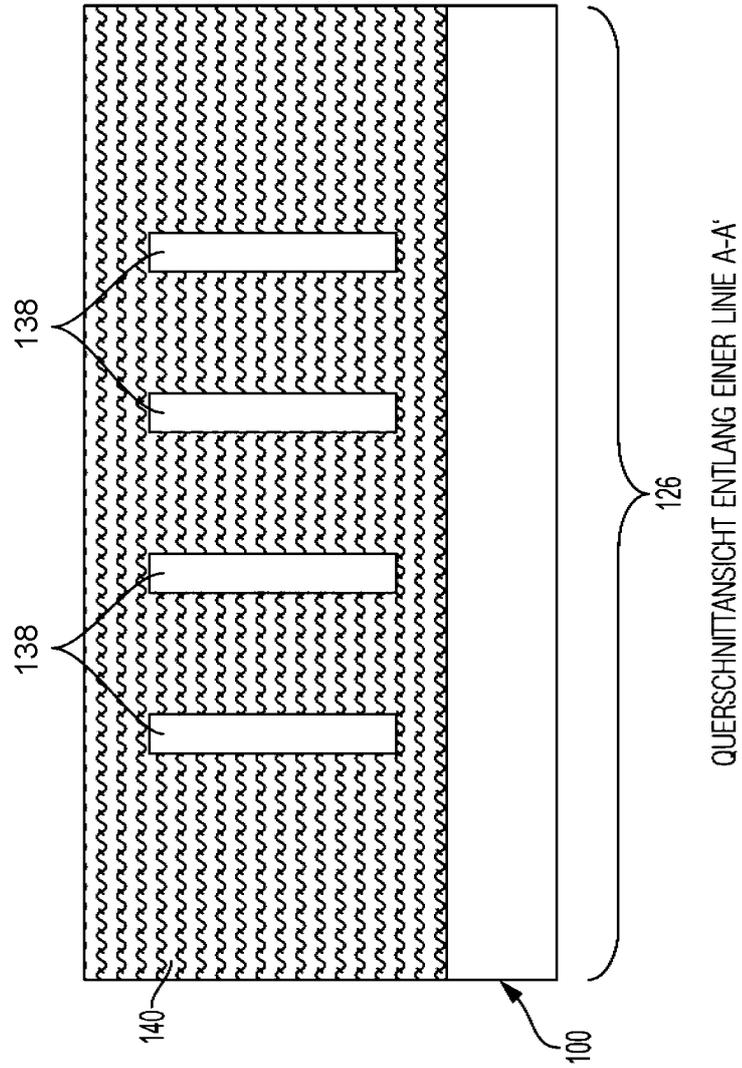


FIG. 17B

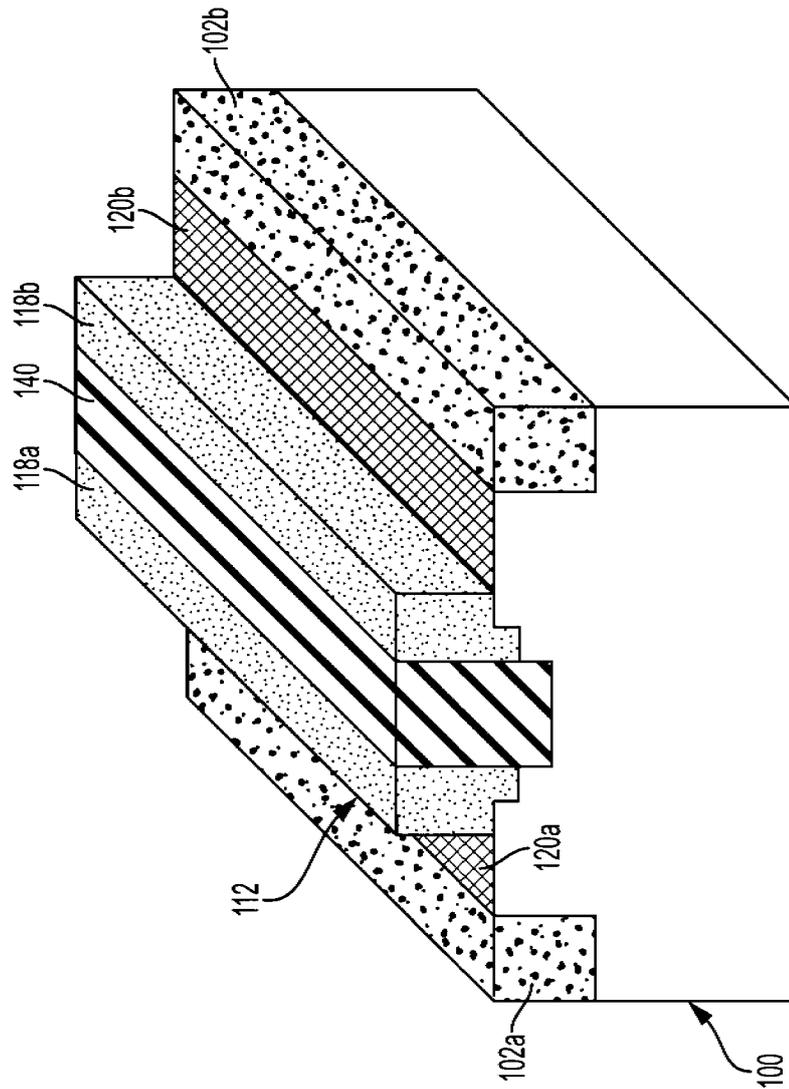


FIG. 18