

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 29/00

(45) 공고일자 1999년06월 15일  
(11) 등록번호 10-0197990  
(24) 등록일자 1999년02월 26일

(21) 출원번호	10-1996-0023274	(65) 공개번호	특 1998-0005045
(22) 출원일자	1996년06월 24일	(43) 공개일자	1998년03월 30일

(73) 특허권자 현대전자산업주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 김영석  
서울특별시 구로구 개봉 1동 60-101 거성푸르미아파트 102-903  
(74) 대리인 이정훈, 이권희

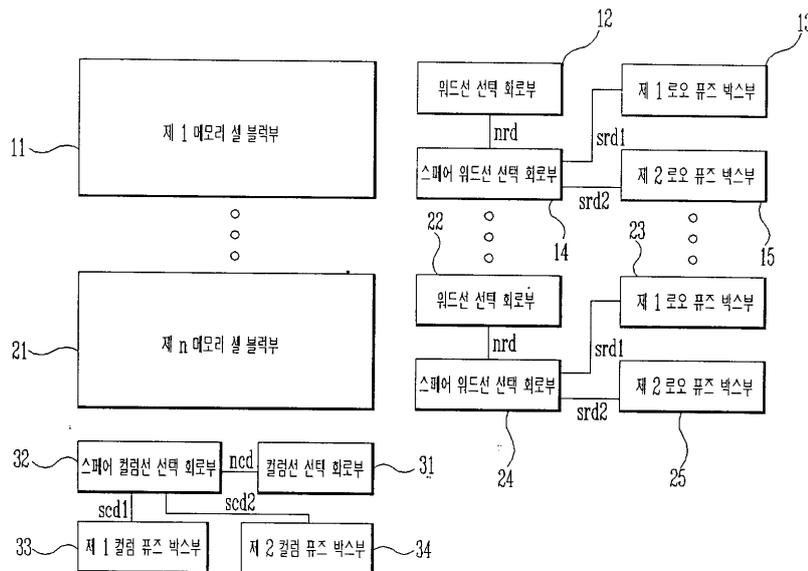
심사관 : 이철희

(54) 반도체 메모리 장치의 리던던시 회로

요약

본 발명은 제조 공정상의 하자로 인하여 발생하는 스페어 워드라인 또는 스페어 칼럼라인의 결함을 보상해 주기 위한 반도체 메모리 장치의 리던던시 회로에 관한 것으로, 상기 목적 달성을 위한 수단으로 다수의 정상 메모리 셀 어레이와 결함이 있는 메모리 셀 어레이를 대체시키기 위한 적어도 2개 이상의 스페어 메모리 셀 어레이로 구성된 다수개의 메모리 셀 블록들을 포함하는 반도체 메모리 장치에 있어서 정상 워드라인을 구동시키기 위한 워드선 선택 회로수단과, 상기 워드선 선택 회로수단의 동작을 제어하고 제1 또는 제2 스페어 워드라인을 구동시키기 위한 스페어 워드선 선택 회로수단과, 입력된 어드레스로부터 결함된 워드라인을 검출한 신호를 상기 워드선 선택 회로수단으로 각각 출력하고 상기 결함된 워드라인을 대체시키기 위한 제1 스페어 워드라인 또는 제2 스페어 워드라인에 결함이 있을 경우 상기 입력 어드레스에 관계없이 리페어 동작이 제어되도록 하는 퓨즈를 각각 포함하는 제1 및 제2 로오 퓨즈 박스부와, 정상 칼럼라인을 구동시키기 위한 칼럼선 선택 회로수단과, 상기 칼럼선 선택 회로수단의 동작을 제어하고 제1 또는 제2 스페어 칼럼라인을 구동시키기 위한 스페어 칼럼선 선택 회로수단과, 입력된 어드레스로부터 결함된 칼럼라인을 검출한 신호를 상기 칼럼선 선택 회로수단으로 각각 출력하고 상기 결함된 칼럼라인을 대체시키기 위한 제1 스페어 칼럼라인 또는 제2 스페어 칼럼라인에 결함이 있을 경우 상기 입력 어드레스에 상관없이 리페어 동작이 제어되도록 하는 퓨즈를 각각 포함하는 제1 및 제2 칼럼 퓨즈 박스부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리던던시 회로에 관한 것이다.

대표도



명세서

[발명의 명칭]



회로부(14)를 인에이블시키는 스페어 워드선 지정 디코더 신호(srd1)가 출력된다.

인에이블된 상기 스페어 워드선 선택 회로부(14)는 결함이 있는 워드라인을 지정하는 워드선 선택 회로부(12)의 동작을 제어시키는 출력신호(nrd)를 발생시키고, 상기 결함이 있는 워드라인 대신 스페어 워드라인을 지정하는 신호를 발생시킨다.

그리고, 상기 제1 메모리 셀 블록부(11)의 임의의 칼럼라인에 결함이 발생되면 이 결함이 발생한 칼럼라인에 해당하는 어드레스가 상기 제1 칼럼 퓨즈 박스부(33)에 프로그래밍되게 된다. 이때 결함된 칼럼라인을 선택하기 위한 어드레스가 입력될 경우 상기 제1 칼럼 퓨즈 박스부(33)에 의해 상기 스페어 칼럼선 선택 회로부(32)를 인에이블시키는 스페어 칼럼선 지정 디코더 신호(scd1)가 출력된다. 인에이블된 상기 스페어 칼럼선 선택 회로부(32)는 결함이 있는 칼럼라인을 지정하는 칼럼선 선택 회로부(31)의 동작을 제어시키는 출력신호(ncd)를 발생시키고 상기 결함이 있는 칼럼라인 대신 스페어 칼럼라인을 지정하는 신호를 발생시킨다.

제2도는 종래 기술에 따른 리던던시 회로의 퓨즈 박스 회로도로서, 전원전압(Vcc)과 제1 노드(N1) 사이에 접속되고 프리차지 신호(Vpre)에 의해서 상기 제1 노드(N1)로 상기 전원전압(Vcc)을 공급하기 위한 제1 PMOS형 트랜지스터(MP1)와, 상기 제1 노드(N1)상의 신호를 반전시켜 상기 제2 노드(N2)로 전달하는 제1 인버터(I1)와, 상기 제2 노드(N2)상의 신호를 반전시켜 상기 제3 노드(N3)로 전달하는 제2 인버터(I2)와, 상기 전원전압(Vcc)과 상기 제1 노드(N1) 사이에 접속되고 상기 제2 노드(N2)상의 신호에 의해서 턴-온(Turn-On)되어 상기 제1 노드(N1)로 상기 전원전압(Vcc)을 공급하기 위한 제2 PMOS형 트랜지스터(MP2)와, 상기 제1 노드(N1)와 접지전압(Vss) 사이에 병렬 접속된 N개의 로오/컬럼 제어부로 구성된다. 상기 각 로오/컬럼 제어부(41~49)는 상기 제1노드(N1)와 접지전압(Vss) 사이에 접속된 퓨즈와, 상기 퓨즈와 접지전압 사이에 접속되며 게이트에 어드레스 신호가 인가되는 NMOS형 트랜지스터로 구성된다.

상기 구성에 따른 동작은 프리차지 신호(Vpre)가 하이(High)에서 로우(Low)로 전이되면 제1 PMOS형 트랜지스터(MP1)가 턴-온(Turn-On)되어 제1 노드(N1)로 전원전압(Vcc)을 공급한다. 상기 제1 노드(N1)에 전원전압(Vcc)이 공급된 상태에서 상기 로오/컬럼 제어부(41~49)로 어드레스 신호(A1~A(n))중 하나가 인가되면 상기 로오/컬럼 제어부(41~49)의 NMOS형 트랜지스터(MN1~MN(N))의 동작 및 상기 퓨즈(f1~f(n))의 개폐 여부에 의해 제1 노드(N1)가 하이(High) 또는 로우(Low)가 되어 출력 신호(srd, scd)의 상태를 결정한다.

가령, 결함된 워드라인의 어드레스가 A2라 하면, 상기 결함 워드라인을 스페어 워드라인으로 대체하기 위해서는 퓨즈 f2를 끊어 주어야 한다. 상기 퓨즈 f2가 끊어진 상태에서 어드레스 A2가 하이(High)로 입력되고 나머지 어드레스가 로우(Low)로 입력되면, 상기 제2 NMOS형 트랜지스터(MN2)는 턴-온되지만 퓨즈 f2가 끊어진 상태이므로 상기 제1 노드(N1)는 하이(High) 상태로 그대로 유지하게 된다. 따라서 출력 신호(srd)는 하이(High) 전압이 인가되어 상기 결함 워드라인을 스페어 워드라인으로 대체하는 로오 리던던시 회로가 동작한다.

한편, 상기 퓨즈 f2가 끊어진 상태에서 다른 정상 워드라인을 선택하는 어드레스 신호, 예를 들어 A1가 하이(High)로 입력되고 다른 어드레스 신호는 로우(Low)로 입력되면 상기 NMOS형 트랜지스터(MN1)가 턴-온(Turn-On)되어 제1 노드(N1)에는 접지전압이 인가된다. 따라서 출력 신호(srd)는 로우(Low)가 되어 로오 리던던시 동작이 이루어지지 않는다.

마찬가지로, 결함이 발생한 칼럼라인의 스페어 칼럼라인으로 교체하는 칼럼 리던던시 동작도 상기 로오 리던던시 동작과 동일하다.

그런데, 종래의 리던던시 동작에 의해 대체된 스페어 워드라인 또는 스페어 칼럼라인 마저 결함이 발생되었을 경우 이 메모리 소자는 사용하지 못하는 문제점이 있었다.

따라서 본 발명은 반도체 메모리 장치의 제조 공정상의 하자로 인하여 발생하는 스페어 워드라인 또는 스페어 칼럼라인의 결함을 보상해 주기 위한 리던던시 회로를 제공함에 그 목적이 있다.

상기 목적 달성을 위한 본 발명의 리던던시 회로는 다수의 정상 메모리 셀 어레이와 결함이 있는 메모리 셀 어레이를 대체하기 위한 스페어 메모리 셀 어레이로 각각 구성되는 메모리 셀 블록들과, 상기 각 메모리 셀 블록의 정상 워드라인을 구동시키기 위한 워드선 선택 회로수단과, 결함이 발생한 워드라인을 선택하는 어드레스를 퓨즈에 프로그래밍하여 이 결함된 어드레스가 입력될 경우 결함 워드라인의 선택을 차단하고 스페어 워드라인을 선택하는 스페어 워드선 선택 회로부를 인에이블 시키는 제1 및 제2 로오 퓨즈 박스부와, 상기 제1 및 제2 퓨즈 박스부의 출력신호중 어느 하나라도 인에이블 되면 상기 워드선 선택 회로부의 동작을 제어하고 스페어 워드라인을 구동시키기 위한 스페어 워드선 선택 회로수단과, 정상 칼럼라인을 구동시키기 위한 칼럼선 선택 회로수단과, 결함이 발생한 칼럼라인을 선택하는 어드레스를 프로그래밍하여 결함 칼럼라인의 선택을 차단하고 스페어 칼럼라인을 선택하는 스페어 칼럼선 선택 회로부를 인에이블시키는 제1 및 제2 칼럼 퓨즈 박스부와, 상기 제1 및 제2 칼럼 퓨즈 박스부의 출력신호중 어느 하나라도 인에이블되면 상기 칼럼선 선택 회로부의 동작을 제어하고 스페어 칼럼라인을 구동시키기 위한 스페어 칼럼선 선택 회로부를 포함하는 것을 특징으로 한다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

제3도는 본 발명의 실시예에 따른 리던던시 회로의 퓨즈 박스 회로도로서, 상기 전원전압(Vcc)과 상기 제1 노드(N1) 사이에 접속되어 상기 프리차지 신호(Vpre)에 의해서 전원전압(Vcc)을 제1 노드(N1)로 공급하기 위한 제1 PMOS형 트랜지스터(MP1)와, 상기 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어 상기 제1 노드(N1)상의 신호를 반전시켜 상기 제2 노드(N2)로 전달하는 제1 인버터(I1)와, 상기 제2 노드(N2)와 제3 노드(N3) 사이에 접속되어 상기 제2 노드(N2)의 신호를 반전시켜 상기 제3 노드(N3)로 전달하는 제2 인버터(I2)와, 전원전압(Vcc)과 상기 제1 노드(N1) 사이에 접속되고 상기 제2 노드(N2)상의 로우(Low) 신호에 의해 턴-온(Turn-On)되어 상기 제1 노드(N1)로 상기 전원전압(Vcc)을 공급하기 위한 제2 PMOS형 트랜지스터

터(MP2)와, 상기 제1 노드(N1)와 접지전압(Vss) 사이에 병렬 접속된 N개의 로오/칼럼 제어부(41~49)와, 상기 제1 PMOS형 트랜지스터(MP1)와 상기 제1 노드(N1) 사이에 접속되어 결함이 발생된 스페어 워드라인 또는 스페어 칼럼라인의 선택 신호를 차단하기 위한 퓨즈(fp)를 구비한다.

상기 로오/칼럼 제어부(41~49)는 상기 제1 노드(N1)와 접지전압(Vss) 사이에 각각 병렬 접속된 n개의 퓨즈(f1~fn)와, 상기 퓨즈(f1~fn)와 접지전압(Vss) 사이에 접속되고 각각의 게이트에 어드레스 신호(A1~An)가 각각 입력되는 n개의 NMOS형 트랜지스터(MN1~MN(N))로 구성된다.

상기 리던던시 회로에 결함이 발생된 워드라인 또는 칼럼라인의 어드레스를 기억시키는 방식은 결함 어드레스가 입력되는 트랜지스터에 접속된 퓨즈를 절단시켜 결함 어드레스를 프로그래밍하는 것이다. 그러면, 그 동작을 알아보기 위해 먼저 리던던시 회로의 퓨즈가 프로그래밍되어 있지 않거나, 프로그래밍된 어드레스가 인가되지 않아서 정상동작이 이루어지는 경우에는 전원전압(Vcc)과 제1 노드(N1) 사이에 접속된 PMOS형 트랜지스터(MP1)를 통해 상기 노드(N1)로 전달된 전원전압(Vcc)이 입력된 어드레스에 의해 턴-온된 트랜지스터와 그에 접속된 퓨즈를 통하여 접지전압(Vss)으로 방전되기 때문에 상기 노드(N1)는 로우로 전이된다. 따라서 출력단자는 로우 상태로 유지하여 리던던시 동작이 이루어지지 않는다.

반면에, 프로그래밍된 상기 리던던시 회로로 결함 셀을 선택하는 어드레스가 인가되면 상기 리던던시 회로는 리던던시 할 셀에 해당하는 어드레스 신호가 이미 퓨즈에 프로그래밍되어 있으므로 상기 제1 노드(N1)의 전하가 접지전압(Vss)으로 방전되지 않기 때문에 상기 제1 노드(N1)는 상기 PMOS형 트랜지스터(MP1)를 통해 전달된 전하에 의해 하이 상태로 유지하게 된다.

따라서, 출력단자(N3)는 하이 상태로 유지하여 리던던시 동작을 하게 된다.

그런데, 상기 리던던시 동작에 의해 대체된 스페어 워드라인 또는 스페어 칼럼라인 마저 결함이 발생되었을 경우는 다른 스페어 워드라인 또는 스페어 칼럼라인으로 대체시켜 주어야 한다. 이를 위해 결함이 발생된 상기 스페어 워드라인 또는 스페어 칼럼라인을 구동시키기 위한 리던던시 회로의 동작을 제어하기 위해 제3도에 도시된 바와 같이 제1 PMOS형 트랜지스터(MP1)와 제1 노드(N1) 사이에 퓨즈(fp)를 첨가하였다. 따라서 리페어 할 스페어 워드라인 또는 스페어 칼럼라인에 결함이 발생하게 되면 이를 구동시키는 리던던시 회로의 동작을 제어하기 위해 구현된 상기 퓨즈(fp)를 간단히 끊어줌으로써 리던던시 동작이 이루어지지 않게 하였다.

제4도는 본 발명의 실시예에 따른 리던던시 회로의 스페어 워드선 선택 회로도로서, 2개의 입력단자(srd1, sre)와 제6 노드(N6) 사이에 접속된 제1 낸드 게이트(ND1)와, 상기 제6 노드와 제7 노드(N7) 사이에 접속된 제3 인버터(I3)와, 2개의 입력단자(srd2, sre)와 제11 노드(N11) 사이에 접속된 제2 낸드 게이트(ND2)와, 상기 제11 노드(N11)와 제12 노드(N12) 사이에 접속된 제4 인버터(I4)와, 상기 제6 노드(N6) 및 상기 제11 노드(N11)를 입력단자로 하여 제8 노드(N8)에 접속된 제3 낸드 게이트(ND3)로 구성된다.

상기 구성에 따른 동작은 상기 워드선 선택 회로부(12)와 스페어 워드선 선택 회로부(14)의 동작 시간을 제어하는 제어 신호(sre)가 하이로 전이된 상태에서 제3도에 도시된 퓨즈 회로부의 출력신호인 상기 제1 스페어 워드선 지정 디코더 신호(srd1)가 하이로 제4 노드(N4)에 입력이 되고 제2 스페어 워드선 지정 디코더 신호(srd2)가 로우로 제9 노드(N9)에 입력이 되면 상기 제1 낸드 게이트(ND1)에 의해 제6 노드(N6)는 로우로 되고 상기 제2 낸드 게이트(ND2)에 의해 제11 노드(N11)는 하이가 된다.

따라서, 상기 제6 노드(N6)와 제11 노드(N11)의 신호는 상기 제3 인버터(I3)와 제4 인버터(I4)에 의해 각각 반전되어 제1 스페어 워드라인(sw11)을 인에이블시키고, 제2 스페어 워드라인(sw12)을 디스에이블 시키게 된다.

한편, 상기 제6 노드상(N6)의 로우 신호와 제11 노드상(N11)의 하이 신호는 제3 낸드 게이트(ND3)로 입력되어 제1 워드선 선택 회로부(12)의 동작을 제어하는 신호를 발생하게 된다.

만약, 제1 스페어 워드라인(sw11)에 결함이 발생하게 되면 상기 워드선 선택 회로부(12)와 스페어 워드선 선택 회로부(14)의 동작 시간을 제어하는 제어 신호(sre)가 하이로 된 상태에서 상기 제1 스페어 워드선 지정 디코더 신호(srd1)가 로우로 입력이 되고 상기 제2 스페어 워드선 지정 디코더 신호(srd2)가 하이로 입력이 됨으로써 제1 스페어 워드라인(sw11)은 선택되지 않고 제2 스페어 워드라인(sw12)이 선택되게 된다.

한편, 상기 제6 노드상(N6)이 하이 신호와 상기 제11 노드상(N11)의 로우 신호는 상기 제3 낸드 게이트(ND3)에 의해 논리 연산되어 상기 제8 노드(N8)로 하이로 출력함으로써 제1 워드선 선택 회로부(12)의 동작을 차단하게 된다.

즉, 임의의 워드라인에 결함이 발생하게 되면 스페어 워드라인이 상기 워드라인을 대신하고 상기 스페어 워드라인 또한 결함이 발생하게 되며 또다른 스페어 워드라인이 상기 스페어 워드라인을 대신하는 것이다.

제5도는 본 발명의 실시예에 따른 리던던시 회로의 스페어 칼럼선 선택 회로도로서, 2개의 입력단자(scd1, cs)와 제15 노드(N15) 사이에 접속된 제4 낸드 게이트(ND4)와, 상기 제15 노드(N15)와 제16 노드(N16) 사이에 접속된 제5 인버터(I5)와, 2개의 입력단자(scd2, cs)와 제20 노드(N20) 사이에 접속된 제5 낸드 게이트(ND5)와, 상기 제15 노드 및 제20 노드를 입력단자로 하여 제17 노드(N17)에 접속된 제6 낸드 게이트(ND6)로 구성된다.

상기 구성에 따른 동작은 칼럼선 선택 회로부(31)와 스페어 칼럼선 선택 회로부(32)의 동작 시간을 제어하는 제어 신호(cs)가 하이로 전이된 상태에서 상기 제1 스페어 칼럼선 지정 디코더 신호(scd1)가 하이로 제13 노드(N13)에 입력되고 제2 스페어 칼럼선 지정 디코더 신호(scd2)가 로우로 제18 노드(N18)에 입력이 되면 제15 노드(N15)에는 로우 신호가 제20 노드(N20)에는 하이 신호가 발생된다.

상기 제15 노드상(N15)의 로우 신호는 제5 인버터(I5)에 의해 반전되어 제16 노드(N16)로 하이신호를 전달함으로써 제1 스페어 칼럼라인(sy1)을 지정하게 된다.

상기 제20 노드(N20)의 하이 신호는 제6 인버터(N6)에 의해 반전되어 제21 노드(N21)로 로우 신호를 전달함으로써 제2 스페어 칼럼라인(sy2)의 지정은 이루어지지 않는다.

한편, 제15 노드(N15)상의 로우 신호와 제20 노드(N20)상의 하이 신호는 제6 낸드 게이트(N6)에 의해 논리 연산되어 제17 노드(N17)로 하이신호를 출력함으로써 제1 칼럼선 선택 회로부(31)의 동작을 제어하여 칼럼라인의 지정을 차단하게 된다.

만약, 제1 스페어 칼럼라인에 결함이 발생하게 되면 상기 칼럼선 선택 회로부(31)와 스페어 칼럼선 선택 회로부(32)의 동작 시간을 제어하는 제어신호(cs)가 하이로 제어된 상태에서 상기 제1 스페어 칼럼라인 선택 디코더 신호(scd1)가 로우로 입력되고 상기 제2 스페어 칼럼라인 선택 디코더 신호(scd2)가 하이로 입력되어 상기 제15 노드(N15)는 하이, 상기 제20 노드(N20)는 로우가 된다.

상기 제15 노드(N15)상의 하이 신호는 제5 인버터(I5)에 의해 반전되어 상기 제16 노드(N16)로 로우 신호를 전달함으로써 제1 스페어 칼럼라인의 지정은 이루어지지 않는다.

반면에, 상기 제20 노드(N20)의 로우 신호는 제6 인버터(I6)에 의해 반전되어 상기 제21 노드(N21)로 하이신호를 전달함으로써 제2 스페어 칼럼라인을 지정하게 된다.

한편, 상기 제15 노드(N15)상의 하이 신호와 제20 노드(N20)상의 로우 신호는 상기 제6 낸드 게이트(N6)에 의해 논리 연산된 하이신호를 상기 제17 노드(N17)로 출력함으로써 제1 칼럼선 선택 회로부(31)의 동작을 차단하게 된다.

즉, 임의의 칼럼라인에 결함이 발생하게 되면 스페어 칼럼라인이 상기 스페어 칼럼라인을 대신하고 상기 스페어 칼럼라인 또한 결함이 발생하게 되며 또다른 스페어 칼럼라인이 상기 스페어 칼럼라인을 대신하는 것이다.

이상에서 설명한 바와 같이, 본 발명의 리던던시 회로는 결함된 메모리 셀을 대체시키기 위한 스페어 셀에도 결함이 있을 경우 그 메모리 소자를 버리지 않고 다시 다른 스페어 셀로 리페어함으로써 소자의 수율을 높이는 효과가 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위한 것으로 당업자라면 첨부된 특허청구의 범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

## (57) 청구의 범위

### 청구항 1

다수의 정상 메모리 셀 어레이와 결함이 있는 메모리 셀 어레이를 대체시키기 위한 적어도 2개 이상의 스페어 메모리 셀 어레이로 구성된 다수개의 메모리 셀 블록들을 포함하는 반도체 메모리 장치에 있어서, 정상 워드라인을 구동시키기 위한 워드선 선택 회로수단과, 상기 워드선 선택 회로수단의 동작을 제어하고 제1 또는 제2 스페어 워드라인을 구동시키기 위한 스페어 워드선 선택 회로수단과, 입력된 어드레스로부터 결함된 워드라인을 검출한 신호를 상기 워드선 선택 회로수단으로 각각 출력하고 상기 결함된 워드라인을 대체시키기 위한 제1 스페어 워드라인 또는 제2 스페어 워드라인에 결함이 있을 경우 상기 입력 어드레스에 관계없이 리페어 동작이 제어되도록 하는 퓨즈를 각각 포함하는 제1 및 제2 로우 퓨즈 박스부와, 정상 칼럼라인을 구동시키기 위한 칼럼선 선택 회로수단과, 상기 칼럼선 선택 회로수단의 동작을 제어하고 제1 또는 제2 스페어 칼럼라인을 구동시키기 위한 스페어 칼럼선 선택 회로수단과, 입력된 어드레스로부터 결함된 칼럼라인을 검출한 신호를 상기 칼럼선 선택 회로수단으로 각각 출력하고 상기 결함된 칼럼라인을 대체시키기 위한 제1 스페어 칼럼라인 또는 제2 스페어 칼럼라인에 결함이 있을 경우 상기 입력 어드레스에 상관없이 리페어 동작이 제어되도록 하는 퓨즈를 각각 포함하는 제1 및 제2 칼럼 퓨즈 박스부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 리던던시 회로.

### 청구항 2

제1항에 있어서, 상기 제1, 제2 로우 퓨즈 박스부 및 제1, 제2 칼럼 퓨즈 박스부는 프리차지 신호에 의해 전원전위를 제1 노드로 전달하는 제1 스위칭 수단과, 상기 제1 노드로부터의 신호를 반전시켜 상기 제2 노드로 전달하기 위한 제1 인버터와, 상기 제2 노드로부터의 신호를 반전시켜 상기 제3 노드로 전달하기 위한 제2 인버터와, 상기 제2 노드상의 신호에 의해 턴-온되어 상기 전원전압을 상기 제1 노드로 전달하는 제2 스위칭 수단과, 상기 제1 노드와 접지전압 사이에 각각 병렬 접속된 n개의 퓨즈와 상기 각각의 퓨즈와 접지전압 사이에 접속되고 각각의 게이트에 어드레스 신호가 입력되는 n개의 NMOS형 트랜지스터와, 상기 제1 스위칭 수단과 상기 제1 노드 사이에 접속되어 상기 결함이 발생된 스페어 워드라인 또는 결함이 발생된 스페어 칼럼라인을 선택하는 신호의 발생을 제어하기 위한 퓨즈 수단을 포함하는 것을 특징으로 하는 리던던시 회로.

### 청구항 3

제1항에 있어서, 상기 스페어 워드선 선택 회로수단은 제1 스페어 워드선 지정 디코더 신호와 워드선 선택 회로부 및 스페어 워드선 선택 회로부의 동작 시간 제어 신호를 논리 연산하여 출력시키는 제1 낸드 게이트와, 상기 제1 낸드 게이트의 출력신호를 반전시켜 제1 스페어 워드라인을 동작시키는 제3 인버터와, 제2 스페어 워드선 지정 디코더 신호와 워드선 선택 회로부 및 스페어 워드선 선택 회로부의 동작 시간 제어 신호를 논리 연산하여 출력시키는 제2 낸드 게이트와, 상기 제2 낸드 게이트의 출력신호를 반전시켜 제2 스페어 워드라인을 동작시키는 제4 인버터와, 상기 제1 낸드 게이트의 출력신호와 상기 제2 낸드 게이트의 출력신호를 논리 연산하여 워드선 선택 회로부를 제어하는 제3 낸드 게이트를 포함하는 것을 특징으로 하는 리던던시 회로.

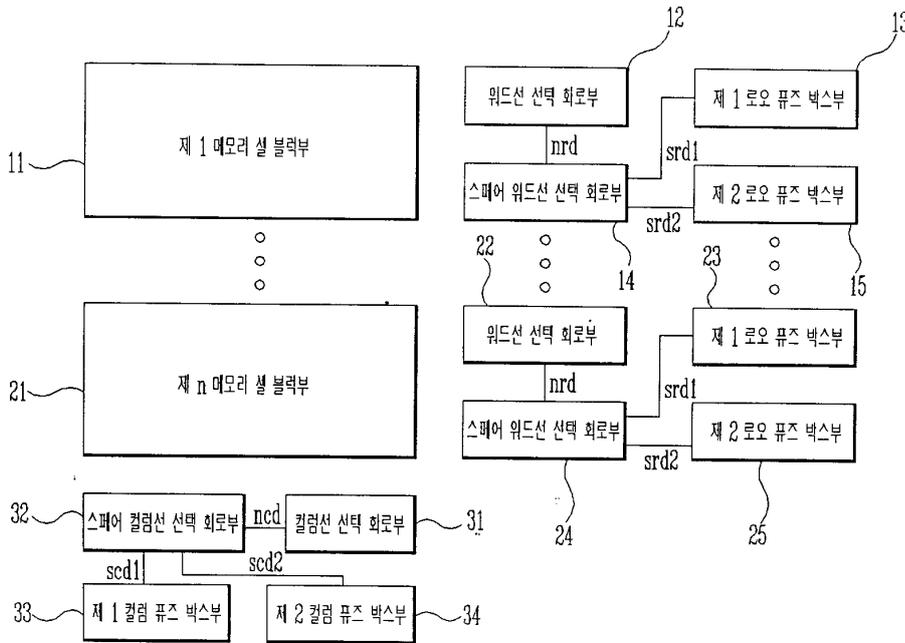
### 청구항 4

제1항에 있어서, 상기 스페어 칼럼선 선택 회로수단은 제1 스페어 칼럼선 지정 디코더 신호와 칼럼선 선

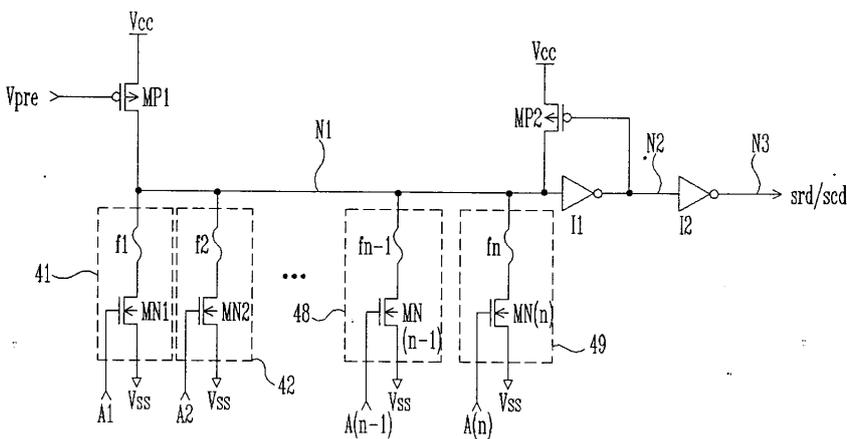
택 회로부 및 스페어 칼럼선 선택 회로부의 동작 시간 제어 신호를 논리 연산하여 출력시키는 제4 낸드 게이트와, 상기 제4 낸드 게이트의 출력신호를 반전시켜 제1 스페어 칼럼라인을 동작시키는 제5 인버터와, 제2 스페어 칼럼선 지정 디코더 신호와 칼럼선 선택 회로부 및 스페어 칼럼선 선택 회로부의 동작 시간 제어 신호를 논리 연산하여 출력시키는 제5 낸드 게이트와, 상기 제5 낸드 게이트의 출력신호를 반전시켜 제2 스페어 칼럼라인을 동작시키는 제6 인버터와, 상기 제4 낸드 게이트의 출력신호와 상기 제5 낸드 게이트의 출력신호를 논리 연산하여 칼럼선 선택 회로부를 제어하는 제6 낸드 게이트를 포함하는 것을 특징으로 하는 리던던시 회로.

도면

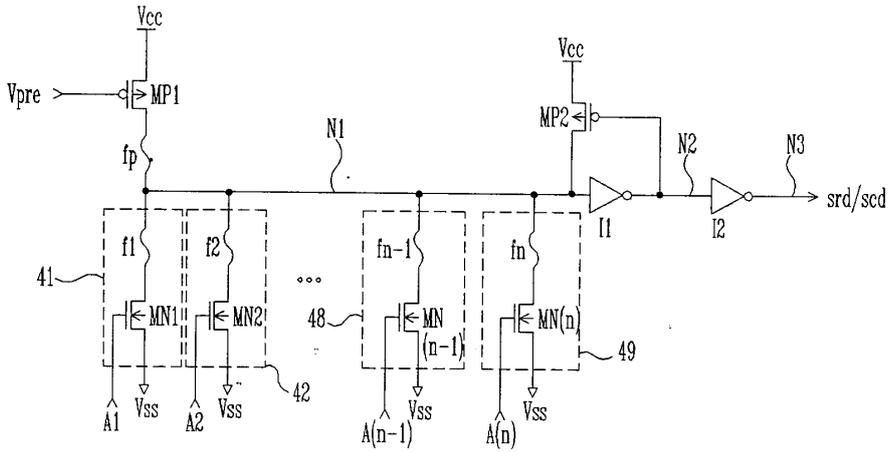
도면1



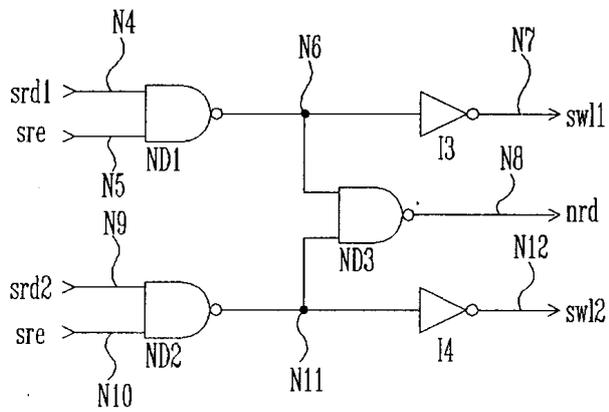
도면2



도면3



도면4



도면5

