

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4610586号
(P4610586)

(45) 発行日 平成23年1月12日 (2011. 1. 12)

(24) 登録日 平成22年10月22日 (2010. 10. 22)

(51) Int. Cl.		F I		
HO 1 L 27/148	(2006. 01)	HO 1 L 27/14		B
HO 1 L 21/322	(2006. 01)	HO 1 L 21/322		R
HO 4 N 5/369	(2011. 01)	HO 1 L 21/322		P
		HO 4 N 5/335	6 9 0	

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2007-174048 (P2007-174048)	(73) 特許権者	306037311
(22) 出願日	平成19年7月2日 (2007. 7. 2)		富士フイルム株式会社
(65) 公開番号	特開2009-16431 (P2009-16431A)		東京都港区西麻布2丁目26番30号
(43) 公開日	平成21年1月22日 (2009. 1. 22)	(74) 代理人	100115107
審査請求日	平成22年2月12日 (2010. 2. 12)		弁理士 高松 猛
早期審査対象出願		(74) 代理人	100132986
			弁理士 矢澤 清純
		(72) 発明者	鈴木 教章
			宮城県黒川郡大和町松坂平1丁目6番地
			富士フイルムフォトニクス株式会社内
		審査官	空 哲次

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の裏面側から入射した光に応じて信号電荷を生成し、表面側から前記信号電荷を読み出す半導体素子の製造方法であって、

前記半導体基板には、シリコンからなる半導体層と、

前記半導体層の裏面側に形成された酸化シリコンからなる絶縁層と、

前記絶縁層の裏面側に形成されたシリコンの第1の不純物層と、

前記第1の不純物層の裏面側に、該第1の不純物層とエッチングレートが異なるシリコンの第2の不純物層と、

が形成され、

前記第1の不純物層と前記第2の不純物層との間に、表面側の金属不純物を前記絶縁層を介してゲッタリングするゲッタリング層を形成する工程と、

前記半導体層にセンサ領域を形成する工程と、

前記第2の不純物層を、前記第1の不純物層をエッチングストップパとしてエッチングして除去する工程と、

前記第1の不純物層を、前記絶縁層をエッチングストップパとしてエッチングして除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項2】

前記第1の不純物層が、シリコンのn型の不純物拡散層であり、前記第2の不純物層が、シリコンのp型の不純物拡散層であることを特徴とする請求項1に記載の半導体素子の

製造方法。

【請求項 3】

前記ゲッタリング層が、前記第 2 の不純物層より高濃度の p 型の不純物拡散層であることを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】

前記ゲッタリング層が、リンゲッタ層またはポリシリコン層であることを特徴とする請求項 1 または 2 に記載の半導体素子の製造方法。

【請求項 5】

前記第 2 の不純物層に前記第 1 の不純物層をエッチングストッパとして用いて電気化学エッチングを行い、その後、前記第 1 の不純物層をドライエッチングによって除去することを特徴とする請求項 2 に記載の半導体素子の製造方法。

10

【請求項 6】

半導体基板の裏面側から入射した光に応じて信号電荷を生成し、表面側から前記信号電荷を読み出す半導体素子の製造方法であって、

前記半導体基板には、シリコンからなる半導体層と、

前記半導体層の裏面側に形成された酸化シリコンからなる絶縁層と、

前記絶縁層の裏面側に形成されたシリコンの第 1 の不純物層と、

前記第 1 の不純物層の裏面側に、該第 1 の不純物層とエッチングレートが異なるシリコンの第 2 の不純物層と、

が形成され、

20

前記第 1 の不純物層が、表面側の金属不純物を前記絶縁層を介してゲッタリングするゲッタリング層として形成され、

前記半導体層にセンサ領域を形成する工程と、

前記第 2 の不純物層を、前記第 1 の不純物層をエッチングストッパとしてエッチングして除去する工程と、

前記第 1 の不純物層を、前記絶縁層をエッチングストッパとしてエッチングして除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項 7】

前記第 2 の不純物層が、n 型又は p 型の不純物拡散層であり、前記第 1 の不純物層が、前記第 2 の不純物層より高濃度の p 型の不純物拡散層であり、前記第 2 の不純物層に前記第 1 の不純物層をエッチングストッパとし、異方性エッチャントを用いてエッチングを行い、その後、前記第 1 の不純物層をドライエッチングによって除去することを特徴とする請求項 6 に記載の半導体素子の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、裏面照射型の撮像素子等の半導体素子の製造方法に関し、特に、シリコン等の導電性の半導体層に絶縁層が形成された S O I 構造を有する半導体素子の製造方法に関する。

【背景技術】

40

【0002】

近年、受光のための開口率の向上、配線層のレイアウトの自由度の向上の観点から、半導体層の表面側に配線層を形成し、半導体層の裏面側から光を入射させて撮像できるようにした裏面照射型の撮像素子が注目されている。裏面照射型の撮像素子は、半導体基板の裏面側から光を入射させ、該半導体基板内で入射光を光電変換し、生成された信号電荷を表面側から読み出す構成を備えている。裏面照射型の撮像素子で用いられる S O I (Silicon on Insulator) 基板は、シリコン層の表面に酸化シリコン (SiO₂) 層等の絶縁層が形成され、その上層にシリコン等の半導体層が形成される。半導体層には、CCD や CMOS イメージセンサが形成される。その後、シリコン層を裏面側からエッチングすることで除去し、絶縁層を露呈させ、その裏面にカラーフィルタ層やマイクロレンズが形成さ

50

れる。SOI基板を備えた撮像素子の構成としては、例えば下記特許文献1に示すものがある。

【0003】

【特許文献1】特開2005-322745号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、裏面照射型の撮像素子の製造プロセスにおいて、プロセス中に半導体層に侵入した金属不純物をいかにしてゲッターリングするかを考慮する必要がある。金属不純物をゲッターリングするゲッターリング層は、通常、半導体層の活性領域外に形成される。このような撮像素子の製造プロセスにおいて、ゲッターリング層の形成に制約がともなう。例えば、裏面照射型の撮像素子をSOI基板のシリコンなどの半導体層を利用して形成する場合には、酸化シリコン層を挟んで半導体層に対向するシリコン基板にゲッターリング層を形成しても、当該酸化シリコン層が金属不純物の拡散のバリアとなってしまう、半導体層に侵入する金属をゲッターリングすることができない。

10

そのため、半導体基板の酸化シリコン層を、薄くしたいという要望があった。しかし、酸化シリコン層を薄くすると、半導体基板のシリコン基板をエッチング除去する際に、酸化シリコン層も除去されてしまうので酸化シリコン層を薄くすることが困難であった。

【0005】

本発明は、上記事情に鑑みてなされたもので、その目的は、裏面照射型の撮像素子等に用いられるSOI基板中の酸化シリコン等の絶縁層の厚さを所望の薄さにすることができる半導体素子の製造方法を提供することにある。

20

【課題を解決するための手段】

【0006】

本発明の上記目的は、下記構成によって達成される。

(1) 半導体基板の裏面側から入射した光に応じて信号電荷を生成し、表面側から前記信号電荷を読み出す半導体素子の製造方法であって、

前記半導体基板には、シリコンからなる半導体層と、

前記半導体層の裏面側に形成された酸化シリコンからなる絶縁層と、

前記絶縁層の裏面側に形成されたシリコンの第1の不純物層と、

30

前記第1の不純物層の裏面側に、該第1の不純物層とエッチングレートが異なるシリコンの第2の不純物層と、

が形成され、

前記第1の不純物層と前記第2の不純物層との間に、表面側の金属不純物を前記絶縁層を介してゲッターリングするゲッターリング層を形成する工程と、

前記半導体層にセンサ領域を形成する工程と、

前記第2の不純物層を、前記第1の不純物層をエッチングストップパとしてエッチングして除去する工程と、

前記第1の不純物層を、前記絶縁層をエッチングストップパとしてエッチングして除去する工程とを有することを特徴とする半導体素子の製造方法。

40

(2) 前記第1の不純物層が、シリコンのn型の不純物拡散層であり、前記第2の不純物層が、シリコンのp型不純物拡散層であることを特徴とする上記(1)に記載の半導体素子の製造方法。

(3) 前記ゲッターリング層が、前記第2の不純物層より高濃度のp型の不純物拡散層であることを特徴とする上記(2)に記載の半導体素子の製造方法。

(4) 前記ゲッターリング層が、リングッタ層またはポリシリコン層であることを特徴とする上記(1)または(2)に記載の半導体素子の製造方法。

(5) 前記第2の不純物層に前記第1の不純物層をエッチングストップパとして用いて電気化学エッチングを行い、その後、前記第1の不純物層をドライエッチングによって除去することを特徴とする上記(2)に記載の半導体素子の製造方法。

50

(6) 半導体基板の裏面側から入射した光に応じて信号電荷を生成し、表面側から前記信号電荷を読み出す半導体素子の製造方法であって、

前記半導体基板には、シリコンからなる半導体層と、

前記半導体層の裏面側に形成された酸化シリコンからなる絶縁層と、

前記絶縁層の裏面側に形成されたシリコンの第1の不純物層と、

前記第1の不純物層の裏面側に、該第1の不純物層とエッチングレートが異なるシリコンの第2の不純物層と、

が形成され、

前記第1の不純物層が、表面側の金属不純物を前記絶縁層を介してゲッタリングするゲッタリング層として形成され、

前記半導体層にセンサ領域を形成する工程と、

前記第2の不純物層を、前記第1の不純物層をエッチングストッパとしてエッチングして除去する工程と、

前記第1の不純物層を、前記絶縁層をエッチングストッパとしてエッチングして除去する工程とを有することを特徴とする半導体素子の製造方法。

(7) 前記第2の不純物層が、n型又はp型の不純物拡散層であり、前記第1の不純物層が、前記第2の不純物層より高濃度のp型の不純物拡散層であり、前記第2の不純物層に前記第1の不純物層をエッチングストッパとし、異方性エッチャントを用いてエッチングを行い、その後、前記第1の不純物層をドライエッチングによって除去することを特徴とする(6)に記載の半導体素子の製造方法。

【0007】

本発明の半導体素子の製造方法で用いる半導体基板は、半導体層の裏面に絶縁層を介して第1の不純物層と第2の不純物層とが設けられた構成を有し、第1の不純物層と第2の不純物層とがそれぞれ異なるエッチングレートである。

半導体基板の製造工程において、第2の不純物層をエッチングする際には、エッチングレートが異なる第1の不純物層をエッチングストッパとして用いて、第2の不純物層のみを除去して、第1の不純物層を裏面に残存させた状態とすることができる。その後、第1の不純物層をエッチングする際には、絶縁層をエッチングストッパとして用いて、第1の不純物層のみを除去して、絶縁層を半導体基板の裏面に露出させることができる。こうすれば、絶縁層がエッチングによって除去されすぎてしまうことを抑制することができ、絶縁層を所望の厚さに形成することができる。また、半導体基板の裏面側にゲッタリング層を形成し、このゲッタリング層に金属不純物を捕捉させるゲッタリング処理を行う場合に、絶縁層の厚さを所定の薄さにすることができるため、半導体基板の表面側に存在する金属不純物が絶縁層によってさえぎられてしまうことを防止し、ゲッタリング効果の低下を防止できる。

【発明の効果】

【0008】

本発明によれば、裏面照射型の撮像素子等に用いられるSOI基板中の酸化シリコン等の絶縁層の厚さを所望の薄さにすることができる半導体素子の製造方法を提供できる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施形態を図面に基づいて詳しく説明する。本発明にかかる半導体基板は、シリコン等の半導体層に絶縁層が形成されたSOI構造を有するものであり、例えば、裏面照射型の撮像素子の半導体基板などに適している。しかし、本発明にかかる半導体基板は、撮像素子に限らず、SOI構造を有する半導体基板やそれを用いた半導体素子に適用することができる。以下、本実施形態では、半導体基板の一例として、裏面照射型の撮像素子を用いて説明する。

【0010】

図1は、本発明にかかる半導体基板及び半導体素子の構成を示す断面図である。図1に示す半導体素子は、裏面照射型の撮像素子であって、裏面照射型とは、半導体基板の裏面

10

20

30

40

50

側から光を入射させ、入射した光に応じて光電変換が発生し、信号電荷が生成され、表面側から読み出される構造をいう。本実施形態では、図中下側の面を裏面とし、上側の面を表面とする。

【0011】

本実施形態の半導体素子は、p型のシリコン層（以下、p層という）31とp層31よりも不純物濃度の高いp++型のシリコン層（以下、p++層という）32とからなるp型の半導体基板（以下、p基板という）60を備える。裏面照射型撮像素子は、図中下方から上方に向かって光を入射させて撮像を行うものである。本明細書では、p基板60の光入射方向に対して垂直な2つの面のうち、光入射側の面を裏面といい、その反対面を表面という。また、本実施形態の説明において、裏面照射型撮像素子100を構成する各構成要素を基準にしたときに、入射光が進む方向を、その構成要素の上方と定義し、入射光が進む方向の反対方向を、その構成要素の下方と定義する。また、p基板60の裏面及び表面に直交する方向を垂直方向、p基板60の裏面及び表面に平行な方向を水平方向と定義する。

10

【0012】

p層31内の、p基板60表面近傍の水平方向に延びる同一面上には、入射光に応じてp基板60内で発生した電荷を蓄積するためのn型の不純物拡散層（以下、n層という）34が複数配列されている。n層34は、p基板60の表面側に形成されたn層34aと、n層34aの下に形成されたn層34aよりも不純物濃度の低いn層34bとの2層構造となっているが、これに限らない。n層34で発生した電荷と、このn層34に入射する光の経路上でp基板60内に発生した電荷とが、n層34に蓄積される。

20

【0013】

各n層34上にはp基板60表面に発生する暗電荷が各n層34に蓄積されるのを防ぐための高濃度のp型の不純物拡散層（以下、p+層という）35が形成されている。各p+層35内部には、p基板60の表面からその内側に向かってn層34よりも高濃度のn型の不純物拡散層（以下、n+層という）36が形成されている。n+層36は、n層34に蓄積される不要な電荷を排出するためのオーバーフローレインとして機能し、p+層35が、このオーバーフローレインのオーバーフローバリアとしても機能する。図示したように、n+層36は、p基板60の表面に露出する露出面を有している。

【0014】

p+層35及びn層34の右隣には、少し離間してn層34よりも高濃度のn型不純物拡散層からなる電荷転送チャネル42が形成され、電荷転送チャネル42の周囲にはp+層35よりも濃度の低いp層41が形成されている。

30

【0015】

p+層35及びn層34と電荷転送チャネル42との間のp層41及びp層31には、n層34に蓄積された電荷を電荷転送チャネル42に読み出すための電荷読み出し領域（図示せず）が形成されている。電荷転送チャネル42と電荷読み出し領域の上方には、シリコン酸化膜やONO膜等からなるゲート絶縁膜20を介して、電荷転送チャネル42に電圧を供給して電荷転送動作を制御するための電荷転送電極と、電荷読み出し領域に読み出し電圧を供給して電荷読み出し動作を制御するための電荷読み出し電極とを兼ねたポリシリコン等からなる電極43が形成されている。電極43の周囲には酸化シリコン等の絶縁膜44が形成されている。電荷転送チャネル42とその上方の電極43とにより、CCDが構成される。なお、本実施形態の半導体素子では、一例としてCCDの構成の撮像素子を例に説明するが、特に限定されず、例えば、CMOSイメージセンサ型の構成であってもよい。

40

【0016】

隣接するn層34同士の間には、p層41の下にp型不純物拡散層からなる素子分離層45が形成されている。素子分離層45は、n層34に蓄積されるべき電荷が、その隣のn層34に漏れてしまうのを防ぐためのものである。

【0017】

50

p基板60の表面上にはゲート絶縁膜20が形成されており、ゲート絶縁膜20上には酸化シリコン等の表面側絶縁層39が形成されており、この表面側絶縁層39内に電極43及び絶縁膜44が埋設されている。

【0018】

なお、n+層36に移動した電荷を、n+層36の露出面に接続された図示しない電極に移動させることで、n+層36をオーバーフロートレインとして機能させることができる。

【0019】

p基板60の裏面から内側には、p基板60の裏面で発生する暗電荷がn層34に移動するのを防ぐために、p++層32が形成されている。p++層32には端子が接続され、この端子に所定の電圧が印加できるようになっている。p++層32の濃度は、例えば $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ である。

【0020】

p++層32の下には、酸化シリコンや窒化シリコン等の入射光に対して透明な絶縁層33が形成されている。絶縁層33の下には、絶縁層33とp基板60との屈折率差に起因するp基板60の裏面での光の反射を防止するために、窒化シリコンやダイヤモンド構造炭素膜等の入射光に対して透明な高屈折率透明層46が形成されている。高屈折率透明層46としては、プラズマCVDや光CVD等の400以下の低温形成が可能な窒化シリコン等の $n = 1.46$ を超える屈折率の層とすることが好ましい。

【0021】

高屈折率透明層46の下には、カラーフィルタアレイCが形成されている。カラーフィルタアレイCは、高屈折率透明層46側から順にカラーフィルタ層3、平坦化層7、マイクロレンズ層8を順に積層させた構成である。

【0022】

このように構成された裏面照射型の撮像素子では、カラーフィルタアレイCの1つのマイクロレンズに入射した光が、そのマイクロレンズ上方のカラーフィルタ層3に入射し、ここを透過した光が、カラーフィルタの色に対応するn層34へと入射される。このとき、p基板60のうち入射光の経路となる部分でも電荷が発生するが、この電荷は、光電変換領域に形成されたポテンシャルスロープを介してn層34へと移動し、ここで蓄積される。n層34に入射してここで発生した電荷も、ここに蓄積される。n層34に蓄積された電荷は、電荷転送チャンネル42に読み出されて転送され、出力アンプによって信号に変換されて外部に出力される。

【0023】

本発明にかかる半導体素子に用いられる半導体基板は、シリコン等の半導体層に絶縁層33が形成されたSOI構造を有している。

【0024】

次に、本発明にかかる半導体素子の製造方法を説明する。図2は、半導体素子の製造方法の手順を説明する図である。

最初に、図2(a)に示すように、半導体基板を用意する。半導体基板は、センサ領域が形成されるシリコン等の半導体層11と、半導体層11の裏面側に形成された絶縁層12とを備えている。また、絶縁層12の裏面側には、シリコンからなるn型の不純物拡散層13と、シリコンからなるp型の不純物拡散層15とが形成されている。本実施形態では、n型の不純物拡散層13が第1の不純物層として機能し、p型の不純物拡散層15が第2の不純物層として機能する。

【0025】

n型の不純物拡散層13とp型の不純物拡散層15との間には、高濃度のp型の不純物拡散層14が形成され、高濃度のp型の不純物拡散層14は、半導体基板の表面側に存在する金属不純物を、絶縁層12を介してゲッターリングするためのゲッターリング層として機能する。なお、ゲッターリング層としては、金属不純物をゲッターリングすることができれば特に限定されず、高濃度のp型不純物拡散層だけでなく、リンゲッター層やポリシリコン層

10

20

30

40

50

とすることもできる。

【0026】

なお、本実施形態において、半導体層11の厚さを10 μ m程度とし、n型の不純物拡散層13の厚さを3 μ mとし、p型の不純物拡散層15の厚さを710 μ mとし、高濃度のp型の不純物拡散層14の厚さを3 μ mとする。

【0027】

半導体基板には、必要に応じてゲッタリング処理を行うが、本実施形態では、高濃度のp型の不純物拡散層14をゲッタリング層とすることで、金属不純物を該高濃度p層14に捕捉させることができるため、他のゲッタリング処理を省略することができる。

【0028】

その後、半導体層11にセンサ領域を形成する。センサ領域には、図1に示すように、半導体層11の表面側から不純物イオンをドーピングや、フォトリソ工程、エッチング工程などを行うことによって、n層34、p+層35、n+層36、電荷転送チャンネル42、電極43などの層を形成する。

【0029】

本実施形態では、n型の不純物拡散層13とp型の不純物拡散層15とのエッチングレートがそれぞれ異なるように形成されている。

【0030】

半導体層11にセンサ領域を形成した後、半導体層11の表面側に支持基板(図示せず)を貼り合わせる。半導体基板は、裏面のエッチングで極めて薄くなるため製造工程時の取り扱いが困難であるため、支持基板に支持させた状態で取り扱うことが好ましい。

【0031】

次に、図2(b)に示すように、p型不純物拡散層15の裏面側からエッチングを行い、除去する。エッチングは、水酸化カリウム(KOH)などをエッチャントとして用いた電解エッチストップ法(電気化学エッチング停止法)を適用することができる。このとき、p型不純物拡散層15とはエッチングレートが異なるn型不純物拡散層13がエッチングストップパとして機能する。または、最初に、p型不純物拡散層15の裏面を研削装置などによってバックグラインドした後に、電解エッチストップ法でエッチングしてもよい。こうすることで、p型不純物拡散層15のエッチング除去にかかる時間を短縮することができる。

【0032】

p型不純物拡散層15を除去した後、半導体基板の裏面に露出したn型不純物拡散層13の裏面にドライエッチングを行い、図2(c)に示すように、除去することで、絶縁層12を露出させる。n型不純物拡散層13をドライエッチングする際には、絶縁層12がエッチングストップパとして機能する。

【0033】

本実施形態の半導体基板は、半導体層11の裏面に絶縁層12を介してp型不純物拡散層15とn型不純物拡散層13とが設けられた構成を有し、p型不純物拡散層15とn型不純物拡散層13とがそれぞれ異なるエッチングレートである。こうすれば、半導体基板の製造工程において、p型不純物拡散層15をエッチングする際には、エッチングレートと異なるn型不純物拡散層13をエッチングストップパとして用いて、p型不純物拡散層15のみを確実に除去して、n型不純物拡散層13を裏面に残存させた状態とすることができる。その後、n型不純物拡散層13をエッチングする際には、絶縁層12をエッチングストップパとして用いて、n型不純物拡散層13のみを除去して、絶縁層12を半導体基板の裏面に露出させることができる。こうすれば、絶縁層12がエッチングによって除去されすぎてしまうことを抑制することができ、絶縁層12を所望の厚さに形成することができる。

【0034】

次に、本発明にかかる半導体素子の製造方法の別の手順を説明する。図3は、半導体素子の製造方法の手順を説明する図である。

10

20

30

40

50

最初に、図3(a)に示すように、半導体基板を用意する。本実施形態の半導体基板は、センサ領域が形成されるシリコン等の半導体層21と、半導体層21の裏面側に形成された絶縁層22とを備えている。また、絶縁層22の裏面側には、シリコンからなる高濃度のp型の不純物拡散層23と、シリコンからなるn型(又はp型とすることができる。以下省略し、単にn型とする。)の不純物拡散層24とが形成されている。高濃度のp型の不純物拡散層23の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上の濃度とすることが好ましい。本実施形態では、高濃度p型不純物拡散層23が第1の不純物層として機能し、n型の不純物拡散層24が第2の不純物層として機能する。半導体層21及び絶縁層22の構成は、図2に示す手順の半導体基板のものと同様である。なお、本実施形態では、高濃度p型不純物拡散層23がゲッタリング層となる。不純物拡散層24は、n型のシリコン基板でもよい。

【0035】

なお、本実施形態において、高濃度p型の不純物拡散層23の厚さを $3 \mu\text{m}$ とし、n型の不純物拡散層24の厚さを $710 \mu\text{m}$ とする。

【0036】

本実施形態では、高濃度p型の不純物拡散層23とn型の不純物拡散層24とのエッチングレートがそれぞれ異なるように形成されている。ここで、高濃度p型の不純物拡散層23のエッチングレートを $0.02 \mu\text{m}/\text{min}$ とし、n型の不純物拡散層24のエッチングレートを $1 \mu\text{m}/\text{min}$ とした。

【0037】

半導体層21にセンサ領域を形成し、半導体層21の表面側に支持基板(図示せず)を貼り合わせる。その後、図3(a)及び図3(b)に示すように、n型不純物拡散層24の裏面側からエッチングを行い、除去する。エッチングは、エチレンジアミンパイロカテコール(EDP)などの高濃度のp型不純物拡散層23に対して高い選択比でエッチング可能なエッチャントとして用いることが好ましい。このとき、n型不純物拡散層24とはエッチングレートが異なる高濃度のp型不純物拡散層23がエッチングストップとして機能する。

【0038】

エッチャントとして水酸化カリウム水溶液を使用する場合、酸化シリコン(SiO_2)膜を多少侵すが、EDP水溶液は侵さない性質がある。また、EDP水溶液は、高濃度ボロン添加Si($1 \times 10^{19} \text{cm}^{-3}$)もほとんど溶かさない性質がある。図4は、ボロン濃度の変化に対するEDP水溶液によるシリコンのエッチングレートを示すグラフである。図4に見られるように、EDP水溶液は、ボロン濃度が高くなると($1 \times 10^{20} \text{cm}^{-3}$)、高い選択比(約100:1)であることがわかる。

【0039】

なお、最初に、n型不純物拡散層24の裏面を研削装置などによってバックグラインドした後に、EDPを用いてエッチングしてもよい。こうすることで、n型不純物拡散層24のエッチングにかかる時間を短縮することができる。

【0040】

n型不純物拡散層24を除去した後、半導体基板の裏面に露出した高濃度p型不純物拡散層23の裏面にドライエッチングを行い、図3(c)に示すように、除去することで、絶縁層22を露出させる。高濃度p型不純物拡散層23をドライエッチングする際には、絶縁層22がエッチングストップとして機能する。

【0041】

本発明にかかる半導体基板は、半導体層21の裏面に絶縁層22を介して高濃度p型不純物拡散層23とn型不純物拡散層24とが設けられた構成を有し、高濃度p型不純物拡散層23とn型不純物拡散層24とがそれぞれ異なるエッチングレートである。

半導体基板の製造工程において、n型不純物拡散層24をエッチングする際には、エッチングレートが異なる高濃度p型不純物拡散層23をエッチングストップとして用いて、n型不純物拡散層24のみを除去して、高濃度p型不純物拡散層23を裏面に残存させた状態とすることが出来る。その後、高濃度p型不純物拡散層23をエッチングする際には

10

20

30

40

50

、絶縁層 2 2 をエッチングストッパとして用いて、高濃度 p 型不純物拡散層 2 3 のみを除去して、絶縁層 2 2 を半導体基板の裏面に露出させることができる。こうすれば、絶縁層 2 2 がエッチングによって除去されすぎてしまうことを抑制することができ、絶縁層 2 2 を所望の厚さに形成することができる。また、半導体基板の裏面側にゲッタリング層を形成し、このゲッタリング層に金属不純物を捕捉させるゲッタリング工程を行う場合には、絶縁層 2 2 の厚さを所定の薄さにすることができるため、半導体基板の表面側に存在する金属不純物が絶縁層 2 2 によってさえぎられてしまうことを防止し、ゲッタリング効果の低下を防止できる。

【 0 0 4 2 】

なお、本発明は、前述した実施形態に限定されるものではなく、適宜な変形、改良などが可能である。

10

例えば、第 1 の不純物層及び第 2 の不純物層の構成は、図 2 及び図 3 に示す手順のものに限定されず、第 1 の不純物層と第 2 の不純物層とがそれぞれエッチングレートが異なる範囲で、適宜変更することができる。

【 0 0 4 3 】

図 5 は、本発明にかかる半導体基板の包括的な構成を示す断面図である。本発明にかかる半導体基板は、センサ領域を形成するシリコン等の半導体層 1 と、半導体層 1 の裏面に形成された酸化シリコン (SiO_2) 膜などの絶縁層 2 とを備え、更に、絶縁層 2 の裏面に、エッチングレートがそれぞれ異なる第 1 の不純物層 (A 層) 3 と、第 2 の不純物層 (B 層) 4 とが積層されている。ここで、A 層及び B 層は、ドーピングやエピタキシャル成長などで形成することができる。A 層 3 と、B 層 4 との間には、図 2 に示すようにゲッタリング層が形成されていてもよい。

20

【 0 0 4 4 】

図 6 は、図 5 に示す半導体基板を備えた半導体素子の製造方法の手順の一例を示すフローチャートである。

最初に、図 2 (a) の p 型不純物拡散層 1 5 として用いるためのシリコン板を用意し、このシリコン板の一方の面にイオンドーピングによって高濃度 p 型の不純物拡散層 1 4 と n 型の不純物拡散層 1 3 を形成する。一方、半導体層 1 1 の一方の面に絶縁層 (SiO_2) 1 2 を形成したものを用意する。そして、p 型不純物拡散層 1 5 における n 型の不純物拡散層 1 3 が形成された面と、半導体層 1 1 の絶縁層 1 2 が形成された面とを貼り合せスマートカット法などによって図 5 に示す半導体基板を得ることができる。

30

【 0 0 4 5 】

その後、A 層をエッチングストッパとして使用し、B 層をエッチングして除去する。こうして、半導体基板の裏面に A 層を露出させる。次に、絶縁層 2 をエッチングストッパとして使用し、A 層を裏面からエッチングして除去する。こうすれば、絶縁層がエッチングによって除去されすぎてしまうことを抑制することができ、絶縁層を所望の厚さに形成することができる。

【 図面の簡単な説明 】

【 0 0 4 6 】

【 図 1 】半導体基板及び半導体素子の構成を示す断面図である。

40

【 図 2 】半導体素子の製造方法の手順を説明する図である。

【 図 3 】半導体素子の製造方法の手順を説明する図である。

【 図 4 】ボロン濃度の変化に対する EDP 水溶液のエッチレートを示すグラフである。

【 図 5 】本発明にかかる半導体基板の包括的な構成を示す断面図である。

【 図 6 】半導体基板を備えた半導体素子の製造方法の手順を示すフローチャートである。

【 符号の説明 】

【 0 0 4 7 】

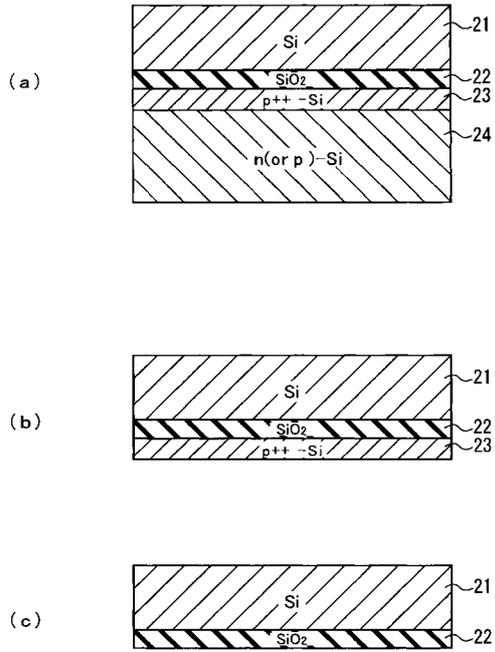
1 1 , 2 1 半導体層

1 2 , 2 2 絶縁層

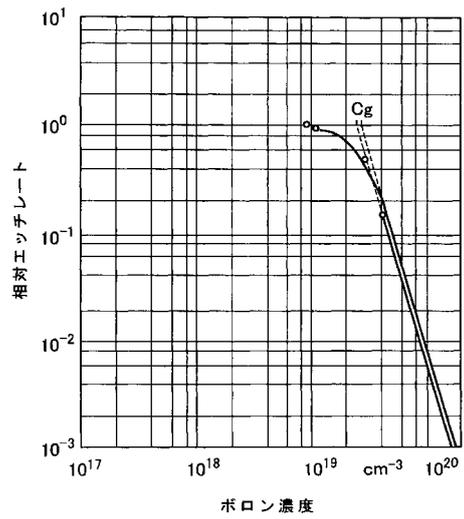
1 3 n 型不純物拡散層 (第 1 の不純物層)

50

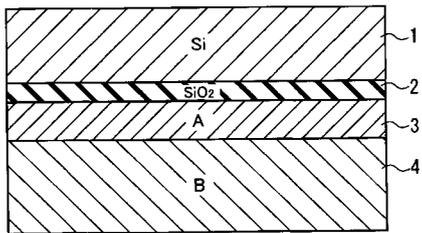
【図3】



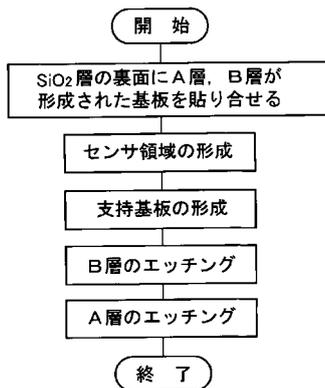
【図4】



【図5】



【図6】



フロントページの続き

- (56)参考文献 特開平08 - 241977 (JP, A)
特開平10 - 135432 (JP, A)
特開2007 - 318102 (JP, A)
特開2007 - 088450 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14
H01L 27/12
H01L 21/322