

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/76

(45) 공고일자 2001년03월02일
(11) 등록번호 10-0280490
(24) 등록일자 2000년11월10일

(21) 출원번호	10-1998-0024398	(65) 공개번호	특2000-0003207
(22) 출원일자	1998년06월26일	(43) 공개일자	2000년01월15일

(73) 특허권자 현대반도체주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 윤훈상
충청북도 청주시 흥덕구 향정동 50번지 LG반도체 기숙사 신관 806호
(74) 대리인 박장원

심사관 : 이금옥

(54) 반도체 소자의 분리구조 형성방법

요약

본 발명은 반도체 소자의 분리구조 형성방법에 관한 것으로, 종래 반도체 소자의 분리구조 형성방법은 모스 트랜지스터 등의 반도체 소자의 측면에 위치하며, 디자인 룰에 따라 일정한 면적 이상의 면적을 갖는 필드산화막과 그 필드산화막의 타측면 기판 하부에 백바이어스 영역을 형성함으로써, 그 분리구조가 차지하는 면적이 커 집적도가 감소하는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 반도체 기판의 상부에 필드산화막을 증착하여 반도체 소자가 형성될 액티브영역을 정의하는 소자영역 설정단계와; 상기 액티브영역에 반도체 소자를 형성하는 과정에서 상기 필드산화막과 소정거리 이격되는 백바이어스용 게이트를 형성하는 백바이어스용 게이트 형성단계와; 상기 백바이어스용 게이트와 필드산화막의 사이 기판에 불순물 이온을 이온주입하여 백바이어스 영역을 형성하는 백바이어스 영역 형성단계로 구성하여 면적이 큰 필드산화막을 소정의 전압을 인가받는 게이트로 대체함으로써, 그 면적을 줄여 집적도를 향상시키는 효과가 있다.

대표도

도2d

명세서

도면의 간단한 설명

도1a 내지 도1d는 종래 반도체 소자의 분리구조 제조공정 수순단면도.

도2a 내지 도2d는 본 발명 반도체 소자의 분리구조 제조공정 수순단면도.

도면의 주요 부분에 대한 부호의 설명

1:기판 2:필드산화막

3:게이트 4:소스 및 드레인

5:백바이어스 영역 6:백바이어스용 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 분리구조 형성방법에 관한 것으로, 특히 특정 반도체 소자의 측면에 게이트를 형성하고, 그 게이트의 타측면에 백바이어스(back bias)를 인가하는 백바이어스 영역을 둠으로써, 적은 면적에서 각 소자를 전기적으로 분리하는 반도체 소자의 분리구조 형성방법에 관한 것이다.

일반적으로, 다수의 반도체 소자는 각각이 기판상에서 전기적으로 분리되어 소자간의 전기적인 영향이 없어야 하며, 이를 위해서 주로 사용하는 분리구조는 로코스(LOCOS) 공정을 통해 형성하는 필드산화막을 사용한다. 이때, 각 반도체 소자는 각각 소정간격 이격된 필드산화막의 사이에 제조되며, 그 필드산화막의 타측면 기판 하부에 소자의 백바이어스(back bias) 전압을 인가하기 위한 백바이어스 영역을 형성하게 되며, 이와 같은 반도체 소자의 분리구조를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1a 내지 도1d는 종래 반도체 소자의 분리구조 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판

(1)의 상부에 필드산화막(2)을 증착하여 소자가 형성될 액티브영역을 정의하는 단계(도1a)와; 상기 액티브영역의 상부에 산화막과 다결정실리콘을 순차적으로 증착하고, 패터닝하여 게이트(3)를 형성하는 단계(도1b)와; 상기 필드산화막(2)과 게이트(3)가 형성된 기판(1)의 상부에 포토레지스트(PR1)를 도포하고, 패턴을 형성하여 상기 게이트(3)의 측면에 위치하는 기판(1)을 선택적으로 노출시킨 후, 불순물 이온을 이온주입하여 소스 및 드레인(4)을 형성하는 단계(도1c)와; 상기 포토레지스트(PR1)를 제거하고, 다시 포토레지스트(PR2)를 도포하고, 패턴을 형성하여 상기 필드산화막(2) 사이의 기판(1)을 노출시킨 다음, 그 노출된 기판(1)에 상기 소스 및 드레인(4)의 불순물 형과는 다른 불순물 형의 불순물을 이온주입하여 백바이어스 영역(5)을 형성하는 단계(도1d)를 포함하여 구성된다.

이하, 상기와 같이 구성된 종래 반도체 소자의 분리구조 형성방법을 좀 더 상세히 설명한다.

먼저, 도1a에 도시한 바와 같이 기판(1)의 상부에 패드산화막과 질화막을 순차적으로 증착하고, 사진식각공정을 통해 그 패드산화막과 질화막을 식각하여 상기 기판(1)의 일부를 노출시킨다.

이때의 사진식각공정에서 사용하는 마스크는 소자가 형성될 액티브영역의 주변에 넓은 폭을 갖는 투광부와 그 넓은폭을 갖는 투광부와 소정거리 이격되며, 상대적으로 좁은 폭을 갖는 투광부를 갖는 것을 사용한다.

그 다음, 상기 노출된 기판(1)을 열산화하여 액티브영역의 주변에 그 폭이 큰 필드산화막을 형성하고, 그 폭이 큰 필드산화막과 소정거리 이격되며, 상대적으로 폭이 작은 필드산화막을 형성한다.

그 다음, 도1b에 도시한 바와 같이 상기 질화막과 패드산화막을 모두 제거한 후, 상기 액티브영역의 상부에 산화막과 다결정실리콘을 순차적으로 증착하고, 사진식각공정을 통해 패터닝하여 상기 액티브영역의 중앙부에 게이트(3)를 형성한다.

그 다음, 도1c에 도시한 바와 같이 상기 게이트(3)와 필드산화막(2) 및 기판(1)의 상부에 포토레지스트(PR1)를 도포하고, 노광 및 현상하여 상기 그 중앙부에 게이트(3)가 형성된 액티브영역을 노출시키고, 그 포토레지스트(PR1) 패턴을 이온주입 마스크로 사용하는 이온주입공정으로 고농도 불순물 이온을 이온주입하여 소스 및 드레인(4)을 형성하여 게이트(3)와 소스 및 드레인(4)을 포함하는 MOS 트랜지스터를 제조한다.

그 다음, 도1d에 도시한 바와 같이 상기 포토레지스트(PR1)를 제거하고, 다시 포토레지스트(PR2)를 도포하고, 노광 및 현상하여 상기 폭이 넓은 필드산화막과 폭이 좁은 필드산화막(2)의 사이에 위치하는 기판(1)을 노출시킨다.

그 다음, 상기 소스 및 드레인(4)의 형성을 위해 주입한 이온의 형과는 다른 형의 불순물 이온을 상기 포토레지스트(PR2)를 마스크로 하여 이온주입함으로써, 상기 필드산화막(2)의 사이에 백바이어스 영역(5)을 형성하게 된다.

이와 같이 백바이어스 영역(5)을 형성하고, MOS 트랜지스터의 동작시 백바이어스 영역(5)에 소정의 전압을 인가하면 필드산화막만이 존재할 때보다 우수한 절연특성을 갖게 된다.

이때, 상기 폭이 넓은 필드산화막(2)은 디자인룰(DESIGN RULE)에 따라 특정한 폭이하로는 형성할 수 없으며, 이에 따라 전체 소자가 차지하는 면적이 증가하게 된다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이 종래 반도체 소자의 분리구조 형성방법은 MOS 트랜지스터 등의 반도체 소자의 측면에 위치하며, 디자인 룰에 따라 일정한 면적 이상의 면적을 갖는 필드산화막과 그 필드산화막의 타측면 기판 하부에 백바이어스 영역을 형성함으로써, 그 분리구조가 차지하는 면적이 커 집적도가 감소하는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 필드산화막을 사용하지 않는 반도체 소자의 분리구조 형성방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적은 반도체 기판의 상부에 필드산화막을 증착하여 반도체 소자가 형성될 액티브영역을 정의하는 소자영역 설정단계와; 상기 액티브영역에 반도체 소자가 형성하는 과정에서 상기 필드산화막과 소정거리 이격되는 백바이어스용 게이트를 형성하는 백바이어스용 게이트 형성단계와; 상기 백바이어스용 게이트와 필드산화막의 사이 기판에 불순물 이온을 이온주입하여 백바이어스 영역을 형성하는 백바이어스 영역 형성단계로 구성함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도2a 내지 도2d는 본 발명 반도체 소자의 분리구조 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에 필드산화막(2)을 형성하여 반도체 소자가 형성될 액티브영역을 정의하는 단계(도2a)와; 상기 정의된 액티브영역의 상부에 산화막과 다결정실리콘을 순차적으로 증착하고, 사진식각공정을 통해 패터닝하여 MOS 트랜지스터의 게이트(3)와 백바이어스용 게이트(6)를 형성하는 단계(도2a)와; 상기 두 게이트(3),(6)와 기판(1) 및 필드산화막(2)의 상부에 포토레지스트(PR1)를 도포하고 패터닝하여 상기 MOS 트랜지스터의 게이트(3)와 그 측면의 기판(1)을 노출시킨 후, 불순물 이온을 이온주입하여 상기 게이트(3)의 측면 기판(1) 하부에 소스 및 드레인(4)을 형성하는 단계(도2c)와; 상기 포토레지스트(PR1)를 제거하고, 포토레지스트(PR2)를 도포하고, 노광 및 현상하여 상기 백바이어스용 게이트(6)와 필드산화막(2)의 사이에 위치하는 기판(1)의 일부영역을 노출시키는 패턴을 형성하고, 불순물 이온을 이온주입하여 상기 노출된 기판(1)에 백바이어스 영역(5)을 형성하는 단계(도2d)를 포함하여 구성된다.

이하, 상기와 같은 본 발명 반도체 소자의 분리구조 형성방법을 좀 더 상세히 설명한다.

먼저, 도2a에 도시한 바와 같이 기판(1)의 상부에 종래와 동일한 방법인 로코스(LOCOS) 공정을 통해 필드산화막(2)을 형성하여 액티브영역을 정의한다.

이때의 필드산화막은 종래 기술에서 설명한 폭이 상대적으로 좁은 필드산화막이며, 폭이 큰 필드산화막은 형성하지 않는다.

그 다음, 도2b에 도시한 바와 같이 상기 필드산화막(2)의 형성으로 정의된 액티브영역의 상부에 산화막과 다결정실리콘을 순차적으로 증착하고, 사진식각공정을 통해 상기 다결정실리콘과 산화막을 패터닝하여 각각 소정거리 이격되는 모스 트랜지스터의 게이트(3)와 백바이어스용 게이트(6)를 형성한다.

그 다음, 도2c에 도시한 바와 같이 상기 기판(1), 두 게이트(3), (6) 및 필드산화막(2)의 상부전면에 포토레지스트(PR1)를 도포하고, 노광 및 현상하여 상기 모스 트랜지스터의 게이트(3)의 측면 기판(1)을 노출시키는 포토레지스트 패턴을 형성한다.

그 다음, 상기 포토레지스트 패턴을 이온주입 마스크로 사용하는 이온주입공정으로 상기 노출된 기판(1)에 고농도 불순물 이온을 이온주입하여 모스 트랜지스터의 소스 및 드레인(4)을 형성한다.

그 다음, 도2d에 도시한 바와 같이 상기 포토레지스트(PR1)를 모두 제거하고, 상기 기판(1), 소스 및 드레인(4)과 두 게이트(3), (6) 및 필드산화막(2)의 상부전면에 포토레지스트(PR2)를 도포하고, 노광 및 현상하여 상기 백바이어스용 게이트(6)와 필드산화막(2)의 사이에 위치하는 기판(1)을 노출시키는 패턴을 형성한다.

그 다음, 상기 포토레지스트(PR2) 패턴을 이온주입 마스크로 사용하는 이온주입공정으로, 상기 소스 및 드레인(4)을 형성하기 위해 주입한 불순물 이온과는 다른 형의 불순물 이온을 이온주입하여 상기 노출된 기판(1)의 하부에 백바이어스 영역(5)을 형성한다.

이와 같이 제조된 본 발명 반도체 소자의 분리구조 즉, 백바이어스용 게이트(6)와 그 측면의 백바이어스 영역(5)을 포함하는 구조는 각각 모스 트랜지스터의 동작시 그 모스 트랜지스터의 게이트에 인가되는 전압과는 반대의 전압을 인가받고, 백바이어스 전압을 인가받아 소자를 절연하게 된다.

이때의 백바이어스용 게이트(6)의 면적은 인가되는 전압에 의해 정의할 수 있으며, 특별히 디자인 룰에 적용되지 않는 적은면적으로 형성할 수 있다.

발명의 효과

상기한 바와 같이 본 발명은 종래 그 면적이 큰 필드산화막을 소정의 전압을 인가받는 게이트로 대체함으로써, 그 면적을 줄여 집적도를 향상시키는 효과가 있다.

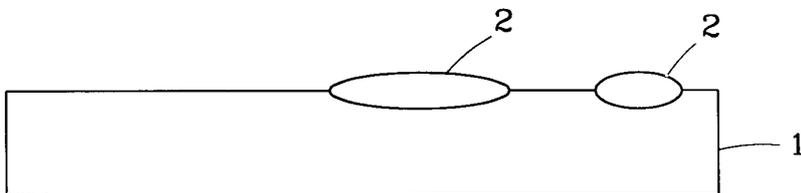
(57) 청구의 범위

청구항 1

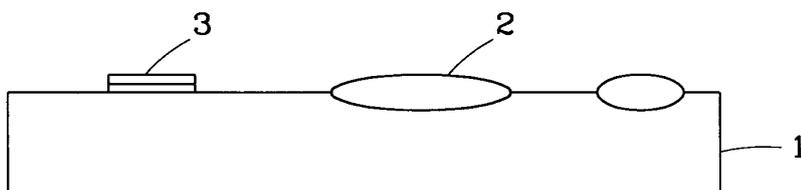
반도체 기판의 상부에 필드산화막을 증착하여 반도체 소자가 형성될 액티브영역을 정의하는 소자영역 설정단계와; 상기 액티브영역에 반도체 소자를 형성하는 과정에서 상기 필드산화막과 소정거리 이격되는 백바이어스용 게이트를 형성하는 백바이어스용 게이트 형성단계와; 상기 백바이어스용 게이트와 필드산화막의 사이 기판에 그 기판에 도핑된 불순물 이온과 동일 도전형의 불순물 이온을 고농도로 이온주입하여 백바이어스 영역을 형성하는 백바이어스 영역 형성단계로 구성하여 된 것을 특징으로 하는 반도체 소자의 분리구조 형성방법.

도면

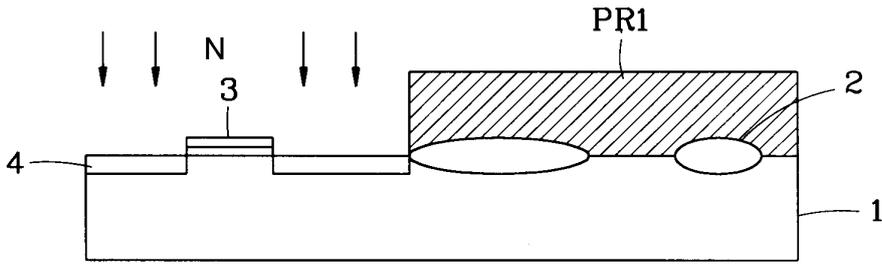
도면1a



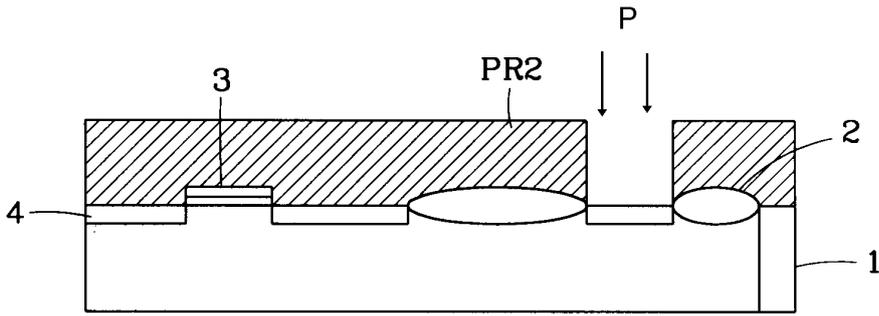
도면1b



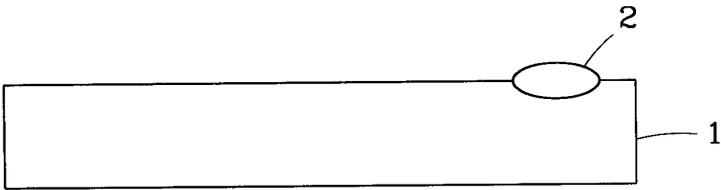
도면1c



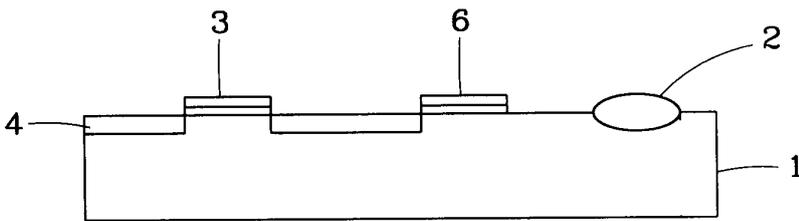
도면1d



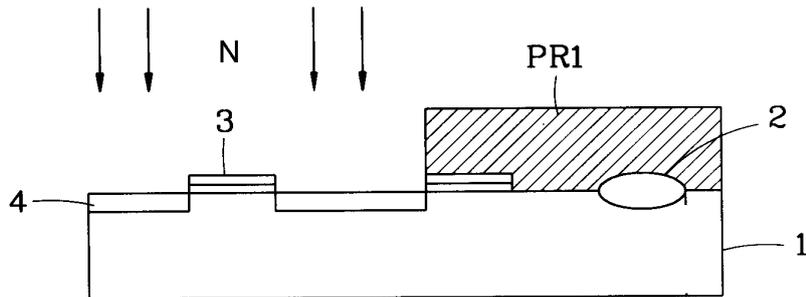
도면2a



도면2b



도면2c



도면2d

