



(12) 发明专利

(10) 授权公告号 CN 112181041 B

(45) 授权公告日 2022.05.17

(21) 申请号 202011156238.5

(22) 申请日 2020.10.26

(65) 同一申请的已公布的文献号
申请公布号 CN 112181041 A

(43) 申请公布日 2021.01.05

(73) 专利权人 中国电子科技集团公司第十四研
究所

地址 210039 江苏省南京市雨花台区国睿
路8号

(72) 发明人 周阳阳 张浩 万川川

(74) 专利代理机构 南京知识律师事务所 32207
专利代理师 康翔 高骄阳

(51) Int. Cl.
G05F 1/56 (2006.01)

(56) 对比文件

CN 104410403 A, 2015.03.11

CN 1734940 A, 2006.02.15

US 4978870 A, 1990.12.18

CN 101253569 A, 2008.08.27

CN 103856206 A, 2014.06.11

CN 104122925 A, 2014.10.29

审查员 盛艳燕

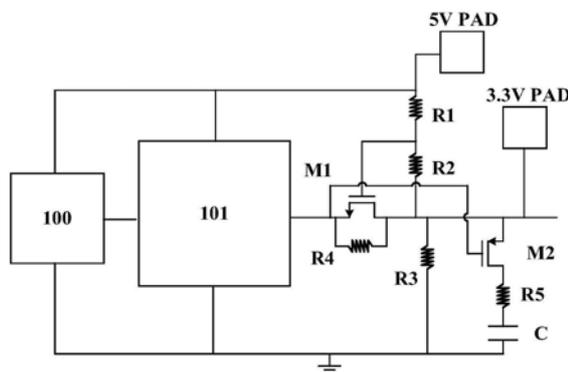
权利要求书3页 说明书6页 附图4页

(54) 发明名称

一种基于MOS管的升压供电和输入输出电路

(57) 摘要

本发明公开了一种基于MOS管的升压供电和输入输出电路,在仅有较低压MOS管器件,且其供电和输入输出接口仅支持较低压的情况下,采用带隙基准电路和低压差线性稳压电路,将较高供电电压,经数个电阻分压,使MOS管导通或关断,降低供电电压,采用数组反相电路和交叉互锁反相电路级联,将较低输出电平,经多次反相,调整各MOS管的供电电压,升高输出电平,采用二极管组和TTL输入电路,将较高输入电平,经二极管限压,降低输入电平,实现了芯片兼容较高电平输入信号,以及较高电平输出信号,能够使芯片应用于较高电压的场合。



1. 一种基于MOS管的升压供电和输入输出电路,其特征在于,包括:采用MOS管设计升压供电电路、升压输出电路和升压输入电路,各MOS管保持在较低压工作:升压供电电路采用带隙基准电路和低压差线性稳压电路,将较高供电电压,经数个电阻分压,使MOS管导通或关断,降低供电电压;升压输出电路采用数组反相电路和交叉互锁反相电路级联,将较低输出电平,经多次反相,调整各MOS管的供电电压,升高输出电平;升压输入电路采用二极管组和TTL输入电路,将较高输入电平,经二极管限压,降低输入电平;

反相电路采用一个PMOS管和一个NMOS管共栅极、共漏极组成,PMOS管的源极作为P端,NMOS管的源极作为N端;交叉互锁反相电路,采用一个反相电路的P端连接一个PMOS管的漏极,作为左端,另一个反相电路连接另一个PMOS管的漏极,作为右端,左端反相电路的共漏极连接右端PMOS管的栅极,右端反相电路的共漏极连接左端PMOS管的栅极,两个反相电路的N端连接,作为N端,两个PMOS管的源极连接,作为P端;

MOS管采用2.5V工艺,带隙基准电路和低压差线性稳压电路采用5V电源供电,带隙基准电路产生参考电压,经低压差线性稳压电路输出3.3V电压,经电阻R6接地,R6

阻值为数十K至数十百K欧姆,升压输出电路采用2.5V转3.3V输出电路和2.5V转5V输出电路,将电路升压至3.3V或5V工作;

升压供电电路采用带隙基准电路和低压差线性稳压电路连接5V供电焊盘,带隙基准电路的输出端连接低压差线性稳压电路的输入端,采用NMOS管的源极和PMOS管的栅极连接低压差线性稳压电路的输出端,NMOS管的漏极和PMOS管的源极连接3.3V供电焊盘,作为电路的输出端;采用电阻R1、R2、R3依次串联,电阻R1的一端连接5V供电,另一端连接电阻R2的一端和NMOS管的栅极,电阻R2的另一端连接电阻R3的一端和NMOS管的漏极;电阻R3的另一端连接电容C的一端,电容C采用数十pF,另一端连接数欧姆的电阻R5的一端,组成滤波电路,电阻R5的另一端连接PMOS管的漏极;采用电阻R4并联在NMOS管的源极和漏极,令 $R1/R2=R6/R4=8/25$,电阻R3和电容C的连接端、带隙基准电路的接地端、低压差线性稳压电路的接地端共同接地。

2. 根据权利要求1所述的基于MOS管的升压供电和输入输出电路,其特征在于,所述升压供电电路,包括:若采用5V供电,则悬空3.3V供电焊盘,低压差线性稳压电路输出3.3V电压至NMOS管的源极和PMOS管的栅极,电阻R1、R2、R3形成分压电路,5V供电经电阻R1降压,输出4.588V电压至NMOS管的栅极,使NMOS管导通,经电阻R2再次降压,输出至PMOS管的源极,使PMOS管关断,PMOS管的漏极经滤波电路接地,消除对低压差线性稳压电路的影响,保持两个MOS管任意两端口的压差低于2.5V;若采用3.3V供电,则将5V供电焊盘接地,带隙基准电路和低压差线性稳压电路不工作,电阻R1、R2串联,电阻R4、R6串联,再和R3并联,形成分压电路,3.3V供电经电阻R2和R4降压,输出电压0.8V至NMOS管的栅极,0.8V至NMOS管的源极和PMOS管的栅极,使NMOS管关断,PMOS管导通,PMOS管的漏极经滤波电路接地,对输出电压片内滤波,保持两个MOS管任意两端口的压差低于2.5V。

3. 根据权利要求1所述的基于MOS管的升压供电和输入输出电路,其特征在于,所述2.5V转3.3V输出电路,包括:采用一个反相电路的P端连接一个PMOS管的漏极,N端连接一个NMOS管的漏极,组成3.3V输出电路,PMOS管的源极作为P端,NMOS管的源极作为N端,反相电路的共漏极作为输出端;采用四个反相电路级联作为输入电路,经交叉互锁反相电路,由3.3V输出电路输出;第一反相电路的共栅极作为输入端,第二和第四反相电路的共栅极连

接第一反相电路的共漏极和3.3V输出电路的NMOS管的栅极,第二反相电路的共漏极连接第三反相电路的共栅极,第三反相电路的共漏极连接交叉互锁反相电路的左端共栅极和3.3V输出电路的共栅极,第四反相电路的共漏极连接交叉互锁反相电路的右端共栅极,交叉互锁反相电路的右端共漏极连接3.3V输出电路的PMOS管的栅极。

4. 根据权利要求3所述的基于MOS管的升压供电和输入输出电路,其特征在于,所述2.5V转3.3V输出电路,包括:四个反相电路的P端共用2.5V供电,第一和第二反相电路的N端共用0V,第三、第四反相电路的N端和交叉互锁反相电路的N端共用0.8V供电,交叉互锁反相电路的P端和3.3V输出电路的P端共用3.3V供电,3.3V输出电路的N端连接0V;输入0V/2.5V高低电平信号,各节点产生电压:第一反相电路的共漏极2.5V/0V,第二反相电路的共漏极0V/2.5V、第三反相电路的共漏极2.5V/0.8V,第四反相电路的共漏极0.8V/2.5V,交叉互锁反相电路的左端共漏极0.8V/3.3V,右端共漏极3.3V/0.8V,3.3V输出电路的反相电路的N端0V/0.8V、P端2.5V/3.3V、共漏极0V/3.3V输出,各MOS管任意两端口压差均不大于2.5V。

5. 根据权利要求3所述的基于MOS管的升压供电和输入输出电路,其特征在于,所述2.5V转5V输出电路,包括:采用一个3.3V输出电路的P端连接一个PMOS管的漏极,N端连接一个NMOS管的漏极,组成5V输出电路,PMOS管的源极作为P端,NMOS管的源极作为N端,反相电路的共漏极作为输出端;采用四个反相电路级联作为输入电路,经三个交叉互锁反相电路和一个反相电路级联,由5V输出电路输出;第一反相电路的共栅极作为输入端,第二和第四反相电路的共栅极连接第一反相电路的共漏极和5V输出电路的NMOS管的栅极,第二反相电路的共漏极连接第三反相电路的共栅极,第三反相电路的共漏极连接第一交叉互锁反相电路的左端共栅极,第四反相电路的共漏极连接第一交叉互锁反相电路的右端共栅极,第一交叉互锁反相电路的左端共漏极连接第二交叉互锁反相电路的左端共栅极,第一交叉互锁反相电路的右端共漏极连接第二交叉互锁反相电路的右端共栅极,第二交叉互锁反相电路的左端共漏极连接第三交叉互锁反相电路的左端共栅极,第二交叉互锁反相电路的右端共漏极连接第三交叉互锁反相电路的右端共栅极,第三交叉互锁反相电路的左端共漏极连接第五反相电路的共栅极,第五反相电路的共漏极连接5V输出电路的PMOS管的栅极。

6. 根据权利要求5所述的基于MOS管的升压供电和输入输出电路,其特征在于,所述2.5V转5V输出电路,包括:四个反相电路的P端共用2.5V供电,第一和第二反相电路的N端共用0V,第三、第四反相电路的N端和第一交叉互锁反相电路的N端共用0.8V供电,第一和第二交叉互锁反相电路的P端共用3.3V供电,第二、第三交叉互锁反相电路的N端和第五反相电路的N端共用2.5V供电,第三交叉互锁反相电路的P端和第五反相电路的P端共用5V供电;5V输出电路的P端连接5V供电,N端连接0V,5V输出电路中3.3V输出电路的PMOS管的栅极连接3.3V供电,5V输出电路中3.3V输出电路的NMOS管的栅极连接0.8V供电;输入0V/2.5V高低电平信号,各节点产生电压包括:第二反相电路的共漏极0V/2.5V,第三反相电路的共漏极2.5V/0.8V,第四反相电路的共漏极0.8V/2.5V,第一交叉互锁反相电路的左端共漏极0.8V/3.3V、右端共漏极3.3V/0.8V,第二交叉互锁反相电路的左端共漏极3.3V/2.5V、右端共漏极2.5V/3.3V,第三交叉互锁反相电路的左端共漏极2.5V/5V、右端共漏极5V/2.5V,第五反相电路的共漏极5V/2.5V,5V输出电路的反相电路的P端2.5V/5V、N端0V/2.5V、共漏极输出0V/5V,5V输出电路的NMOS管的漏极0V/0.8V,5V输出电路的PMOS管的漏极3.3V/5V,各MOS管任意两端口压差均不大于2.5V。

7. 根据权利要求1所述的基于MOS管的升压供电和输入输出电路,其特征在于,所述升压输入电路,采用三个二极管组成D1,两个二极管组成D2,D1和D2反向并联,二极管电压0.7V,TTL输入电路采用2.5V供电,另一端和D1的负极连接0V,输入端和D1的正极连接,经电阻R7输入2.5V至5V;若输入电平信号未超过2.1V,二极管D1截止,TTL输入电路接收输入电平信号,若超过2.1V,二极管D1导通,TTL输入电路400的输入电平信号保持在2.1V,实现了兼容输入2.5V-5V电平情况下,确保TTL输入电路400正常工作,内部MOS管工作在2.5V以内。

一种基于MOS管的升压供电和输入输出电路

技术领域

[0001] 本发明属于集成电路设计与制造技术领域,具体涉及一种MOS管电路改造技术。

背景技术

[0002] 随着通讯系统的迅速发展,射频系统对芯片的要求越来越高,绝缘体上硅工艺SOI在低功耗、速度快、抗干扰、集成度高等方面有着显著的优势,近几年得到了广泛的使用。随着集成电路SOI制造工艺的不断发展,晶体管的尺寸越来越小,其工作电压也随之越来越低。然而,系统应用提供的供电电压和要求的控制信号的高电平并不一定随着工艺的进步而降低。如果外接偏置电路或电平转换电路,会显著增大系统应用的复杂度和面积,提高应用的成本,不利于系统集成化和小型化。

发明内容

[0003] 本发明为了解决现有技术存在的问题,提出了一种基于MOS管的升压供电和输入输出电路,为了实现上述目的,本发明采用了以下技术方案。

[0004] 采用MOS管设计升压供电电路、升压输出电路和升压输入电路,各MOS管保持在较低电压工作:升压供电电路采用带隙基准电路和低压差线性稳压电路,将较高供电压,经数个电阻分压,使MOS管导通或关断,降低供电电压;升压输出电路采用数组反相电路和交叉互锁反相电路级联,将较低输出电平,经多次反相,调整各MOS管的供电电压,升高输出电平;升压输入电路采用二极管组和TTL输入电路,将较高输入电平,经二极管限压,降低输入电平。

[0005] 反相电路采用一个PMOS管和一个NMOS管共栅极、共漏极组成,PMOS管的源极作为P端,NMOS管的源极作为N端。

[0006] 交叉互锁反相电路采用一个反相电路的P端连接一个PMOS管的漏极,作为左端,另一个反相电路连接另一个PMOS管的漏极,作为右端,左端反相电路的共漏极连接右端PMOS管的栅极,右端反相电路的共漏极连接左端PMOS管的栅极,两个反相电路的N端连接,作为N端,两个PMOS管的源极连接,作为P端。

[0007] 进一步的,采用2.5V MOS管,将电路升压至3.3V和5V工作。

[0008] 升压供电电路的带隙基准电路和低压差线性稳压电路连接5V供电焊盘,带隙基准电路的输出端连接低压差线性稳压电路的输入端;采用NMOS管的源极和PMOS管的栅极连接低压差线性稳压电路的输出端,NMOS管的漏极和PMOS管的源极连接3.3V供电焊盘,作为电路的输出端;采用电阻R1、R2、R3依次串联,电阻R1的一端连接5V供电,另一端连接R2的一端和NMOS管的栅极,电阻R2的另一端连接R3的一端和NMOS管的漏极;电阻R3的另一端连接电容C的一端,电容C的另一端连接电阻R5的一端,组成滤波电路,电阻R5的另一端连接PMOS管的漏极;采用电阻R4并联在NMOS管的源极和漏极,带隙基准电路的接地端、低压差线性稳压电路的接地端、电阻R3和电容C的连接端共同接地;R5阻值为数欧姆,C为数十pF, $R1/R2=R6/R4=8/25$ 。

[0009] 进一步的,带隙基准电路和低压差线性稳压电路采用5V电源供电,带隙基准电路产生参考电压,经低压差线性稳压电路输出3.3V电压,经电阻R6接地,R6阻值为数十K至数十百K欧姆。

[0010] 采用5V供电,悬空3.3V供电焊盘,低压差线性稳压电路输出3.3V电压至NMOS管的源极和PMOS管的栅极;电阻R1、R2、R3形成分压电路,5V供电经电阻R1降压,输出4.588V电压至NMOS管的栅极,使NMOS管导通;经电阻R2再次降压,输出至PMOS管的源极,使PMOS管关断;PMOS管的漏极经滤波电路接地,消除对低压差线性稳压电路的影响,保持两个MOS管任意两端口的压差低于2.5V。

[0011] 采用3.3V供电,将5V供电焊盘接地,带隙基准电路和低压差线性稳压电路不工作;电阻R1、R2串联,电阻R4、R6串联,再和R3并联,形成分压电路;3.3V供电经电阻R2和R4降压,输出电压0.8V至NMOS管的栅极,0.8V至NMOS管的源极和PMOS管的栅极,使NMOS管关断,PMOS管导通;PMOS管的漏极经滤波电路接地,对输出电压片内滤波,保持两个MOS管任意两端口的压差低于2.5V。

[0012] 2.5V转3.3V输出电路采用四个反相电路级联作为输入电路,经交叉互锁反相电路,由3.3V输出电路输出。

[0013] 采用一个反相电路的P端连接一个PMOS管的漏极,N端连接一个NMOS管的漏极,组成3.3V输出电路,PMOS管的源极作为P端,NMOS管的源极作为N端,反相电路的共漏极作为输出端。

[0014] 采用第一反相电路的共栅极作为输入端,第二和第四反相电路的共栅极连接第一反相电路的共漏极和3.3V输出电路的NMOS管的栅极,第二反相电路的共漏极连接第三反相电路的共栅极,第三反相电路的共漏极连接交叉互锁反相电路的左端共栅极和3.3V输出电路的共栅极,第四反相电路的共漏极连接交叉互锁反相电路的右端共栅极,交叉互锁反相电路的右端共漏极连接3.3V输出电路的PMOS管的栅极。

[0015] 进一步的,四个反相电路的P端共用2.5V供电,第一和第二反相电路的N端共用0V,第三、第四反相电路的N端和交叉互锁反相电路的N端共用0.8V供电,交叉互锁反相电路的P端和3.3V输出电路的P端共用3.3V供电,3.3V输出电路的N端连接0V。

[0016] 向2.5V转3.3V电路输入0V/2.5V高低电平信号,各节点产生电压:第一反相电路的共漏极2.5V/0V,第二反相电路的共漏极0V/2.5V,第三反相电路的共漏极2.5V/0.8V,第四反相电路的共漏极0.8V/2.5V,交叉互锁反相电路的左端共漏极0.8V/3.3V、右端共漏极3.3V/0.8V,3.3V输出电路的反相电路的N端0V/0.8V、P端2.5V/3.3V、共漏极0V/3.3V输出,各MOS管任意两端口压差均不大于2.5V。

[0017] 2.5V转5V输出电路采用四个反相电路级联作为输入电路,经三个交叉互锁反相电路和一个反相电路级联,由5V输出电路输出。

[0018] 采用一个3.3V输出电路的P端连接一个PMOS管的漏极,N端连接一个NMOS管的漏极,组成5V输出电路,PMOS管的源极作为P端,NMOS管的源极作为N端,反相电路的共漏极作为输出端。

[0019] 采用第一反相电路的共栅极作为输入端,第二和第四反相电路的共栅极连接第一反相电路的共漏极和5V输出电路的NMOS管的栅极,第二反相电路的共漏极连接第三反相电路的共栅极,第三反相电路的共漏极连接第一交叉互锁反相电路的左端共栅极,第四反相

电路的共漏极连接第一交叉互锁反相电路的右端共栅极,第一交叉互锁反相电路的左端共漏极连接第二交叉互锁反相电路的左端共栅极,第一交叉互锁反相电路的右端共漏极连接第二交叉互锁反相电路的右端共栅极,第二交叉互锁反相电路的左端共漏极连接第三交叉互锁反相电路的左端共栅极,第二交叉互锁反相电路的右端共漏极连接第三交叉互锁反相电路的右端共栅极,第三交叉互锁反相电路的左端共漏极连接第五反相电路的共栅极,第五反相电路的共漏极连接5V输出电路的PMOS管的栅极。

[0020] 进一步的,四个反相电路的P端共用2.5V供电,第一和第二反相电路的N端共用0V,第三、第四反相电路的N端和第一交叉互锁反相电路的N端共用0.8V供电,第一和第二交叉互锁反相电路的P端共用3.3V供电,第二、第三交叉互锁反相电路的N端和第五反相电路的N端共用2.5V供电,第三交叉互锁反相电路的P端和第五反相电路的P端共用5V供电,5V输出电路的P端连接5V供电、N端连接0V,5V输出电路中3.3V输出电路的PMOS管的栅极连接3.3V供电,5V输出电路中3.3V输出电路的NMOS管的栅极连接0.8V供电。

[0021] 向2.5V转5V电路输入0V/2.5V高低电平信号,各节点产生电压:第二反相电路的共漏极0V/2.5V,第三反相电路的共漏极2.5V/0.8V,第四反相电路的共漏极0.8V/2.5V,第一交叉互锁反相电路的左端共漏极0.8V/3.3V、右端共漏极3.3V/0.8V,第二交叉互锁反相电路的左端共漏极3.3V/2.5V、右端共漏极2.5V/3.3V,第三交叉互锁反相电路的左端共漏极2.5V/5V、右端共漏极5V/2.5V,第五反相电路的共漏极5V/2.5V,5V输出电路的反相电路的P端2.5V/5V、N端0V/2.5V、共漏极输出0V/5V,5V输出电路的NMOS管的漏极0V/0.8V,5V输出电路的PMOS管的漏极3.3V/5V,各MOS管任意两端口压差均不大于2.5V。

[0022] 采用三个二极管组成D1,两个二极管组成D2,D1和D2反向并联,二极管电压0.7V,TTL输入电路采用2.5V供电,另一端和D1的负极连接0V,输入端和D1的正极连接,经电阻R7输入2.5V至5V。

[0023] 若输入电平信号未超过2.1V,二极管D1截止,TTL输入电路接收输入电平信号,若超过2.1V,二极管D1导通,TTL输入电路400的输入电平信号保持在2.1V,实现了兼容输入2.5V-5V电平情况下,确保TTL输入电路400正常工作,内部MOS管工作在2.5V以内。

[0024] 本发明在仅有较低压MOS管器件,且其供电和输入输出接口仅支持较低压的情况下,通过修改布线方案,调整采用较高电压供电,采用二极管和TTL组成的升压输入电路,以及反相电路和交叉互锁反相电路组成的升压输出电路,实现了芯片兼容较高电平输入信号,以及较高电平输出信号,在工艺MOS管的相关工作参数在低压的情况下,使芯片能够应用于较高电压的场合。

附图说明

[0025] 图1是供电电路原理图,图2是低压差线性稳压电路原理图,图3是5V供电电路原理图,图4是3.3V供电电路原理图,图5是2.5V转3.3V输出电路原理图,图6是2.5V转5V输出电路原理图,图7是2.5V-5V输入电路原理图。

[0026] 附图标记:M1-NMOS管、M2-PMOS管、R1-电阻、R2-电阻、R3-电阻、R4-电阻、R5-电阻、R6-电阻、R7-电阻、D1-二极管、D2-二极管、C-电容、5V PAD-5V供电焊盘、3.3VPAD-3.3V供电焊盘、100-带隙基准电路、101-低压差线性稳压电路、200-反相电路、201-

[0027] 3.3V输出电路、300-交叉互锁反相电路、301-5V输出电路、400-TTL输入电路。

具体实施方式

[0028] 以下结合附图,以2.5V MOS管升3.3V和5V设计为例,对本发明的技术方案做具体的说明。

[0029] 供电电路如图1所示,带隙基准电路100和低压差线性稳压电路101的供电端连接焊盘5V PAD,带隙基准电路100的输出端连接低压差线性稳压电路101的输入端,低压差线性稳压电路101的输出端连接NMOS管M1的源极和PMOS管M2的栅极,NMOS管M1的漏极连接PMOS管M2的源极和焊盘3.3V PAD,作为电路的输出端,电阻R1、R2、R3依次串联,电阻R1的一端连接焊盘5V PAD,另一端连接电阻R2的一端和NMOS管的栅极,电阻R2的另一端连接电阻R3的一端和NMOS管的漏极,电阻R3的另一端连接电容C的一端,电容C的另一端连接电阻R5的一端,电阻R5的另一端连接PMOS管的漏极,电阻R4并联在NMOS管的源极和漏极,电阻R3和电容C的连接端、带隙基准电路100的接地端、低压差线性稳压电路101的接地端共同接地

[0030] 低压差线性稳压电路101电路如图2所示,输入5V电源,输出3.3V电压,经电阻R6接地。

[0031] 若采用5V供电,焊盘5V PAD连接片外5V电源,焊盘3.3V PAD悬空,各节点电压如图3所示,带隙基准电路100产生参考电压,经低压差线性稳压电路101,输出3.3V电压至NMOS管M1的源极和PMOS管M2的栅极,电阻R1、R2、R3串联形成分压电路,焊盘5V PAD提供5V电压,经电阻R1降压,输出电压4.588V至NMOS管M1的栅极,使NMOS管M1导通,经电阻R2再次降压,输出至PMOS管M2的源极,使PMOS管M2关断,PMOS管M2的漏极经滤波电路接地。

[0032] 5V供电电路设计,确保两个MOS管任意两端口的压差低于2.5V,工作在2.5V电压以内,避免了滤波电路对低压差线性稳压电路101的稳定性产生影响。

[0033] 若采用3.3V供电,焊盘5V PAD接地,焊盘3.3V PAD连接片外3.3V电源,各节点电压如图4所示,带隙基准电路100和低压差线性稳压电路101供电为0,不工作,电阻R1、R2串联,电阻R4、R6串联,再和R3并联,形成分压电路,焊盘3.3V PAD提供3.3V电压,经电阻R2降压,输出电压0.8V至NMOS管M1的栅极,经电阻R4降压,输出电压0.8V至NMOS管M1的源极和PMOS管M2的栅极,使NMOS管M1关断,使PMOS管M2导通,PMOS管M2的漏极经滤波电路接地。

[0034] 3.3V供电电路设计,确保两个MOS管任意两端口的压差低于2.5V,工作在2.5V电压以内,对输出电压片内滤波。

[0035] 2.5V转3.3V输出电路如图5所示,采用四个反相电路200级联作为输入电路,经交叉互锁反相电路300,由3.3V输出电路201输出。

[0036] 采用一个PMOS管和一个NMOS管共栅极、共漏极组成反相电路200,PMOS管的源极作为P端,NMOS管的源极作为N端。

[0037] 采用一个反相电路200的P端和一个PMOS管的漏极连接,作为左端,另一个反相电路200和另一个PMOS管做相同连接,作为右端,左端反相电路200的共漏极连接右端PMOS管的栅极,右端反相电路200的共漏极连接左端PMOS管的栅极,组成交叉互锁反相电路300,两个反相电路200的N端连接,作为N端,两个PMOS管的源极连接,作为P端。

[0038] 采用一个反相电路200的P端连接一个PMOS管的漏极,N端连接一个NMOS管的漏极,组成3.3V输出电路201,PMOS管的源极作为P端,NMOS管的源极作为N端,反相电路200的共漏极作为输出端。

[0039] 四个反相电路200的P端共用2.5V供电,第一和第二反相电路200的N端共用0V,第

三、第四反相电路200的N端和交叉互锁反相电路300的N端共用0.8V供电,交叉互锁反相电路300的P端和3.3V输出电路201的P端共用3.3V供电,3.3V输出电路201的N端连接0V。

[0040] 第一反相电路200的共栅极作为输入端,第二和第四反相电路200的共栅极连接第一反相电路200的共漏极和3.3V输出电路201的NMOS管的栅极,第二反相电路200的共漏极连接第三反相电路200的共栅极,第三反相电路200的共漏极连接交叉互锁反相电路300的左端共栅极和3.3V输出电路201的共栅极,第四反相电路200的共漏极连接交叉互锁反相电路300的右端共栅极,交叉互锁反相电路300的右端共漏极连接3.3V输出电路201的PMOS管的栅极。

[0041] 向2.5V转3.3V电路输入0V/2.5V高低电平信号,各节点电压如图5所示,第一反相电路200的共漏极2.5V/0V,第二反相电路200的共漏极0V/2.5V、第三反相电路200的共漏极2.5V/0.8V,第四反相电路200的共漏极0.8V/2.5V,交叉互锁反相电路300的左端共漏极0.8V/3.3V、右端共漏极3.3V/0.8V,3.3V输出电路201的反相电路200的N端0V/0.8V、P端2.5V/3.3V、共漏极0V/3.3V。

[0042] 2.5V转3.3V电路设计,当电路输入0V或者2.5V时,输出0V或者3.3V,确保各MOS管任意两端口压差均不大于2.5V,实现0V/2.5V高低电平信号转0V/3.3V高低电平信号。

[0043] 2.5V转5V输出电路如图6所示,采用四个反相电路200级联作为输入电路,经三个交叉互锁反相电路300和一个反相电路200级联,由5V输出电路301输出。

[0044] 采用一个3.3V输出电路201的P端连接一个PMOS管的漏极,N端连接一个NMOS管的漏极,组成5V输出电路301,PMOS管的源极作为P端,NMOS管的源极作为N端,反相电路200的共漏极作为输出端。

[0045] 四个反相电路200的P端共用2.5V供电,第一和第二反相电路200的N端共用0V,第三、第四反相电路200的N端和第一交叉互锁反相电路300的N端共用0.8V供电,第一和第二交叉互锁反相电路300的P端共用3.3V供电,第二、第三交叉互锁反相电路300的N端和第五反相电路200的N端共用2.5V供电,第三交叉互锁反相电路300的P端和第五反相电路200的P端共用5V供电,5V输出电路301的P端连接5V供电、N端连接0V,5V输出电路301中3.3V输出电路的PMOS管的栅极连接3.3V供电,5V输出电路301中3.3V输出电路的NMOS管的栅极连接0.8V供电。

[0046] 第一反相电路200的共栅极作为输入端,第二和第四反相电路200的共栅极连接第一反相电路200的共漏极和5V输出电路301的NMOS管的栅极,第二反相电路200的共漏极连接第三反相电路200的共栅极,第三反相电路200的共漏极连接第一交叉互锁反相电路300的左端共栅极,第四反相电路200的共漏极连接第一交叉互锁反相电路300的右端共栅极,第一交叉互锁反相电路300的左端共漏极连接第二交叉互锁反相电路300的左端共栅极,第一交叉互锁反相电路300的右端共漏极连接第二交叉互锁反相电路300的右端共栅极,第二交叉互锁反相电路300的左端共漏极连接第三交叉互锁反相电路300的左端共栅极,第二交叉互锁反相电路300的右端共漏极连接第三交叉互锁反相电路300的右端共栅极,第三交叉互锁反相电路300的左端共漏极连接第五反相电路200的共栅极,第五反相电路200的共漏极连接5V输出电路301的PMOS管的栅极。

[0047] 向2.5V转5V电路输入0V/2.5V高低电平信号,各节点电压如图6所示,第二反相电路200的共漏极0V/2.5V,第三反相电路200的共漏极2.5V/0.8V,第四反相电路200的共漏极

0.8V/2.5V,第一交叉互锁反相电路300的左端共漏极0.8V/3.3V、右端共漏极3.3V/0.8V,第二交叉互锁反相电路300的左端共漏极3.3V/2.5V、右端共漏极2.5V/3.3V,第三交叉互锁反相电路300的左端共漏极2.5V/5V、右端共漏极5V/2.5V,第五反相电路300的共漏极5V/2.5V,5V输出电路301的反相电路300的P端2.5V/5V、N端0V/2.5V、共漏极0V/5V,5V输出电路301的NMOS管的漏极0V/0.8V,5V输出电路301的PMOS管的漏极3.3V/5V。

[0048] 2.5V转5V电路设计,当电路输入0V或者2.5V时,输出0V或者5V,确保各MOS管任意两端口压差均不大于2.5V,实现0V/2.5V高低电平信号转0V/5V高低电平信号。

[0049] 2.5V-5V输入电路如图7所示,采用三个二极管组成D1,两个二极管组成D2,D1和D2反向并联,TTL输入电路400连接2.5V供电,另一端和D1的负极连接0V,输入端和D1的正极连接,经电阻R7连接输入端。二极管电压0.7V,若输入电平信号未超过2.1V,二极管D1截止,TTL输入电路400接收输入电平信号,若超过2.1V,二极管D1导通,TTL输入电路400的输入电平信号保持在2.1V,实现了兼容输入2.5V-5V电平情况下,确保TTL输入电路400正常工作,内部MOS管工作在2.5V以内。

[0050] 采用3.3V和5V供电电路,实现了3.3V和5V为2.5V MOS管供电的方案,使基于2.5VMOS管设计的电路可以工作在3.3V和5V的供电条件,采用2.5V转3.3V和5V电路,实现了2.5V MOS管输出0/3.3V和0/5V电平的方案,使基于2.5V MOS管设计的电路可以输出0/3.3V和0/5V的控制信号,采用2.5V转5V输入电路,实现了工作信号保持在2.5V内的方案,使基于TTL设计的电路可以工作在2.5-5V的输入电平范围。

[0051] 上述作为本发明的实施例,并不限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均包含在本发明的保护范围之内。

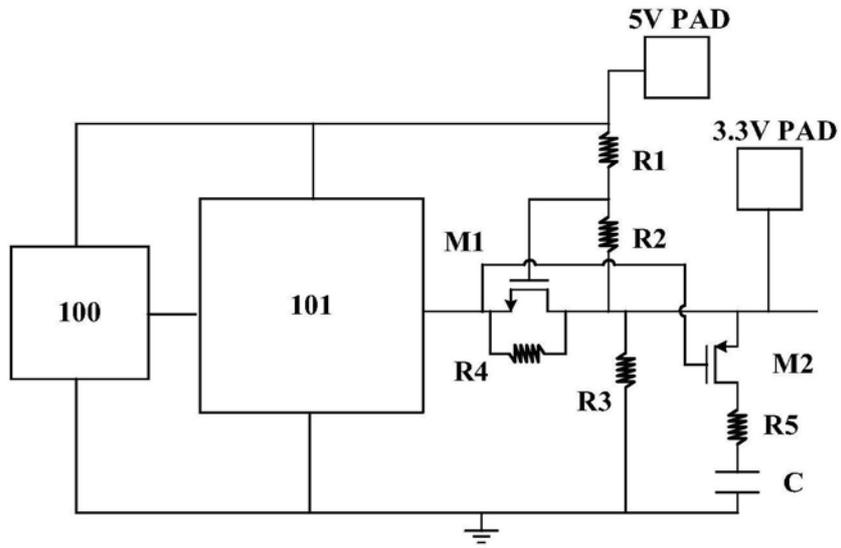


图1

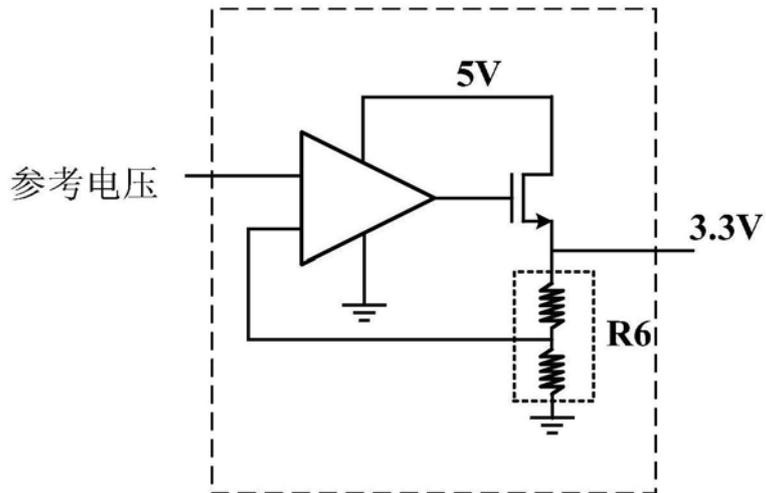


图2

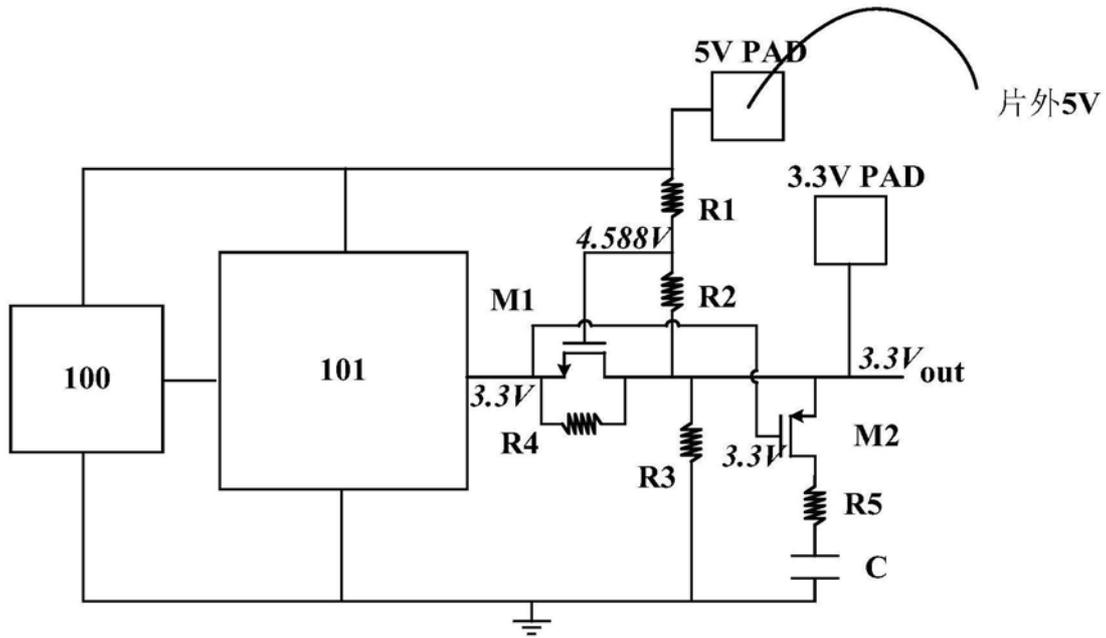


图3

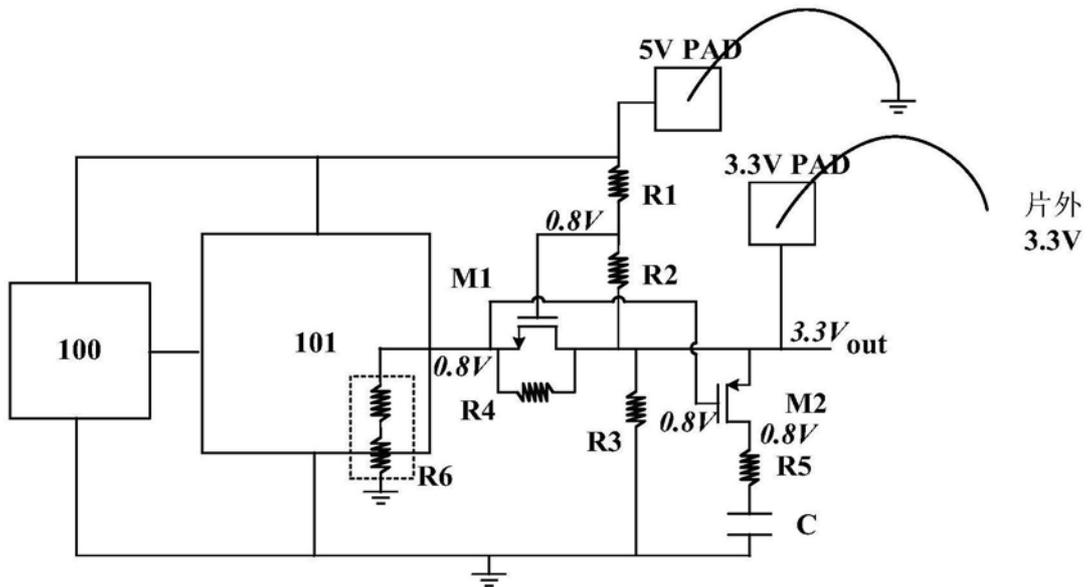


图4

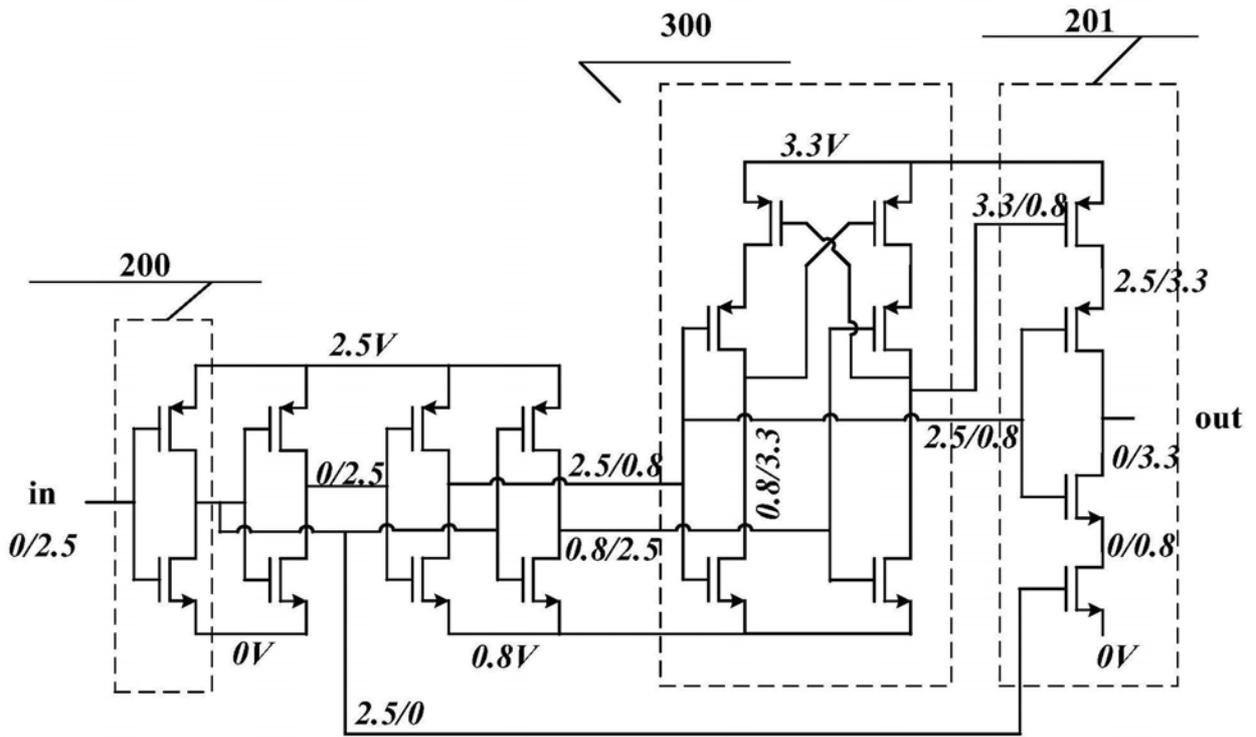


图5

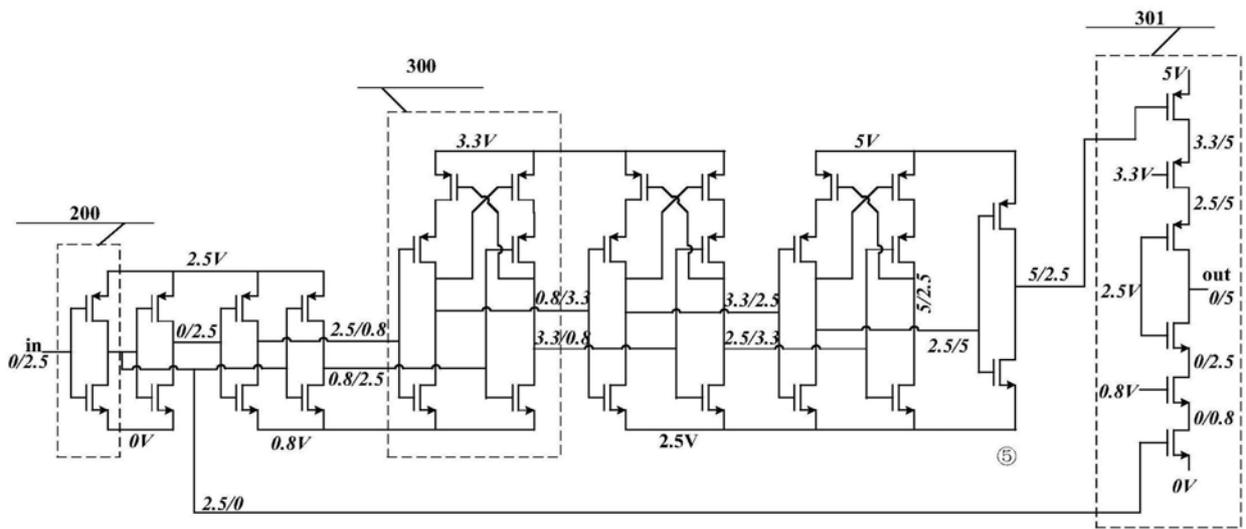


图6

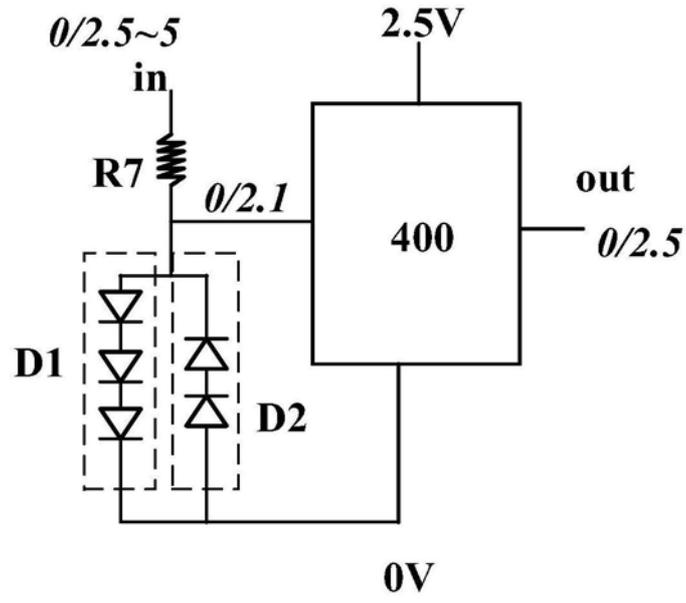


图7