

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月30日(30.08.2012)



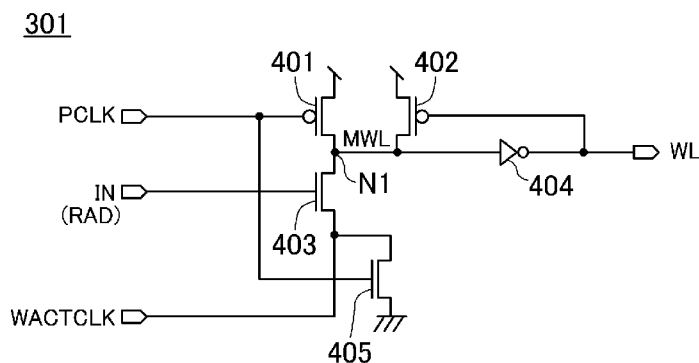
(10) 国際公開番号
WO 2012/114647 A1

- (51) 国際特許分類:
G11C 11/413 (2006.01) G11C 11/418 (2006.01)
G11C 11/41 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/000280
 - (22) 国際出願日: 2012年1月18日(18.01.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-036045 2011年2月22日(22.02.2011) JP
 - (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者: および
 - (75) 発明者/出願人(米国についてのみ): 新田 忠司(NITTA, Tadashi). 小池 剛(KOIKE, Tsuyoshi).
 - (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: WORD LINE START UP CIRCUIT, SEMICONDUCTOR STORAGE DEVICE, AND SEMICONDUCTOR INTEGRATED CIRCUIT

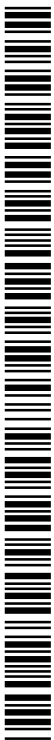
(54) 発明の名称: ワード線起動回路、半導体記憶装置、および半導体集積回路

[図4]



(57) Abstract: In this word line start up circuit, when a signal (PCLK) becomes "H", and a PMOS transistor (401) is brought into the off-state when a signal (IN) is "H", and an NMOS transistor (403) is in the on-state, an output node (N1) is brought into a state where the output node is connected to a word line start up signal (WACTCLK) via the NMOS transistor (403). When the word line start up signal (WACTCLK) changes to "L", a word line signal (MWL) changes to "L". Since the signal (PCLK) is "H", and the NMOS transistor (405) is in the on-state, discharge of the word line start up signal (WACTCLK) to a ground voltage is assisted by means of the NMOS Transistor (405).

(57) 要約: 信号(IN)が"H"でNMOSトランジスタ(403)がオン状態のとき、信号(PCLK)が"H"になりPMOSトランジスタ(401)がオフ状態になると、出力ノード(N1)がNMOSトランジスタ(403)を介してワード線起動信号(WACTCLK)に接続された状態になる。ワード線起動信号(WACTCLK)が"L"に変化すると、ワード線信号(MWL)が"L"に変化する。信号(PCLK)が"H"でNMOSトランジスタ(405)がオン状態なので、このNMOSトランジスタ(405)によって、ワード線起動信号(WACTCLK)の接地電圧へのディスチャージがアシストされる。



WO 2012/114647 A1

明 細 書

発明の名称：

ワード線起動回路、半導体記憶装置、および半導体集積回路

技術分野

[0001] 本発明は、半導体記憶装置に関するものであり、特に、ワード線を選択し起動するワード線起動回路を高速に動作させる技術に関するものである。

背景技術

[0002] 図15は特許文献1に開示された、半導体記憶装置のワード線起動回路周辺の回路構成例を示す図である。図15において、ワード線起動回路としてのデコード部10は、それぞれ異なるアドレス信号ADU0~3、およびワード線起動信号WACTCLK[3:0]が入力され、それぞれ異なるワード線WL[3:0]を起動する。各デコード部10は同様の構成からなる。例えばワード線WL[0]を起動するデコード部10は、ワード線WL[0]を起動するインバータ14、ワード線WL[0]の電位を保持するPMOSトランジスタ12、アドレス信号ADU0によってワード線WL[0]をプレチャージするPMOSトランジスタ11、及びアドレス信号ADU0によってオン・オフするNMOSトランジスタ13によって構成される。ワード線起動信号WACTCLK[0]は、NMOSトランジスタ13のソースに入力され、NMOSトランジスタ13を介して、ワード線を起動する中間信号MWL[0]に接続される。

[0003] ワード線起動信号出力回路25は、2個のNMOSトランジスタ21, 22、およびインバータ23によって構成されている。ワード線起動信号WACTCLK[0]はNMOSトランジスタ21, 22によって制御される。NMOSトランジスタ21はアドレス信号ADによって、また、NMOSトランジスタ22はインバータ23を介したアドレス信号ADの反転信号によって起動される。NMOSトランジスタ21のソースには電源制御回路24が接続されている。電源制御回路24は、ワード線起動信号WACTCLK

[0] の“H”レベルを電源電圧よりも低く制御する役割を持つ。他のワード線起動信号WACTCLK [3 : 1] も、アドレス信号ADとは異なるアドレスが入力された同一構成のワード線起動信号出力回路25から出力され、それぞれアドレスによって個別に選択される。

[0004] 図16は図15の回路構成における入出力信号のタイミングチャートを示している。最初、アドレス信号ADは“H”であり、ワード線起動信号WACTCLK [0] は、電源制御回路24によって電源電圧よりも低いレベルの“H”になっている。一方、アドレス信号ADU0が“L”であるため、NMOSトランジスタ13がオフ、PMOSトランジスタ11がオンし、インバータ14に入力される中間信号MWL [0] が“H”になり、ワード線WL [0] が“L”になっている。

[0005] アドレス信号ADU0が“L”から“H”になると、NMOSトランジスタ13がオン、PMOSトランジスタがオフする。一方、アドレス信号ADが“H”から“L”になると、ワード線起動信号WACTCLK [0] が“L”になり、中間信号MWL [0] が“L”になり、ワード線WL [0] が“H”になる。

[0006] 次に、アドレス信号ADU0が“H”から“L”になることによって、中間信号MWL [0] が“H”になり、ワード線WL [0] が“L”にプレチャージされる。また、アドレス信号ADが“L”から“H”になることによって、ワード線起動信号WACTCLK [0] が電源電圧よりも低いレベルの“H”になる。

[0007] 以上のように、ワード線WL [3 : 0] はワード線起動信号WACTCLK [3 : 0] の振幅によって起動するが、電源制御回路24によってワード線起動信号WACTCLK [3 : 0] の“H”レベルを電源電圧よりも低くすることによって、その振幅を小さくし、これにより、ワード線WL [3 : 0] を高速起動することができる。また“H”レベルを電源電圧よりも低く抑えることによって、半導体記憶装置の低消費電力化が実現される。

先行技術文献

特許文献

[0008] 特許文献1：特開2007-164922号公報

発明の概要

発明が解決しようとする課題

[0009] 特許文献1の構成では、ワード線起動信号の“H”レベルを電源電圧よりも低くし、その振幅を小さくすることによって、ワード線の高速起動を実現している。

[0010] しかしながら、半導体記憶装置の大容量化に伴い、ワード線の本数が増えた場合には、ワード線起動信号1本当たりに接続されるワード線起動回路の個数が増え、また、ワード線起動信号の配線が長くなる。このため、ワード線起動信号の負荷が増えることになり、これによりワード線起動信号の振幅がなまり、ワード線の起動が遅くなる、という問題が生じる。ワード線の起動が遅くなると、要望されるデータ出力までの時間（アクセスタイム）を満たせなくなる可能性が高くなり、好ましくない。

[0011] また、ワード線起動信号がなまってもワード線を起動するのに十分なワード線起動信号の振幅を得るために、ワード線起動信号の起動時間を延ばした場合には、要望される動作周波数（サイクルタイム）を満たせなくなる、という問題が生じる。

[0012] 前記の問題に鑑み、本発明は、大容量かつ高速動作が求められる半導体記憶装置において、例えばワード線起動信号の負荷が増えた場合であっても、ワード線の起動を高速に実行可能にするワード線起動回路を提供することを目的とする。

課題を解決するための手段

[0013] 本発明の第1態様では、ワード線起動回路は、ワード線信号を出力する出力ノードと、ソースにワード線起動信号を受けるとともにドレインが前記出力ノードと接続されており、かつ、ゲートに第1入力信号を受け第1導電型の第1トランジスタと、ソースが第1電源と接続されているとともにドレ

インが前記出力ノードと接続されており、かつ、ゲートに第2入力信号を受ける第2導電型の第2トランジスタと、ソースが第2電源と接続されているとともにドレインが前記第1トランジスタのソースと接続されており、かつ、ゲートに前記第2入力信号を受ける前記第1導電型の第3トランジスタとを備えているものとする。

[0014] この第1態様によると、第1の入力信号が第1論理レベル（例えば“H”）になり第1トランジスタがオン状態である場合において、第2の入力信号が第1論理レベルになることによって第2トランジスタがオフ状態になると、出力ノードが第1トランジスタを介してワード線起動信号に接続された状態になる。この状態で、ワード線起動信号が第2論理レベル（例えば“L”）に変化することによって、ワード線信号が第2論理レベルに変化する。このとき、第2の入力信号が第1論理レベルであることから第3トランジスタがオン状態であるため、この第3トランジスタによって、ワード線起動信号の第2論理レベルへの変化（例えば接地電圧へのディスチャージ）がアシストされる。これにより、ワード線起動信号にかかる負荷による信号振幅のなまりとそれに伴う信号遅延を改善することができる。したがって、ワード線の起動を高速化させることができ、データ出力までの時間（アクセスタイム）を短縮させることが可能となる。

[0015] そして、前記第1態様のワード線起動回路において、ソースが前記第1電源と接続されているとともにドレインが前記第3トランジスタのドレインと接続されており、かつ、ゲートに前記第2入力信号を受ける前記第2導電型の第4トランジスタを備えたものとしてもよい。

[0016] これにより、ワード線信号が第2論理レベルに変化した後、第2の入力信号が第2論理レベルになることによって、第3トランジスタがオフ状態になるとともに、第4トランジスタがオン状態になる。この状態で、ワード線起動信号が第1論理レベルに戻るとき、第4トランジスタによって、ワード線起動信号の第1論理レベルへの復帰（例えば電源電圧へのプレチャージ）がアシストされる。これにより、次の動作を開始するまでの時間（サイクルタイ

ム) を短縮させることが可能となる。

[0017] 本発明の第2態様では、ワード線起動回路は、ワード線信号を出力する出力ノードと、ソースにワード線起動信号を受けるとともにドレインが前記出力ノードと接続されており、かつ、ゲートに第1入力信号を受け第1導電型の第1トランジスタと、ソースが第1電源と接続されているとともにドレインが前記出力ノードと接続されており、かつ、ゲートに第2入力信号を受け第2導電型の第2トランジスタと、ソースが第2電源と接続されているとともにドレインが前記第1トランジスタのソースと接続されている前記第1導電型の第3トランジスタと、ソースが前記第1電源と接続されているとともにドレインが前記第3トランジスタのゲートと接続されており、かつ、ゲートが前記第1のトランジスタのソースと接続されている前記第2導電型の第4トランジスタとを備えているものとする。

[0018] この第2態様によると、第1の入力信号が第1論理レベル（例えば“H”）になり第1トランジスタがオン状態である場合において、第2の入力信号が第1論理レベルになることによって第2トランジスタがオフ状態になると、出力ノードが第1トランジスタを介してワード線起動信号に接続された状態になる。この状態で、ワード線起動信号が第2論理レベル（例えば“L”）に変化することによって、ワード線信号が第2論理レベルに変化する。このとき、ワード線起動信号が第2論理レベルであることから第4トランジスタがオン状態となり、このため、第3トランジスタのゲートに第1電源の電圧が印加されるために第3トランジスタがオン状態になる。このため、この第3トランジスタによって、ワード線起動信号の第2論理レベルへの変化（例えば接地電圧へのディスチャージ）がアシストされる。この結果、ワード線起動信号にかかる負荷による信号振幅のなまりとそれに伴う信号遅延を改善することができる。したがって、ワード線の起動を高速化させることができ、データ出力までの時間（アクセスタイム）を短縮させることが可能となる。

[0019] また、本発明の第3態様では、半導体記憶装置は、前記第1または第2態

様のワード線起動回路を所定個備えたワード線起動回路ブロックと、アドレス信号の一部とワード線起動のタイミングを制御するクロック信号とを入力とし、前記所定個のワード線起動回路に個別に、前記ワード線起動信号またはその反転信号および前記第2入力信号またはその反転信号を生成し、出力するワード線起動信号出力ブロックとを備えたものとする。

[0020] そして、前記第3態様の半導体記憶装置は、前記ワード線起動回路ブロックが複数個設けられており、前記アドレス信号の残部を入力とし、前記ワード線起動回路ブロックのいずれか1つを選択するためのアドレスデコード信号を生成する少なくとも1つのアドレスデコーダをさらに備え、前記各ワード線起動回路ブロックは、前記所定個のワード線起動回路に前記第1入力信号として共通の信号が与えられ、前記アドレスデコード信号によって当該ワード線起動回路ブロックが選択されたとき、前記第1入力信号がアクティブになるよう、構成されているのが好ましい。

[0021] また、前記第1および第2態様のワード線起動回路の回路構成は、パルス起動信号によってパルス信号を起動する半導体集積回路として用いてもかまわない。この場合でも、第3トランジスタによって、パルス起動信号の第2論理レベルへの変化（例えば接地電圧へのディスチャージ）がアシストされる。これにより、パルス起動信号にかかる負荷による信号振幅のなまりとそれに伴う信号遅延を改善することができる。したがって、パルス信号を高速に立ち上げることができ、例えば、後段の回路の起動を速めることが可能となる。

発明の効果

[0022] 本発明によると、ワード線起動信号の変化がワード線起動回路内のトランジスタによってアシストされるので、ワード線起動信号にかかる負荷による信号振幅のなまりとそれに伴う信号遅延を改善することができる。したがって、ワード線の起動を高速化させることができ、アクセスタイムを短縮させることが可能となる。

[0023] また、本発明によると、パルス起動信号の変化が半導体集積回路内のトラ

ンジスタによってアシストされるので、パルス起動信号にかかる負荷による信号振幅のなまりとそれに伴う信号遅延を改善することができる。したがって、パルス信号を高速に立ち上げることができ、例えば、後段の回路の起動を速めることが可能となる。

図面の簡単な説明

- [0024] [図1]各実施形態に係る半導体記憶装置の模式的なブロック図である。
- [図2]第1の実施形態に係るロウデコーダ制御回路の回路構成図である。
- [図3]第1の実施形態に係るロウデコーダの回路構成図である。
- [図4]第1の実施形態に係るワード線起動回路の回路構成図である。
- [図5]第1の実施形態におけるワード線起動時の動作を示すタイミングチャートである。
- [図6]第2の実施形態に係るワード線起動回路の回路構成図である。
- [図7]第2の実施形態におけるワード線起動時の動作を示すタイミングチャートである。
- [図8]第2の実施形態に係るワード線起動回路の変形例の回路構成図である。
- [図9]第3の実施形態に係るロウデコーダ制御回路の回路構成図である。
- [図10]第3の実施形態に係るワード線起動回路の回路構成図である。
- [図11]第3の実施形態におけるワード線起動時の動作を示すタイミングチャートである。
- [図12]ワード線起動回路の変形例の回路構成図である。
- [図13]ワード線起動回路の変形例の回路構成図である。
- [図14]ワード線起動回路の変形例の回路構成図である。
- [図15]従来のワード線起動回路周辺の回路構成の一例である。
- [図16]図15の回路構成におけるワード線起動時の動作を示すタイミングチャートである。

発明を実施するための形態

[0025] 以下、本発明の実施形態について、図面を参照しながら説明する。

[0026] (第1の実施形態)

図1は第1の実施形態に係る半導体記憶装置を模式的に示すブロック図である。図1において、半導体記憶装置100は、メモリアレイ103と、メモリアレイ103のワード線WL [63:0]を起動するロウデコーダ102と、メモリアレイ103からビット線BL [63:0]を介してデータを受け取るデータ出力回路104と、ロウデコーダ102およびデータ出力回路104を制御するコントロール回路101とを備えている。

[0027] コントロール回路101は、ロウデコーダ制御回路107を有しており、ロウデコーダ制御回路107は、アドレス信号AD [5:0]およびクロック信号CLKを入力とし、ロウデコーダ制御信号SRDを生成する。ロウデコーダ制御信号SRDはロウデコーダ102に与えられる。またコントロール回路101は、データ出力回路制御信号SDOをデータ出力回路104に出力する。

[0028] ロウデコーダ102は、コントロール回路101から与えられたロウデコーダ制御信号SRDを受け、ワード線WL [63:0]のうちのいずれか1つを選択し、起動する。メモリアレイ103は、起動されたワード線WL [63:0]に従って、ビット線BL [63:0]からメモリセルデータを出力する。データ出力回路104は、ビット線BL [63:0]から出力されたメモリセルデータと、コントロール回路101から与えられたデータ出力回路制御信号SDOとに基づいて、出力データDO [63:0]を生成し出力する。

[0029] 図2は本実施形態に係るロウデコーダ制御回路107の回路構成を示す図である。図2のロウデコーダ制御回路107は、ワード線起動信号出力ブロック250と、2個のアドレスデコーダ252とを備えており、ロウデコーダ制御信号SRDとして、アドレスデコード信号RAD32 [3:0]、RAD54 [3:0]、ワード線の電位をプレチャージする反転ワード線プレチャージ信号NPCLK [3:0]、および、ワード線の起動タイミングを制御するワード線起動信号WACTCLK [3:0]を生成する。

[0030] アドレスデコーダ252はそれぞれ、2個のインバータ220と、4個の

NAND論理素子221と、4個のインバータ222とによって構成されており、アドレス信号AD[5:4]またはAD[3:2]を入力とし、アドレスデコード信号RAD54[3:0]またはRAD32[3:0]を出力する。アドレスデコード信号RAD54[3:0]およびRAD32[3:0]は、後述するワード線起動回路ブロック300のいずれか1つを選択するために用いられる。インバータ220は、アドレス信号AD[5:4]またはAD[3:2]が入力され、反転アドレス信号NAD[5:4]またはNAD[3:2]を出力する。4個のNAND論理素子221には、アドレス信号AD[5]および反転アドレス信号NAD[5]のいずれかとアドレス信号AD[4]および反転アドレス信号NAD[4]のいずれかとか(または、アドレス信号AD[3]および反転アドレス信号NAD[3]のいずれかとアドレス信号AD[2]および反転アドレス信号NAD[2]のいずれかとか)、互いに異なる組み合わせにおいて入力される。4個のインバータ222は、4個のNAND論理素子221の出力をそれぞれ受け、その反転信号をアドレスデコード信号RAD54[3:0]またはRAD32[3:0]として出力する。

[0031] ワード線起動信号出力ブロック250は、2個のインバータ201と、4個のワード線起動信号出力回路251とを備えており、アドレス信号AD[1:0]およびクロック信号CLKを入力とし、ワード線起動信号WACTCLK[3:0]および反転ワード線プレチャージ信号NPCLK[3:0]を出力する。なお、ワード線起動信号WACTCLKに代えてその反転信号を出力してもよいし、反転ワード線プレチャージ信号NPCLKに代えてワード線プレチャージ信号PCLK[3:0]を出力してもよい。ワード線起動信号出力回路251はそれぞれ、NAND論理素子202, 204, 205、およびインバータ203, 206, 207によって構成されている。

[0032] 2個のインバータ201は、アドレス信号AD[1], AD[0]をそれぞれ入力とし、反転アドレス信号NAD[1], NAD[0]を出力する。4個のワード線起動信号出力回路251には、クロック信号CLKがそれぞれ

れ入力されるとともに、アドレス信号AD [1] および反転アドレス信号NAD [1] のいずれかとアドレス信号AD [0] および反転アドレス信号NAD [0] のいずれかが、互いに異なる組み合わせにおいて入力される。そして、4個のワード線起動信号出力回路251は、ワード線起動信号WACTCLK [3:0] および反転ワード線プレチャージ信号NPCLK [3:0] を出力する。

[0033] 各ワード線起動信号出力回路251において、NAND論理素子202には、アドレス信号AD [1] および反転アドレス信号NAD [1] のいずれかとアドレス信号AD [0] および反転アドレス信号NAD [0] のいずれかが入力される。インバータ203はNAND論理素子202の出力を入力とし、その反転信号をアドレスデコード信号PADとして出力する。NAND論理素子204, 205はそれぞれ、クロック信号CLKおよびアドレスデコード信号PADを入力とする。NAND論理素子204の出力はインバータ206, 207を介して、ワード線起動信号WACTCLK [3:0] のいずれかとして出力される。NAND論理素子205の出力は、反転ワード線プレチャージ信号NPCLK [3:0] のいずれかとして出力される。

[0034] 図3は本実施形態に係るロウデコーダ102の回路構成を示す図である。図3のロウデコーダ102は、ワード線WL [63:0] を4本ずつ起動する16個のワード線起動回路ブロック300を備えている。各ワード線起動回路ブロック300には、アドレスデコード信号RAD54 [3:0] のいずれかとアドレスデコード信号RAD32 [3:0] のいずれかが、互いに異なる組み合わせにおいて入力される。さらに、各ワード線起動回路ブロック300にはそれぞれ、反転ワード線プレチャージ信号NPCLK [3:0] およびワード線起動信号WACTCLK [3:0] が入力される。

[0035] 各ワード線起動回路ブロック300は、4個のワード線起動回路301、NAND論理素子302、インバータ303、および4個のインバータ304を備えている。NAND論理素子302は、当該ワード線起動回路ブロッ

ク300に与えられた、アドレスデコード信号RAD54 [3:0]のいずれかおよびアドレスデコード信号RAD32 [3:0]のいずれかを入力とする。インバータ303はNAND論理素子302の出力を入力とし、アドレスデコード信号RAD [0] ~ [15]を出力する。4個のインバータ304は、反転ワード線プレチャージ信号NPCLK [3:0]をそれぞれ入力とし、ワード線プレチャージ信号PCLK [3:0]をそれぞれ出力する。4個のワード線起動回路301は、IN入力端子に共通の信号としてアドレスデコード信号RAD [0] ~ [15]を受け、PCLK入力にワード線プレチャージ信号PCLK [3:0]をそれぞれ受け、WACTCLK入力にワード線起動信号WACTCLK [3:0]をそれぞれ受ける。そして、WL出力から、ワード線WL [63:0]のうちのいずれか1本をそれぞれ起動する。なお、アドレスデコード信号RAD [0] ~ [15]は、当該ワード線起動回路ブロック300がアドレスデコード信号RAD54 [3:0]、RAD32 [3:0]によって選択されたとき、アクティブ（ここでは“H”）になる信号である。

[0036] 図4は本実施形態に係るワード線起動回路301の回路構成を示す図である。図4に示す回路は、ワード線起動信号WACTCLK、第1入力信号としての入力信号IN（アドレスデコード信号RAD）、および第2入力信号としてのワード線プレチャージ信号PCLKを入力とし、出力ノードN1から中間信号（ワード線信号）MWLを出力する。この中間信号MWLによって、ワード線WLが起動される。

[0037] 第1導電型の第1トランジスタとしてのNMOSTランジスタ403は、ソースにワード線起動信号WACTCLKを受けるとともに、ドレインが出力ノードN1と接続されており、かつ、ゲートに入力信号INを受ける。第2導電型の第2トランジスタとしてのPMOSTランジスタ401は、ソースが電源電圧を供給する第1電源と接続されているとともに、ドレインが出力ノードN1と接続されており、かつ、ゲートにワード線プレチャージ信号PCLKを受ける。第1導電型の第3トランジスタとしてのNMOSTラン

ジスタ405は、ソースが接地電圧を供給する第2電源と接続されているとともに、ドレインがNMOSトランジスタ403のソースと接続されており、かつ、ゲートにワード線プレチャージ信号PCLKを受ける。

[0038] さらに、ワード線WLの電位を保持するためのPMOSトランジスタ402、および、ワード線信号MWLを受けてワード線WLを駆動するインバータ404を備えている。なお、このPMOSトランジスタ402およびインバータ404は必ずしも設けなくてもよい。

[0039] 図5は図1～図4に示した回路構成の半導体記憶装置における、ワード線起動時の信号波形を示すタイミングチャートである。なお、本実施形態の効果を示すために、従来の信号波形を破線で示している。

[0040] <時間T00の前後>

クロック信号CLKが“H”になる前、アドレス信号AD[1:0]は全て“L”である。また、アドレス信号AD[5:2]は全て“H”から“L”に変化しているため、アドレスデコード信号RAD54[3:0]、RAD32[3:0]はともに“8h”から“1h”に変化する。このとき、アドレスデコード信号RAD[0]が“H”になり、ワード線WL[3:0]を起動する4個のワード線起動回路301において、NMOSトランジスタ403のゲートに入力信号INすなわち“H”が与えられる。その他のワード線起動回路301においては、NMOSトランジスタ403はオフしている。

[0041] またクロック信号CLKが“L”であるため、ワード線起動信号出力ブロック250における各ワード線起動信号出力回路251において、NAND論理素子204、205の出力がともに“H”になり、これにより、ワード線プレチャージ信号PCLK[3:0]は全て“L”、ワード線起動信号WACTCLK[3:0]は全て“H”になる。

[0042] このとき、ワード線WL[3:0]を起動する4個のワード線起動回路301において、ワード線起動信号WACTCLK[3:0]が“H”であり、ワード線プレチャージ信号PCLK[3:0]が“L”によりPMOST

ランジスタ401がオンしているため、中間信号MWLは“H”である。これにより、ワード線WL [3 : 0] はいずれも“L”である。PMOSTランジスタ402がオンし、中間信号MWLは“H”を保持する。またこのとき、NMOSTランジスタ405はオフしている。

[0043] 次にクロック信号CLKが“H”になると、アドレス信号AD [1 : 0] が全て“L”であるため、ワード線プレチャージ信号PCLK [0] が“L”から“H”に変化する。このため、ワード線WL [0] を起動するワード線起動回路301において、PMOSTランジスタ401がオフされ、中間信号MWLを出力するノードN1はNMOSTランジスタ403を介してワード線起動信号WACTCLK [0] と接続される。また、NMOSTランジスタ405はオンする。また同時に、ワード線起動信号WACTCLK [0] は、配線負荷の影響を受けながら、“H”から“L”に推移する。

[0044] このとき、ワード線プレチャージ信号PCLK [0] が接続される全てのワード線起動回路301内のNMOSTランジスタ405がオンすることによって、ワード線起動信号WACTCLK [0] の“L”へのディスチャージがアシストされる。これにより、ワード線起動信号WACTCLK [0] は従来よりも高速に“L”に遷移し、中間信号MWLが従来よりも高速に“L”になり、この結果、ワード線WL [0] が従来よりも高速に“L”から“H”に変化する。ワード線WL [0] が“H”になるため、ワード線WL [0] を起動するワード線起動回路301において、PMOSTランジスタ402はオフする。

[0045] <時間T01の前後>

クロック信号CLKが“L”になると、ワード線プレチャージ信号PCLK [0] が“H”から“L”に変化する。このとき、ワード線WL [0] を起動するワード線起動回路301において、PMOSTランジスタ401がオンし、中間信号MWLは“H”にプレチャージされ、ワード線WL [0] は“L”になる。ワード線WL [0] が“L”のため、PMOSTランジスタ402がオンし、中間信号MWLは“H”を保持する。また、NMOST

ランジスタ405はオフする。

[0046] また同時に、ワード線起動信号WACTCLK [0] は“L”から“H”にプレチャージされるが、NMOSトランジスタ405はオフしているため、ワード線起動信号WACTCLK [0] のプレチャージを妨げることはない。

[0047] <時間T02の前後>

アドレス信号AD [5 : 2] は全て“L”から“H”に変化しているため、アドレスデコード信号RAD54 [3 : 0]、RAD32 [3 : 0] はともに“1h”から“8h”に変化する。このとき、アドレスデコード信号RAD [15] が“H”になり、ワード線WL [63 : 60] を起動するワード線起動回路301において、NMOSトランジスタ403のゲートに入力信号INすなわち“H”が与えられる。その他のワード線起動回路301においては、NMOSトランジスタ403はオフしている。また、アドレス信号AD [1 : 0] は全て“L”から“H”に変化している。

[0048] 一方、クロック信号CLKが“L”であるため、ワード線起動信号出力ブロック250における各ワード線起動信号出力回路251において、NAND論理素子204、205の出力がともに“L”になり、これにより、ワード線プレチャージ信号PCLK [3 : 0] は全て“L”、ワード線起動信号WACTCLK [3 : 0] は全て“H”になる。

[0049] このとき、ワード線WL [63 : 60] を起動する4個のワード線起動回路301において、ワード線起動信号WACTCLK [3 : 0] が“H”であり、ワード線プレチャージ信号PCLK [3 : 0] が“L”によりPMOSトランジスタ401がオンしているため、中間信号MWLは“H”である。これにより、ワード線WL [63 : 60] はいずれも“L”である。PMOSトランジスタ402がオンし、中間信号MWLは“H”を保持する。またこのとき、NMOSトランジスタ405はオフしている。

[0050] 次にクロック信号CLKが“H”になると、アドレス信号AD [1 : 0] が全て“H”であるため、ワード線プレチャージ信号PCLK [3] が“L

”から“H”に変化する。このため、ワード線WL [63]を起動するワード線起動回路301において、PMOSトランジスタ401がオフされ、中間信号MWLを出力するノードN1はNMOSトランジスタ403を介してワード線起動信号WACTCLK [3]と接続される。また、NMOSトランジスタ405はオンする。また同時に、ワード線起動信号WACTCK [3]は配線負荷の影響を受けながら、“H”から“L”に推移する。このとき、ワード線プレチャージ信号PCLK [3]が接続される全てのワード線起動回路301内のNMOSトランジスタ405がオンすることによって、ワード線起動信号WACTCLK [3]の“L”へのディスチャージがアシストされる。これにより、ワード線起動信号WACTCLK [3]は従来よりも高速に“L”に遷移し、中間信号MWLが従来よりも高速に“L”になり、この結果、ワード線WL [63]が従来よりも高速に“L”から“H”に変化する。ワード線WL [63]が“H”になるため、ワード線WL [63]を起動するワード線起動回路301において、PMOSトランジスタ402はオフする。

[0051] <時間T03の前後>

クロック信号CLKが“L”になると、ワード線プレチャージ信号PCLK [3]が“H”から“L”に変化する。このとき、ワード線WL [63]を起動するワード線起動回路301において、PMOSトランジスタ401がオンし、中間信号MWLは“H”にプレチャージされ、ワード線WL [63]は“L”になる。ワード線WL [63]が“L”のため、PMOSトランジスタ402がオンし、中間信号MWLは“H”を保持する。また、NMOSトランジスタ405はオフする。また同時に、ワード線起動信号WACTCLK [3]は“L”から“H”にプレチャージされるが、NMOSトランジスタ405はオフしているため、ワード線起動信号WACTCLK [3]のプレチャージを妨げることはない。

[0052] 以上のように本実施形態によると、ワード線起動回路301において、NMOSトランジスタ403のソースと接地電圧電源との間に、ワード線プレ

チャージ信号PCLKをゲートに受けるNMOSトランジスタ405が設けられている。そして、ワード線の起動時に、このNMOSトランジスタ405をワード線プレチャージ信号PCLKによってオンさせることによって、ワード線起動信号WACTCLKの“L”へのディスチャージをアシストすることができる。したがって、従来よりも高速にワード線WLを起動させることができる。

[0053] すなわち本実施形態によって、ワード線起動信号に対して負荷がかかっており、信号振幅のなまりとそれに伴う信号遅延が発生する可能性がある場合であっても、回路構成を大きく変えることなく、かつ回路面積を大きく増やすことなく、ワード線起動信号を高速に接地電圧にディスチャージすることができる。したがって、ワード線を高速に起動させることができ、半導体記憶装置のアクセスタイムを短縮することができる。また、信号振幅なまりが少なくなるように、ワード線起動信号の配線幅を調整する、つまり配線容量と配線抵抗のバランスを調整する、といったことが不要となる。

[0054] また本実施形態では、ワード線起動信号出力ブロック250は、アドレス信号AD[1:0]のデコード信号から、ワード線起動回路ブロック300に含まれた4個のワード線起動回路301にそれぞれ対応する、反転ワード線プレチャージ信号PCLK[3:0]を生成する。すなわち、ワード線起動信号出力ブロック250は、ワード線プレチャージ信号PCLK[3:0]をそれぞれ個別に選択することができ、図5から分かるように、ワード線プレチャージ信号PCLK[3:0]のうちアクティブになるものは、ワード線起動信号WACTCLK[3:0]によって選択されたワード線起動回路301に対応する信号のみである。このため、非選択のワード線起動信号に影響を与えることなく、選択されたワード線起動回路301のみにおいて、ワード線起動信号WACTCLKのディスチャージをアシストすることができる。

[0055] すなわち、本実施形態の構成によって、アドレスのデコードによってワード線起動信号を複数生成する場合、非選択ワード線起動信号に影響を与えず

、アドレスによって選択されたワード線起動信号のみ、信号振幅のなまりとそれに伴う信号遅延を改善することができる。これにより、アドレスや回路構成に応じて、容易にワード線起動信号の本数を展開することが可能となる。

[0056] さらに本実施形態では、各ワード線起動回路301がワード線起動信号のディスチャージをアシストする機能を有しているため、半導体記憶装置の容量に応じてワード線の数が増減し、ワード線起動信号にかかる負荷が増減する場合においても、ワード線の数が増減に対応して、ワード線起動信号をディスチャージする能力も増減する。このため、最適な回路面積で信号遅延の改善効果が得られる。これにより、ワード線起動信号の配線幅調整を行うことなく、ワード線の数が増減を意識せず簡単なゲート容量計算で、容易に半導体記憶装置の容量展開をすることが可能となる。

[0057] (第2の実施形態)

第2の実施形態に係る半導体記憶装置の構成は、第1の実施形態と同様であり、図1～図3に示すとおりである。ただし、本実施形態では、ワード線起動回路の構成が第1の実施形態と異なっている。

[0058] 図6は本実施形態に係るワード線起動回路301Aの回路構成を示す図である。図4の回路構成と対比すると、PMOSトランジスタ501が追加されている点が異なっている。第2導電型の第4トランジスタとしてのPMOSトランジスタ501は、ソースが電源電圧を供給する第1電源と接続されているとともに、ドレインがNMOSトランジスタ403のドレインと接続されており、かつ、ゲートにワード線プレチャージ信号PCLKを受ける。すなわち、PMOSトランジスタ501は、ドレインにワード線起動信号WACTCLKを受けており、ワード線プレチャージ信号PCLKによってオン・オフされる。

[0059] 図7は図1～図3および図6に示した回路構成の半導体記憶装置における、ワード線起動時の信号波形を示している。なお、本実施形態の効果を示すために、従来の信号波形を破線で示している。

[0060] 図7に示す動作は第1の実施形態とほぼ同様であるため、以下では、第1の実施形態との相違点を中心にして説明を行い、その他の動作については適宜省略する。

[0061] <時間T00の前後>

クロック信号CLKが“H”になると、ワード線プレチャージ信号PCLK[0]が“L”から“H”に変化する。このため、ワード線WL[0]を起動するワード線起動回路301Aにおいて、PMOSトランジスタ401がオフされ、中間信号MWLを出力するノードN1はNMOSトランジスタ403を介してワード線起動信号WACTCLK[0]と接続される。また、NMOSトランジスタ405はオンし、PMOSトランジスタ501はオフする。

[0062] また同時に、ワード線起動信号WACTCLK[0]は、配線負荷の影響を受けながら、“H”から“L”に推移する。このとき、ワード線プレチャージ信号PCLK[0]が接続される全てのワード線起動回路301A内のNMOSトランジスタ405がオンすることによって、ワード線起動信号WACTCLK[0]の“L”へのディスチャージがアシストされる。

[0063] <時間T01の前後>

クロック信号CLKが“L”になると、ワード線プレチャージ信号PCLK[0]が“H”から“L”に変化する。このとき、ワード線WL[0]を起動するワード線起動回路301Aにおいて、PMOSトランジスタ401がオンし、中間信号MWLは“H”にプレチャージされ、ワード線WL[0]は“L”になる。ワード線WL[0]が“L”のため、PMOSトランジスタ402がオンし、中間信号MWLは“H”を保持する。また、NMOSトランジスタ405はオフし、PMOSトランジスタ501はオンする。

[0064] また同時に、ワード線起動信号WACTCLK[0]は、配線負荷の影響を受けながら“L”から“H”にプレチャージされる。このとき、PMOSトランジスタ501がオンしているため、ワード線起動信号WACTCLK[0]の“H”へのプレチャージがアシストされ、従来よりも高速に、ワード

線起動信号WACTCLK [0] のプレチャージが完了する。また、NMOSトランジスタ405はオフしているため、ワード線起動信号WACTCLK [0] のプレチャージを妨げることはない。

[0065] <時間T02の前後>

次にクロック信号CLKが“H”になると、ワード線プレチャージ信号PCLK [3] が“L”から“H”に変化する。このため、ワード線WL [63] を起動するワード線起動回路301Aにおいて、PMOSトランジスタ401がオフされ、中間信号MWLを出力するノードN1はNMOSトランジスタ403を介してワード線起動信号WACTCLK [3] と接続される。また、NMOSトランジスタ405はオンし、PMOSトランジスタ501はオンする。

[0066] また同時に、ワード線起動信号WACTCK [3] は配線負荷の影響を受けながら、“H”から“L”に推移する。このとき、ワード線プレチャージ信号PCLK [3] が接続される全てのワード線起動回路301A内のNMOSトランジスタ405がオンすることによって、ワード線起動信号WACTCLK [3] の“L”へのディスチャージがアシストされる。

[0067] <時間T03の前後>

クロック信号CLKが“L”になると、ワード線プレチャージ信号PCLK [3] が“H”から“L”に変化する。このとき、ワード線WL [63] を起動するワード線起動回路301Aにおいて、PMOSトランジスタ401がオンし、中間信号MWLは“H”にプレチャージされ、ワード線WL [63] は“L”になる。ワード線WL [63] が“L”のため、PMOSトランジスタ402がオンし、中間信号MWLは“H”を保持する。また、NMOSトランジスタ405はオフし、PMOSトランジスタ501はオンする。

[0068] また同時に、ワード線起動信号WACTCLK [3] は、配線負荷の影響を受けながら、“L”から“H”にプレチャージされる。このとき、PMOSトランジスタ501がオンしているため、ワード線起動信号WACTCL

K [3] の“H”へのプレチャージがアシストされ、従来よりも高速に、ワード線起動信号WACTCLK [3]のプレチャージが完了する。また、NMOSトランジスタ405はオフしているため、ワード線起動信号WACTCLK [3]のプレチャージを妨げることはない。

[0069] 以上のように本実施形態によると、ワード線起動回路301Aにおいて、NMOSトランジスタ403のソースと電源電圧電源との間に、ワード線プレチャージ信号PCLKをゲートに受けるPMOSトランジスタ501が設けられている。そして、ワード線のプレチャージ時に、このPMOSトランジスタ501をワード線プレチャージ信号PCLKによってオンさせることによって、ワード線起動信号WACTCLKの“H”へのプレチャージをアシストすることができる。これにより、従来よりも高速にワード線起動信号WACTCLKをプレチャージすることができる。

[0070] また、第1の実施形態と同様に、NMOSトランジスタ403のソースと接地電圧電源との間にワード線プレチャージ信号PCLKをゲートに受けるNMOSトランジスタ405が設けられているので、ワード線の起動時に、このNMOSトランジスタ405によって、ワード線起動信号WACTCLKの“L”へのディスチャージをアシストすることができる。これにより、従来よりも高速にワード線WLを起動させることができる。

[0071] すなわち本実施形態によって、ワード線起動信号に対して負荷がかかっており、信号振幅のなまりとそれに伴う信号遅延が発生する可能性がある場合であっても、回路構成を大きく変えることなく、かつ回路面積を大きく増やすことなく、ワード線起動信号を、高速に接地電圧にディスチャージすることができ、かつ、高速に電源電圧にプレチャージすることができる。これにより、半導体記憶装置のアクセスタイムを短縮することができるとともに、サイクルタイムを短縮することができる。また、信号振幅なまりが少なくなるように、ワード線起動信号の配線幅を調整する、つまり配線容量と配線抵抗のバランスを調整する、といったことが不要となる。さらには、ワード線起動信号をドライブするバッファのサイズを小さくすることができ、回路面

積の縮小が可能となる。

[0072] また本実施形態では、ワード線起動信号出力ブロック250は、アドレス信号AD [1 : 0] のデコード信号から、ワード線起動回路ブロック300に含まれた4個のワード線起動回路301Aにそれぞれ対応する、ワード線起動信号WACTCLK [3 : 0] および反転ワード線プレチャージ信号PCLK [3 : 0] を生成する。すなわち、ワード線起動信号出力ブロック250は、ワード線プレチャージ信号PCLK [3 : 0] をそれぞれ個別に選択することができ、図7から分かるように、ワード線プレチャージ信号PCLK [3 : 0] のうちアクティブになるものは、ワード線起動信号WACTCLK [3 : 0] によって選択されたワード線起動回路301Aに対応する信号のみである。このため、非選択のワード線起動信号に影響を与えることなく、選択されたワード線起動回路301Aのみにおいて、ワード線起動信号WACTCLKのディスチャージおよびプレチャージをアシストすることができる。

[0073] すなわち、本実施形態の構成によって、アドレスのデコードによってワード線起動信号を複数生成する場合、非選択ワード線起動信号に影響を与えず、アドレスによって選択されたワード線起動信号のみ、信号振幅のなまりとそれに伴う信号遅延を改善することができる。これにより、アドレスや回路構成に応じて、容易にワード線起動信号の本数を展開することが可能となる。

[0074] さらに本実施形態では、各ワード線起動回路301Aがワード線起動信号のディスチャージおよびプレチャージをアシストする機能を有しているため、半導体記憶装置の容量に応じてワード線の数が増減し、ワード線起動信号にかかる負荷が増減する場合においても、ワード線の数の増減に対応して、ワード線起動信号をディスチャージおよびプレチャージする能力も増減する。このため、最適な回路面積で信号遅延の改善効果が得られる。これにより、ワード線起動信号の配線幅調整を行うことなく、ワード線の数の増減を意識せず簡単なゲート容量計算で、容易に半導体記憶装置の容量展開をするこ

とが可能となる。

[0075] なお、図8に示すように、図6の構成からNMOSトランジスタ405を省いた構成としてもよい。この回路構成でも、ワード線起動信号WACTCLKの“H”へのプレチャージをアシストすることができ、従来よりも高速にワード線起動信号WACTCLKをプレチャージすることができる。

[0076] (第3の実施形態)

第3の実施形態に係る半導体記憶装置の構成は、第1の実施形態とほぼ同様であるが、ロウデコーダ制御回路内のワード線起動信号出力回路の構成と、ワード線起動回路の構成とが異なっている。

[0077] 図9は本実施形態に係るロウデコーダ制御回路107Aの回路構成を示す図である。図9のロウデコーダ制御回路107Aは、ワード線起動信号出力ブロック750と、2個のアドレスデコーダ252とを備えており、ロウデコーダ制御信号SRDとして、アドレスデコード信号RAD32[3:0]、RAD54[3:0]、ワード線の電位をプレチャージする反転ワード線プレチャージ信号NPCLK[3:0]、および、ワード線の起動タイミングを制御するワード線起動信号WACTCLK[3:0]を生成する。なお、アドレスデコーダ252の構成は図2と同様であり、ここでは説明を省略する。

[0078] ワード線起動信号出力ブロック750は、2個のインバータ201と、4個のワード線起動信号出力回路751とを備えており、アドレス信号AD[1:0]およびクロック信号CLKを入力とし、ワード線起動信号WACTCLK[3:0]および反転ワード線プレチャージ信号NPCLK[3:0]を出力する。なお、ワード線起動信号WACTCLKに代えてその反転信号を出力してもよいし、反転ワード線プレチャージ信号NPCLKに代えてワード線プレチャージ信号PCLK[3:0]を出力してもよい。ワード線起動信号出力回路751はそれぞれ、NAND論理素子202、204、およびインバータ203、206、207、755によって構成されている。

[0079] 2個のインバータ201は、アドレス信号AD[1]、AD[0]をそれ

ぞれ入力とし、反転アドレス信号NAD [1] , NAD [0] を出力する。4個のワード線起動信号出力回路751には、クロック信号CLKがそれぞれ入力されるとともに、アドレス信号AD [1] および反転アドレス信号NAD [1] のいずれかとアドレス信号AD [0] および反転アドレス信号NAD [0] のいずれかが、互いに異なる組み合わせにおいて入力される。そして、4個のワード線起動信号出力回路751は、ワード線起動信号WACTCLK [3 : 0] および反転ワード線プレチャージ信号NPCLK [3 : 0] を出力する。

[0080] 各ワード線起動信号出力回路751において、NAND論理素子202には、アドレス信号AD [1] および反転アドレス信号NAD [1] のいずれかとアドレス信号AD [0] および反転アドレス信号NAD [0] のいずれかが入力される。インバータ203はNAND論理素子202の出力を入力とし、その反転信号をアドレスデコード信号PADとして出力する。NAND論理素子204はクロック信号CLKおよびアドレスデコード信号PADを入力とし、その出力はインバータ206, 207を介して、ワード線起動信号WACTCLK [3 : 0] のいずれかとして出力される。インバータ755はクロック信号CLKを入力とし、その反転信号を反転ワード線プレチャージ信号NPCLK [3 : 0] のいずれかとして出力する。

[0081] すなわち、図9のロウデコーダ制御回路107Aは、反転ワード線プレチャージ信号NPCLK [3 : 0] として、全て同じ信号、すなわちクロック信号CLKの反転信号を出力する。なお図9では、反転ワード線プレチャージ信号NPCLK [3 : 0] を4個の別の信号として記載したが、1個の信号として、全てのワード線起動回路に共通に入力させてもよい。

[0082] 図10は本実施形態に係るワード線起動回路301Bの回路構成を示す図である。図10に示す回路は、図4に示す回路と同様に、ワード線起動信号WACTCLK、第1入力信号としての入力信号IN、および第2入力信号としてのワード線プレチャージ信号PCLKを入力とし、出力ノードN1から中間信号（ワード線信号）MWLを出力する。この中間信号MWLによっ

て、ワード線WLが起動される。

[0083] 第1導電型の第1トランジスタとしてのNMOSトランジスタ403は、ソースにワード線起動信号WACTCLKを受けるとともに、ドレインが出力ノードN1と接続されており、かつ、ゲートに入力信号INを受ける。第2導電型の第2トランジスタとしてのPMOSトランジスタ401は、ソースが電源電圧を供給する第1電源と接続されているとともに、ドレインが出力ノードN1と接続されており、かつ、ゲートにワード線プレチャージ信号PCLKを受ける。第1導電型の第3トランジスタとしてのNMOSトランジスタ704は、ソースが接地電圧を供給する第2電源と接続されているとともに、ドレインがNMOSトランジスタ403のソースと接続されている。第2導電型の第4トランジスタとしてのPMOSトランジスタ701は、ソースが第1電源と接続されているとともに、ドレインがNMOSトランジスタ704のゲートと接続されており、かつ、ゲートがNMOSトランジスタ403のソースと接続されている。PMOSトランジスタ701は、ワード線起動信号WACTCLKによってオン・オフされる。

[0084] また、インバータ703は、ワード線プレチャージ信号PCLKを受け、その反転信号を出力する。第1導電型の第5トランジスタとしてのNMOSトランジスタ702は、ソースが接地電圧を供給する第2電源と接続されているとともに、ドレインがPMOSトランジスタ701のドレインと接続されており、かつ、ゲートにインバータ703から出力された反転信号を受ける。なお、このインバータ703およびNMOSトランジスタ702は、省いてもかまわない。

[0085] さらに、ワード線WLの電位を保持するためのPMOSトランジスタ402、および、ワード線信号MWLを受けてワード線WLを駆動するインバータ404を備えている。なお、このPMOSトランジスタ402およびインバータ404は必ずしも設けなくてもよい。

[0086] 図11は図1、図3、図9および図10に示した回路構成の半導体記憶装置における、ワード線起動時の信号波形を示すタイミングチャートである。

なお、本実施形態の効果を示すために、従来の信号波形を破線で示している。

[0087] <時間T00の前後>

クロック信号CLKが“H”になる前、アドレス信号AD [1 : 0] は全て“L”である。また、アドレス信号AD [5 : 2] は全て“H”から“L”に変化しているため、アドレスデコード信号RAD54 [3 : 0] , RAD32 [3 : 0] はともに“8h”から“1h”に変化する。このとき、アドレスデコード信号RAD [0] が“H”になり、ワード線WL [3 : 0] を起動する4個のワード線起動回路301Bにおいて、NMOSトランジスタ403のゲートに入力信号INすなわち“H”が与えられる。その他のワード線起動回路301Bにおいては、NMOSトランジスタ403はオフしている。

[0088] またクロック信号CLKが“L”であるため、ワード線起動信号出力ブロック750における各ワード線起動信号出力回路751において、NAND論理素子204およびインバータ755の出力がともに“H”になり、これにより、ワード線プレチャージ信号PCLK [3 : 0] は全て“L”、ワード線起動信号WACTCLK [3 : 0] は全て“H”になる。

[0089] このとき、ワード線WL [3 : 0] を起動する4個のワード線起動回路301Bにおいて、ワード線起動信号WACTCLK [3 : 0] が“H”であり、ワード線プレチャージ信号PCLK [3 : 0] が“L”によりPMOSトランジスタ401がオンしているため、中間信号MWLは“H”である。これにより、ワード線WL [3 : 0] はいずれも“L”である。PMOSトランジスタ402がオンし、中間信号MWLは“H”を保持する。またこのとき、PMOSトランジスタ701はオフ、NMOSトランジスタ702はオンしているため、NMOSトランジスタ704のゲートには“L”が与えられ、NMOSトランジスタ704はオフしている。

[0090] 次にクロック信号CLKが“H”になると、ワード線プレチャージ信号PCLK [3 : 0] が“L”から“H”に変化する。このため、ワード線WL

[3 : 0] を起動するワード線起動回路301Bにおいて、PMOSトランジスタ401およびNMOSトランジスタ702はオフする。また、ワード線WL [0] を起動するワード線起動回路301Bにおいて、中間信号MWL を出力するノードN1はNMOSトランジスタ403を介してワード線起動信号WACTCLK [0] と接続される。

[0091] また同時に、ワード線起動信号WACTCLK [0] は、配線負荷の影響を受けながら、“H” から “L” に推移する。このとき、ワード線起動信号WACTCLK [0] の電位がPMOSトランジスタ701をオンするレベルまで下がると、PMOSトランジスタ701がオンすることによってNMOSトランジスタ704のゲートに “H” が与えられ、NMOSトランジスタ704はオンする。すなわち、ワード線起動信号WACTCLK [0] が接続される全てのワード線起動回路301B内のNMOSトランジスタ704がオンすることによって、ワード線起動信号WACTCLK [0] の “L” へのディスチャージがアシストされる。これにより、ワード線起動信号WACTCLK [0] は従来よりも高速に “L” に遷移し、中間信号MWL が従来よりも高速に “L” になり、この結果、ワード線WL [0] が従来よりも高速に “L” から “H” に変化する。ワード線WL [0] が “H” になるため、ワード線WL [0] を起動するワード線起動回路301Bにおいて、PMOSトランジスタ402はオフする。

[0092] <時間T01の前後>

クロック信号CLKが “L” になると、ワード線プレチャージ信号PCLK [3 : 0] が “H” から “L” に変化する。このとき、ワード線WL [3 : 0] を起動するワード線起動回路301Bにおいて、NMOSトランジスタ702はオンし、また、PMOSトランジスタ401がオンすることによって、中間信号MWLは “H” にプレチャージされ、ワード線WL [0] は “L” になる。ワード線WL [0] が “L” のため、PMOSトランジスタ402がオンし、中間信号MWLは “H” を保持する。

[0093] また同時に、ワード線起動信号WACTCLK [0] は “L” から “H”

にプレチャージされ、PMOSトランジスタ701がオフすると、NMOSトランジスタ702がオンしているため、NMOSトランジスタ704はオフする。このため、NMOSトランジスタ704がワード線起動信号WACTCLK[0]のプレチャージを妨げることはない。

[0094] <時間T02の前後>

アドレス信号AD[5:2]は全て“L”から“H”に変化しているため、アドレスデコード信号RAD54[3:0]、RAD32[3:0]はともに“1h”から“8h”に変化する。このとき、アドレスデコード信号RAD[15]が“H”になり、ワード線WL[63:60]を起動するワード線起動回路301Bにおいて、NMOSトランジスタ403のゲートに入力信号INすなわち“H”が与えられる。その他のワード線起動回路301Bにおいては、NMOSトランジスタ403はオフしている。また、アドレス信号AD[1:0]は全て“L”から“H”に変化している。

[0095] 一方、クロック信号CLKが“L”であるため、ワード線起動信号出力ブロック750における各ワード線起動信号出力回路751において、NAND論理素子204およびインバータ755の出力がともに“H”になり、これにより、ワード線プレチャージ信号PCLK[3:0]は全て“L”、ワード線起動信号WACTCLK[3:0]は全て“H”になる。

[0096] このとき、ワード線WL[63:60]を起動する4個のワード線起動回路301Bにおいて、ワード線起動信号WACTCLK[3:0]が“H”であり、ワード線プレチャージ信号PCLK[3:0]が“L”によりPMOSトランジスタ401がオンしているため、中間信号MWLは“H”である。これにより、ワード線WL[63:60]はいずれも“L”である。PMOSトランジスタ402がオンし、中間信号MWLは“H”を保持する。またこのとき、PMOSトランジスタ701はオフ、NMOSトランジスタ702はオンしているため、NMOSトランジスタ704のゲートには“L”が与えられ、NMOSトランジスタ704はオフしている。

[0097] 次にクロック信号CLKが“H”になると、ワード線プレチャージ信号P

CLK [3 : 0] が “L” から “H” に変化する。このため、ワード線WL [63 : 60] を起動するワード線起動回路301Bにおいて、PMOSトランジスタ401およびNMOSトランジスタ702はオフする。また、ワード線WL [63] を起動するワード線起動回路301Bにおいて、中間信号MWLを出力するノードN1はNMOSトランジスタ403を介してワード線起動信号WACTCLK [3] と接続される。

[0098] また同時に、ワード線起動信号WACTCLK [3] は、配線負荷の影響を受けながら、“H” から “L” に推移する。このとき、ワード線起動信号WACTCLK [3] の電位がPMOSトランジスタ701をオンするレベルまで下がると、PMOSトランジスタ701がオンすることによってNMOSトランジスタ704のゲートに “H” が与えられ、NMOSトランジスタ704はオンする。すなわち、ワード線起動信号WACTCLK [3] が接続される全てのワード線起動回路301B内のNMOSトランジスタ704がオンすることによって、ワード線起動信号WACTCLK [3] の “L” へのディスチャージがアシストされる。これにより、ワード線起動信号WACTCLK [3] は従来よりも高速に “L” に遷移し、中間信号MWLが従来よりも高速に “L” になり、この結果、ワード線WL [63] が従来よりも高速に “L” から “H” に変化する。ワード線WL [63] が “H” になるため、ワード線WL [63] を起動するワード線起動回路301Bにおいて、PMOSトランジスタ402はオフする。

[0099] <時間T03の前後>

クロック信号CLKが “L” になると、ワード線プレチャージ信号PCLK [3 : 0] が “H” から “L” に変化する。このとき、ワード線WL [63 : 60] を起動するワード線起動回路301Bにおいて、NMOSトランジスタ702はオンし、また、PMOSトランジスタ401がオンすることによって、中間信号MWLは “H” にプレチャージされ、ワード線WL [63] は “L” になる。ワード線WL [63] が “L” のため、PMOSトランジスタ402がオンし、中間信号MWLは “H” を保持する。

- [0100] また同時に、ワード線起動信号WACTCLK [3] は“L”から“H”にプレチャージされ、PMOSトランジスタ701がオフすると、NMOSトランジスタ702がオンしているため、NMOSトランジスタ704はオフする。このため、NMOSトランジスタ704がワード線起動信号WACTCLK [3] のプレチャージを妨げることはない。
- [0101] 以上のように本実施形態によると、ワード線起動回路301Bにおいて、NMOSトランジスタ403のソースと接地電圧電源との間にNMOSトランジスタ704が設けられている。そして、このNMOSトランジスタ704のオン・オフは、ワード線プレチャージ信号CLKおよびワード線起動信号WACTCLKによって制御される。これにより、ワード線の起動時に、NMOSトランジスタ704によって、ワード線起動信号WACTCLKの“L”へのディスチャージをアシストすることができる。したがって、従来よりも高速にワード線WLを起動させることができる。
- [0102] すなわち本実施形態によって、ワード線起動信号に対して負荷がかかっており、信号振幅のなまりとそれに伴う信号遅延が発生する可能性がある場合であっても、回路構成を大きく変えることなく、かつ回路面積を大きく増やすことなく、ワード線起動信号を高速に接地電圧にディスチャージすることができる。したがって、ワード線を高速に起動させることができ、半導体記憶装置のアクセスタイムを短縮することができる。また、信号振幅なまりが少なくなるように、ワード線起動信号の配線幅を調整する、つまり配線容量と配線抵抗のバランスを調整する、といったことが不要となる。
- [0103] なお、上述の各実施形態では、入力信号INの方がワード線プレチャージ信号CLKよりも早く変化する信号波形を例として示したが、例えば、入力信号INとワード線プレチャージ信号CLKの変化タイミングが同じであってもよい。好ましくは、ワード線起動信号WACTCLKが“H”から“L”に変化する前に、かつワード線プレチャージ信号CLKが“L”から“H”に変化する前に、入力信号INが確定していることである。
- [0104] また、上述の各実施形態におけるワード線起動回路は、ワード線起動信号

WACTCLK以外の入力信号として、入力信号INと、ワード線プレチャージ信号PCLKとの2個の入力信号を受けるとしたが、この2個の信号は共通の信号であってもかまわない。

[0105] 例えば、図12は図4のワード線起動回路301の変形例を示す図であり、ワード線プレチャージ信号PCLKが入力されておらず、入力信号INが、PMOSトランジスタ401、NMOSトランジスタ403、およびNMOSトランジスタ501のゲートに共通に与えられている。同様に、図6のワード線起動回路301Aや図10のワード線起動回路301B等についても、図12と同様に変形してもかまわない。

[0106] また、上述の各実施形態におけるワード線起動回路は、PMOSトランジスタとNMOSトランジスタとを入れ替えるとともに、電源電圧電源と接地電圧電源とを入れ替えた構成としても、同様の効果の実現される。例えば、図13は図4のワード線起動回路301において、PMOSトランジスタとNMOSトランジスタとを入れ替えるとともに、電源電圧電源と接地電圧電源とを入れ替えた回路構成を示す図である。また、図14は図10のワード線起動回路301Bにおいて、PMOSトランジスタとNMOSトランジスタとを入れ替えるとともに、電源電圧電源と接地電圧電源とを入れ替えた回路構成を示す図である。なお、この場合、各信号のアクティブ・インアクティブの論理が、上述の各実施形態とは逆になる。

[0107] また、上述の各実施形態におけるワード線起動回路において、それぞれのトランジスタを、複数個のトランジスタの組み合わせによって構成してもかまわない。例えば、図4のワード線起動回路301において、トランジスタ405を、第2電源とトランジスタ403のソースとの間に、直列にもしくは並列に、または、直列と並列とが混在した形態で配置され、ゲートにそれぞれワード線プレチャージ信号PCLKを受け、複数のトランジスタによって構成してもかまわない。あるいは、図10のワード線起動回路301Bにおいて、トランジスタ704を、第2電源とトランジスタ403のソースとの間に、直列にもしくは並列に、または、直列と並列とが混在した形態で

配置され、ゲートがそれぞれトランジスタ 701 のドレインと接続されている、複数のトランジスタによって構成してもかまわない。

[0108] また、上述の各実施形態では説明の簡単化のため、アドレス信号 AD を 6 ビットとしたが、これに限られるものではなく、アドレスデコード信号 RAD によってワード線 WL が選択できればよい。同様に、ワード線 WL やビット線 BL の本数や出力データ DO の個数についても、ここで示したものに限定されるものでない。また、メモリアレイ 103 から出力されるビット線 BL に加えて、反対の論理を持つビット線 NBL が出力されていてもよい。

[0109] また、上述の各実施形態では、各アドレスデコーダ 252 は、2 ビットのアドレス信号 AD から 4 ビットのアドレスデコード信号 RAD を生成する回路構成としたが、アドレスレコーダの回路構成、入力されるアドレス信号の数、および出力するアドレスデコード信号の数は、これに限られるものではない。また、アドレスデコーダ 252 の個数は 2 としたが、これに限られるものではなく、1 個または 2 個以上であってもよい。すなわち、入力されるアドレス信号 AD に応じて適宜増減させればよい。

[0110] また、上述の各実施形態では、ワード線起動信号出力ブロック 250, 750 にアドレス信号 AD の一部として AD [1 : 0] の 2 ビットが入力されているものとしたが、ワード線起動信号出力ブロック 250, 750 に入力されるアドレス信号 AD のビット数は、これに限られるものではない。

[0111] また、上述の各実施形態では、半導体記憶装置において、ワード線起動回路によってワード線の起動を高速に実行可能にする構成について説明を行ってきた。しかしながら、上述の各実施形態で示したワード線起動回路の回路構成は、ここで説明したような、半導体記憶装置においてワード線を駆動する用途に限られるものではなく、他の用途にも適用が可能である。すなわち、パルス駆動信号 WACTCLK がアクティブになることによって、出力ノード N1 から、後段の回路を制御する等のためのパルス信号 MWL を出力する半導体集積回路として、上述した回路構成を用いることによって、パルス信号 MWL を高速に立ち上げることができる。これにより例えば、後段の回

路の起動を速めることが可能となる。

産業上の利用可能性

[0112] 本発明では、半導体記憶装置において、半導体記憶素子の種類や構造に限定されることなく、ワード線の起動を高速化することが可能となるので、例えば、メモリに対して、データ出力のアクセスタイム短縮、または大容量化とデータ出力のアクセスタイム短縮の両立が求められる分野、あるいは、データ出力のサイクルタイム短縮、または大容量化とデータ出力のサイクルタイム短縮の両立が求められる分野に対して有用である。

符号の説明

[0113] 250, 750 ワード線起動信号出力ブロック
252 アドレスデコーダ
300 ワード線起動回路ブロック
301, 301A, 301B ワード線起動回路
401 第2トランジスタ
403 第1トランジスタ
405 第3トランジスタ
501 第4トランジスタ
701 第4トランジスタ
702 第5トランジスタ
703 インバータ
704 第3トランジスタ
N1 出力ノード
AD アドレス信号
CLK クロック信号
IN 入力信号 (第1入力信号)
MWL ワード線信号
NPCLK 反転ワード線プレチャージ信号
PCLK ワード線プレチャージ信号 (第2入力信号)

RAD32, RAD54 アドレスデコード信号

WACTCLK ワード線起動信号

WL ワード線

請求の範囲

- [請求項1] ワード線信号を出力する出力ノードと、
 ソースにワード線起動信号を受けるとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第1入力信号を受け、第1導電型の第1トランジスタと、
 ソースが第1電源と接続されているとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第2入力信号を受け、第2導電型の第2トランジスタと、
 ソースが第2電源と接続されているとともに、ドレインが前記第1トランジスタのソースと接続されており、かつ、ゲートに前記第2入力信号を受け、前記第1導電型の第3トランジスタとを備えていることを特徴とするワード線起動回路。
- [請求項2] 請求項1記載のワード線起動回路において、
 ソースが前記第1電源と接続されているとともに、ドレインが前記第3トランジスタのドレインと接続されており、かつ、ゲートに前記第2入力信号を受け、前記第2導電型の第4トランジスタを備えたことを特徴とするワード線起動回路。
- [請求項3] 請求項1記載のワード線起動回路において、
 前記第3のトランジスタは、前記第2電源と前記第1トランジスタのソースとの間に、直列にもしくは並列に、または、直列と並列とが混在した形態で配置され、ゲートにそれぞれ前記第2入力信号を受け、複数のトランジスタによって構成されていることを特徴とするワード線起動回路。
- [請求項4] ワード線信号を出力する出力ノードと、
 ソースにワード線起動信号を受けるとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第1入力信号を受け、第1導電型の第1トランジスタと、
 ソースが第1電源と接続されているとともに、ドレインが前記出力

ノードと接続されており、かつ、ゲートに第2入力信号を受ける、第2導電型の第2トランジスタと、

ソースが第2電源と接続されているとともに、ドレインが前記第1トランジスタのソースと接続されている、前記第1導電型の第3トランジスタと、

ソースが前記第1電源と接続されているとともに、ドレインが前記第3トランジスタのゲートと接続されており、かつ、ゲートが前記第1のトランジスタのソースと接続されている、前記第2導電型の第4トランジスタとを備えている

ことを特徴とするワード線起動回路。

[請求項5]

請求項4記載のワード線起動回路において、

前記第2入力信号を受け、その反転信号を出力するインバータと

ソースが前記第2電源と接続されているとともに、ドレインが前記第4トランジスタのドレインと接続されており、かつ、ゲートに前記反転信号を受ける、前記第1導電型の第5トランジスタとを備えたことを特徴とするワード線起動回路。

[請求項6]

請求項4記載のワード線起動回路において、

前記第3のトランジスタは、前記第2電源と前記第1トランジスタのソースとの間に、直列にもしくは並列に、または、直列と並列とが混在した形態で配置され、ゲートがそれぞれ前記第3トランジスタのゲートと接続されている、複数のトランジスタによって構成されている

ことを特徴とするワード線起動回路。

[請求項7]

請求項1または4記載のワード線起動回路において、

前記第1および第2入力信号として、共通の信号が入力されることを特徴とするワード線起動回路。

[請求項8]

請求項1または4記載のワード線起動回路において、

前記第1導電型はN型、前記第2導電型はP型であり

前記第 1 の電源は電源電圧を供給するものであり、前記第 2 の電源は接地電圧を供給するものであることを特徴とするワード線起動回路。

[請求項9]

請求項 1 または 4 記載のワード線起動回路において、前記第 1 導電型は P 型、前記第 2 導電型は N 型であり前記第 1 の電源は接地電圧を供給するものであり、前記第 2 の電源は電源電圧を供給するものであることを特徴とするワード線起動回路。

[請求項10]

ワード線信号を出力する出力ノードと、ソースにワード線起動信号を受けるとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第 1 入力信号を受け、第 1 導電型の第 1 トランジスタと、ソースが第 1 電源と接続されているとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第 2 入力信号を受け、第 2 導電型の第 2 トランジスタと、ソースが前記第 1 電源と接続されているとともに、ドレインが前記第 1 トランジスタのソースと接続されており、かつ、ゲートに前記第 2 入力信号を受け、前記第 2 導電型の第 3 トランジスタを備えたことを特徴とするワード線起動回路。

[請求項11]

請求項 1 または 4 記載のワード線起動回路を、所定個、備えたワード線起動回路ブロックと、アドレス信号の一部と、ワード線起動のタイミングを制御するクロック信号とを入力とし、前記所定個のワード線起動回路に、個別に、前記ワード線起動信号またはその反転信号、および、前記第 2 入力信号またはその反転信号を生成し、出力するワード線起動信号出力ブロックとを備えたことを特徴とする半導体記憶装置。

[請求項12]

請求 1 1 記載の半導体記憶装置において、

前記ワード線起動回路ブロックが、複数個、設けられており、
前記アドレス信号の残部を入力とし、前記ワード線起動回路ブロックのいずれか1つを選択するためのアドレスデコード信号を生成する、少なくとも1つのアドレスデコーダをさらに備え、
前記各ワード線起動回路ブロックは、前記所定個のワード線起動回路に前記第1入力信号として共通の信号が与えられ、前記アドレスデコード信号によって当該ワード線起動回路ブロックが選択されたとき、前記第1入力信号がアクティブになるよう、構成されていることを特徴とする半導体記憶装置。

[請求項13]

パルス信号を出力する出力ノードと、
ソースにパルス起動信号を受けるとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第1入力信号を受け、第1導電型の第1トランジスタと、
ソースが第1電源と接続されているとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第2入力信号を受け、第2導電型の第2トランジスタと、
ソースが第2電源と接続されているとともに、ドレインが前記第1トランジスタのソースと接続されており、かつ、ゲートに前記第2入力信号を受け、前記第1導電型の第3トランジスタとを備えていることを特徴とする半導体集積回路。

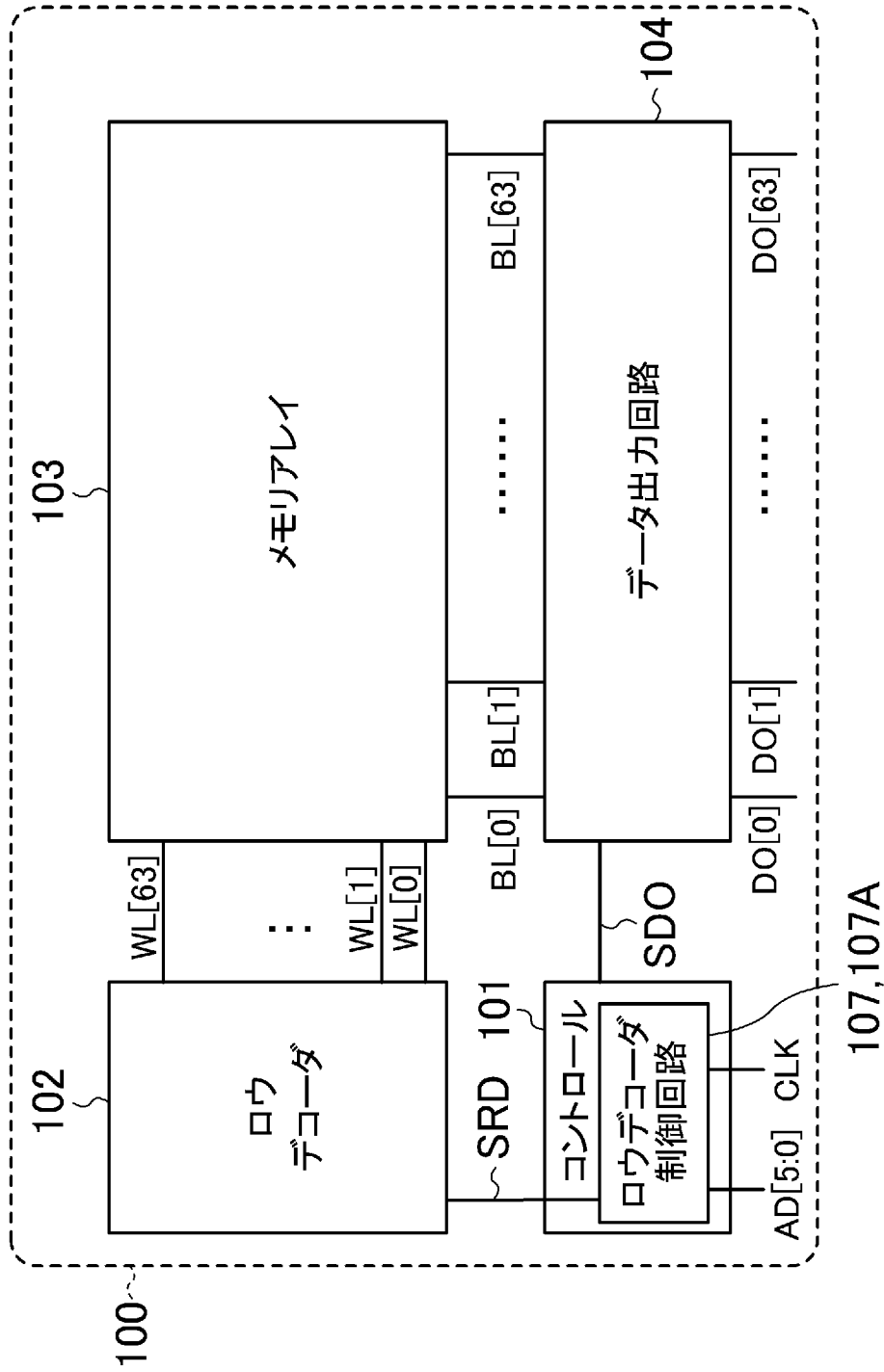
[請求項14]

パルス信号を出力する出力ノードと、
ソースにパルス起動信号を受けるとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第1入力信号を受け、第1導電型の第1トランジスタと、
ソースが第1電源と接続されているとともに、ドレインが前記出力ノードと接続されており、かつ、ゲートに第2入力信号を受け、第2導電型の第2トランジスタと、
ソースが第2電源と接続されているとともに、ドレインが前記第1

トランジスタのソースと接続されている、前記第1導電型の第3トランジスタと、

ソースが前記第1電源と接続されているとともに、ドレインが前記第3トランジスタのゲートと接続されており、かつ、ゲートが前記第1のトランジスタのソースと接続されている、前記第2導電型の第4トランジスタとを備えていることを特徴とする半導体集積回路。

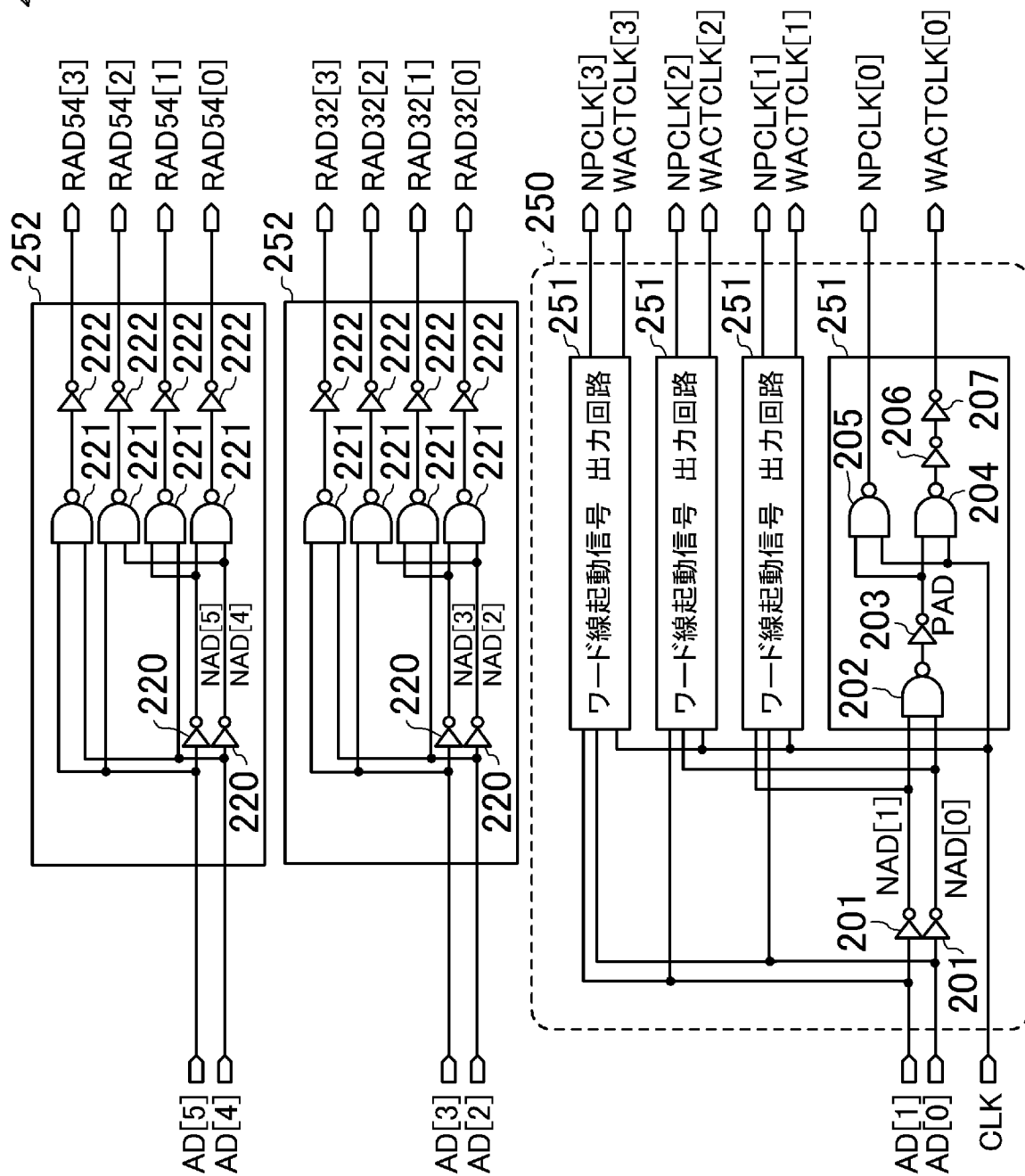
[図1]



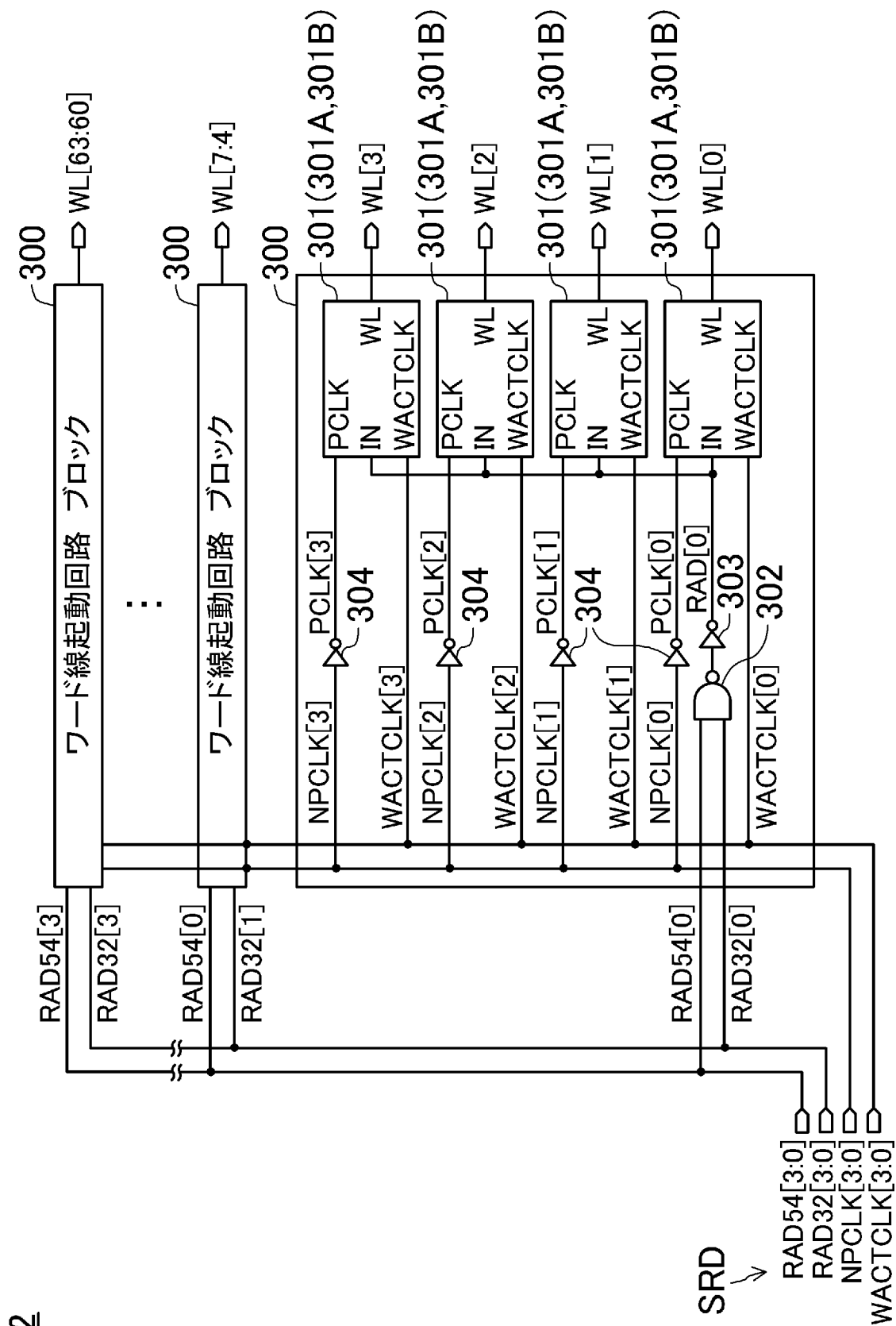
[図2]

SRD

107

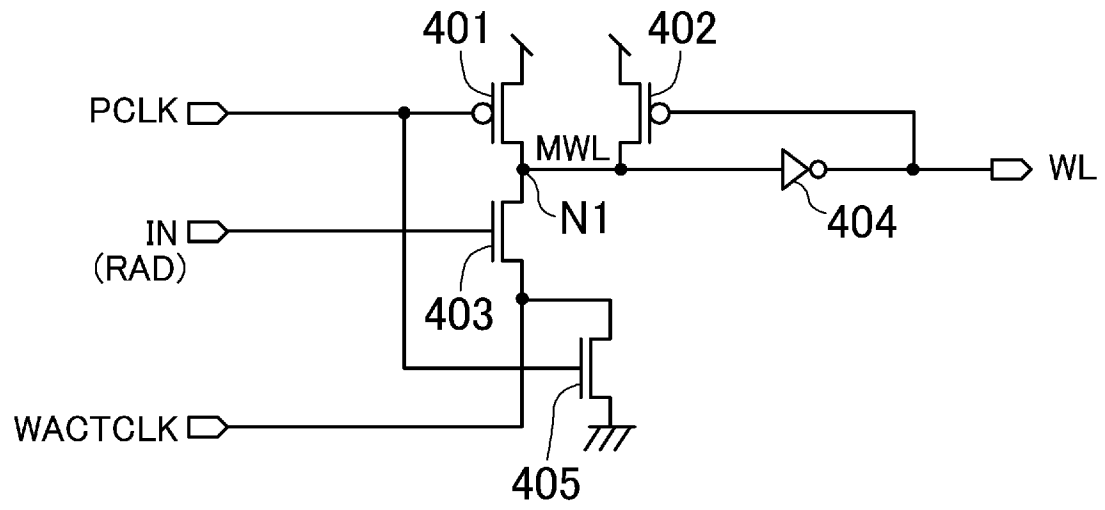


[図3]

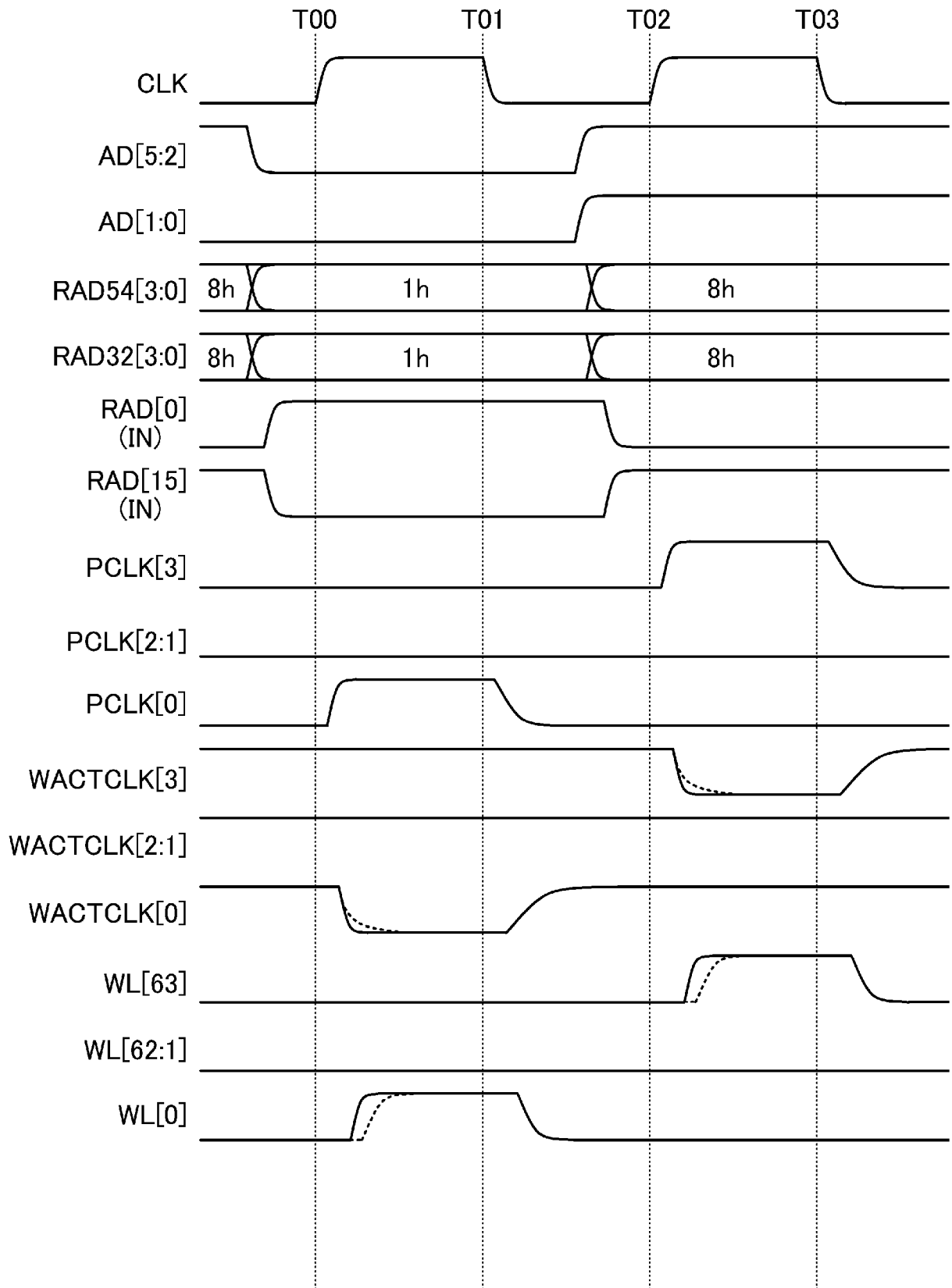


102

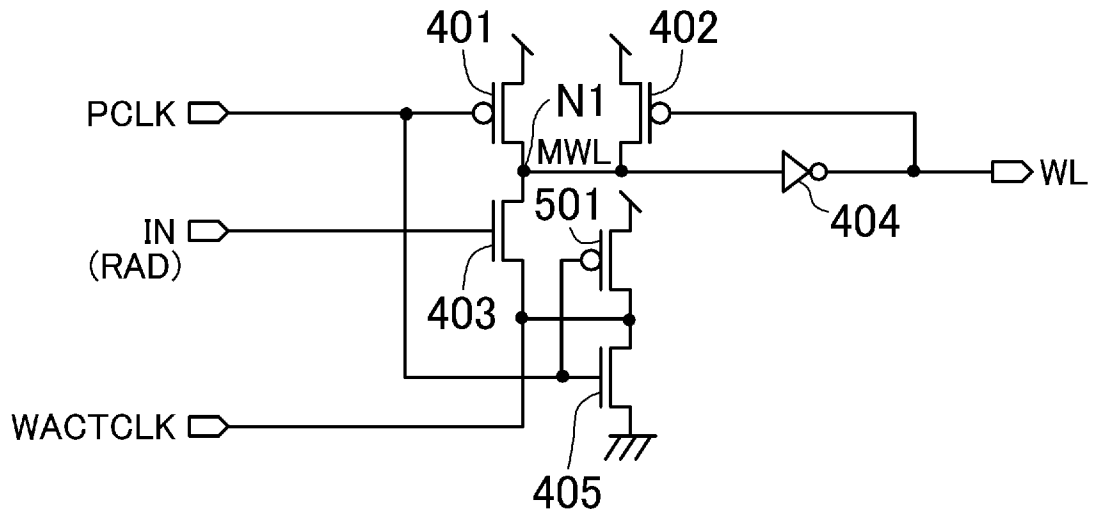
[図4]

301

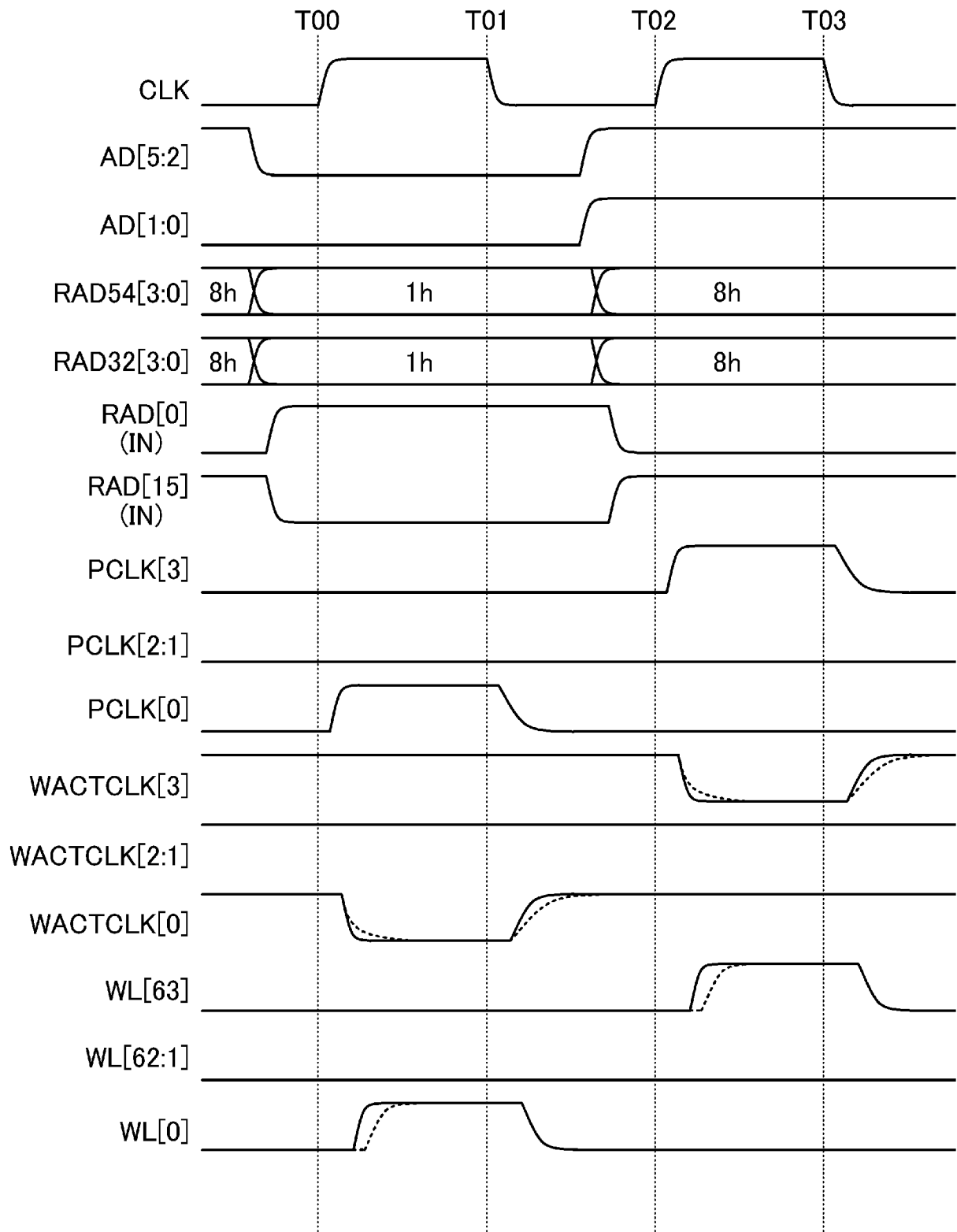
[図5]



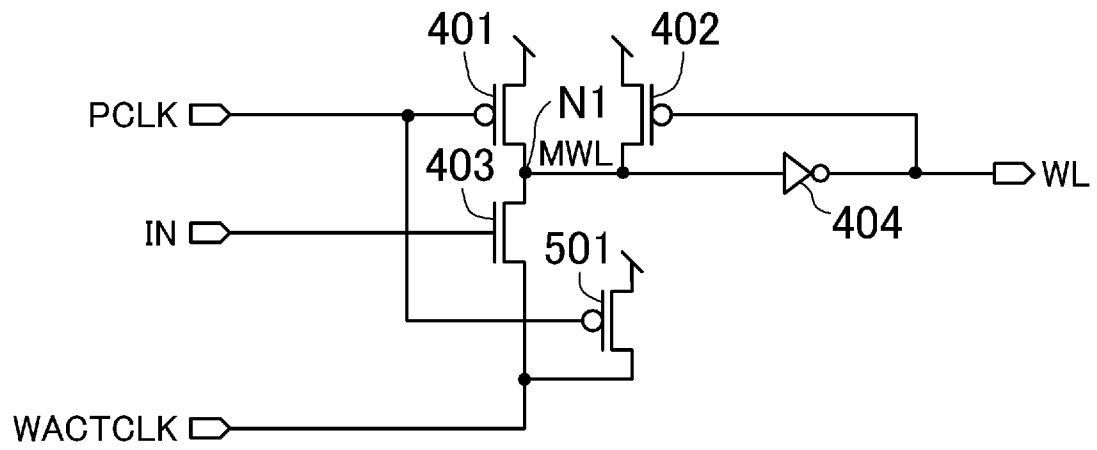
[図6]

301A

[図7]



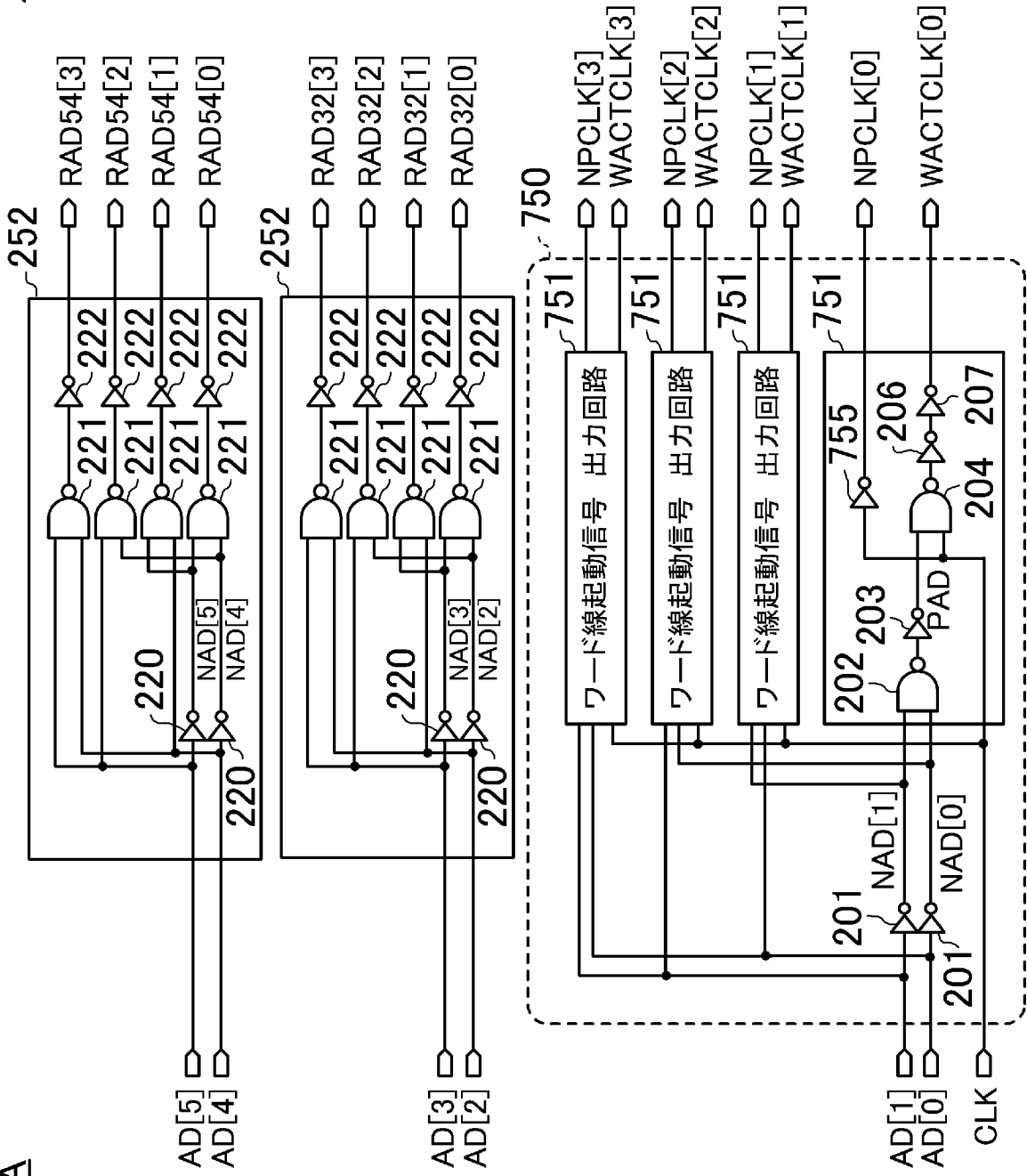
[図8]



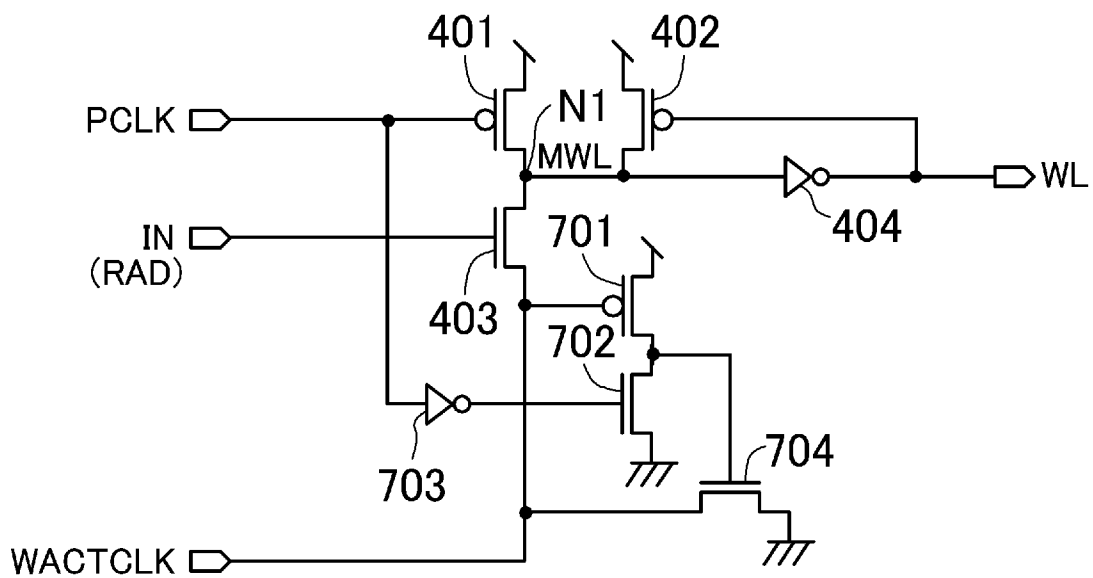
[図9]

SRD

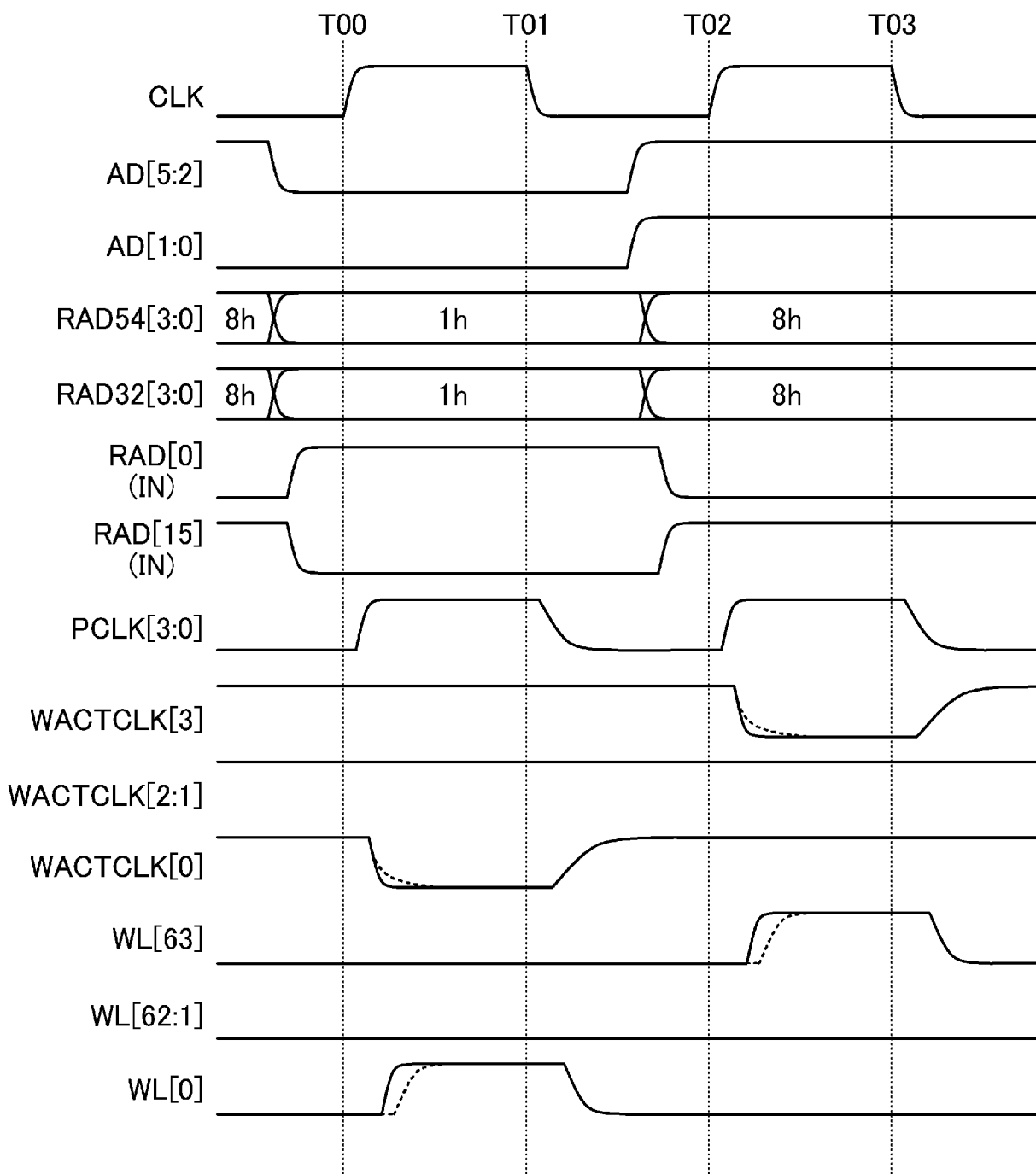
107A



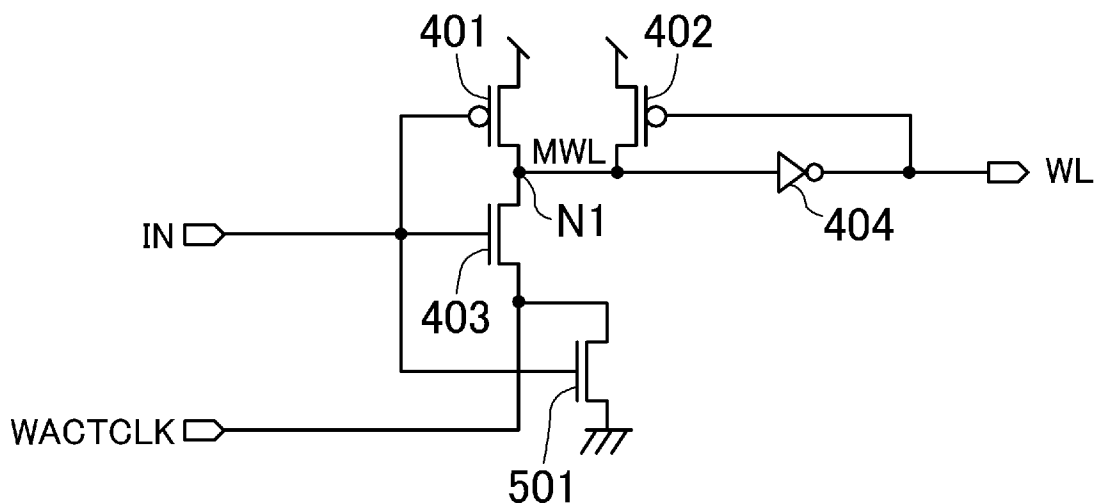
[図10]

301B

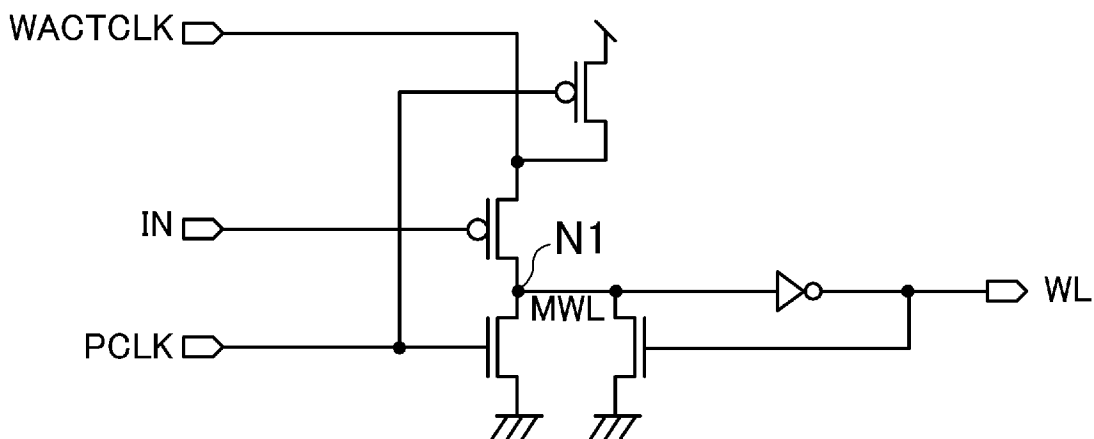
[図11]



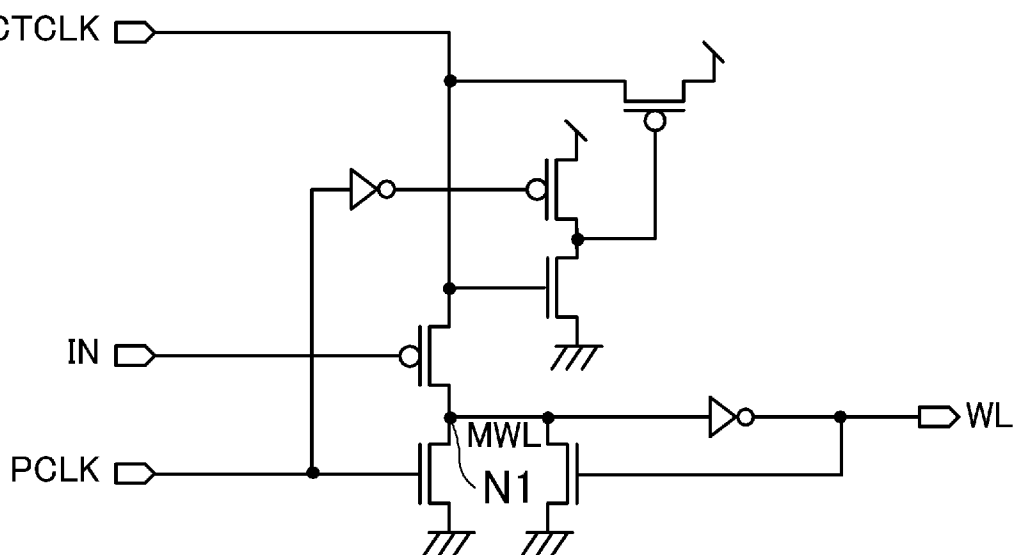
[図12]



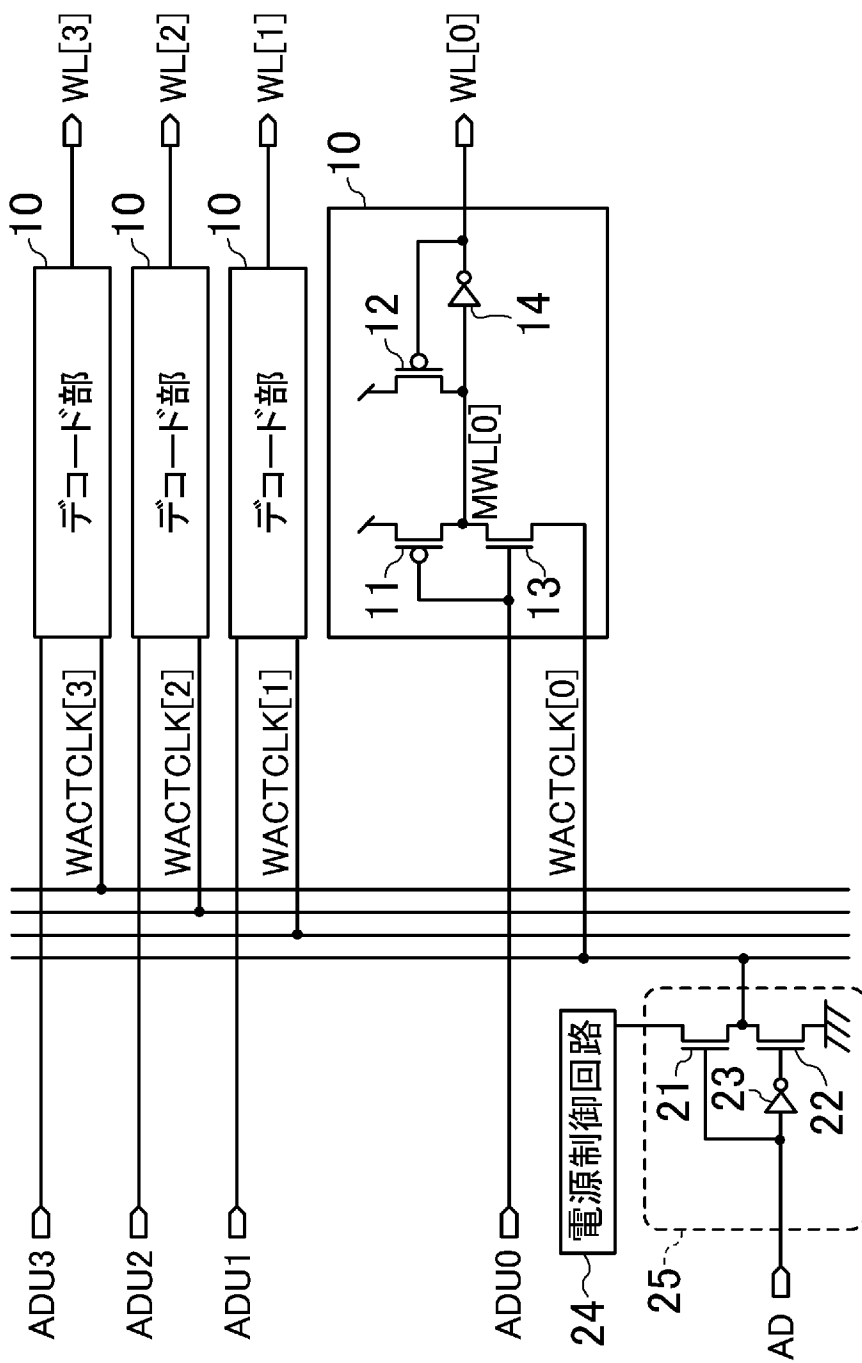
[図13]



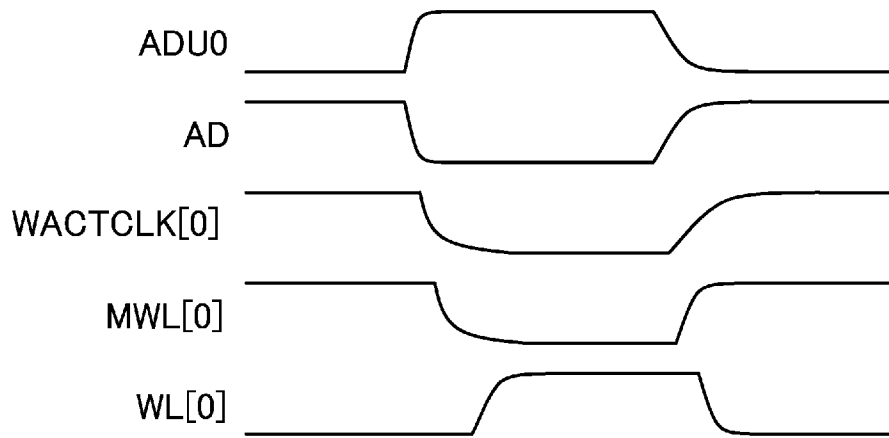
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000280

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/413(2006.01)i, G11C11/41(2006.01)i, G11C11/418(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/413, G11C11/407, G11C11/408, G11C11/41, G11C11/418, G11C16/06, H03K17/687, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-164922 A (Matsushita Electric Industrial Co., Ltd.), 28 June 2007 (28.06.2007), paragraphs [0055] to [0064]; fig. 14 to 15 & US 2007/0139230 A1	1-14
A	JP 09-050694 A (Hitachi, Ltd.), 18 February 1997 (18.02.1997), paragraph [0043]; fig. 20 & JP 3593389 B2	1-14
A	JP 2006-228294 A (Renesas Technology Corp.), 31 August 2006 (31.08.2006), paragraphs [0021] to [0039]; fig. 1 to 3 & US 2006/0181955 A1	1-14

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 April, 2012 (11.04.12)Date of mailing of the international search report
24 April, 2012 (24.04.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 04-281294 A (Matsushita Electric Industrial Co., Ltd.), 06 October 1992 (06.10.1992), paragraphs [0023] to [0035]; fig. 1 & US 5252863 A	1-14
A	JP 2002-118455 A (NEC Corp.), 19 April 2002 (19.04.2002), paragraphs [0022] to [0034]; fig. 1 & US 2002/0041524 A1	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C11/413(2006.01)i, G11C11/41(2006.01)i, G11C11/418(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C11/413, G11C11/407, G11C11/408, G11C11/41, G11C11/418, G11C16/06, H03K17/687, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-164922 A (松下電器産業株式会社) 2007. 06. 28, 段落【0055】 - 【0064】, 第14図-第15図 & US 2007/0139230 A1	1-14
A	JP 09-050694 A (株式会社日立製作所) 1997. 02. 18, 段落【0043】, 第20図 & JP 3593389 B2	1-14
A	JP 2006-228294 A (株式会社ルネサステクノロジ) 2006. 08. 31, 段落【0021】 - 【0039】, 第1図-第3図 & US 2006/0181955 A1	1-14

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 11. 04. 2012	国際調査報告の発送日 24. 04. 2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 園田 康弘 電話番号 03-3581-1101 内線 3565

5U 3578

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 04-281294 A (松下電器産業株式会社) 1992. 10. 06, 段落【0023】 - 【0035】, 第1図 & US 5252863 A	1-14
A	JP 2002-118455 A (日本電気株式会社) 2002. 04. 19, 段落【0022】 - 【0034】, 第1図 & US 2002/0041524 A1	1-14