

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4071189号  
(P4071189)

(45) 発行日 平成20年4月2日(2008.4.2)

(24) 登録日 平成20年1月25日(2008.1.25)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611D
	G09G 3/20 621C
	G09G 3/20 623V
	請求項の数 5 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2003-400352 (P2003-400352)	(73) 特許権者	000005049
(22) 出願日	平成15年11月28日(2003.11.28)		シャープ株式会社
(65) 公開番号	特開2005-164705 (P2005-164705A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成17年6月23日(2005.6.23)	(74) 代理人	110000338
審査請求日	平成16年11月26日(2004.11.26)		特許業務法人原謙三国際特許事務所
		(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	津田 拓也
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
			最終頁に続く

(54) 【発明の名称】 信号回路およびこれを用いた表示装置、並びにデータラインの駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の信号源と、該信号源から信号が与えられる複数のデータラインと、該データラインを駆動する駆動手段とが備えられ、データラインの並ぶ方向に沿って、連続する複数データラインずつ順次組とされているとともに、連続する複数組ずつ順次ブロックとされ、かつ連続する2ブロックずつ順次ブロック群とされ、上記駆動手段によって選択された組に属するデータラインそれぞれに同一タイミングで上記信号源から信号が与えられる信号回路であって、

上記駆動手段は、上記ブロック群に属する各組の選択につき、第1の所定期間では、上記2ブロックの一方に属する組を同時に選択し、ついで上記2ブロックの他方に属する組を同時に選択し、続く第2の所定期間では、上記ブロック群の端に位置する組から順に1組ずつ選択していきながら、互いに異なるブロックに属しつつ隣接する組同士については同時に選択し、引き続き残りの組については再び1組ずつとなるように順に選択していくように、構成されていることを特徴とする信号回路。

【請求項2】

上記複数の信号源として、第1の信号系統に属する赤、緑、青の3本の信号ラインと第2の信号系統に属する赤、緑、青の3本の信号ラインとを備え、上記ブロックはそれぞれが3本のデータラインを含む2つの組を有し、この一方の組に属する各データラインが上記第1の信号系統の各信号ラインに対応し、他方の組に属する各データラインが上記第2の信号系統の各信号ラインに対応しているとともに、各組における走査方向側の端に位置

10

20

するデータラインが青の信号ラインに対応していることを特徴とする請求項 1 に記載の信号回路。

【請求項 3】

上記データラインは表示装置の画素に対応して設けられたソースラインであり、上記第 1 の所定期間が奇数フレーム期間であり、第 2 の所定期間が偶数フレーム期間であることを特徴とする請求項 1 に記載の信号回路。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項の信号回路が用いられていることを特徴とする表示装置。

【請求項 5】

複数のデータラインに信号源からの信号を与えるために、データラインの並ぶ方向に沿って、連続する複数データラインずつ順次組とするとともに、連続する複数組ずつ順次ブロックとし、かつ連続する 2 ブロックずつ順次ブロック群とし、任意に選択した組に属するデータラインそれぞれに同一タイミングで上記信号源から信号を与えるデータラインの駆動方法であって、

上記ブロック群に属する各組の選択につき、第 1 の所定期間では上記 2 ブロックの一方に属する組を同時に選択し、ついで上記 2 ブロックの他方に属する組を同時に選択し、続く第 2 の所定期間では、上記ブロック群の端に位置する組から順に 1 組ずつ選択していきながら、互いに異なるブロックに属しつつ隣接する組同士については同時に選択し、引き続き残りの組については再び 1 組ずつとなるように順に選択していくことを特徴とするデータラインの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネル等の表示装置に用いられる信号回路およびそのデータラインの駆動方法に関する。

【背景技術】

【0002】

信号ラインからの信号（映像信号）が書き込まれる各ソースライン毎にスイッチを設け、画素単位で点順次駆動を行う液晶表示装置においては、ソースラインの駆動周波数を下げるために 2 系統以上の信号を同時に入力する方法が用いられることが多い。

【0003】

図 5 に、独立した 2 つの信号系統からの信号（映像信号）を、サンプリングスイッチを介して各ソースラインに与えて点順次駆動を行う従来の液晶表示装置のブロック図を示す。

【0004】

同図に示すように、上記液晶表示装置の表示部 195 には、ゲートドライバ 185 とタイミング信号生成回路 177 と各出力段 SiR155、156 を有するシフトレジスタ 170 とが備えられている。タイミング信号生成回路 177 からはスタートパルス HST10 が出力され、このスタートパルス HST10 に応じて、シフトレジスタの各出力段 SiR155、156 からサンプリングパルス Vh20 が出力される。

【0005】

そして、このサンプリングパルス Vh20 に応じて独立する 2 系統（a 系統および b 系統）の信号が出力される。すなわち、信号ライン SLRa149 ~ SLBa151 には各々が R、G、B に対応する a 系統の信号が出力され、信号ライン SLRb152 ~ SLBb154 には各々が R、G、B に対応する b 系統の信号が出力される。

【0006】

また、表示部 195 では、複数行のゲートライン G190、191・・・と複数列のソースライン SR101 ~ SB112・・・とが表面にマトリクス状に配線され、例えばゲートライン G191 とソースライン SR101 ~ SB112 との各交差点にスイッチング素子としての薄膜トランジスタ TR125 ~ TB136 が形成されている。

10

20

30

40

50

## 【 0 0 0 7 】

そして、各薄膜トランジスタ T R 1 2 5 ~ T B 1 3 6 のゲートがゲートライン G 1 9 1 に接続され、ソースがソースライン S R 1 0 1 ~ S B 1 1 2 に接続され、ドレインが画素容量 P R 1 1 3 ~ P B 1 2 4 に接続されている。また、上記ソースライン S R 1 0 1 ~ S B 1 1 2 は 3 本 ( 1 ピクセル分 ) ごとにグループ化 ( G r 1 5 4 、 1 5 5 、 1 5 6 、 1 5 7 ) され、さらに隣接する 2 グループ ( 2 ピクセル分 ) ごとにブロック化 ( B 1 5 8 、 B 1 5 9 ) されている。

## 【 0 0 0 8 】

さらに、上記各ソースライン ( S R 1 0 1 . . . ) は、それぞれに設けられたトランジスタ等のサンプリングスイッチ ( S W R 1 3 7 . . . ) を介して、上記信号源ライン S L R a 1 4 9 ~ S L B b 1 5 4 に接続されている。

10

## 【 0 0 0 9 】

すなわち、グループ G r 1 5 4 においては、3本のソースライン S R 1 0 1 、 S G 1 0 2 、 S B 1 0 3 各々が、サンプリングスイッチ S W R 1 3 7 、 S W G 1 3 8 、 S W B 1 3 9 各々を介して、a系統の各信号ライン S L R a 1 4 9 、 S L G a 1 5 0 、 S L B a 1 5 1 各々に接続されている。グループ G r 1 5 5 においては、3本のソースライン S R 1 0 4 、 S G 1 0 5 、 S B 1 0 6 各々が、サンプリングスイッチ S W R 1 4 0 、 S W G 1 4 1 、 S W B 1 4 2 各々を介して、b系統の各信号ライン S L R b 1 5 2 、 S L G b 1 5 3 、 S L B b 1 5 4 各々に接続されている。そして、隣接する、これらグループ G r 1 5 4 ( a 系統 ) とグループ G r 1 5 5 ( b 系統 ) とが 1 つのブロック B 1 5 8 とされている。

20

## 【 0 0 1 0 】

ここで、ブロック B 1 5 8 の 6 個のサンプリングスイッチ ( S W R 1 3 7 ~ S W B 1 4 2 ) は、シフトレジスタの出力段 S i R 1 5 5 に接続されており、該出力段 S i R 1 5 5 から出力されるサンプリングパルス V h 2 0 によって、ON・OFFが制御される。さらに、このサンプリングパルス V h 2 0 に応じて、各信号ライン ( S L R a 1 4 9 . . . S L R b 1 5 2 . . . ) から 2 系統の信号が出力される。

## 【 0 0 1 1 】

同様に、グループ G r 1 5 6 においては、3本のソースライン S R 1 0 7 、 S G 1 0 8 、 S B 1 0 9 各々が、サンプリングスイッチ S W R 1 4 3 、 S W G 1 4 4 、 S W B 1 4 5 各々を介して、a系統の各信号ライン S L R a 1 4 9 、 S L G a 1 5 0 、 S L B a 1 5 1 各々に接続されている。グループ G r 1 5 7 においては、3本のソースライン S R 1 1 0 、 S G 1 1 1 、 S B 1 1 2 各々が、サンプリングスイッチ S W R 1 4 6 、 S W G 1 4 7 、 S W B 1 4 8 各々を介して、b系統の各信号ライン S L R b 1 5 2 、 S L G b 1 5 3 、 S L B b 1 5 4 各々に接続されている。そして、隣接する、これらグループ G r 1 5 6 ( a 系統 ) とグループ G r 1 5 7 ( b 系統 ) とが 1 つのブロック B 1 5 9 とされている。

30

## 【 0 0 1 2 】

ここで、ブロック B 1 5 9 の 6 個のサンプリングスイッチ ( S W R 1 4 3 ~ S W B 1 4 8 ) は、シフトレジスタの出力段 S i R 1 5 6 に接続されており、該出力段 S i R 1 5 6 から出力されるサンプリングパルス V h 2 0 によって、ON・OFFが制御される。さらに、このサンプリングパルス V h 2 0 に応じて、各信号ライン ( S L R a 1 4 9 . . . S L R b 1 5 2 . . . ) から 2 系統の信号が出力される。

40

## 【 0 0 1 3 】

このような表示部 1 9 5 において、ゲートドライバ 1 8 5 によってゲートライン ( G 1 9 0 あるいは G 1 9 1 ) が選択された ( ON ) 状態で、シフトレジスタの各出力段 S i R 1 5 5 、 1 5 6 から、ブロック ( あるいはグループ ) 単位の各サンプリングスイッチ ( S W R 1 3 7 . . . ) に、同一タイミングでサンプリングパルス V h 2 0 ( 選択信号 ) が送られる。この結果、これらのサンプリングスイッチに対応する各ソースライン ( S R 1 0 1 . . . ) を介して、画素容量 ( P R 1 1 3 . . . ) に、信号ライン ( S L R a 1 4 9 . . . ) からの信号が書き込まれる。

## 【 0 0 1 4 】

50

以下に、上記表示部 195 の従来の駆動方法を図 5 および図 6 を用いて具体的に説明する。

【0015】

図 6 は、奇数フレーム期間および偶数フレーム期間における、上記ブロック 158 (2 ピクセル分)、159 (2 ピクセル分) に属する 12 個のサンプリングスイッチ (SWR 137 ~ SWB 148) についてのタイミングチャートと、上記のブロックに属する 12 本 (4 ピクセル分) のソースラインの電位状態 (信号の書き込み状態) を示している。

【0016】

なお、同図は 2 ピクセル分の書き込み期間 (タイミング信号の 1 周期分) を T としている。また、上記のフレーム期間とは、表示部 195 のすべてのゲートライン G190 . . . が走査される時間 (一画面分の走査期間) をいう。

10

【0017】

図 6 に示すように、タイミング信号生成回路 177 からのタイミング信号 (図示せず) に同期して、時間  $t_0$  に、ブロック B158 に属するグループ Gr154、155 のサンプリングスイッチ SWR137 ~ SWB142 が同時に選択 (ON) される。

【0018】

そして、時間  $t_0 \sim t_1$  の間に、これらのサンプリングスイッチ (SWR137 ~ SWB142) に接続する各ソースライン (SR101 ~ SB106) を介して、画素容量 (PR113 ~ PB118) それぞれに、同一タイミングで各信号ライン (SLRa149 ~ SLBb154) からの信号が書き込まれる。

20

【0019】

ついで、時間  $t_0$  から 1 クロック (1 周期) 分後の時間  $t_1$  に送られるタイミング信号 (図示せず) に同期して、ブロック B158 に属するグループ Gr154、155 のサンプリングスイッチ SWR137 ~ SWB142 が同時に OFF されるとともに、ブロック B159 に属するグループ Gr156、157 のサンプリングスイッチ SWR143 ~ SWB148 が同時に選択 (ON) される。

【0020】

そして、時間  $t_1 \sim t_2$  の間に、これらのサンプリングスイッチ (SWR143 ~ SWB148) に接続する各ソースライン (SR107 ~ SB112) を介して、画素容量 (PR119 ~ PB124) それぞれに、同一タイミングで各信号ライン (SLRa149 ~ SLBb154) からの信号が書き込まれる。

30

【特許文献 1】特開 2000 - 267616 号公報 (公開日: 2000 年 9 月 29 日)

【発明の開示】

【発明が解決しようとする課題】

【0021】

しかしながら、上記駆動方法においては、隣接するブロック間に位置するソースライン SB106 が、ソースライン SB106 および SR107 間とに存在する寄生容量によって電位変動 (電荷の飛び込み) を受け、同様に、ソースライン SB112 が、ソースライン SB112 および SR161 間に存在する寄生容量によって電位変動を受け、この結果、画素容量 PB118、PB124 に書き込まれた電位が変動してしまうという問題がある。

40

【0022】

図 7 はソースライン SB106 (画素容量 PB118 のソースライン側の電極) および SR107 間に存在する寄生容量 C201 と、ソースライン SB112 および SR161 間に存在する寄生容量 C202 とを模式的に示したものである。

【0023】

例えば、ソースライン SB106 と SR107 とについて考えてみると、時間  $t_0$  で、ブロック B158 に属するサンプリングスイッチ SWB142 が ON されるため、これに接続するソースライン SB106 には、時間  $t_0 \sim t_1$  まで、信号ライン SLBb154 から信号 (電位) が与えられる。そして、この時間  $t_0 \sim t_1$  においては、プロ

50

ックB 1 5 8に隣接するブロックB 1 5 9に属するサンプリングスイッチSW R 1 4 3は、OFFであり、これに接続するソースラインSR 1 0 7は、一水平期間前に与えられた電位のまま維持されている。このとき、新たに信号（電位）が書き込まれるソースラインSB 1 0 6（画素容量PB 1 1 8のソースライン側の電極）と、一水平期間前の電位のまま維持されているソースラインSR 1 0 7との間の電位差が大きくなり、両ソースライン間には大きな寄生容量（電荷溜まり、図7のC 2 0 1参照）が発生する。

【0024】

ここで、時間t 1で、サンプリングスイッチSW R 1 4 3がONされ、これに接続するソースラインSR 1 0 7に新たに信号（電位）が与えられると、ソースラインSR 1 0 7（画素容量PB 1 1 8のソースライン側の電極）とソースラインSB 1 0 6との間の電位差が小さくなり、上記の寄生容量に溜まった電荷がソースラインSB 1 0 6に飛び込み、ソースラインSB 1 0 6が電位変動をうける。

10

【0025】

同様に、時間t 2では、ソースラインSB 1 1 2が、ソースラインSR 1 6 1との間に発生した寄生容量（電荷溜まり、図7のC 2 0 2参照）から電荷の飛び込み（電位変動）を受ける。

【0026】

図6には、時間t 1（以後）にうけるソースラインSB 1 0 6の電位変動と、時間t 2（以後）にソースラインSB 1 1 2がうける電位変動とが模式的に示されている（矢印で示す部分）。

20

【0027】

このように、奇数フレーム期間および偶数フレーム期間を通して同じように、同一ブロック（B 1 5 8・1 5 9）に属するグループ（Gr 1 5 4・1 5 5、Gr 1 5 6・1 5 7）全てを同時に選択していくと、互いに異なるブロック（B 1 5 8、1 5 9）に属しつつ、隣接する組同士（Gr 1 5 5・1 5 6）のいわば境界に位置する2本のソースライン間（SB 1 0 6とSR 1 0 7あるいは、SB 1 1 2とSR 1 6 1）に寄生容量（C 2 0 1、C 2 0 2）が発生し、選択（サンプリングスイッチのシフト）方向と反対側端部のソースライン（SB 1 0 6、SB 1 1 2）がこの寄生容量から電位変動を受ける。

【0028】

これにより、表示部1 9 5には、ブロック（B 1 5 8・1 5 9）ごと（ソースライン6本、あるいは2ピクセルごと）に縦縞状のムラが強調されてしまう。

30

【0029】

本発明の信号回路およびこれを用いた液晶表示装置は、上記課題を解決するためになされたものであり、その目的は、寄生容量に起因するソースラインの電位変動を表示部全体で均一化し、該電位変動による縦縞状の表示ムラを視認させにくくする点にある。

【課題を解決するための手段】

【0030】

本発明の信号回路は、上記課題を解決するために、複数の信号源と、該信号源から信号が与えられる複数のデータラインと、該データラインを駆動する駆動手段とが備えられ、データラインの並ぶ方向に沿って、連続する複数データラインずつ順次組とされ、かつ連続する2ブロックずつ順次ブロック群とされ、上記駆動手段によって選択された組に属するデータラインそれぞれに同一タイミングで上記信号源から信号が与えられる信号回路であって、上記駆動手段は、上記ブロック群に属する各組の選択につき、第1の所定期間では、上記2ブロックの一方に属する組を同時に選択し、ついで上記2ブロックの他方に属する組を同時に選択し、続く第2の所定期間では、上記ブロック群の端に位置する組から順に1組ずつ選択していきながら、互いに異なるブロックに属しつつ隣接する組同士については同時に選択し、引き続き残りの組については再び1組ずつとなるように順に選択していくように構成されていることを特徴としている。

40

【0031】

50

また、本発明の信号回路においては、上記複数の信号源として、第1の信号系統に属する赤、緑、青の3本の信号ラインと第2の信号系統に属する赤、緑、青の3本の信号ラインとを備え、上記ブロックはそれぞれが3本のデータラインを含む2つの組を有し、この一方の組に属する各データラインが上記第1の信号系統の各信号ラインに対応し、他方の組に属する各データラインが上記第2の信号系統の各信号ラインに対応しているとともに、各組における走査方向側の端に位置するデータラインが青の信号ラインに対応していることが好ましい。

【0032】

また、本発明の信号回路においては、上記データラインは表示装置の画素に対応して設けられたソースラインであり、上記第1の所定期間が奇数フレーム期間であり、第2の所定期間が偶数フレーム期間であることが好ましい。

10

【0033】

また、本発明の液晶表示装置は、上記の信号回路が用いられていることを特徴としている。

【0034】

また、本発明のデータラインの駆動方法は、上記課題を解決するために、複数のデータラインに信号源からの信号を与えるために、データラインの並ぶ方向に沿って、連続する複数データラインずつ順次組とするとともに、連続する複数組ずつ順次ブロックとし、かつ連続する2ブロックずつ順次ブロック群とし、任意に選択した組に属するデータラインそれぞれに同一タイミングで上記信号源から信号を与えるデータラインの駆動方法であって、上記ブロック群に属する各組の選択につき、第1の所定期間では上記2ブロックの一方に属する組を同時に選択し、ついで上記2ブロックの他方に属する組を同時に選択し、続く第2の所定期間では、上記ブロック群の端に位置する組から順に1組ずつ選択していきながら、互いに異なるブロックに属しつつ隣接する組同士については同時に選択し、引き続き残りの組については再び1組ずつとなるように順に選択していくことを特徴としている。

20

【発明の効果】

【0035】

本発明の信号回路は、以上のように、上記駆動手段が、上記ブロック群に属する各組の選択につき、第1の所定期間では、上記2ブロックの一方(第1のブロック)に属する組を同時に選択し、ついで上記2ブロックの他方(第2のブロック)に属する組を同時に選択し、続く第2の所定期間では、上記ブロック群の端に位置する組から順に1組ずつ選択していきながら、互いに異なるブロックに属しつつ隣接する組同士については同時に選択し、引き続き残りの組については再び1組ずつとなるように順に選択していくように構成されている。

30

【0036】

上記構成によれば、任意のブロックおよびその隣接ブロックからなるブロック群に属する各組のデータラインは、第1の所定期間に以下のように駆動される。

【0037】

まず、上記駆動手段によって、上記任意のブロック(第1のブロックと称する)に属する複数の組(以下、走査方向に沿って、第1の始端グループ~第1の終端グループと称する)が同時に選択されるとともに、これら各組に配されたデータラインそれぞれに、上記信号源から同一タイミングで信号が与えられる。ついで、上記駆動手段によって、上記隣接ブロック(第2のブロックと称する)に属する複数の組(以下、走査方向に沿って、第2の始端グループ~第2の終端グループと称する)が全て同時に選択され、これら各組に配されたデータラインそれぞれに、上記信号源から同一タイミングで信号が与えられる。

40

【0038】

続く第2の所定期間では、上記ブロック群に属する各組のデータラインが以下のように駆動される。

【0039】

50

まず、上記ブロック群の端に位置する第1の始端グループが選択されるとともに、この組に配されたデータラインそれぞれに、上記信号源から同一タイミングで信号が与えられる。ついで、上記第1の終端グループの1つ前の組までが1組ずつ選択されるとともに、各組に配されたデータラインそれぞれに、上記信号源から同一タイミングで信号が与えられる。ついで、第1の終端グループおよび第2の始端グループの2つの組が同時に選択されるとともに、これら各組に配されたデータラインそれぞれに、上記信号源から同一タイミングで信号が与えられる。ついで、残りの組である第2の終端グループまでが再び1組ずつ選択されるとともに、各組に配されたデータラインそれぞれに、上記信号源から同一タイミングで信号が与えられる。

【0040】

10

すなわち、第2の所定期間では、互いに異なるブロックに属しつつ隣接する、第1の終端グループおよび第2の始端グループのみが同時に、それら以外の組については1組ずつとなるようにブロック群の端に位置する第1の始端グループから順に選択される。

【0041】

上記のように各組が選択され、これに伴って各データラインが駆動される（信号源からの信号が与えられる）ことで、以下の効果を得ることができる。

【0042】

第1の所定期間では、まず、上記第1のブロックに属する複数の組が同時に選択されるとともに、これら各組に配されたデータライン（以下、走査方向に沿って、始端データライン～終端データラインとする）それぞれに、上記信号源から同一タイミングで信号が与えられる。このとき、上記第2のブロックに属する複数の組およびこれらの組に配されたデータライン（以下、走査方向に沿って、始端データライン～終端データラインとする）は非選択状態である。

20

【0043】

すなわち、第1の終端グループの終端データラインに新たな信号電位が書き込まれるのに対し、これに隣接する、第2の始端グループの始端データラインは以前に書き込まれた信号電位のままとなる。この結果、両データライン間に電位差が生じ、これに伴って寄生容量（電荷の溜まり）が発生する。

【0044】

ついで、上記第2のブロックに属する複数の組が同時に選択され、第2の始端グループの始端データラインに新たな信号電位が書き込まれる。すると、上記両データライン（第2の始端グループの始端データラインおよび第1の終端グループの終端データライン）間の電位差が減少する。この結果、第1の終端グループの終端データラインに上記寄生容量に溜まった電荷が飛びみ、電位変動が発生する。同様にして、第2の終端グループの終端データラインにも電位変動が発生する。

30

【0045】

以上から、第1の所定期間には、各ブロックにおける終端グループの終端データラインに電位変動が発生する。

【0046】

第2の所定期間では、第1の終端グループおよび第2の始端グループだけが同時に選択されるが、その他の組は1組ずつ選択される。このように、1組ずつ順次選択した場合、選択された組の1つ前に選択された組の終端データラインに電位変動が発生する。これは、新たな組が選択された際、この組の始端データラインと1つ前に選択された終端データラインとの間の寄生容量が、1つ前に選択された終端データラインに電位変動をもたらすからである。

40

【0047】

なお、第1の終端グループおよび第2の始端グループだけは同時に選択されるため、第1の終端グループの終端データラインには電位変動が発生しない。また、最後に選択される第2の終端グループの終端データラインにも電位変動が発生しない。

【0048】

50

以上から、第2の所定期間では、各ブロックにおける終端グループを除く各組の終端データラインに電位変動が発生する。

【0049】

したがって、第1の所定期間および第2の所定期間を組み合わせると1つの期間（例えば、奇数フレームおよび偶数フレーム）とみれば、この期間において、各組の終端データラインそれぞれに均一に電位変動が発生することになる。

【0050】

この結果、例えば、上記データラインを表示装置の各画素に信号電位を書き込むためのソースラインに用いた場合に、両期間を通じて特定の組の終端データラインに偏って電位変動が発生し、数データライン（数ピクセル）毎に縦縞状の表示ムラが強調されるといった弊害を回避することができる。これにより、画面全体において表示ムラが目立たないように（視認されにくく）なり、表示品質を改善することができる。

10

【0051】

また、本発明の信号回路においては、上記複数の信号源として、第1の信号系統に属する赤、緑、青の3本の信号ラインと第2の信号系統に属する赤、緑、青の3本の信号ラインとを備え、上記ブロックはそれぞれが3本のデータラインを含む2つの組を有し、この一方の組に属する各データラインが上記第1の信号系統の各信号ラインに対応し、他方の組に属する各データラインが上記第2の信号系統の各信号ラインに対応しているとともに、各組における走査方向側の端に位置するデータラインが青の信号ラインに対応していることが好ましい。

20

【0052】

上記構成では、各組が選択されると、各組に含まれる3本のデータラインへ各データラインが対応する各信号ライン（赤・緑・青）から一気に信号が与えられる。すなわち、1組を選択すれば、1ピクセルに同時に信号を書き込むことができ、また、2組を同時に選択すれば、2ピクセルに同時に信号を書き込むことができる。これにより、一水平期間（すべてのデータラインを走査するのに要する時間）を大幅に短縮することができる。さらに、複数のデータラインへ（組単位で）同時に信号を書き込むため、各組を選択する上記駆動手段の回路構成（シフトレジスタ等）を簡略化できる。

【0053】

また、電位変動が発生する、各組の終端データライン（走査方向側の端に位置するデータライン）を、電位変動による輝度の変化が最も小さい青に対応させることで、例えば、上記データラインを表示装置の各画素（画素電極）に設けられたソースラインに用いた場合に、上記電位変動に起因して発生する終端データライン（ソースライン）に沿った表示ムラ自体を抑制（薄く）することができる。

30

【0054】

また、本発明の信号回路においては、以上のように、上記データラインは表示装置の画素に対応して設けられたソースラインであり、上記第1の所定期間が奇数フレーム期間であり、第2の所定期間が偶数フレーム期間であることが好ましい。

【0055】

まず、フレーム期間とは、表示装置の画面全体を1回書き換えるのに要する時間である。

40

すなわち、第1・3・5・・・回目の画面書き換え期間が奇数フレーム期間、第2・4・6・・・回目の画面書き換え期間が偶数フレーム期間となる。

【0056】

上記構成によれば、奇数フレーム期間および偶数フレーム期間を組み合わせると1つの期間（例えば、第1回～2回目の書き換え期間）とみれば、この期間において、各組の終端データラインそれぞれが均一に電位変動を受けることになる。

【0057】

この結果、例えば、上記データラインを表示装置の各画素に設けられたソースラインに用いた場合に、特定の組の終端データラインに偏って電位変動が発生し、数データライン

50



(数ピクセル)毎に縦縞状の表示ムラが強調されるといった弊害を回避することができる。すなわち、上記表示ムラを視認されにくくすることができる。

【発明を実施するための最良の形態】

【0058】

図1に、本発明に係る液晶表示装置の表示部のブロック図を示す。

【0059】

同図に示すように、表示部95(信号回路)は、制御回路(図示せず)、ゲートドライバ85、タイミング信号生成回路77(駆動手段)、各出力段SiR55~58を有するシフトレジスタ70(駆動手段)、信号ライン(信号源)SLRa49~SLBa51(第1の信号系統)およびSLRb52~SLBb54(第2の信号系統)、複数のゲートラインG90~91、複数のソースライン(データライン)SR1~SB12、スイッチング素子(例えばアナログスイッチ)としてのサンプリングスイッチSWR37~SWB48(駆動手段)、スイッチング素子としての薄膜トランジスタTR25~TB36、画素容量PR13~PB24(画素)を備えている。

10

【0060】

そして、上記複数行のゲートラインG90、91・・・と複数列のソースラインSR1~SB12・・・とが表面にマトリクス状に配線され、例えば、ゲートラインG91とソースラインSR1~SB12との各交差点にスイッチング素子としての薄膜トランジスタTR25~TB36が備えられている。そして、各薄膜トランジスタTR25~TB36のゲートがゲートラインG91に接続され、ソースがソースラインSR1~SB12に接続され、ドレインが画素容量PR13~PB24の一方の電極に接続されている。なお、この画素容量PR13~PB24の他方の電極が共通電位(VCOM)に接続されている。

20

【0061】

なお、部材番号中のR、G、Bは赤、緑、青に対応しており、例えば、SRは赤に対応するソースライン、PRは赤に対応する画素容量、SLRは赤に対応する信号ラインを意味しており、本実施の形態では各ブロック毎のソースライン(ブロックB54ではSR1~SB6)の対応色がR、G、B、R、G、Bの順になっている。

【0062】

上記ゲートドライバ85は、制御回路(図示せず)からの垂直信号等に基づいて、ゲートラインG90、91・・・のサンプリングパルスVh(61~64)(選択信号)を出力し、ゲートラインG90、91・・・を順次駆動(選択)する。

30

【0063】

タイミング信号生成回路77は、制御回路からの水平信号等に基づいて、2種類のスタートパルスHST1、HST2とを出力する。このスタートパルスHST1およびHST2はそれぞれシフトレジスタの各出力段SiR55・57および56・58に入力される。シフトレジスタの各出力段55~58は、このスタートパルスHST1・HST2に基づいて、サンプリングスイッチSWR37~SWB48のON・OFFを制御するサンプリングパルスVh61~64を出力する。

【0064】

さらに、このサンプリングパルスVh61~64に応じ、独立する2系統(a系統およびb系統)の信号が出力される。すなわち、信号ラインSLRa49~SLBa51からは、各々がR、G、Bに対応するa系統の信号が出力され、信号ラインSLRb52~SLBb54からは、各々がR、G、Bに対応するb系統の信号が出力される。

40

【0065】

上記ソースラインSR1~SB12は3本(1ピクセル分)ごとにグループ(組)にされ(Gr54、55、56、57)、隣接する2グループ(2ピクセル分)ごとにブロック(B58、B59)とされている。さらに、上記各ソースライン(SR1・・・)は、それぞれに設けられたサンプリングスイッチ(SWR37・・・)を介して、上記信号源ラインSLRa49~SLBb54に接続されている。

50

## 【 0 0 6 6 】

すなわち、グループ Gr 5 4 においては、3本のソースライン SR 1、SG 2、SB 3 各々が、サンプリングスイッチ SW R 3 7、SWG 3 8、SW B 3 9 各々を介して、a 系統の各信号ライン SL R a 4 9、SL G a 5 0、SL B a 5 1 各々に接続されている。

## 【 0 0 6 7 】

また、このグループ Gr 5 4 の3個のサンプリングスイッチ ( SW R 3 7 ~ SW B 3 9 ) は、シフトレジスタの出力段 Si R 5 5 に接続されており、該出力段 Si R 5 5 から出力されるサンプリングパルス V h 6 1 によって、ON・OFF が制御される。そして、このサンプリングパルス V h 6 1 ( サンプリングスイッチの ON・OFF ) に応じて、各信号ライン ( SL R a 4 9 ~ SL B a 5 1 ) から a 系統の信号が出力され、これがソースライン SR 1 ~ SB 3 に書き込まれる。

10

## 【 0 0 6 8 】

グループ Gr 5 5 においては、3本のソースライン SR 4、SG 5、SB 6 各々が、サンプリングスイッチ SW R 4 0、SWG 4 1、SW B 4 2 各々を介して、b 系統の各信号ライン SL R b 5 2、SL G b 5 3、SL B b 5 4 各々に接続されている。

## 【 0 0 6 9 】

また、このグループ Gr 5 5 の3個のサンプリングスイッチ ( SW R 4 0 ~ SW B 4 2 ) は、シフトレジスタの出力段 Si R 5 6 に接続されており、該出力段 Si R 5 6 から出力されるサンプリングパルス V h 6 2 によって、ON・OFF が制御される。そして、このサンプリングパルス V h 6 2 ( サンプリングスイッチの ON・OFF ) に応じて、各信号ライン ( SL R b 5 2 ~ SL B a 5 4 ) から b 系統の信号が出力され、これがソースライン SR 4 ~ SB 6 に書き込まれる。

20

そして、隣接する、これらグループ Gr 5 4 ( a 系統 ) とグループ Gr 5 5 ( b 系統 ) とが1つのブロック B 5 8 とされている。

## 【 0 0 7 0 】

同様に、グループ Gr 5 6 においては、3本のソースライン SR 7、SG 8、SB 9 各々が、サンプリングスイッチ SW R 4 3、SWG 4 4、SW B 4 5 各々を介して、a 系統の各信号ライン SL R a 4 9、SL G a 5 0、SL B a 5 1 各々に接続されている。

## 【 0 0 7 1 】

また、このグループ Gr 5 6 の3個のサンプリングスイッチ ( SW R 4 3 ~ SW B 4 5 ) は、シフトレジスタの出力段 Si R 5 7 に接続されており、該出力段 Si R 5 7 から出力されるサンプリングパルス V h 6 3 によって、ON・OFF が制御される。そして、このサンプリングパルス V h 6 3 ( サンプリングスイッチの ON・OFF ) に応じて、各信号ライン ( SL R a 4 9 ~ SL B a 5 1 ) から a 系統の信号が出力され、これがソースライン SR 7 ~ SB 9 に書き込まれる。

30

## 【 0 0 7 2 】

グループ Gr 5 7 においては、3本のソースライン SR 1 0、SG 1 1、SB 1 2 各々が、サンプリングスイッチ SW R 4 6、SWG 4 7、SW B 4 8 各々を介して、b 系統の各信号ライン SL R b 5 2、SL G b 5 3、SL B b 5 4 各々に接続されている。

## 【 0 0 7 3 】

また、このグループ Gr 5 7 の3個のサンプリングスイッチ ( SW R 4 6 ~ SW B 4 8 ) は、シフトレジスタの出力段 Si R 5 8 に接続されており、該出力段 Si R 5 8 から出力されるサンプリングパルス V h 6 4 によって、ON・OFF が制御される。そして、このサンプリングパルス V h 6 4 ( サンプリングスイッチの ON・OFF ) に応じて、各信号ライン ( SL R b 5 2 ~ SL B b 5 4 ) から b 系統の信号が出力され、これがソースライン SR 1 0 ~ SB 1 2 に書き込まれる。

40

## 【 0 0 7 4 】

そして、隣接する、これらグループ Gr 5 6 ( a 系統 ) とグループ Gr 5 7 ( b 系統 ) とが1つのブロック B 5 9 とされている。

## 【 0 0 7 5 】

50

図3に、2種類のスタートパルスHST1およびHST2を生成するタイミング信号生成回路77（フリップフロップ回路）のブロック図を示す。

【0076】

同図に示すように、タイミング信号生成回路77は、9個のD型フリップフロップ回路DFF（67～69・71～74・78～79）と2個のT型フリップフロップ回路TFF（81～82）と、4個のANDゲート（83～84・87～88）と1個のExclusive-ORゲート86と1個のORゲート89と、1個のインバータ92とを有している。なお、上記6つの論理ゲートの出力fをそれぞれ、f83～84・f87～88（ANDゲート）、f86（Exclusive-ORゲート）、f89（ORゲート）とする。なお、以下の説明において、各フリップフロップ回路には、各入力信号とともにクロックCLKが入力されている。

10

【0077】

まず第1の入力パルス（水平スタートパルス）HSTがD型フリップフロップ回路DFF67に入力され、その出力がD型フリップフロップ回路DFF68に入力される。そして、このD型フリップフロップ回路DFF68からの反転出力をANDゲート83の一方の入力（ANDゲート83の第1の入力）とする。また、このANDゲート83の他方の入力（ANDゲート83の第2の入力）を上記D型フリップフロップ回路DFF67の出力とする。この結果、ANDゲート83からf83が出力され、このANDゲート83の出力を出力パルスHSTPとする。

【0078】

20

また、第2の入力パルス（垂直スタートパルス）VSTがD型フリップフロップ回路DFF69に入力され、その出力がD型フリップフロップ回路DFF71に入力される。そして、このD型フリップフロップ回路DFF71からの反転出力をANDゲート84の一方の入力（ANDゲート84の第1の入力）とする。また、このANDゲート84の他方の入力（ANDゲート84の第2の入力）を上記D型フリップフロップ回路DFF71の出力とする。この結果、ANDゲート84からはf84（VSTP）が出力される。

【0079】

ここで、上記f83をT型フリップフロップ回路TFF81に入力するとともに、上記f84（VSTP）をこのT型フリップフロップ回路TFF81のリセット信号として入力する。そして、上記T型フリップフロップ回路TFF81からの出力をExclusive-ORゲート86の一方の入力（第1の入力）とする。また、上記f84をT型フリップフロップ回路TFF82に入力し、その出力を上記Exclusive-ORゲート86の他方の入力（第2の入力）とする。この結果、Exclusive-ORゲート86からはf86が出力される。

30

【0080】

次に、このf86をD型フリップフロップ回路DFF72に入力し、このD型フリップフロップ回路DFF72からの出力をANDゲート87の一方の入力（ANDゲート87の第1の入力）とする。また、このANDゲート87の他方の入力（ANDゲート87の第2の入力）を、上記の第1の出力パルスHSTPとする。この結果、ANDゲート87からはf87が出力される。また、上記D型フリップフロップ回路DFF72からの出力をインバータ92を介してANDゲート88の一方の入力（ANDゲート88の第1の入力）とする。また、このANDゲート88の他方の入力（ANDゲート88の第2の入力）を、上記の第1の出力パルスHSTPとする。この結果、ANDゲート88からはf88が出力される。

40

【0081】

さらに、上記f87をD型フリップフロップ回路DFF73に入力し、このD型フリップフロップ回路DFF73の出力をORゲート89の一方の入力（ORゲート89の第1の入力）とする。また、上記f88をD型フリップフロップ回路DFF74に入力し、その出力をさらにD型フリップフロップ回路DFF79に入力する。そして、このD型フリップフロップ回路DFF79の出力を上記ORゲート89の他方の入力（ORゲート89

50

の第2の入力)とする。この結果、ORゲート89からはf89が出力され、このf89をスタートパルスHST2(図1、図3参照)とする。また、上記した出力パルスHSTPをD型フリップフロップ回路DFF78に入力し、このD型フリップフロップ回路DFF78からの出力をスタートパルスHST1(図1、図3参照)とする。

【0082】

以下に、上記した表示部95の駆動について詳細に説明する。

【0083】

図2(a)は、上記表示部95の奇数フレームにおける、ブロック58(2ピクセル分)、59(2ピクセル分)に属する12個のサンプリングスイッチ(SWR37~SWB48)についてのタイミングチャートと、ブロック58,59に属する12本(4ピクセル分)のソースラインの電位状態(信号の書き込み状態)を示している。

10

【0084】

また、図2(b)は、上記表示部95の偶数フレーム期間における、ブロック58(2ピクセル分)、59(2ピクセル分)に属する12個のサンプリングスイッチ(SWR37~SWB48)についてのタイミングチャートと、上記ブロック58,59に属する12本(4ピクセル分)のソースラインの電位状態(信号の書き込み状態)を示している。

【0085】

なお、上記のフレーム期間とは、表示部95のすべてのゲートラインG90...が走査される時間(一画面分の走査期間)をいう。例えば、1秒間に60回画面を書き換える場合、1/60秒が1フレーム分の時間となる。ここで、1・3・5...回目の書き換え期間を奇数フレーム期間、2・4・6...回目の書き換え期間を偶数フレーム期間とし、1・3・5...回目の書き換え後の画面(表示部95)を奇数フレーム、2・4・6...回目の書き換え後の画面(表示部95)を偶数フレームとする。

20

【0086】

図(a)に示すように、奇数フレーム期間においては、タイミング信号生成回路77からのタイミング信号(図示せず)に同期して、時間t0に、ブロックB58に属するグループGr54、55のサンプリングスイッチSWR37~SWB42が同時に選択(ON)される。

【0087】

そして、時間t0~t1の間に、これらのサンプリングスイッチ(SWR37~SWB42)に接続する各ソースライン(SR1~SB6)を介して、画素容量(PR13~PB18)それぞれに、同一タイミングで各信号ライン(SLRa49~SLBb54)からの信号が書き込まれる。

30

【0088】

なお、この期間においては、ブロックB59に属するグループGr56、57のサンプリングスイッチSWR43~SWB48はすべてOFFとされ、これらのサンプリングスイッチ(SWR43~SWB48)に接続する各ソースライン(SR7~SB12)は、一水平期間(1ゲートライン分の走査期間)前に書き込まれた電位のままとっている。

【0089】

ついで、時間t0から1クロック(1周期)分後の時間t1に送られるタイミング信号(図示せず)に同期して、ブロックB58に属するグループGr54、55のサンプリングスイッチSWR37~SWB42が同時にOFFされるとともに、ブロックB59に属するグループGr56、57のサンプリングスイッチSWR43~SWB48が同時に選択(ON)される。

40

【0090】

そして、時間t1~t2の間に、これらのサンプリングスイッチ(SWR43~SWB48)に接続する各ソースライン(SR7~SB12)を介して、画素容量(PR19~PB24)それぞれに、同一タイミングで各信号ライン(SLRa49~SLBb54)からの信号が書き込まれる。

【0091】

50

また、図2(b)に示すように、偶数フレーム期間においては、タイミング信号生成回路77からのタイミング信号(図示せず)に同期して、時間 $t_0'$ に、ブロックB58のグループGr54のサンプリングスイッチSWR37~SWB39が同時に選択(ON)される。

【0092】

そして、時間 $t_0' \sim t_1'$ の間に、これらのサンプリングスイッチ(SWR37~SWB39)に接続する各ソースライン(SR1~SB3)を介して、画素容量(PR13~PB15)それぞれに、同一タイミングで各信号ライン(SLRa49~SLBb51)からの信号が書き込まれる。

【0093】

なお、この期間においては、ブロックB58に属するグループGr55、ブロックB59に属するグループGr56、57の各サンプリングスイッチSWR40~SWB42(グループGr55)、SWR43~SWB48(ブロックB59)はすべてOFFとされ、これらのサンプリングスイッチに接続する各ソースラインSR4~SB6(グループGr55)、SR7~SB12(ブロックB59)は、一水平期間(1ゲートライン分の走査期間)前に書き込まれた電位のままとっている。

【0094】

ついで、時間 $t_0'$ から1クロック分(1周期分)後の時間 $t_1'$ に送られるタイミング信号(図示せず)に同期して、ブロックB58に属するグループGr54のサンプリングスイッチSWR37~SWB39が同時にOFFされるとともに、ブロックB58に属するグループGr55およびブロックB59に属するグループGr56の各サンプリングスイッチSWR40~SWB45が同時に選択(ON)される。

【0095】

そして、時間 $t_1' \sim t_2'$ の間に、これらのサンプリングスイッチ(SWR40~SWB45)に接続する各ソースライン(SR4~SB9)を介して、画素容量(PR16~PB21)それぞれに、同一タイミングで各信号ライン(SLRb52~SLBb54、SLRa49~SLBa51)からの信号が書き込まれる。

【0096】

なお、この期間においては、ブロックB59に属するグループGr57の各サンプリングスイッチSWR46~SWB48はすべてOFFとされ、これらのサンプリングスイッチに接続する各ソースラインSR10~SB12は、一水平期間(1ゲートライン分の走査期間)前に書き込まれた電位のままとっている。

【0097】

ついで、時間 $t_1'$ から1クロック分(1周期分)後の時間 $t_2'$ に送られるタイミング信号(図示せず)に同期して、ブロックB58に属するグループGr55およびブロックB59に属するグループGr56のサンプリングスイッチSWR40~SWB45が同時にOFFされるとともに、ブロックB59に属するグループGr57の各サンプリングスイッチSWR46~SWB48が同時に選択(ON)される。

【0098】

そして、時間 $t_2' \sim t_3'$ の間に、これらのサンプリングスイッチSWR46~SWB48に接続する各ソースラインSR10~SB12を介して、画素容量(PR22~PB24)それぞれに、同一タイミングで各信号ライン(SLRb52~SLBb54)からの信号が書き込まれる。

【0099】

上記の駆動方法においては、奇数および偶数フレームをいわば1つの表示画面とみた場合に、B(青)に対応する各ソースライン(SB3、SB6、SB9、SB12)に発生する寄生容量による電位変動を、表示部95全体(画面全体)で均一にすることができ、これによって上記電位変動に起因する縦縞状の表示ムラを視認させにくくさせることができる。これを以下に説明する。なお、図4は表示部95の各ソースライン間に存在する寄生容量(C101~C104)を模式的に説明するものである。

10

20

30

40

50

## 【 0 1 0 0 】

まず、奇数フレームにおけるソースライン S B 6、S B 1 2 について説明する。

## 【 0 1 0 1 】

まず、ソースライン S B 6 について考えてみると、時間 t 0 でブロック B 5 8 に属するサンプリングスイッチ S W B 4 2 が O N されるため、これに接続するソースライン S B 6 には、時間 t 0 ~ 時間 t 1 まで、信号ライン S L B b 5 4 から信号（電位）が与えられる。そして、この時間 t 0 ~ 時間 t 1 においては、ブロック B 5 8 に隣接するブロック B 5 9 に属するサンプリングスイッチ S W R 4 3 は、O F F であり、これに接続するソースライン S R 7 は、一水平期間前に与えられた電位のまま維持されている。このとき、新たに信号（電位）が書き込まれるソースライン S B 6（画素容量 P B 1 8 のソースライン側の電極）と、一水平期間前の電位のまま維持されているソースライン S R 7 との間の電位差が大きくなり、両ソースライン間には寄生容量（電荷溜まり、図 4 の C 1 0 2 参照）が発生する。

10

## 【 0 1 0 2 】

ここで、時間 t 1 で、ブロック 5 9（グループ G r 5 6）に属するサンプリングスイッチ S W R 4 3 が O N され、これに接続するソースライン S R 7 に新たに信号（電位）が与えられると、このソースライン S R 7 とソースライン S B 6（画素容量 P B 1 8 のソースライン側の電極）との間の電位差が小さくなり、上記の寄生容量に溜まった電荷がソースライン S B 6 に飛び込み、ソースライン S B 6 が電位変動をうける（図 2（a）の矢印で示す部分を参照）。

20

## 【 0 1 0 3 】

ソースライン S B 1 2 についても同様である。すなわち、時間 t 1 でブロック B 5 9 に属するサンプリングスイッチ S W B 4 8 が O N されるため、これに接続するソースライン S B 1 2 には、時間 t 1 ~ 時間 t 2 まで、信号ライン S L B b 5 4 から信号（電位）が与えられる。そして、この時間 t 1 ~ 時間 t 2 においては、このソースライン S B 1 2 に隣接するソースライン S R 6 1 は、一水平期間前に与えられた電位のまま維持されている。このとき、新たに信号（電位）が書き込まれるソースライン S B 1 2（画素容量 P B 2 4 のソースライン側の電極）と、一水平期間前の電位のまま維持されているソースライン S R 6 1 との間の電位差が大きくなり、両ソースライン間には寄生容量（電荷溜まり、図 4 の C 1 0 4 参照）が発生する。

30

## 【 0 1 0 4 】

ここで、時間 t 2 後にソースライン S R 6 1 に新たに信号（電位）が与えられると、ソースライン S R 6 1 とソースライン S B 1 2（画素容量 P B 1 8 のソースライン側の電極）との間の電位差が小さくなり、上記の寄生容量に溜まった電荷がソースライン S B 1 2 に飛び込み、ソースライン S B 1 2 が電位変動をうける（図 2（a）の矢印で示す部分を参照）。

## 【 0 1 0 5 】

次に、偶数フレームにおけるソースライン S B 3、S B 9 について説明する。

## 【 0 1 0 6 】

まず、ソースライン S B 3 について考えてみると、時間 t 0' でグループ G r 5 4 に属するサンプリングスイッチ S W B 3 9 が O N されるため、これに接続するソースライン S B 3 には、時間 t 0' ~ 時間 t 1' まで、信号ライン S L B a 5 1 から信号（電位）が与えられる。そして、この時間 t 0' ~ 時間 t 1' においては、グループ G r 5 4 に隣接するグループ G r 5 5 に属するサンプリングスイッチ S W R 4 0 は、O F F であり、これに接続するソースライン S R 4 は、一水平期間前に与えられた電位のまま維持されている。このとき、新たに信号（電位）が書き込まれるソースライン S B 3（画素容量 P B 1 5 のソースライン側の電極）と、一水平期間前の電位のまま維持されているソースライン S R 4 との間の電位差が大きくなり、両ソースライン間には寄生容量（電荷溜まり、図 4 の C 1 0 1 参照）が発生する。

40

## 【 0 1 0 7 】

50

ここで、時間  $t_1'$  で、グループ Gr 55 に属するサンプリングスイッチ SW R 40 が ON され、これに接続するソースライン S R 4 に新たに信号（電位）が与えられると、このソースライン S R 4 とソースライン S B 3（画素容量 P B 15 のソースライン側の電極）との間の電位差が小さくなり、上記の寄生容量に溜まった電荷がソースライン S B 3 に飛び込み、ソースライン S B 3 が電位変動をうける（図 2（b）の矢印で示す部分を参照）。

【0108】

ソースライン S B 9 についても同様である。すなわち、時間  $t_1'$  でグループ Gr 56 に属するサンプリングスイッチ SW B 45 が ON されるため、これに接続するソースライン S B 9 には、時間  $t_1'$  ~ 時間  $t_2'$  まで、信号ライン S L B a 51 から信号（電位）が与えられる。そして、この時間  $t_1'$  ~ 時間  $t_2'$  においては、グループ Gr 56 に隣接するグループ Gr 57 に属するサンプリングスイッチ SW R 46 は、OFF であり、これに接続するソースライン S R 10 は、一水平期間前に与えられた電位のまま維持されている。このとき、新たに信号（電位）が書き込まれるソースライン S B 9（画素容量 P B 21 のソースライン側の電極）と、一水平期間前の電位のまま維持されているソースライン S R 10 との間の電位差が大きくなり、両ソースライン間には寄生容量（電荷溜まり、図 4 の C 103 参照）が発生する。

【0109】

ここで、時間  $t_2'$  で、グループ Gr 57 に属するサンプリングスイッチ SW R 46 が ON され、これに接続するソースライン S R 10 に新たに信号（電位）が与えられると、このソースライン S R 10 とソースライン S B 9（画素容量 P B 21 のソースライン側の電極）との間の電位差が小さくなり、上記の寄生容量に溜まった電荷がソースライン S B 9 に飛び込み、ソースライン S B 3 が電位変動をうける（図 2（b）の矢印で示す部分を参照）。

【0110】

このように、上記の駆動方法によれば、奇数フレームにおいてはソースライン S B 6、S B 12 が電位の変動を受け、偶数フレームにおいてはソースライン S B 3、S B 9 が電位の変動を受ける。すなわち、奇数フレームと偶数フレームとをいわば 1 つの表示画面とみた場合に、B（青）に対応する各ソースライン（S B 3、S B 6、S B 9、S B 12）に発生する寄生容量による電位変動が、表示部 95 全体（画面全体）で均一となる。

【0111】

この結果、両フレームとも同じソースライン（ソースライン S B 6、S B 12）に偏って電位の変動が発生し、これらのソースラインに沿って、2 ピクセル（ソースライン 6 本）ごとの縦縞の表示ムラが強調される（従来の駆動方法、（図 6 参照）ことを防止することができる。

【0112】

これにより、ソースライン（S R 1・・・）間の寄生容量による電位変動に起因して発生する縦縞状の表示ムラを視認させにくくさせることができる。

【0113】

また、本実施の形態における表示部 95 は、上記のように、シフトレジスタ 70 の各出力段の 1 個の出力段（S i R 55・・・）を、6 個のサンプリングスイッチ SW R 37・・・（6 本のソースライン S R 1・・・）に対応させるものであるため、各ソースライン（S R 1・・・）1 本 1 本にシフトレジスタ 70 の出力段を対応させる構成に比較して、シフトレジスタ 70 の構成ひいては回路面積を大幅に簡略することができる。

【0114】

よって、このような表示部 95（表示パネル）は、特に外形および配線ピッチに制約がある中小型の高解像度パネル（例えば、液晶パネル）への適用において、より一層効果的となる（パネルの小型化とともに、高品位の表示が可能となる）。

【0115】

なお、上記実施の形態は、シフトレジスタ 70 の各出力段の 1 個の出力段（S i R 55

10

20

30

40

50

・・・)を、3個のサンプリングスイッチSWR37・・・(3本のソースラインSR1・・・)に対応させる場合を説明しているが、これに限定されない。

【0116】

例えば、シフトレジスタ70の各出力段の1個の出力段(SiR55・・・)を2個のサンプリングスイッチに対応させることも可能である。この場合、各グループにソースラインを2本ずつ配し、信号ラインを4本にしても構わない。

【0117】

また、各ソースライン(SR1、SG2、SB3、・・・)に対応する色をR、G、Bの順としたが、これに限定されない。例えば、各ソースラインSR1、SG2、SB3・・・にG、R、B・・・と対応させることも可能である。また、各グループ(Gr54・・・)の走査方向の端に位置するソースライン(SB3、SB9・・・)については、その対応色をB(青)にすることが好ましいが、これに限定されることもない。

【0118】

なお、本発明の信号回路においては、各グループ(組)にソースライン(データライン)を1本ずつ配し、信号ライン(信号源)を2本にする構成をとることも可能である。

【0119】

すなわち、2本の信号ライン(2個の信号源)と、これらの信号ラインから信号が与えられる複数のソースライン(データライン)と、該ソースライン(データライン)を駆動する駆動手段とが備えられ、上記複数のデータラインは複数の組に分けられ、各組には1本のデータラインが含まれるとともに、互いに隣接する2組が1つのブロック(2本のソースラインが含まれる)とされ、上記駆動手段によって選択された組に属するソースラインそれぞれに同一タイミングで上記信号ラインから信号が与えられる信号回路であって、上記駆動手段が、1つのブロックおよびその隣接ブロックからなるブロック群に属する各組の選択につき、奇数フレーム期間(第1の所定期間)では上記ブロックに属する組を同時に選択し、ついで隣接ブロックに属する組を同時に選択し、続く偶数フレーム期間(第2の所定期間)では上記ブロック群の端に位置する組から順に1組ずつ選択していきながら、互いに異なるブロックに属しつつ隣接する組同士については同時に選択し、引き続き残りの組については再び1組ずつとなるように選択していくように構成しても構わない。

【0120】

この構成では、1つのブロックに含まれる2つの組(2本のソースライン)それぞれが、2本の信号ライン各々に対応づけられる。そして、奇数フレーム期間(第1の所定期間)では上記ブロックに属する2つの組(2本のソースライン)を同時に選択し、ついで隣接ブロックに属する2つの組(2本のソースライン)を同時に選択し、続く偶数フレーム期間(第2の所定期間)では、上記ブロック群(4つの組を含む)の端に位置する1つの組(ブロックの端部に位置する1本のソースライン)を最初に選択し、ついでその次の(走査方向に位置する)2つの組(2本のソースライン)、ついでその次の1つの組(1本のソースライン)というように順次選択される。

【0121】

この構成においては、上記駆動手段が各出力段を備えたシフトレジスタと、各ソースラインに備えられたサンプリングスイッチとを有していることが好ましい。この場合、シフトレジスタの1個の出力段を1個のサンプリングスイッチ(1本のソースライン)に対応させることも可能である。

【0122】

なお、本実施の形態では、信号ライン(SLRa49・・・)からの信号にアナログ信号を想定しているため、奇数フレームにおいては、b系統(SLRb52・・・)の信号を1クロック分遅延させて信号源側から出力しておくことが好ましい。この点、将来、液晶表示装置内にD/Aコンバータを内蔵し、映像信号としてデジタル信号を受信できるようになった場合でも、DFFを設けることで1クロック分遅延処理を行なう回路をドライバ内に実装することは容易である。

【0123】

10

20

30

40

50



なお、本発明の液晶表示装置は、2系統（a系統およびb系統）の映像信号をそれぞれ独立に入力する映像信号ライン（SLRa49・・・SLRb52・・・）を備え、画素（トランジスタTR25～TB36および画素容量PR13～PB24）がマトリクス状に配置されてなる画素部（表示部）95を行ごとに画素単位で順次駆動する点順次駆動方式の液晶表示装置であって、画素の各列毎に配線された信号ライン各々に対して、二系統の映像信号ラインとの間に接続されたサンプリングスイッチ群（SWR37～SWR48）を備え、このサンプリングスイッチ群（SWR37～SWR48）において、同一タイミングでサンプリングされるサンプリングスイッチ（SWR37～SWR48）の組み合わせが、表示フレーム順序（奇数フレーム・偶数フレーム）に応じてシフトするように駆動する駆動手段（タイミング信号生成回路77・シフトレジスタ等）を備えたことを特徴とする液晶表示装置ともいえる。

10

【0124】

本発明は上述した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0125】

本発明の信号回路およびこれを用いた液晶表示装置は、複数のソースライン（データライン）各々に信号ライン（信号源）からの信号を書き込む際にソースライン間の寄生容量に起因するソースラインの電位変動を、2フレームの平均として画面全体で均一化できる

20

。したがって、例えば、各画素に対応して設けられた複数のソースラインにソースドライバからの信号電位を書き込むような表示装置（例えば、液晶表示装置）に利用可能である。特に、外形および配線ピッチに制約がある中小型の高解像度表示装置（表示パネル）への利用において、より一層効果的といえる。

【図面の簡単な説明】

【0126】

【図1】本発明の液晶表示装置の表示部を示すブロック図である。

【図2】（a）（b）は、本発明における液晶表示装置のサンプリングスイッチのタイミングと各ソースラインの電位変化とを説明する説明図である。

30

【図3】本発明における液晶表示装置のタイミング信号生成回路を示すブロック図である。

【図4】本発明の液晶表示装置の表示部に存在する寄生容量を説明するブロック図である。

【図5】従来の液晶表示装置の表示部を示すブロック図である。

【図6】従来の液晶表示装置のサンプリングスイッチのタイミングと各ソースラインの電位変化とを説明する説明図である。

【図7】従来の液晶表示装置の表示部に存在する寄生容量を説明するブロック図である。

【符号の説明】

【0127】

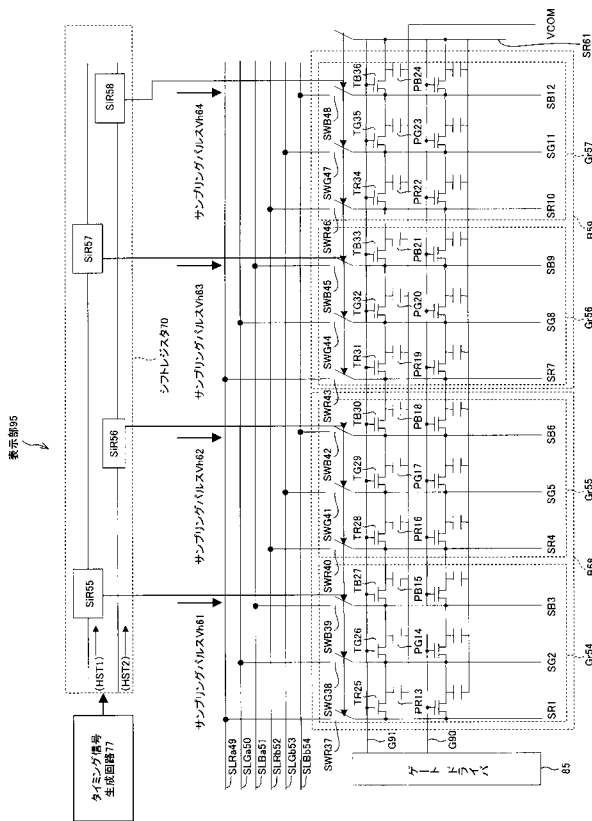
SR、SG、SB ソースライン（複数のデータライン）  
 Gr54・55・56・57 グループ（データラインの組）  
 B58・59 ブロック  
 B58～59 ブロック群  
 SLRa49～SLBb54 信号ライン（信号源）  
 77 タイミング信号生成回路（駆動手段）  
 70 シフトレジスタ（駆動手段）  
 95 表示部（信号回路）  
 SWR、SWG、SWB サンプリングスイッチ（駆動手段）  
 PR、PG、PB 画素容量（画素）

40

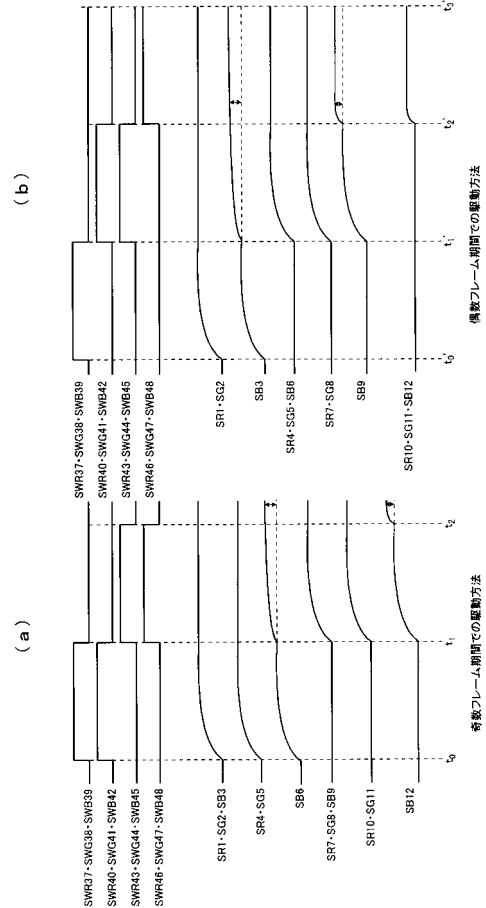
50

TR、TG、TB 薄膜トランジスタ

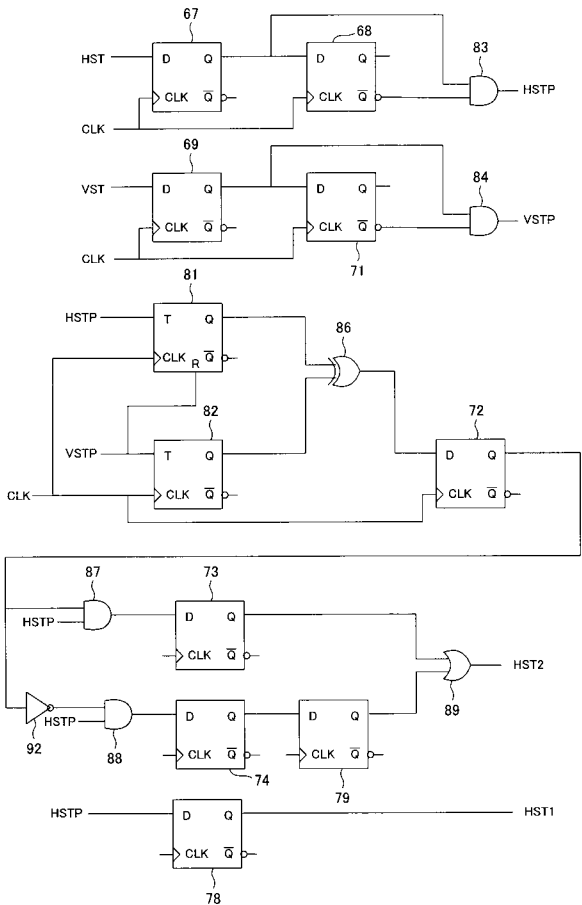
【図1】



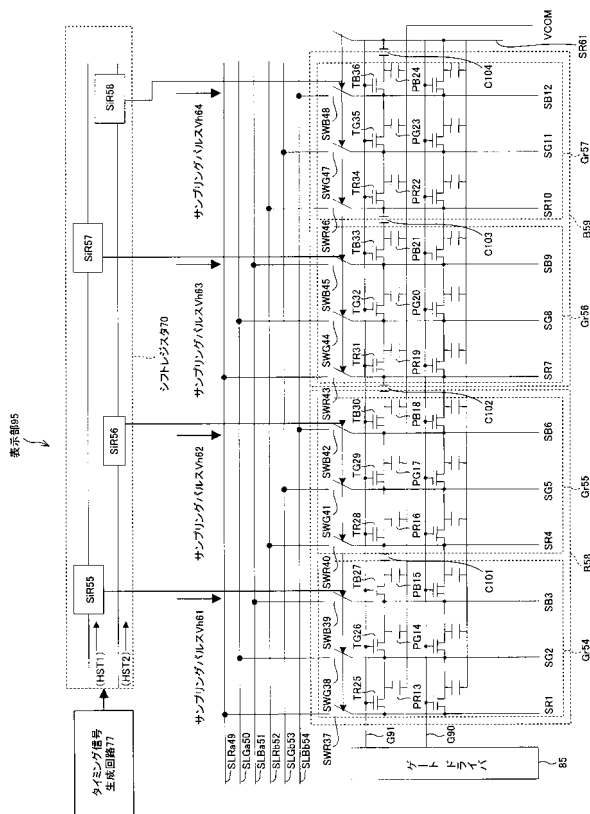
【図2】



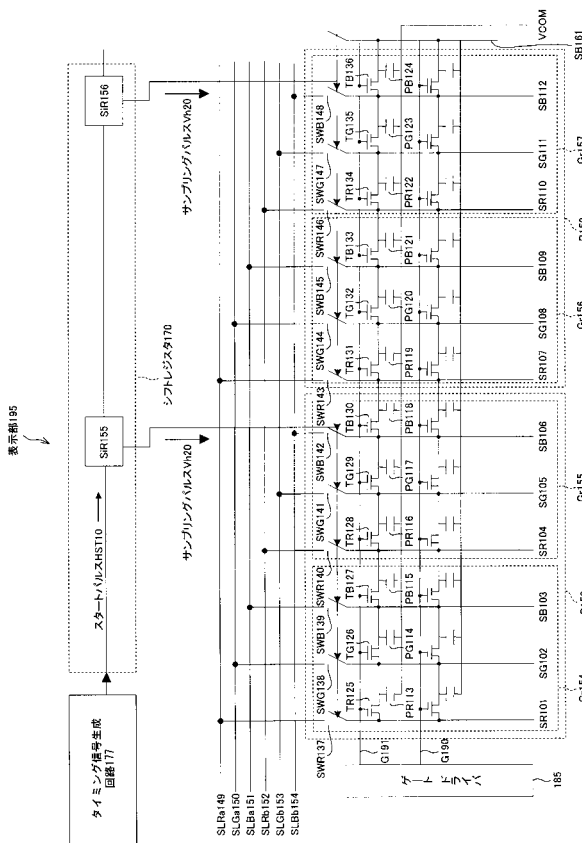
【図3】



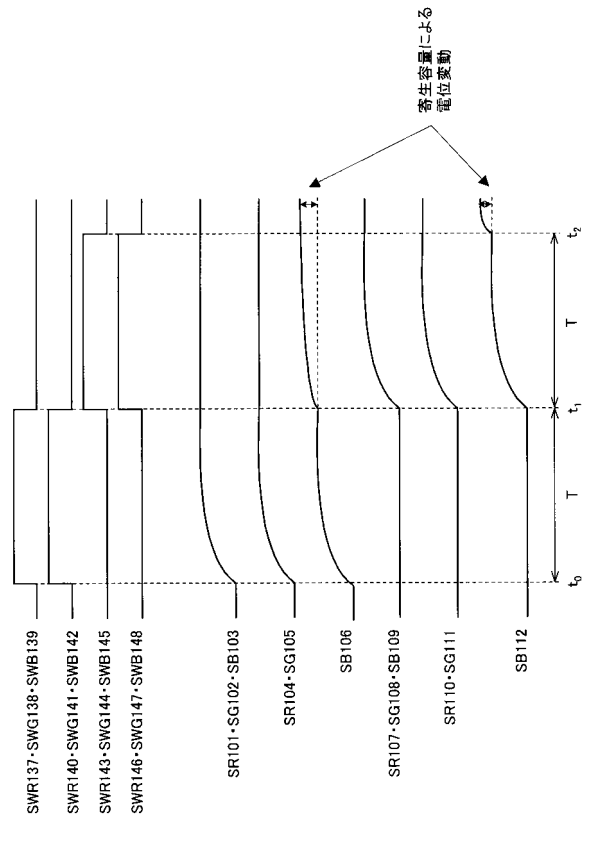
【図4】



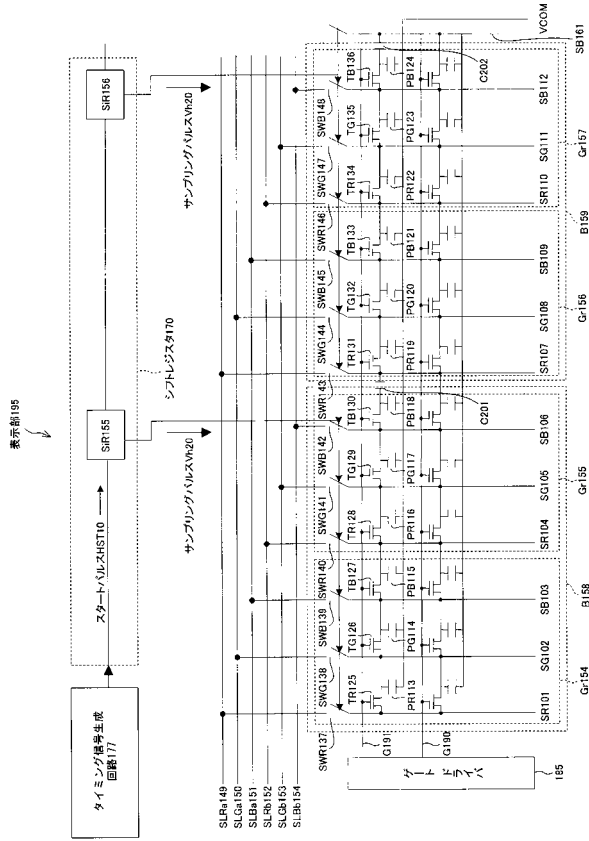
【図5】



【図6】



【 図 7 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 4 2 A

(72)発明者 笹川 真希  
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 西島 篤宏

(56)参考文献 特開2003-099012(JP,A)  
特開2000-122626(JP,A)  
特開2000-242237(JP,A)  
特開2000-310963(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0