



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0063809
(43) 공개일자 2012년06월18일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)</p> <p>(21) 출원번호 10-2010-0124956</p> <p>(22) 출원일자 2010년12월08일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
최영주
경기 용인시 수지구 풍덕천동 700-1 현대 아파트 105-705
이우근
경기도 용인시 기흥구 용구대로 1842, 107동 204호 (보라동, 보라마을현대모닝사이드)
(뒷면에 계속)</p> <p>(74) 대리인
팬코리아특허법인</p> |
|---|---|

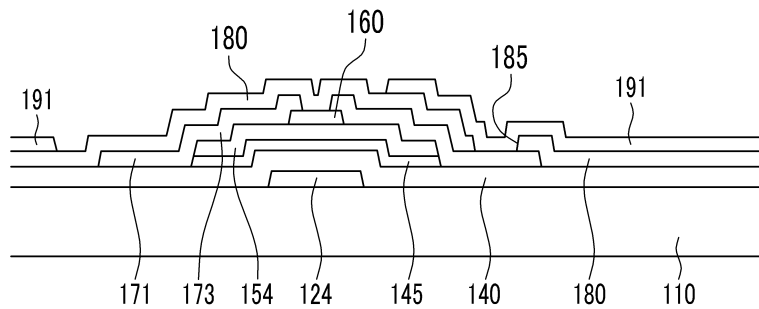
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 박막 트랜지스터 표시판

(57) 요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판은 절연 기관, 절연 기관 위에 위치하며, 게이트 전극을 포함하는 게이트선, 게이트선 위에 위치하며, 질화 실리콘으로 이루어져 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 위치하며, 산화 실리콘으로 이루어져 있는 제2 게이트 절연막, 제2 게이트 절연막 위에 위치하는 산화물 반도체, 산화물 반도체 위에 위치하는 소스 전극을 포함하는 데이터선, 산화물 반도체 위에 위치하며, 소스 전극과 마주하는 드레인 전극, 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 제2 게이트 절연막의 두께는 200Å 이상 500Å 미만이다.

대표도 - 도2



(72) 발명자

윤갑수

서울특별시 강서구 화곡로31다길 5, 401호 (화곡동, 우공팰리스)

김기원

경기도 수원시 영통구 태장로82번길 32, 동수원엘지빌리지1차 103동 1405호 (망포동)

진상완

서울특별시 서초구 신반포로33길 15, 105동 601호 (잠원동, 동아아파트)

송재원

서울특별시 동작구 사당로23바길 9, 삼성래미안아파트 113동 403호 (사당동)

주신

경기도 용인시 기흥구 삼성2로 95, 남자기숙사 마로니에동 1201 (농서동, 삼성전자)

특허청구의 범위

청구항 1

절연 기판,
 상기 절연 기판 위에 위치하며, 게이트 전극을 포함하는 게이트선,
 상기 게이트선 위에 위치하며, 질화 실리콘으로 이루어져 있는 제1 게이트 절연막,
 상기 제1 게이트 절연막 위에 위치하며, 산화 실리콘으로 이루어져 있는 제2 게이트 절연막,
 상기 제2 게이트 절연막 위에 위치하는 산화물 반도체,
 상기 산화물 반도체 위에 위치하는 소스 전극을 포함하는 데이터선,
 상기 산화물 반도체 위에 위치하며, 상기 소스 전극과 마주하는 드레인 전극,
 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고,
 상기 제2 게이트 절연막의 두께는 200Å 이상 500Å 미만인 박막 트랜지스터 표시판.

청구항 2

제1항에서,
 상기 제2 게이트 절연막의 두께는 300Å 인 박막 트랜지스터 표시판.

청구항 3

제2항에서,
 상기 제1 게이트 절연막의 두께는 2000 내지 5000Å 인 박막 트랜지스터 표시판.

청구항 4

제3항에서,
 상기 제2 게이트 절연막과 상기 산화물 반도체는 평면 모양 및 경계선이 동일한 박막 트랜지스터 표시판.

청구항 5

제4항에서,
 상기 소스 전극과 상기 드레인 전극 사이의 상기 산화물 반도체는 노출되어 있으며,
 상기 노출된 산화물 반도체 위에 위치하는 채널 보호막을 더 포함하는 박막 트랜지스터 표시판.

청구항 6

제5항에서,
 상기 채널 보호막 위에 위치하는 보호막을 더 포함하는 박막 트랜지스터 표시판.

청구항 7

제6항에서,
 상기 채널 보호막은 산화 실리콘으로 이루어져 있고, 상기 보호막은 질화 실리콘으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 8

제3항에서,

상기 제2 게이트 절연막은 상기 제1 게이트 절연막 위의 전면에 위치하는 박막 트랜지스터 표시판.

청구항 9

제8항에서,

상기 소스 전극과 상기 드레인 전극 사이의 상기 산화물 반도체는 노출되어 있으며,

상기 소스 전극, 상기 드레인 전극, 상기 노출된 산화물 반도체 위에 위치하는 제1 보호막을 더 포함하는 박막 트랜지스터 표시판.

청구항 10

제9항에서,

상기 제1 보호막 위에 위치하는 제2 보호막을 더 포함하는 박막 트랜지스터 표시판.

청구항 11

제10항에서,

상기 제1 보호막은 산화 실리콘으로 이루어져 있고, 상기 제2 보호막을 질화 실리콘으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 12

제1항에서,

상기 산화물 반도체는 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 또는 아연-주석 산화물(Zn-Sn-O) 중 하나로 이루어져 있는 박막 트랜지스터 표시판.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터 표시판에 관한 것이다. 더욱 상세하게는 산화물 반도체를 사용하는 박막 트랜지스터 표시판에 관한 것이다.

배경기술

[0002] 일반적으로 박막 트랜지스터(thin film transistor, TFT)는 액정 표시 장치나 유기 발광 표시 장치(organic light emitting display) 등의 평판 표시 장치에서 각 화소를 독립적으로 구동하기 위한 스위칭 소자로 사용된다. 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판은 박막 트랜지스터와 이에 연결되어 있는 화소 전극 외에도, 박막 트랜지스터에 게이트 신호를 전달하는 게이트선과 데이터 신호를 전달하는 데이터선 등을 포함한다.

[0003] 박막 트랜지스터는 게이트선에 연결되어 있는 게이트 전극과 데이터선에 연결되어 있는 소스 전극과 화소 전극에 연결되어 있는 드레인 전극 및 소스 전극과 드레인 전극 사이 게이트 전극 위에 위치하는 반도체층 등으로 이루어지며, 게이트선으로부터의 게이트 신호에 따라 데이터선으로부터의 데이터 신호를 화소 전극에 전달한다.

[0004] 이 때, 박막 트랜지스터의 반도체층은 다결정 규소(polycrystalline silicon, polysilicon), 비정질 규소(amorphous silicon) 또는 산화물 반도체로 이루어진다.

[0005] 박막 트랜지스터의 반도체층이 산화물 반도체로 이루어진 경우, 산화물 반도체의 특성상 게이트 절연막은 이층으로 되어 있고, 특히, 산화물 반도체와 접하는 게이트 절연막은 산화 실리콘으로 이루어져야 한다.

[0006] 산화 실리콘막은 질화 실리콘막에 비해 CVD 증착 속도가 느리고, 건식 식각을 진행하므로, 두께가 두꺼우면 공정 시간이 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명이 해결하고자 하는 과제는 산화 실리콘막의 두께를 감소시키는 것이다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 절연 기판, 절연 기판 위에 위치하며, 게이트 전극을 포함하는 게이트선, 게이트선 위에 위치하며, 질화 실리콘으로 이루어져 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 위치하며, 산화 실리콘으로 이루어져 있는 제2 게이트 절연막, 제2 게이트 절연막 위에 위치하는 산화물 반도체, 산화물 반도체 위에 위치하는 소스 전극을 포함하는 데이터선, 산화물 반도체 위에 위치하며, 소스 전극과 마주하는 드레인 전극, 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 제2 게이트 절연막의 두께는 200Å 이상 500Å 미만이다.

[0009] 제2 게이트 절연막의 두께는 300Å일 수 있다.

[0010] 제1 게이트 절연막의 두께는 2000 내지 5000Å일 수 있다.

[0011] 제2 게이트 절연막과 산화물 반도체는 평면 모양 및 경계선이 동일할 수 있다.

[0012] 소스 전극과 드레인 전극 사이의 산화물 반도체는 노출되어 있으며, 노출된 산화물 반도체 위에 위치하는 채널 보호막을 더 포함할 수 있다.

[0013] 채널 보호막 위에 위치하는 보호막을 더 포함할 수 있다.

[0014] 채널 보호막은 산화 실리콘으로 이루어져 있고, 보호막은 질화 실리콘으로 이루어져 있을 수 있다.

[0015] 제2 게이트 절연막은 제1 게이트 절연막 위의 전면에 위치할 수 있다.

[0016] 소스 전극과 상기 드레인 전극 사이의 산화물 반도체는 노출되어 있으며, 소스 전극, 드레인 전극, 노출된 산화물 반도체 위에 위치하는 제1 보호막을 더 포함할 수 있다.

[0017] 제1 보호막 위에 위치하는 제2 보호막을 더 포함할 수 있다.

[0018] 제1 보호막은 산화 실리콘으로 이루어져 있고, 제2 보호막을 질화 실리콘으로 이루어져 있을 수 있다.

[0019] 산화물 반도체는 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 또는 아연-주석 산화물(Zn-Sn-O) 중 하나로 이루어져 있을 수 있다.

발명의 효과

[0020] 이와 같이 본 발명에 따르면, 산화물 반도체와 접하고, 산화 실리콘으로 이루어져 있는 게이트 절연막의 두께를 200Å 이상 500Å 미만으로 하여 산화물 반도체를 포함하는 박막 트랜지스터의 특성 변화 없이 박막 트랜지스터 표시판의 공정 시간을 감소시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

도 2는 도 1의 II-II 선을 따라 절단한 단면도이다.

도 3은 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

도 4는 도 3의 IV-IV 선을 따라 절단한 단면도이다.

도 5는 실시예 1 및 실시예 2에 따른 박막 트랜지스터의 특성과 비교예 1 내지 비교예 4에 따른 박막 트랜지스터의 특성을 비교한 그래프이다.

도 6은 실시예 3에 따른 박막 트랜지스터와 비교예 1에 따른 박막 트랜지스터의 전기적 특성(EDS, Electrical Die Sorting)을 나타낸 그래프이다.

도 7은 실시예 3에 따른 박막 트랜지스터와 비교예 1에 따른 박막 트랜지스터의 Vd-Id 곡선(curve)을 나타낸

그래프이다.

도 8은 실시예 3에 따른 박막 트랜지스터와 비교예 1에 따른 박막 트랜지스터의 출력 곡선(Output curve)을 나타낸 그래프이다.

도 9는 실시예 3에 따른 박막 트랜지스터와 비교예 1에 따른 박막 트랜지스터의 NBIS 특성을 나타낸 그래프이다.

도 10은 실시예 3에 따른 박막 트랜지스터 표시판을 포함하는 액정 패널과 비교예 1에 따른 박막 트랜지스터 표시판을 포함하는 액정 패널의 Von 구동 특성을 나타낸 그래프이다.

도 11은 실시예 3에 따른 박막 트랜지스터 표시판을 포함하는 액정 패널과 비교예 1에 따른 박막 트랜지스터 표시판을 포함하는 액정 패널의 휘도 변화를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0023] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0024] 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 II-II 선을 따라 절단한 단면도이다.
- [0025] 도 1 및 도 2에 도시한 바와 같이, 투명한 유리 또는 플라스틱 따위로 이루어진 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 게이트 전극(124)을 포함한다.
- [0026] 게이트선(121) 위에는 제1 게이트 절연막(140)이 형성되어 있다. 제1 게이트 절연막(140)은 질화 실리콘(SiNx)으로 이루어져 있으며, 그 두께는 2000 내지 5000Å 이다.
- [0027] 제1 게이트 절연막(140) 위에는 제2 게이트 절연막(145)이 형성되어 있다. 제2 게이트 절연막(145)은 산화 실리콘(SiOx)으로 이루어져 있으며, 그 두께는 200Å 이상 500Å 미만인 것이 바람직하다.
- [0028] 제2 게이트 절연막(145) 위에는 산화물 반도체(154)가 형성되어 있다. 산화물 반도체(154)는 게이트 전극(124)에 대응하는 부분에 형성되어 있으며, 섬 모양으로 형성되어 있다. 산화물 반도체(154)와 제2 게이트 절연막(145)은 평면 모양이 같고, 그 경계선이 동일하다.
- [0029] 산화물 반도체(154)는 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물을 사용하거나 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 또는 아연-주석 산화물(Zn-Sn-O)을 사용한다.
- [0030] 산화물 반도체(154) 및 제1 게이트 절연막(140) 위에는 복수의 데이터선 (171) 및 복수의 드레인 전극 (175)이 형성되어 있다.
- [0031] 데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극 (173)을 포함한다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)을 중심으로 서로 마주한다.
- [0032] 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 산화물 반도체(154)과 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 산화물 반도체(154)에 형성된다.
- [0033] 박막 트랜지스터의 채널 위에는 채널을 보호하는 채널 보호막(160)이 형성되어 있다. 채널 보호막(160)은 산화 실리콘(SiOx)으로 이루어져 있다.

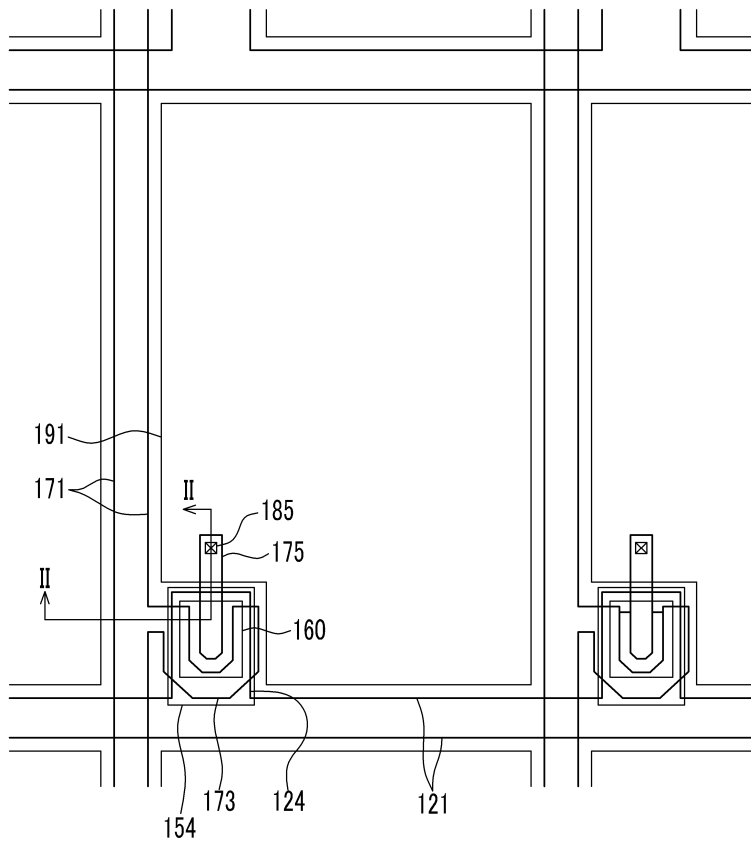
- [0034] 제1 게이트 절연막(140), 데이터선(171), 드레인 전극(175) 및 채널 보호막(160) 위에는 접촉구(185)를 가지는 보호막(180)이 형성되어 있고, 보호막(180) 위에는 접촉구(185)를 통하여 드레인 전극(175)과 연결되는 화소 전극(191)이 형성되어 있다. 여기서, 보호막(180)은 질화 실리콘(SiNx)으로 이루어져 있다.
- [0035] 다음은 도 3 및 도 4를 참고하여 본 발명의 제2 실시예에 대해 설명한다.
- [0036] 도 3은 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 4는 도 3의 IV-IV 선을 따라 절단한 단면도이다.
- [0037] 도 3 및 도 4에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판은 제2 게이트 절연막(145)과 제1 보호막(165)의 구조가 다를 뿐 나머지 구조는 제1 실시예에 따른 박막 트랜지스터 표시판의 구조와 동일하다.
- [0038] 투명한 유리 또는 플라스틱 따위로 이루어진 절연 기판(110) 위에 게이트 전극(124)을 포함하는 게이트선(121)이 형성되어 있고, 게이트선(121) 위에는 질화 실리콘(SiNx)으로 이루어져 있으며, 두께가 2000 내지 5000Å 인 제1 게이트 절연막(140)이 형성되어 있다.
- [0039] 제1 게이트 절연막(140) 위에는 제2 게이트 절연막(145)이 형성되어 있다. 제2 게이트 절연막(145)은 산화 실리콘(SiOx)으로 이루어져 있으며, 그 두께는 200Å 이상 500Å 미만인 것이 바람직하다. 제2 게이트 절연막(145)은 제1 게이트 절연막(140)의 전면에 형성되어 있다.
- [0040] 제2 게이트 절연막(145) 위에는 산화물 반도체(154)가 형성되어 있다. 산화물 반도체(154)는 게이트 전극(124)에 대응하는 부분에 형성되어 있으며, 섬 모양으로 형성되어 있다.
- [0041] 산화물 반도체(154)는 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 또는 아연-주석 산화물(Zn-Sn-O) 중 하나로 이루어져 있다.
- [0042] 산화물 반도체(154) 및 제1 게이트 절연막(140) 위에는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있다.
- [0043] 데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(173)을 포함한다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)을 중심으로 서로 마주한다.
- [0044] 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 산화물 반도체(154)과 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 산화물 반도체(154)에 형성된다.
- [0045] 제2 게이트 절연막(145), 데이터선(171), 드레인 전극(175) 및 박막 트랜지스터의 채널 위에는 산화 실리콘(SiOx)으로 이루어진 제1 보호막(165)이 형성되어 있고, 제1 보호막 위에는 질화 실리콘(SiNx)으로 이루어진 제2 보호막(181)이 형성되어 있다. 제1 보호막(165) 및 제2 보호막(181)은 드레인 전극(175)을 노출하는 접촉구(185)를 포함한다.
- [0046] 제2 보호막(181) 위에는 접촉구(185)를 통하여 드레인 전극(175)과 연결되는 화소 전극(191)이 형성되어 있다.
- [0047] 다음은 본 발명의 실시예에 따른 박막 트랜지스터 표시판과 비교예에 따른 박막 트랜지스터 표시판의 특성 대해 도 6 내지 도 11을 참고하여 설명한다.
- [0048] 실시예 1에 따른 박막 트랜지스터 표시판은 질화 실리콘(SiNx)으로 이루어진 제1 게이트 절연막의 두께가 4000Å 이고, 산화 실리콘(SiOx)으로 이루어진 제2 게이트 절연막의 두께가 300Å 이다.
- [0049] 실시예 2에 따른 박막 트랜지스터 표시판은 질화 실리콘(SiNx)으로 이루어진 제1 게이트 절연막의 두께가 4000Å 이고, 산화 실리콘(SiOx)으로 이루어진 제2 게이트 절연막의 두께가 200Å 이다.
- [0050] 비교예 1에 따른 박막 트랜지스터 표시판은 질화 실리콘(SiNx)으로 이루어진 제1 게이트 절연막의 두께가 4000Å 이고, 산화 실리콘(SiOx)으로 이루어진 제2 게이트 절연막의 두께가 500Å 이다.
- [0051] 비교예 2에 따른 박막 트랜지스터 표시판은 질화 실리콘(SiNx)으로 이루어진 제1 게이트 절연막의 두께가

4000Å 이고, 산화 실리콘(SiO_x)으로 이루어진 제2 게이트 절연막의 두께가 100Å 이다.

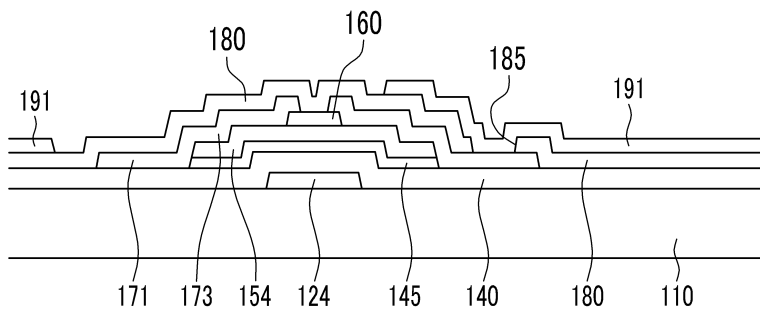
- [0052] 비교예 3에 따른 박막 트랜지스터 표시판은 질화 실리콘(SiN_x)으로 이루어진 제1 게이트 절연막의 두께가 4000Å 이고, 산화 실리콘(SiO_x)으로 이루어진 제2 게이트 절연막의 두께가 50Å 이다.
- [0053] 비교예 4에 따른 박막 트랜지스터 표시판은 게이트 절연막이 질화 실리콘(SiN_x)으로만 이루어지고, 그 두께가 4000Å 이다.
- [0054] 도 5는 실시예 1 및 실시예 2에 따른 박막 트랜지스터의 특성과 비교예 1 내지 비교예 4 에 따른 박막 트랜지스터의 특성을 비교한 그래프이다.
- [0055] 도 5에 도시한 바와 같이, 이동도, 1nA 일 때 전압(V(@1nA)), NBIS 및 NBTIS 특성을 비교하였다.
- [0056] 이동도의 경우, 제2 게이트 절연막의 두께가 줄어들수록 이동도는 감소하지만, 그 변화가 10% 이내이므로, 제 2 게이트 절연막의 두께에 따른 이동도의 차이는 거의 없는 것을 알 수 있다. 또한, 1nA 일 때 전압 (V(@1nA))의 경우에도 제2 게이트 절연막의 두께에 따른 이동도의 차이는 거의 없는 것을 알 수 있다.
- [0057] NBIS는 상온에서 백라이트와 같은 광원으로 박막 트랜지스터에 빛을 조사하였을 때의 특성을 나타낸 것이고, NBTIS 는 60℃에서 백라이트와 같은 광원으로 박막 트랜지스터에 빛을 조사하였을 때의 특성을 나타낸 것이다.
- [0058] NBIS는 -4 V 이상, NBTIS 는 -5 V 이상이면, 박막 트랜지스터에 열화가 발생하지 않는다.
- [0059] 비교예 1, 실시예 1 및 실시예 2에 따른 박막 트랜지스터 표시판의 경우, NBIS가 -4 V 이상, NBTI가 -5 V 이상으로 나타났고, 비교예 2, 비교예 3 및 비교예 4의 경우, NBIS가 -4 V 미만, NBTI가 -5 V 미만으로 나타났다. 즉, 제2 절연막의 두께가 200Å 이상일 경우 박막 트랜지스터에 열화가 발생하지 않음을 알 수 있다.
- [0060] 이와 같이, 산화 실리콘(SiO_x)으로 이루어진 제2 게이트 절연막의 두께가 200Å 이상일 경우 박막 트랜지스터의 특성 변화가 크지 않은 것을 알 수 있다.
- [0061] 그러면, 산화 실리콘(SiO_x)으로 이루어진 제2 게이트 절연막의 두께가 300Å인 박막 트랜지스터 표시판의 특성과 산화 실리콘(SiO_x)으로 이루어진 제2 게이트 절연막의 두께가 500Å인 박막 트랜지스터 표시판의 특성에 대해 도 6 내지 도 11을 참고하여 상세하게 설명한다.
- [0062] 도 6 내지 도 11은 실시예 3에 따른 박막 트랜지스터 표시판과 비교예 1에 따른 박막 트랜지스터 표시판의 특성을 나타낸 그래프이다.
- [0063] 실시예 3에 따른 박막 트랜지스터 표시판은 질화 실리콘(SiN_x)으로 이루어진 제1 게이트 절연막의 두께가 4200Å 이고, 산화 실리콘(SiO_x)으로 이루어진 제2 게이트 절연막의 두께가 300Å 이다.
- [0064] 즉, 실시예 3에 따른 박막 트랜지스터 표시판과 비교예 1에 따른 박막 트랜지스터 표시판의 제1 게이트 절연막과 제2 게이트 절연막의 두께의 합은 동일하다.
- [0065] 도 6은 실시예 3에 따른 박막 트랜지스터와 비교예 1에 따른 박막 트랜지스터의 전기적 특성(EDS, Electrical Die Sorting)을 나타낸 그래프이다.
- [0066] 실시예 3에 따른 박막 트랜지스터 표시판과 비교예 1에 따른 박막 트랜지스터 표시판 각각 9 지점에서 측정하였다.
- [0067] 비교예 1의 경우, V_g가 0V일 때, 대부분의 지점에서 I_{ds}는 1E-10A 에 근접하고, V_g가 10V 일 때, 대부분의 지점에서 I_{ds}는 1E-05A에 근접하고, V_g가 -20V 일 때, 대부분의 지점에서 I_{ds}는 1E-11A에 근접해 있다.
- [0068] 실시예 2의 경우, V_g가 0V일 때, 대부분의 지점에서 I_{ds}는 1E-10A 에 근접하고, V_g가 10V일 때, 대부분의 지점에서 I_{ds}는 1E-05A에 근접하고, V_g 가 -20V일 때, 대부분의 지점에서 I_{ds}는 1E-11A에 근접해 있다.
- [0069] 즉, 비교예와 실시예를 비교하였을 때, EDS 특성의 차이가 없음을 알 수 있다.
- [0070] 도 7은 실시예 3에 따른 박막 트랜지스터와 비교예 1에 따른 박막 트랜지스터의 V_d-I_d 곡선(curve)을 나타낸 그래프이다.
- [0071] 소스 및 드레인 전극에 10V와 0.1V를 인가하여 V_g와 I_{ds}를 측정하였다. 10V는 두 번 인가하였다.
- [0072] 비교예 1 및 실시예 3의 경우, 첫 번째 10V를 인가했을 때(10V-F)와 두 번째 10V를 인가했을 때(10V-S) V_g와

도면

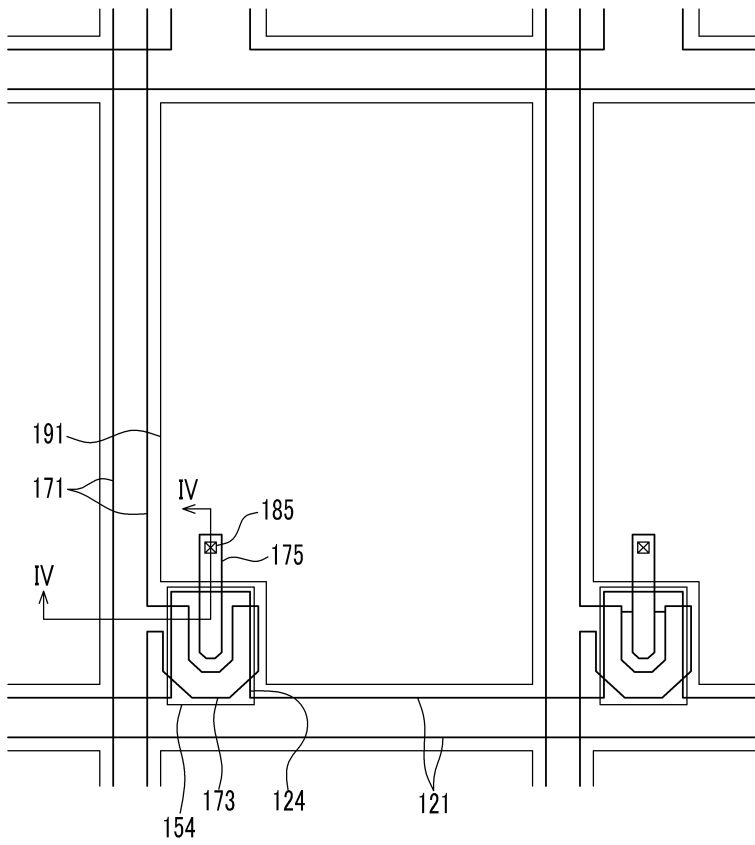
도면1



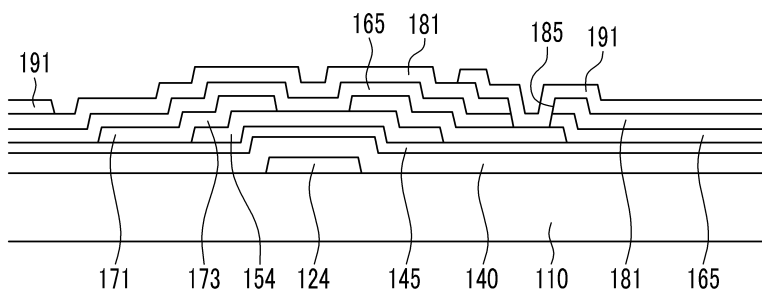
도면2



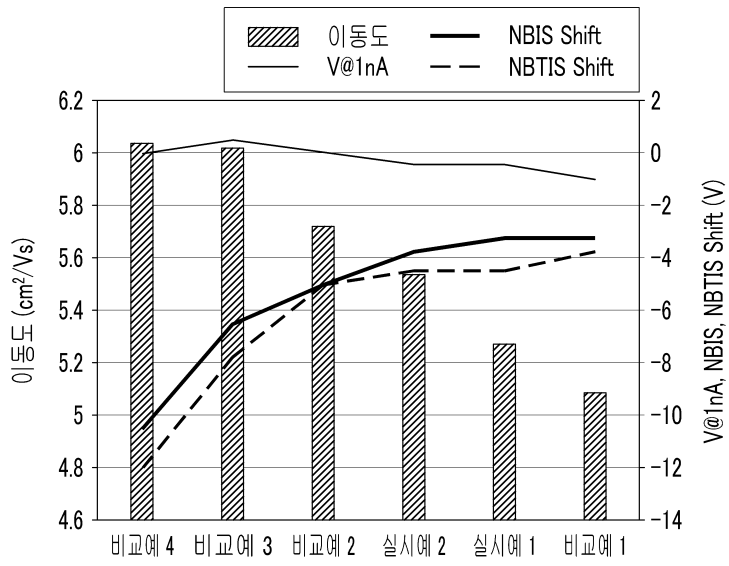
도면3



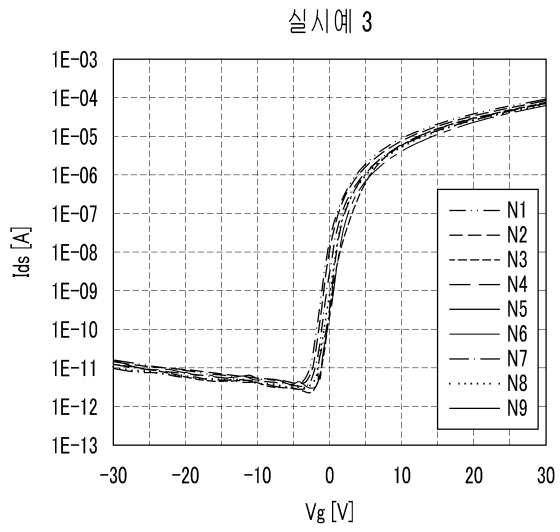
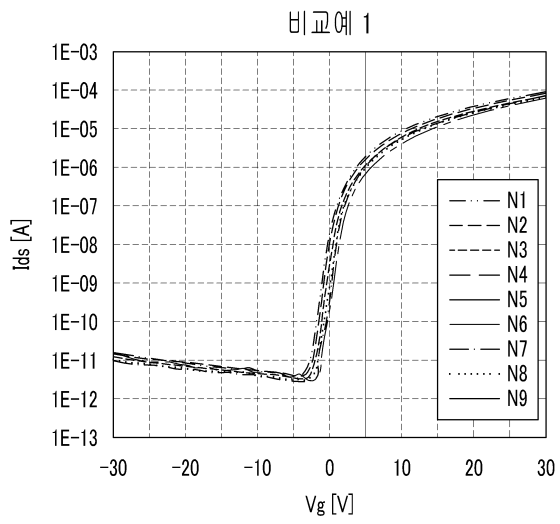
도면4



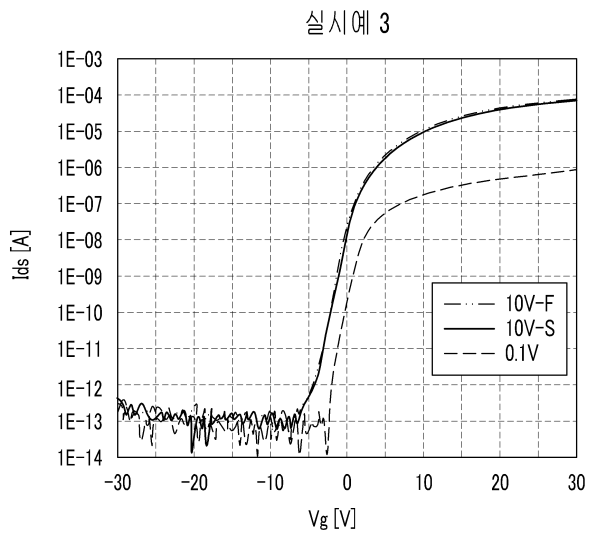
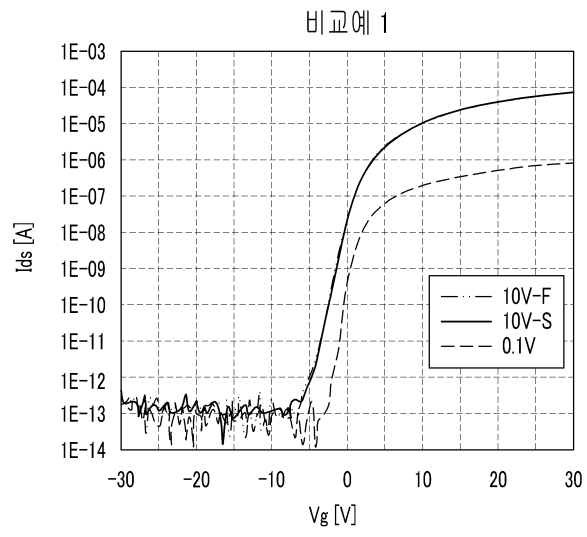
도면5



도면6

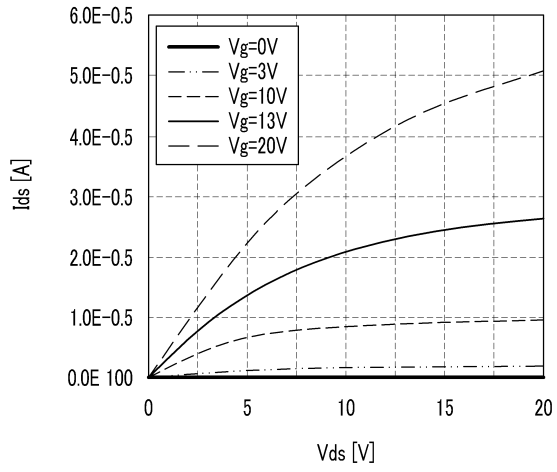


도면7

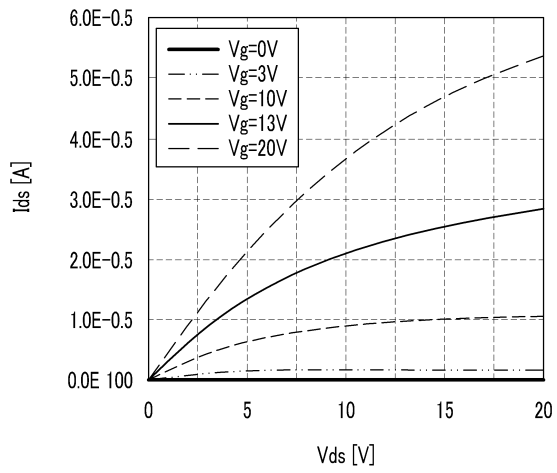


도면8

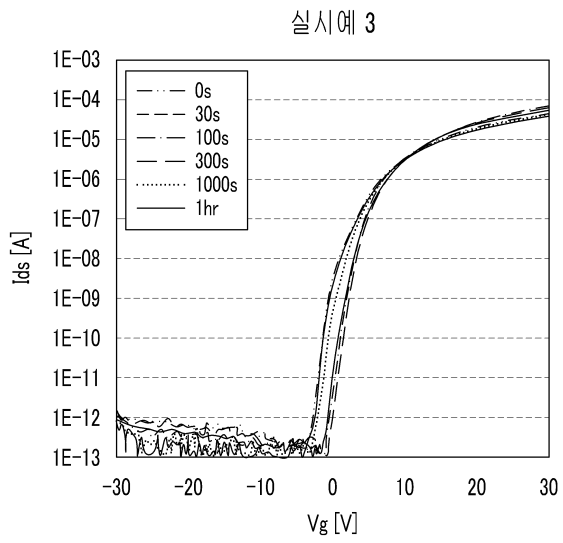
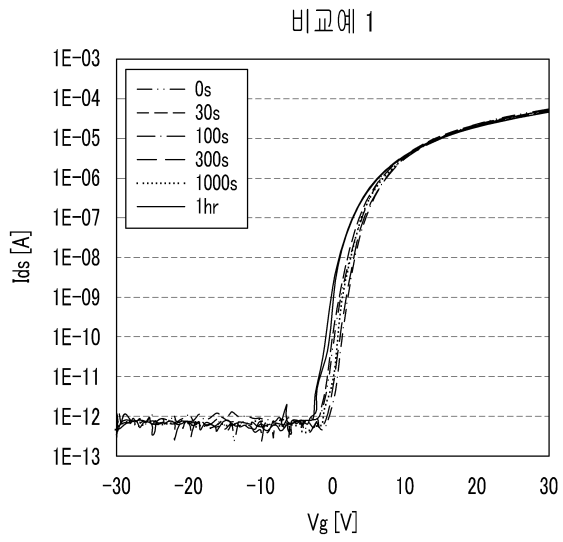
비교예 1



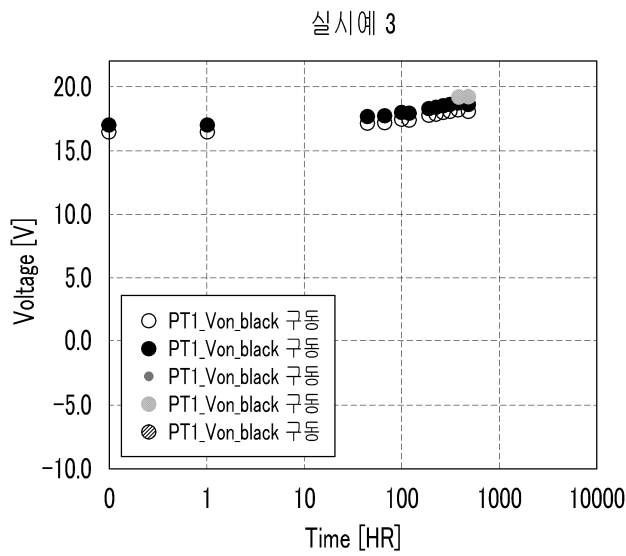
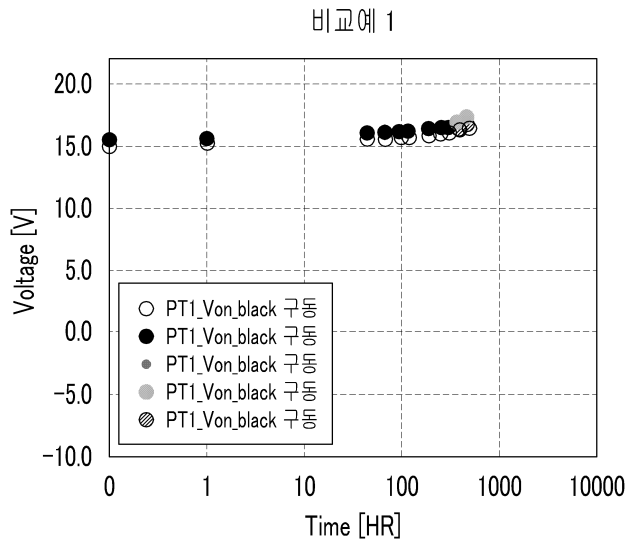
실시예 3



도면9



도면10



도면11

