

[12] 发明专利申请公开说明书

[21] 申请号 00102854.5

[43]公开日 2000年9月13日

[11]公开号 CN 1266282A

[22]申请日 2000.3.3 [21]申请号 00102854.5

[30]优先权

[32]1999.3.4 [33]JP [31]57126/1999

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 井尾英治

[74]专利代理机构 中原信达知识产权代理有限责任公司

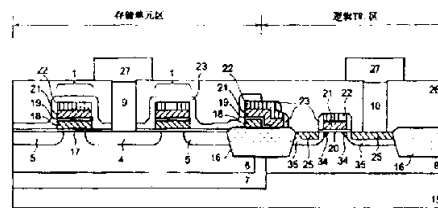
代理人 穆德骏 方挺

权利要求书 4 页 说明书 16 页 附图页数 38 页

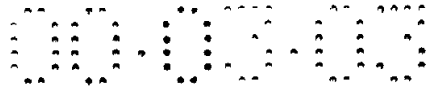
[54]发明名称 制造半导体器件的方法

[57]摘要

本发明提供一种制造半导体器件的方法,可形成 CMOS 晶体管和存储单元晶体管而不使可靠性和性能下降。提供如下步骤:用 HTO 膜覆盖存储单元区,并在 CMOS 晶体管中形成侧壁的同时暴露 CMOS 晶体管的扩散区的步骤,淀积钛的步骤,和使扩散区与钛反应,从而在 CMOS 晶体管源和漏中形成 硅化钛的步骤。



ISSN 1008-4274



权 利 要 求 书

1. 一种制造半导体器件的方法，包括：

5 形成具有其中形成存储单元晶体管的存储单元区和其中形成 CMOS 晶体管的 CMOS 逻辑区的半导体衬底，和在所述存储单元区中形成用于存储单元晶体管的栅极的步骤；

用存储单元晶体管使用的所述栅极作为掩模，在所述存储单元区中形成扩散层的第一杂质注入步骤；

在所述 CMOS 逻辑区中形成用于 CMOS 晶体管的栅极的步骤；

10 用 CMOS 晶体管的栅极作为掩模，在所述 CMOS 逻辑区中形成轻掺杂漏的第二杂质注入步骤；

形成覆盖所述存储单元区和所述 CMOS 逻辑区的绝缘膜的绝缘膜形成步骤；

15 形成掩模层以覆盖所述存储单元区但不包括所述 CMOS 逻辑区的步骤；

有选择地腐蚀对应于所述掩模层的所述绝缘膜、并在用于 CMOS 晶体管的所述栅极的侧表面中形成侧壁的步骤；

用所述侧壁作为掩模，在所述 CMOS 逻辑区中形成所述 CMOS 晶体管的扩散层的第三杂质注入步骤；

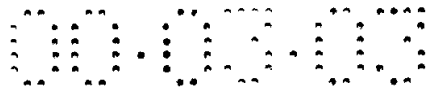
20 去掉所述掩模层之后，在整个表面上淀积金属的步骤；

使所述淀积的金属和所述 CMOS 晶体管的暴露扩散层反应以形成金属硅化物的步骤。

25 2. 根据权利要求 1 的半导体器件的制造方法，其中由所述第一杂质注入步骤注入的杂质的浓度比由所述第三杂质注入步骤注入的杂质的浓度高。

3. 根据权利要求 1 的半导体器件的制造方法，其中由所述绝缘膜形成步骤形成的所述绝缘膜是 HTO 膜。

30



4. 根据权利要求 1 的半导体器件的制造方法，其中所述存储单元晶体管是电可擦可编程只读存储器。

5. 一种制造半导体器件的方法，包括：

5 形成具有其中形成存储单元晶体管的存储单元区和其中形成 CMOS 晶体管的 CMOS 逻辑区的半导体衬底，和在所述存储单元区中形成存储单元晶体管的栅极的步骤；

10 第一掩模形成步骤，有选择地对从其中必须形成所述存储单元晶体管的源的区域和其中必须形成所述存储单元晶体管的漏的区域中选择的一个区域形成掩模；

在未选择区域中形成第一扩散层的第一杂质注入步骤；

去掉由所述第一掩模形成步骤形成的掩模的步骤；

在所述 CMOS 逻辑区中形成用于 CMOS 晶体管的栅极的步骤；

15 有选择地对所述存储单元区的所述未选择区域形成掩模的第二掩模形成步骤；

第二杂质注入步骤，使用用于 CMOS 晶体管的所述栅极作为掩模，在所述 CMOS 逻辑区中形成轻掺杂漏，同时，用由所述第二掩模形成步骤形成的掩模作为掩模，在所述存储单元区的所述选择区域中形成轻掺杂漏区；

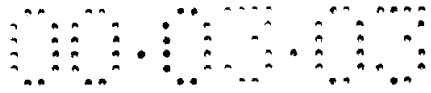
20 去掉由所述第二掩模形成步骤形成的掩模的步骤；

形成覆盖所述存储单元区和所述 CMOS 逻辑区的绝缘膜的绝缘膜形成步骤；

形成掩模层以覆盖存储单元区的所述其余区域但不包括所述 CMOS 逻辑区和所述存储单元区的所述选择区域的步骤；

25 对应所述掩模层选择腐蚀所述绝缘膜、并在用于 CMOS 晶体管的所述栅极的侧表面和存储单元晶体管的一个侧表面中形成侧壁的步骤；

30 第三杂质注入步骤，用所述侧壁作为掩模，在所述 CMOS 逻辑区中形成所述 CMOS 晶体管的扩散层和在所述存储单元区的其它区域中形成所述存储单元晶体管的第二扩散层；



去掉所述掩模层之后，在整个表面上淀积金属的步骤；和
使所述淀积的金属与所述 CMOS 晶体管的暴露扩散层以及存储单元晶体管的所述暴露第二扩散层反应以形成金属硅化物的步骤。

5 6. 根据权利要求 5 的半导体器件的制造方法，其中由所述第一杂质注入步骤注入的杂质的浓度比由所述第三杂质注入步骤注入的杂质的浓度高。

10 7. 根据权利要求 5 的半导体器件的制造方法，其中由所述绝缘膜形成步骤形成的所述绝缘膜是 HTO 膜。

8. 根据权利要求 5 的半导体器件的制造方法，其中所述存储单元晶体管是电可擦可编程只读存储器。

15 9. 根据权利要求 5 的半导体器件的制造方法，其中所述存储单元晶体管的所述第一扩散层的浓度比所述第二扩散层的浓度高。

10. 一种制造半导体器件的方法，包括：

20 形成具有其中形成存储单元晶体管的存储单元区和其中形成 CMOS 晶体管的 CMOS 逻辑区的半导体衬底，和在存储单元区中形成存储单元晶体管的栅极的步骤；

有选择地对其中必须形成所述存储单元晶体管的漏的一部分区域形成掩模的第一掩模形成步骤；

25 在其余区域中，但不包括所述掩模部分，形成第一扩散层的第一杂质注入步骤；

去掉由所述第一掩模形成步骤形成的掩模的步骤；

在所述 CMOS 逻辑区中形成用于 CMOS 晶体管的栅极的步骤；

有选择地对所述存储单元区的所述其余区域形成掩模的第二掩模形成步骤；

30 使用用于 CMOS 晶体管的所述栅极作为掩模，在所述 CMOS 逻辑



区中形成轻掺杂漏的第二杂质注入步骤，同时，在该步骤中，对应于由所述第二掩模形成步骤形成的掩模，在所述存储单元区的所述区域中形成轻掺杂漏区；

去掉由所述第二掩模形成步骤形成的掩模的步骤；

5 形成覆盖所述存储单元区和所述 CMOS 逻辑区的绝缘膜的绝缘膜形成步骤；

形成掩模层以覆盖所述存储单元区的所述其余区域但不包括所述 CMOS 逻辑区和所述存储单元区的区域的步骤；

10 对应于所述掩模层选择腐蚀所述绝缘膜并在用于 CMOS 晶体管的所述栅极的侧表面中形成侧壁的步骤；

用所述侧壁作为掩模，在 CMOS 逻辑区中形成所述 CMOS 晶体管的扩散层、并在所述存储单元区的所述区域中形成存储单元晶体管的第二扩散层的第三杂质注入步骤；

去掉所述掩模层之后，在整个表面上淀积金属的步骤；和

15 使所述淀积的金属与所述 CMOS 晶体管暴露的扩散层及所述存储单元晶体管暴露的第二扩散层反应以形成金属硅化物的步骤。

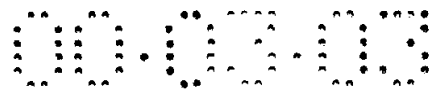
20 11. 根据权利要求 10 的半导体器件的制造方法，其中由所述第一杂质注入步骤注入的杂质的浓度比由所述第三杂质注入步骤注入的杂质的浓度高。

12. 根据权利要求 10 的半导体器件的制造方法，其中由所述绝缘膜形成步骤形成的所述绝缘膜是 HTO 膜。

25 13. 根据权利要求 10 的半导体器件的制造方法，其中所述存储单元晶体管是电可擦可编程只读存储器。

14. 根据权利要求 10 的半导体器件的制造方法，其中所述存储单元晶体管的所述第一扩散层的浓度比所述第二扩散层的浓度高。

30



说明书

制造半导体器件的方法

5 本发明涉及用于制造包括 CMOS 逻辑电路和非易失存储单元的半导体器件的方法，特别涉及用于制造包括 CMOS 逻辑电路和非易失存储单元的半导体器件的方法，该方法包括进行扩散层的硅化处理的步骤。

10 近年来，为了提高集成度和降低成本，在一个芯片内形成有非易失存储单元和 CMOS 逻辑电路的半导体器件已经成为人们关注的焦点。通过使制成非易失存储单元和 CMOS 逻辑电路合并的芯片的各工艺通用化，可以减少步骤数量和降低成本。

15 在常规合并工艺中使用了第一常规例子和第二常规例子，其中在第一常规例子中，构成 CMOS 逻辑电路的晶体管扩散层和构成非易失存储单元电路的晶体管扩散层被硅化处理，而在第二常规例子中，两扩散层都没有被硅化处理。

20 下面参照图 27 介绍第一现有技术。

形成在逻辑 Tr 区中的晶体管形成有 N 型扩散层 64，其在 P 型半导体衬底 49 内部的 P 阱 45 中并作为源和漏。和与扩散层 64 对应形成的轻掺杂漏 (LDD) 63。在被扩散层 64 夹在其中的沟道区中制备通过
25 栅绝缘膜 54 形成的多晶硅栅极 65、形成在栅极 65 上的硅化钨 (WSi) 56、覆盖栅极 65 和 WSi 56 的侧壁 57、和形成在扩散层 64 上的硅化钛 (TiSi)，并通过接触电极 47 与上层 Al 布线 60 接触。

另外，构成形成在存储单元区中的存储单元 38 并制备有以下部分：
30 分：N 阱 44，形成为使其与其中形成上述 CMOS 晶体管的 P 阱 45 分



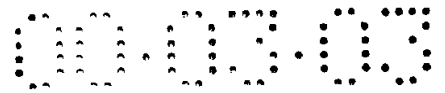
5 离；形成在 N 阱 44 中的 P 阱 43；形成在 P 阱 43 内部的 N 型漏扩散区 41 和 N 型源扩散层 42；形成在漏扩散层 41 和源扩散层 42 中的 TiSi 58；通过沟道区上的绝缘膜 51 形成的多晶硅浮置栅极 39，其中沟道区是借助漏扩散层 41 和源扩散层 42 形成的；通过形成在浮置栅 39 上的绝缘膜 53 形成的多晶硅控制栅 40；形成在控制栅 40 上的 WSi 56；和覆盖浮置栅 39、绝缘膜 53、控制栅 40 和 WSi 56 的侧表面的侧壁 57。漏扩散层 41 通过漏接触 46 与上层 Al 布线 60 连接。

10 第一现有技术的目的实现高性能 CMOS 逻辑电路，因而需要形成 TiSi 58，以便减小 CMOS 晶体管的扩散层 64 的电阻并提高工作速度。但是，如果在扩散层 64 上形成 TiSi，扩散层 64 含有高浓度杂质，形成硅化物聚集，并且层电阻会扩散，因而必须减小 CMOS 晶体管扩散层 64 中的扩散层浓度。这里 CMOS 晶体管扩散层形成工艺和存储单元扩散层形成工艺是通用的，因此存储单元扩散层浓度变低，当对
15 存储单元晶体管编程时促进耗尽，并且编程速度下降。因此，通过第一现有技术提高了 CMOS 晶体管的工作速度，但是另一方面，存在存储单元晶体管的工作速度降低的问题。

下面参照图 28 介绍第二常规例子。

20 第二常规例子不同于第一常规例子的地方在于，在 CMOS 晶体管的扩散层 64 中和在形成存储单元晶体管的源 41 和漏 42 的扩散层中不形成 TiSi，并且这些扩散层中的浓度设置得很高，而其它地方基本相同。这里不形成 TiSi 是因为扩散层的浓度设置得很高，而且还因为发生如上所述的硅化物聚集的问题。因此，通过提高存储单元晶体管的
25 源 41 和漏 42 的扩散层浓度，可以提高存储单元编程速度，但是另一方面，存在 CMOS 晶体管的工作速度下降的问题，这是因为扩散层不能形成为低电阻。

30 从第一和第二现有技术所公开的内容来看，可以考虑通过保护存



5 储单元区不经过硅化处理和分开地形成扩散层电极，来提高存储单元
晶体管 and CMOS 晶体管的性能。但是，为了使存储单元区不经过正常
硅化处理，需要两个光刻步骤以及掩模材料生长和腐蚀步骤。此外，
在 CMOS 晶体管的扩散层中形成通孔，因而在去掉掩模材料之后，
CMOS 晶体管侧壁的宽度会变化。下面参照图 29-31 详细介绍这些工
艺。

10 首先，为了形成 TiSi 层，需要实施三个步骤。步骤 1，借助砷之
类的离子注入使扩散层表面非晶化；步骤 2，溅射钛；步骤 3，进行热
处理。这些步骤中，不可能消除步骤 3 的热处理，因此考虑其它两步
骤。通过只去掉非晶化形成步骤 1，利用步骤 2 在扩散层上形成钛，因
此不能完全防止 TiSi 的形成。另外，通过只去掉钛溅射步骤 2，利用
步骤 1 将砷等离子注入到扩散层中，因而扩散层杂质分布被破坏。因
此，为了防止形成 TiSi，需要掩模处理非晶化形成步骤 1 和钛溅射步
15 骤 2。

20 因此，为了选择地进行步骤 1，使扩散层 64 的表面非晶化，选择
地形成光刻胶 61 以覆盖存储单元区，如图 29 所示，并进行砷离子注
入。但是，为防止由于离子注入造成的晶体结构的不希望的损伤，和
为了控制剂量，形成氧化膜的贯穿膜（through film）48。

25 为进行钛溅射步骤 2，去掉光刻胶 61 之后，如图 30 所示形成比
贯穿膜 48 厚 500-1000 埃的掩模氧化膜 66，作为与钛溅射相应的保护
膜。选择腐蚀掩模氧化膜 66，为了暴露扩散区 63 而形成光刻胶 62，
并在存储单元区上留下掩模氧化膜 66，如图 31 所示。当腐蚀掩模氧化
膜 66 时，对于使用等离子体腐蚀的情况，侧壁 57 的宽度增宽，而对
于使用湿法腐蚀的情况，减小了侧壁 57 宽度的可控制性。现在介绍使
用等离子体腐蚀的情况。用等离子体腐蚀形成的掩模氧化膜 66 用作钛
30 溅射的掩模，并在暴露的扩散区 64 上生长钛。然后进行热处理，并使
钛和硅反应，转化为硅化物。腐蚀未反应的钛，选择地在扩散层 64 上



形成 TiSi 层 58。

5 这样，对于选择地使 TiSi 只形成在 CMOS 晶体管源和漏中的情况，不仅增加了工艺步骤，而且 CMOS 晶体管侧壁也变厚，或者侧壁宽度的可控制性下降，因此仍存在 CMOS 晶体管的可靠性下降的问题。

因此，本发明的目的是提供形成合并的非易失存储单元和 CMOS 晶体管的工艺而不会降低各器件的可靠性和性能。

10

根据本发明制造半导体器件的方法，其特征在于具有：

形成具有其中形成存储单元晶体管的存储单元区和其中形成 CMOS 晶体管的 CMOS 逻辑区的半导体衬底，和在存储单元区中形成用于存储单元晶体管的栅极的步骤；

15

以用于存储单元晶体管的栅极作为掩模，在存储单元区中形成扩散层的第一杂质注入步骤；

在 CMOS 逻辑区中形成用于 CMOS 晶体管的栅极的步骤；

以用于 CMOS 晶体管的栅极作为掩模，在 CMOS 逻辑区中形成轻掺杂漏的第二杂质注入步骤；

20

形成覆盖存储单元区和 CMOS 逻辑区的绝缘膜的绝缘膜形成步骤；

形成覆盖存储单元区但不覆盖 CMOS 逻辑区的掩模层的步骤；

对应于掩模层有选择地腐蚀绝缘膜和在用于 CMOS 晶体管的栅极的侧表面中形成侧壁的步骤；

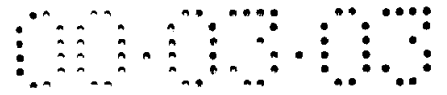
25

用侧壁作为掩模，在 CMOS 逻辑区中形成 CMOS 晶体管的扩散层的第三杂质注入步骤；

去掉掩模层之后，在整个表面上淀积金属的步骤；

使淀积的金属和暴露的 CMOS 晶体管的扩散层反应以形成金属硅化物的步骤。

30



此外，根据本发明的第二方案，制造半导体器件的方法的特征在于具有：

形成具有其中形成存储单元晶体管的存储单元区和其中形成 CMOS 晶体管的 CMOS 逻辑区的半导体衬底，和在存储单元区中形成存储单元晶体管的栅极的步骤；

有选择地对从其中必须形成存储单元晶体管的源的区域和其中必须形成存储单元晶体管的漏的区域中选择一个区域形成掩模的第一掩模形成步骤；

在未选择区域中形成第一扩散层的第一杂质注入步骤；

去掉由第一掩模形成步骤形成的掩模的步骤；

在 CMOS 逻辑区中形成用于 CMOS 晶体管的栅极的步骤；

有选择地对存储单元区的未选择区域形成掩模的第二掩模形成步骤；

第二杂质注入步骤，使用用于 CMOS 晶体管的栅极作为掩模，在 CMOS 逻辑区中形成轻掺杂漏，同时，用由第二掩模形成步骤形成的掩模作为掩模，在存储单元区的选择区域中形成轻掺杂漏区；

去掉由第二掩模形成步骤形成的掩模的步骤；

形成覆盖存储单元区和 CMOS 逻辑区的绝缘膜的绝缘膜形成步骤；

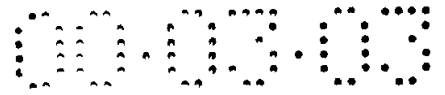
形成掩模层以覆盖存储单元区的其它区域但不包括 CMOS 逻辑区和存储单元区的选择区域的步骤；

对应于掩模层有选择地腐蚀绝缘膜，并在用于 CMOS 晶体管的栅极的侧表面中和存储单元晶体管的一个侧表面中形成侧壁的步骤；

第三杂质注入步骤，用上述侧壁作为掩模，在 CMOS 逻辑区中形成 CMOS 晶体管的扩散层，并在存储单元区的其它区域中形成存储单元晶体管的第二扩散层；

去掉掩模层之后，在整个表面上淀积金属的步骤；

使淀积的金属与 CMOS 晶体管的暴露扩散层及存储单元晶体管的暴露第二扩散层反应以形成金属硅化物的步骤。



此外，根据本发明的第三方案，制造半导体器件的方法的特征在于具有：

形成具有其中形成存储单元晶体管的存储单元区和其中形成 CMOS 晶体管的 CMOS 逻辑区的半导体衬底，和在存储单元区中形成存储单元晶体管的栅极的步骤；

有选择地对其中必须形成存储单元晶体管的漏的一部分区域形成掩模的第一掩模形成步骤；

在其余区域中形成第一扩散层的第一杂质注入步骤；

去掉由第一掩模形成步骤形成的掩模的步骤；

在 CMOS 逻辑区中形成用于 CMOS 晶体管的栅极的步骤；

有选择地对存储单元区的其余区域形成掩模的第二掩模形成步骤；

使用用于 CMOS 晶体管的栅极作为掩模，在 CMOS 逻辑区中形成轻掺杂漏的第二杂质注入步骤，同时，在该步骤中，对应于由第二掩模形成步骤形成的掩模，在存储单元区的选择部分中形成轻掺杂漏区；

去掉由第二掩模形成步骤形成的掩模的步骤；

形成覆盖存储单元区和 CMOS 逻辑区的绝缘膜的绝缘膜形成步骤；

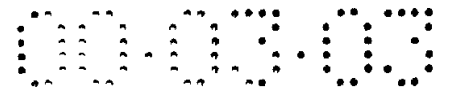
形成掩模层以覆盖存储单元区的其余区域但不包括 CMOS 逻辑区和存储单元区的选择区域的步骤；

对应于掩模层有选择地腐蚀绝缘膜并在用于 CMOS 晶体管的栅极的侧表面中形成侧壁的步骤；

用侧壁作为掩模，在 CMOS 逻辑区中形成 CMOS 晶体管的扩散层和在存储单元区中形成存储单元晶体管的第二扩散层的第三杂质注入步骤；

去掉掩模层之后，在整个表面上淀积金属的步骤；和

使淀积的金属与 CMOS 晶体管暴露的扩散层及存储单元晶体管的暴露扩散层反应以形成金属硅化物的步骤。



这样,根据本发明,通过用绝缘膜覆盖存储单元区并只暴露 CMOS 逻辑区的扩散层区,淀积的金属只与扩散区反应,而不会影响存储单元晶体管,因此通过只增加该绝缘膜掩模形成步骤,就可实现 CMOS 晶体管源和漏电阻的减小。

5

另外,根据本发明的第二方案,通过在源或漏中形成金属硅化物,只需要增加上述绝缘膜掩模形成步骤,就可以提高存储单元晶体管的工作速度。

10

此外,根据本发明的第三方案,通过在漏的一部分中形成金属硅化物,只需要增加上述绝缘膜掩模形成步骤就可提高存储单元晶体管的工作速度。

附图中:

15

图 1 是表示本发明优选实施例的剖视图;

图 2 是本发明实施例 1 的剖视图;

图 3 是与图 2 连续的本发明实施例 1 的平面图;

图 4 (a) 是沿着图 3 的线 A-A' 截取的剖视图,图 4 (b) 是沿着图 3 的线 B-B' 截取的剖视图;

20

图 5 是与图 4 (a) 连续的本发明实施例 1 的剖视图;

图 6 是与图 5 连续的本发明实施例 1 的剖视图;

图 7 是与图 6 连续的本发明实施例 1 的剖视图;

图 8 是与图 7 连续的本发明实施例 1 的剖视图;

图 9 是与图 8 连续的本发明实施例 1 的剖视图;

25

图 10 是与图 9 连续的本发明实施例 1 的剖视图;

图 11 (a) 是沿着图 10 的线 A-A' 截取的剖视图,图 11 (b) 是沿着图 10 的线 B-B' 截取的剖视图;

图 12 是与图 11 (a) 连续的本发明实施例 1 的剖视图;

图 13 是与图 12 连续的本发明实施例 1 的剖视图;

30

图 14 是与图 13 连续的本发明实施例 1 的剖视图;

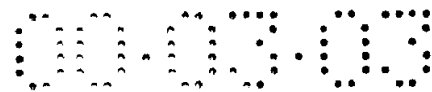


图 15 是与图 14 连续的本发明实施例 1 的剖视图；

图 16 是与图 15 连续的本发明实施例 1 的剖视图；

图 17 是与图 16 连续的本发明实施例 1 的剖视图；

图 18 是与图 17 连续的本发明实施例 1 的剖视图；

5 图 19 是与图 18 连续的本发明实施例 1 的剖视图；

图 20 是与图 19 连续的本发明实施例 1 的剖视图；

图 21 是本发明的实施例 2 的剖视图；

图 22 是与图 21 连续的本发明实施例 2 的剖视图；

图 23 是与图 22 连续的本发明实施例 2 的剖视图；

10 图 24 是与图 23 连续的本发明实施例 2 的剖视图；

图 25 是与图 24 连续的本发明实施例 2 的剖视图；

图 26 是与图 25 连续的本发明实施例 2 的剖视图；

图 27 是第一现有技术的剖视图；

图 28 是第二现有技术的剖视图；

15 图 29 是现有技术的工艺的剖视图；

图 30 是与图 29 连续的现有技术的工艺的剖视图；

图 31 是与图 30 连续的现有技术的工艺的剖视图；

图 32 是存储单元晶体管的端子电压的表；

图 33 是本发明的实施例 3 的剖视图；

20 图 34 是与图 33 连续的本发明实施例 3 的剖视图；

图 35 是与图 34 连续的本发明实施例 3 的剖视图；

图 36 是与图 35 连续的本发明实施例 3 的剖视图；

图 37 是与图 36 连续的本发明实施例 3 的剖视图；

图 38 是与图 37 连续的本发明实施例 3 的剖视图。

25

下面参照图 1 介绍本发明的优选实施例。

在半导体衬底 15 内制备存储单元区和 CMOS 逻辑区。在存储单元区中形成电可擦可编程只读存储器 (EEPROM)，其由源扩散层 5、
30 漏扩散层 4、隧道绝缘膜 17、浮置栅 2、多晶硅-多晶硅 (poly-poly)

中间绝缘膜 19、控制栅 19 和 22、和 HTO 膜 23 构成。在 CMOS 逻辑区中形成 CMOS 晶体管，其由源和漏扩散层 35、轻掺杂漏 34、硅化物 25、栅绝缘膜 20、栅极 36 和 22、和由 HTO 膜形成的侧壁 23 构成。存储单元晶体管的 HTO 膜 23 和 CMOS 晶体管的侧壁 23 是用相同工艺形成的。

下面参照图 2-20 介绍本发明的实施例 1。

首先，如图 2 所示，在 P 型半导体衬底 15 上形成用于隔离元件如晶体管的元件隔离绝缘膜 16。使用杂质扩散或离子注入并形成存储单元区的 P 阱 6 和 N 阱 7，同时形成逻辑 Tr 区的 P 阱 8 和 N 阱（未示出），其中在逻辑 Tr 区中形成用于逻辑功能的 MOS 晶体管。然后，生长用于存储单元晶体管的隧道氧化膜 17 和第一多晶硅层 18，并在第一多晶硅层 18 上有选择地形成用于形成浮置栅分割（partition）图形的光刻胶 28。

接下来，用光刻胶 28 作为用于第一多晶硅层 18 的掩模，进行等离子体腐蚀，并对逻辑 Tr 区开口，同时切割存储单元浮置栅。在图 3 中以等离子体腐蚀之后剥离光刻胶 28 的状态示出了存储单元区的平面图，沿着线 A-A' 截取的图 3 的剖视图示于图 4（a）中，沿着线 B-B' 截取的图 3 的剖视图示于图 4（b）中。

如图 4（a）所示，作为利用光刻胶 28 做掩模的等离子体腐蚀的结果，去掉覆盖逻辑 Tr 区的第一多晶硅层 18，暴露隧道氧化膜 17。同样，作为利用光刻胶 28 作掩模的等离子体腐蚀的结果，沿着 B-B' 方向存储单元区的浮置栅 18 被每个浮置栅分割图形 12 分割。

然后，如图 5 所示，形成 ONO 膜即氧化物膜/氮化物膜/氧化物膜的多晶硅-多晶硅中间绝缘膜 19，以覆盖存储单元区的隧道氧化膜 17 和存储单元区的浮置栅 18。形成多晶硅-多晶硅中间绝缘膜 19 是为了

防止载流子从浮置栅 18 泄漏。

5 在逻辑 Tr 区中不需要多晶硅-多晶硅中间绝缘膜 19 和隧道氧化膜 17，因此有选择地去掉逻辑 Tr 区中的多晶硅-多晶硅中间绝缘膜 19 和隧道氧化膜 17，如图 6 所示，暴露 P 阱 8 的表面，其将作为元件形成区（N 阱的表面同样暴露于逻辑 Tr 区上的其它部分中，（图中未示出））。

10 接着，为了形成用于逻辑 Tr 区中形成的晶体管的栅绝缘膜，形成由热氧化膜构成的栅氧化膜 20，其中热氧化膜是通过在暴露的 P 阱表面上的热氧化形成的，如图 7 所示。

15 然后，如图 8 所示，形成第二多晶硅层 21，以覆盖逻辑 Tr 区上的栅氧化膜 20 和存储单元区上的多晶硅-多晶硅中间绝缘膜 19。此外，通过溅射在第二多晶硅层 21 上生长硅化物（WSi）层 22。为了减小第二多晶硅层 21 的电阻，形成 WSi 层 22。

20 这样，根据图 2-8 的工艺完成了用于形成存储单元晶体管和 MOS 晶体管的基础。

接下来，首先形成存储单元晶体管。

25 如图 9 所示，在 WSi 层 22 上有选择地形成光刻胶 29，它掩蔽了其中必须形成存储单元区的存储单元晶体管的栅极的区域，同时掩蔽了逻辑 Tr 区的整个表面。然后使用等离子体腐蚀并去掉被用光刻胶 29 开口的两层栅的区域，它由第一多晶硅层 2、多晶硅-多晶硅中间绝缘膜 19、第二多晶硅层 21、和 WSi 层 22 构成，并形成存储单元晶体管的栅极。

30 在图 10 中以等离子体腐蚀之后光刻胶被剥离的状态显示出存储

单元区的平面图，沿着图 10 中的线 A-A' 截取的剖视图示于图 11 (a) 中，沿着图 11 的线 B-B' 截取的剖视图示于图 11 (b) 中。

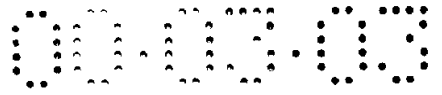
5 形成沿着 B-B' 方向延伸的由第二多晶硅层 21 和 WSi 层 22 构成的控制栅，并沿着 A-A' 方向分割控制栅和第一多晶硅层 18，第一多晶硅层 18 变为浮置栅 18，它不与任何部分电连接，如图 11 (b) 所示。此外，用控制栅和浮置栅 18 作为掩模，借助离子注入，用自对准方式形成存储单元晶体管的源 5 和漏 4，如图 11 (a) 所示。在 B-B' 方向延伸的控制栅用作存储单元晶体管的字线。

10 如上所述形成存储单元之后，开始进行在逻辑 Tr 区中形成 MOS 晶体管的工艺。

15 如图 12 所示，形成覆盖其中形成存储单元晶体管的存储单元区的光刻胶 30，同时，该光刻胶 30 是在逻辑 Tr 区上在用于形成栅极的区域上选择形成的。然后，用等离子体腐蚀方法腐蚀暴露的 WSi 22 和第二多晶硅层 21，WSi 22 和第二多晶硅层 21 的剩余部分变为 MOS 晶体管的栅极，如图 13 所示。为了形成具有轻掺杂漏 (LDD) 结构的 MOS 晶体管，用光刻胶 31 和覆盖存储单元区的栅极作为掩模，进行 LDD
20 离子注入，形成轻掺杂扩散层 34。

接着，剥离光刻胶 31，在整个表面上淀积约 1000 埃 LDD 高温氧化物 (HTO) 膜 23，并选择形成光刻胶 32 以便覆盖存储单元区，如图 14 所示。通过利用光刻胶 32 作为掩模进行深腐蚀 LDD HTO 膜 23，
25 在 MOS 晶体管栅极的侧表面中形成侧壁，而留下厚度约为 1000 埃的 LDD HTO 膜 23 作为用于存储单元区中的硅化物形成工艺的保护膜。而后，剥离光刻胶 32，变成图 15 所示的状态。

30 剥离光刻胶 32 之后，在整个表面上形成贯穿膜 14，该膜是由 CVD 形成的氧化膜，如图 16 所示，以便防止由于离子注入形成的晶体结构



的不希望的损伤。

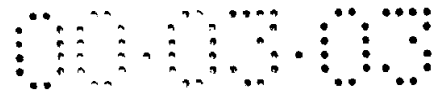
5 随后，形成覆盖存储单元区的光刻胶 33，并使用光刻胶 33、MOS 晶体管栅极和 LDD 侧壁作为掩模进行离子注入，形成作为 MOS 晶体管的源和漏的扩散层 35。

10 然后去掉光刻胶 33，并使扩散层 35 非晶化，以便在 MOS 晶体管扩散层 35 上形成硅化物。为此，例如，在整个晶片上进行砷注入，但用 LDD HTO 膜 23 覆盖存储单元区，因此在存储单元区中没有发生砷注入。在暴露的扩散层 35 中没有发生砷注入，并且扩散层 35 的表面被非晶化。完成非晶化形成工艺之后，去掉逻辑 Tr 区扩散层 35 上的氧化膜 14，如图 18 所示，露出扩散层 35。

15 通过暴露扩散层 35 并进行钛溅射，在非晶扩散层 35 上均匀形成钛。通过进行形成在扩散层 35 上的钛的热处理，使非晶扩散层 35 和钛反应，形成硅化钛 (TiSi) 25。用用于钛溅射的 LDD HTO 膜 23 覆盖存储单元区，因此钛和硅没有反应，并且没有形成 TiSi。然后，借助湿法腐蚀等方法去掉未反应的钛，并只留下 TiSi，如图 19 所示。

20 形成存储单元晶体管和 MOS 晶体管之后，在整个表面上形成层间绝缘膜 20，选择开口形成用于存储单元晶体管的接触孔 9 和用于 MOS 晶体管的接触孔 10，并使它们与由 Al 等制成的上层布线 27 连接，可以选择地与存储单元晶体管和 MOS 晶体管连接。

25 现在介绍在上述实施例 1 中保护整个存储单元区不经过硅化物形成工艺的情况，但是其中可能出现硅化物聚集问题的高浓度扩散层只需要用于在编程过程中施加高电压的扩散层，并且不需要保护存储单元晶体管的整个扩散层。特别是，通过减小长布线如存储单元晶体管源布线的线电阻，可以提高读出速度。因此，当不给存储单元的源施加高电压时，例如，在如图 32 所示的施加电压的情况下，通过在源扩
30



散层中形成硅化物层可以减小源线电阻。

下面参照图 21-26 介绍减小了源线电阻的本发明的实施例 2。

5 形成存储单元区的双栅存储单元晶体管的工艺即从图 2-图 9 的工艺与实施例 1 的工艺相同，因此省略了关于它们的说明。

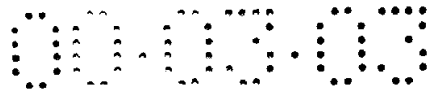
10 如图 9 所示形成双栅，并在去掉光刻胶 29 之后，形成光刻胶 37，以便使成为存储单元晶体管源的 P 阱 6 的暴露部分形成掩模，在成为漏的 P 阱 6 的暴露部分中进行离子注入，形成高浓度扩散层 4，如图 21 所示。

然后，使用掩模选择腐蚀第二多晶硅层 21 和 WSi 22（图中未示出），以便在逻辑 Tr 区中形成 MOS 晶体管栅极。

15 随后，进行离子注入，以便使逻辑 Tr 区 MOS 晶体管形成为 LDD 结构，但是该步骤是在用光刻胶 31 覆盖存储晶体管的漏扩散区 4 之前进行的，以便防止其特性下降。在成为存储单元晶体管的源的区域中和在成为 MOS 晶体管的源和漏的区域中进行 LDD 离子注入，形成轻掺杂扩散层 34，如图 22 所示。

20 剥离光刻胶 31 之后，在整个表面上形成 1000 埃厚的 LDD HTO 膜 23，如图 23 所示，在存储单元晶体管的漏扩散区 4 上选择形成光刻胶 32。用光刻胶 32 做掩模，选择腐蚀 LDD HTO 膜 23。剥离光刻胶 32 之后，如图 24 所示，在逻辑 Tr 区中的 MOS 晶体管栅的侧表面中形成侧壁，同时还在存储单元区的存储单元晶体管的源侧栅极的侧壁中形成侧壁，并且没有用光刻胶 32 覆盖。

25 接着，如图 25 所示，在用于离子注入的整个表面上形成贯穿膜 14，同时形成光刻胶 33，使其只留在贯穿膜 14 上的存储单元晶体管的



漏扩散区 4 上。用光刻胶 33 做掩模，进行离子注入，并形成存储单元晶体管的源扩散区 5 和成为 MOS 晶体管的源和漏的扩散区 35。

5 然后，去掉光刻胶 33，并进行使扩散层 35 和源扩散区 5 非晶化的工艺，以便在 MOS 晶体管的扩散层 35 上和存储单元晶体管的源扩散区 5 上形成硅化物。此时，在整个晶片上进行例如砷注入，但是存储单元区的漏区 4 被 LDD HTO 膜 23 覆盖，因此没有发生砷注入。在暴露的扩散层 35 和源扩散区 5 中进行砷注入，并使扩散层 35 和源扩散区 5 的表面非晶化。完成非晶化工艺之后，去掉扩散层 35 上和源
10 扩散区 5 上的贯穿膜 14，露出扩散层 35 和源扩散区 5。

通过在暴露的扩散层 35 和源扩散区 5 上进行钛溅射，在非晶扩散层 35 上和源扩散区 5 上形成钛。通过进行热处理，非晶扩散层 35 与钛反应，非晶源扩散区 5 与钛反应，从而形成硅化钛 (TiSi) 25。在
15 钛溅射过程中，漏扩散区 4 被 LDD HTO 膜 23 覆盖，因此钛没有与硅反应，并且没有形成 TiSi。然后，通过借助湿法腐蚀等方法去掉未反应的钛，只留下 TiSi 25，如图 26 所示。

20 这样，通过在存储单元晶体管的源扩散区 5 中形成硅化物层，与 MOS 晶体管的源和漏一样，由此可以大大地减小表面电阻，与现有技术的情况相比，可减小几欧姆到几百欧姆，并可以大大提高存储单元读出速度。

25 在实施例 2 中可以减小源线电阻，但是与硅化接触和金属布线相比，虽然漏线杂质浓度很高，但漏线仍具有很高的电阻。

现在参照图 33-38 介绍减小线电阻的本发明的实施例 3。

30 形成存储单元区的存储单元晶体管的双栅的工艺即从图 2-图 9 的工艺与实施例 1 的相同，因此不再说明。

5 如图 9 所示形成双栅，在去掉光刻胶 29 之后，用光刻胶 37 分别掩蔽成为存储单元晶体管源的 P 阱 6 的暴露部分、和其中形成与漏和上布线连接的接触的 P 阱 6 的暴露部分。在成为漏的 P 阱 6 的暴露部分中进行离子注入，形成高浓度漏扩散区 4，如图 33 所示。

接下来，使用掩模选择腐蚀第二多晶硅层 21 和 WSi 22（图中未示出），以便在逻辑 Tr 区中形成 MOS 晶体管栅极。

10 之后，进行离子注入，以便使逻辑 Tr 区 MOS 晶体管形成为 LDD 结构，但该步骤是在用光刻胶 31 覆盖漏扩散区 4 之前进行的，以便保护它不受不希望的离子注入。在成为存储单元晶体管的源的区域中、在成为漏接触的区域中和在成为 MOS 晶体管的源和漏的区域中进行 LDD 离子注入，形成轻掺杂扩散层 34，如图 34 所示。

15 剥离光刻胶 31 之后，在整个表面上形成厚度为 1000 埃的 LDD HTO 膜 23，如图 35 所示，暴露必须成为存储单元晶体管的漏区 4 上的漏接触的区域，并选择形成光刻胶 32。用光刻胶 32 作为掩模，选择腐蚀 LDD HTO 膜 23。在逻辑 Tr 区中的 MOS 晶体管的侧表面中形成侧壁，同时还在未被光刻胶 32 覆盖的存储单元晶体管的源侧栅极的侧壁中形成侧壁，如图 36 所示。

20 剥离光刻胶 32 之后，在用于离子注入的整个表面上形成贯穿膜 14，同时形成光刻胶 33 以便只留在贯穿膜 14 上的存储单元晶体管的漏扩散区 4 上，如图 37 所示。用光刻胶 33 做掩模，进行离子注入，并形成存储单元晶体管的源扩散区 5、漏接触区 41 和将成为 MOS 晶体管的源和漏的扩散区 35。

25 然后，去掉光刻胶 33，并进行使扩散层 35、漏接触区 41 和源扩散区 5 非晶化的工艺，以便在 MOS 晶体管的扩散层 35 上、在存储单
30

元晶体管的漏接触区 41 上和源扩散区 5 上形成硅化物。此时，漏扩散区 4 被 LDD HTO 膜 23 保护以便不经受非晶化工艺，与实施例 2 相同。完成非晶化工艺之后，去掉扩散层 35 上、漏接触区 41 上和源扩散区 5 上的贯穿膜 14，暴露扩散层 35、漏接触区 41 和源扩散区 5。

5

通过在暴露的扩散层 35、漏接触区 41 和源扩散区 5 上进行钛溅射，从而在这些非晶区上形成钛。通过进行热处理，使钛与这些非晶区反应，从而形成硅化钛 (TiSi) 25。在钛溅射过程中漏扩散区 4 被 LDD HTO 膜 23 覆盖，因此钛没有与硅反应，因此没有形成 TiSi。之后，通过湿法腐蚀等方法去掉未反应的钛，只留下 TiSi 25，如图 38 所示。

10

因此，通过使存储单元晶体管的源扩散区 5 硅化，与 MOS 晶体管的源和漏一样，同时还使漏接触硅化，可以减小存储单元晶体管和漏线的表面电阻，与常规情况相比，减小了几欧姆到几百欧姆，另外还提高了存储单元的读出速度。

15

如上所述，通过保护存储单元区扩散层以便不经受硅化物形成工艺，可以使 CMOS 晶体管源和漏被硅化，而不降低存储单元晶体管的特性，并提高了 CMOS 晶体管的响应速度，同时保持存储单元晶体管的写速度不变。

20



说明书附图

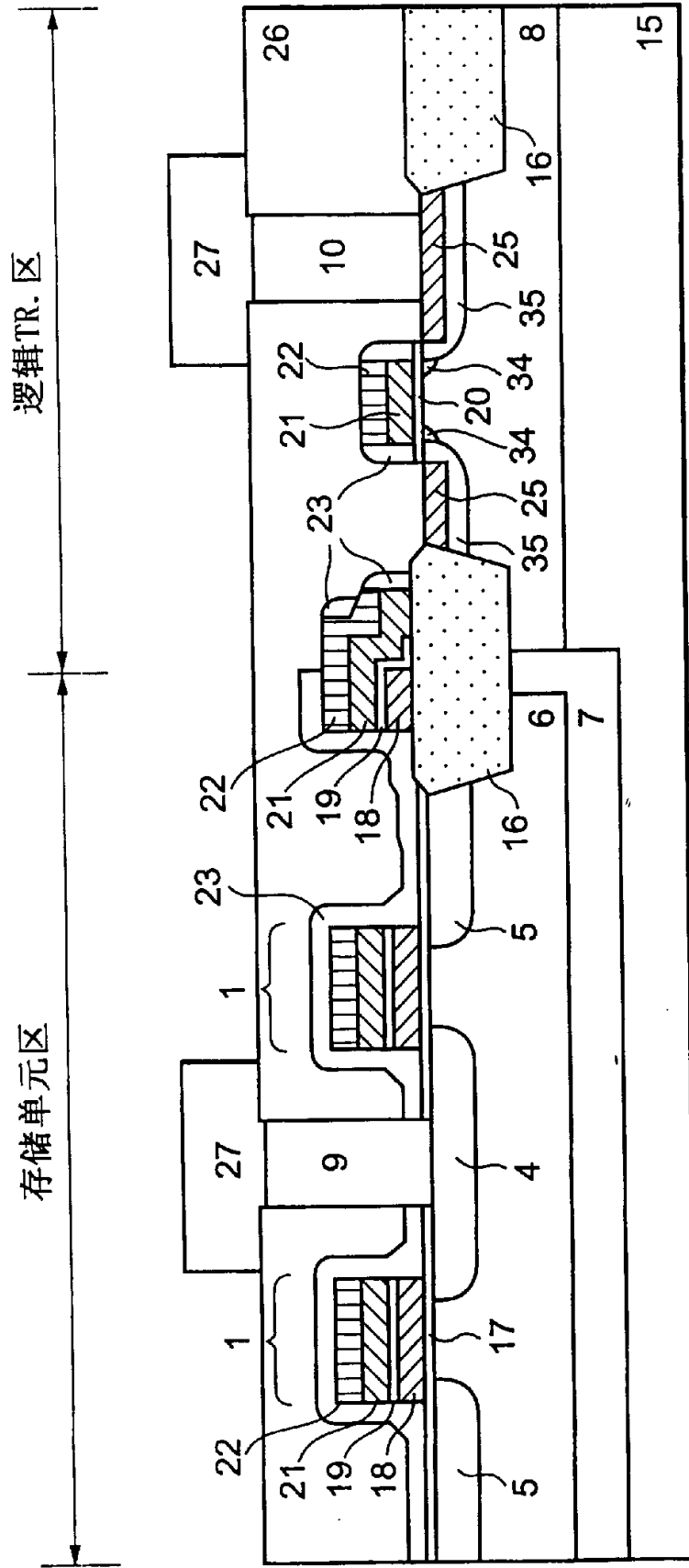


图1

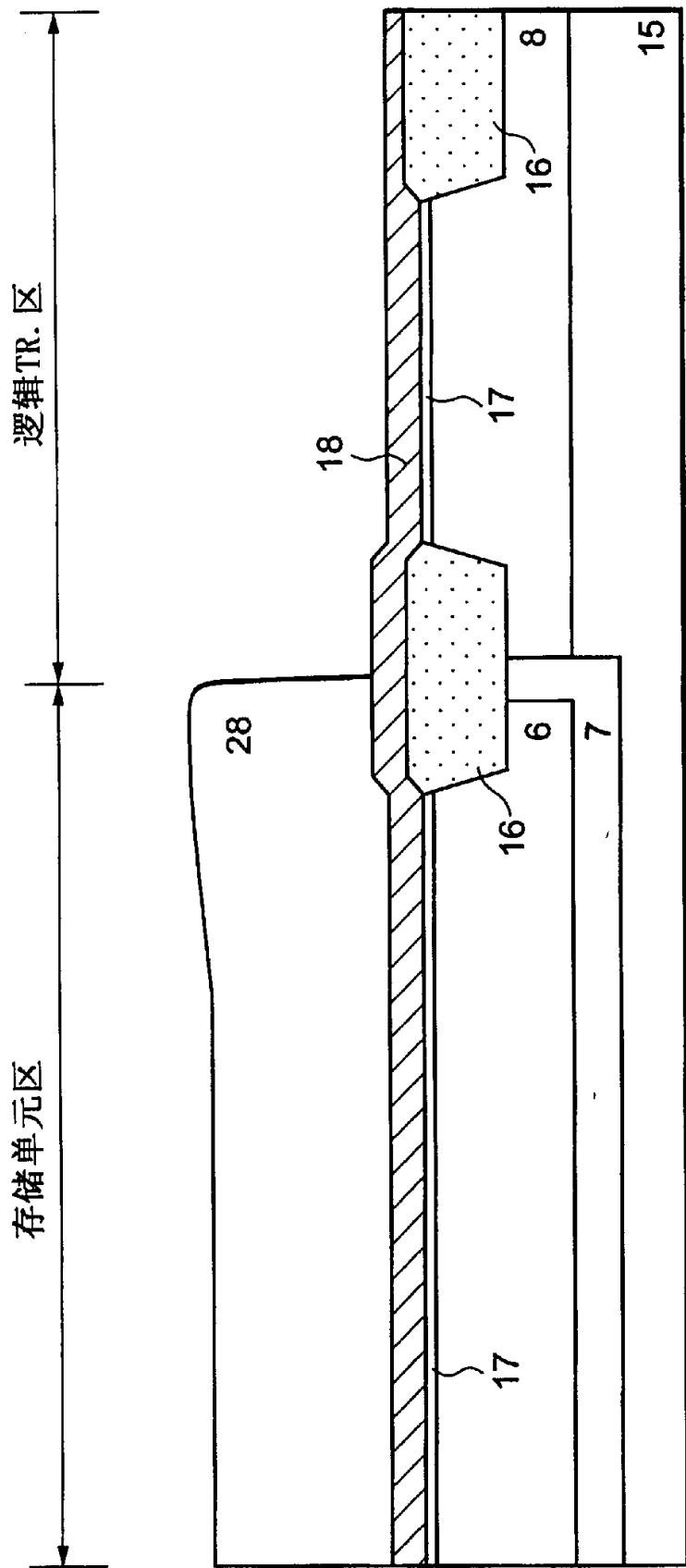


图2

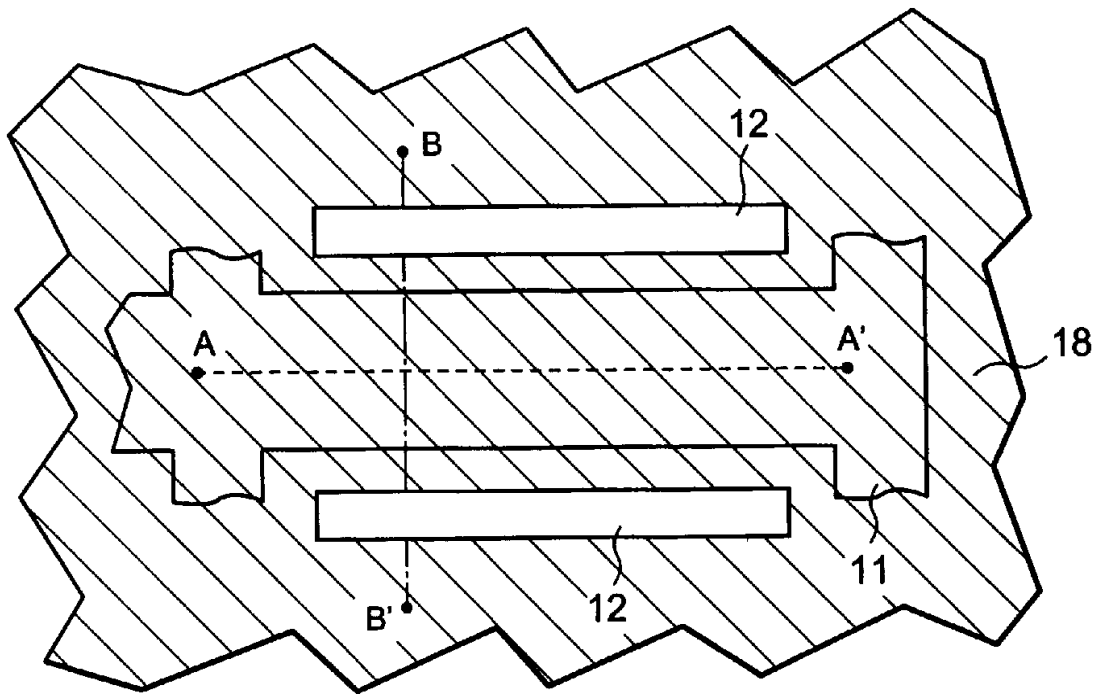


图3

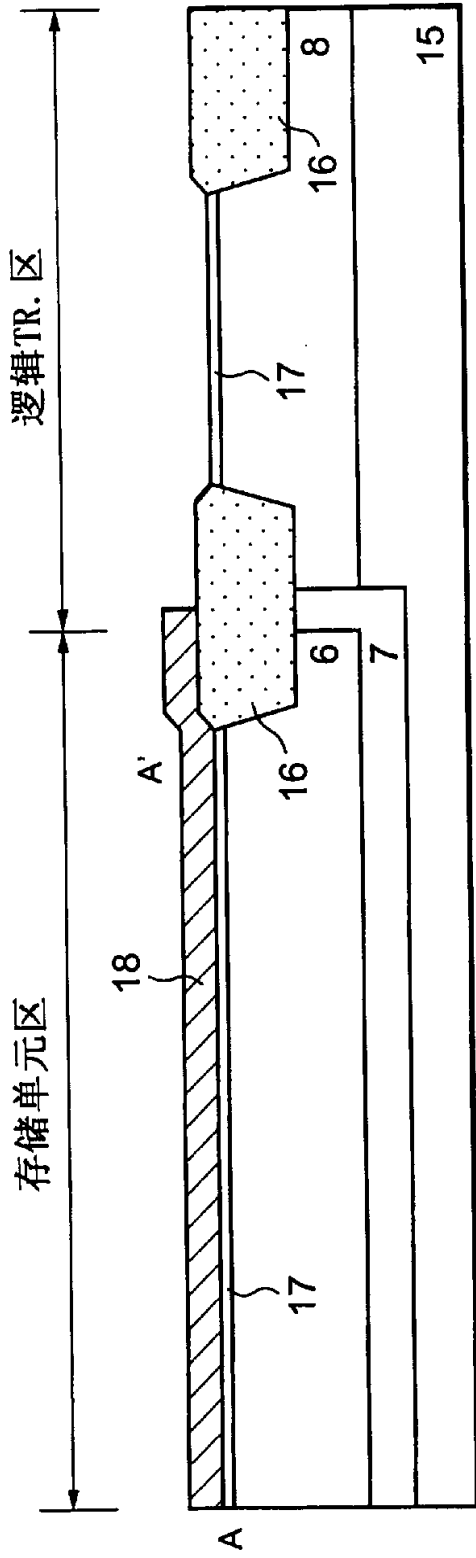


图4(a)

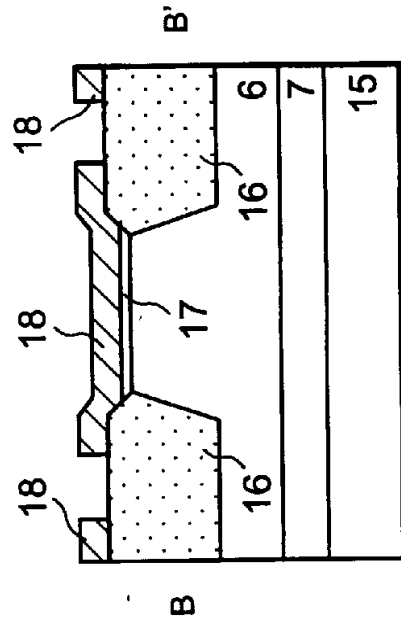


图4(b)

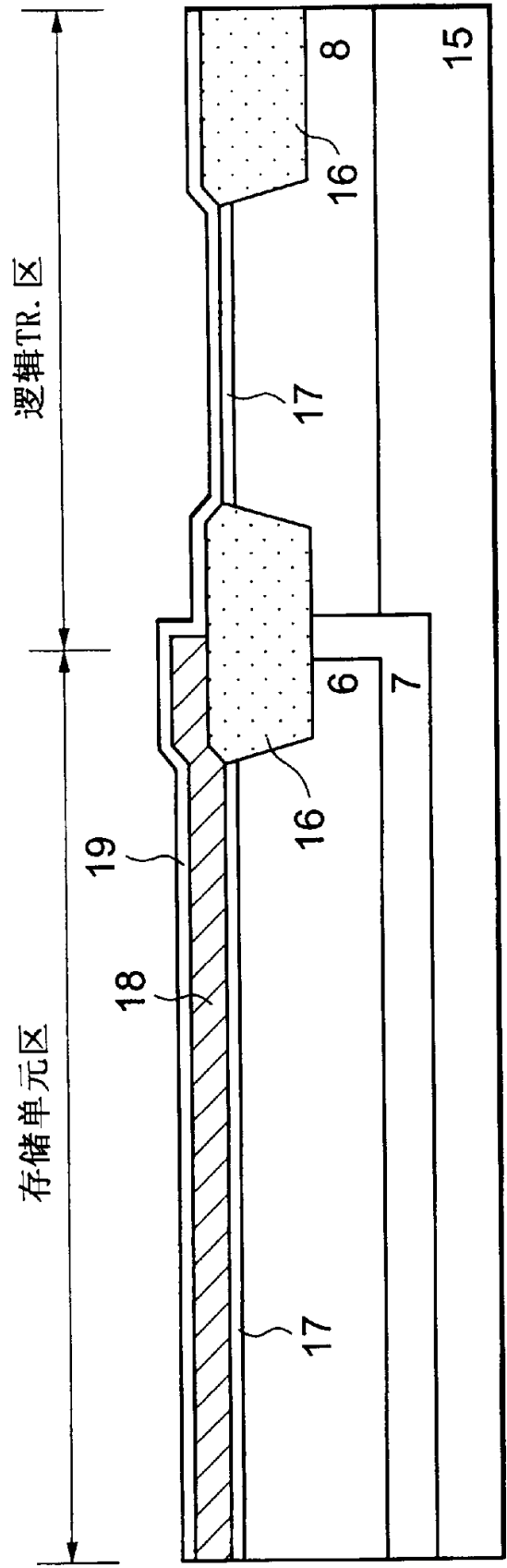


图5

3000

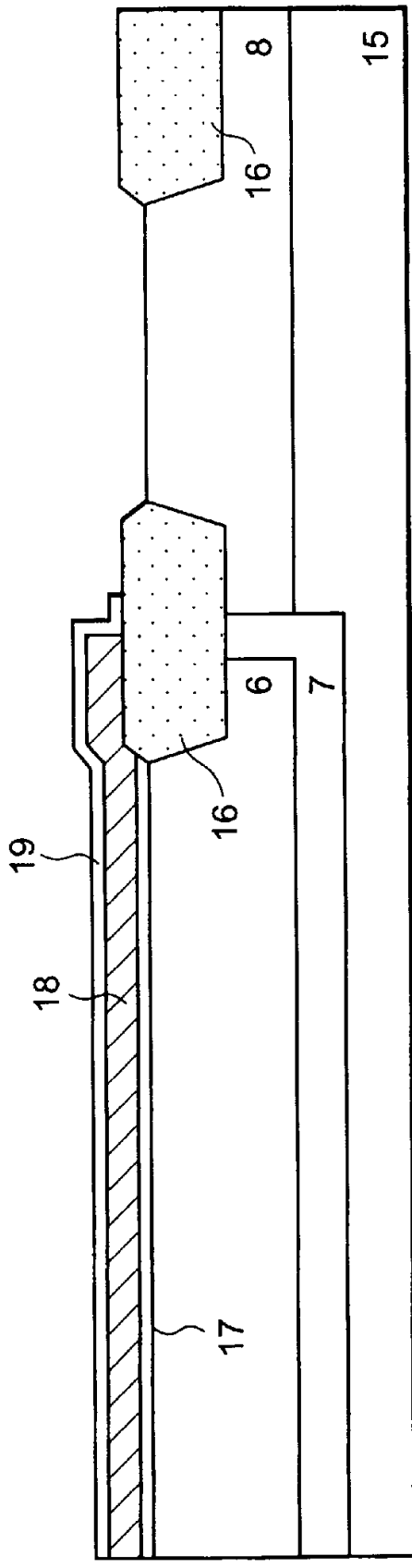


图6

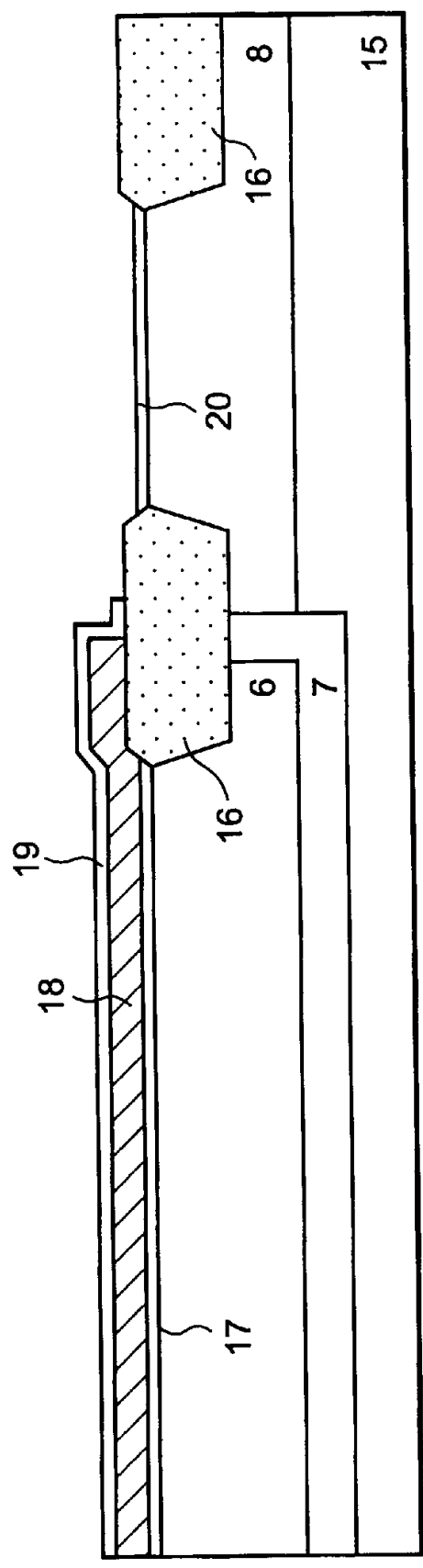


图7

0000

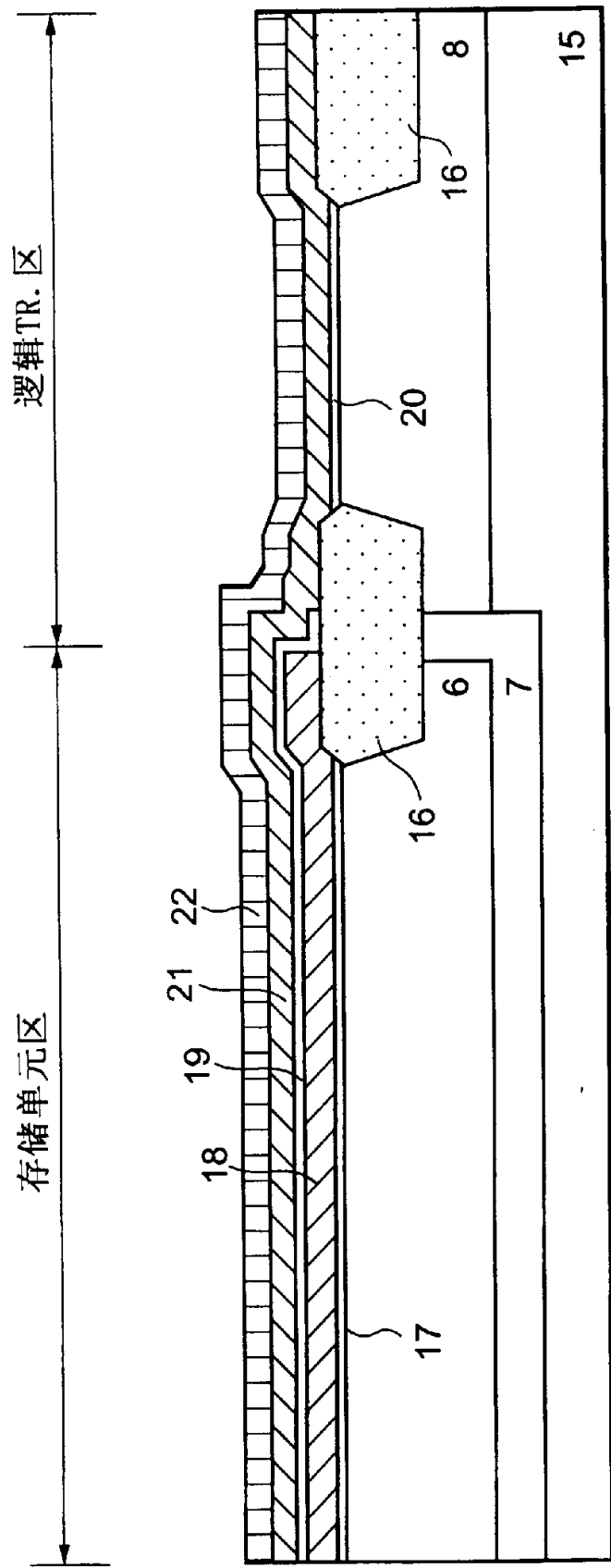


图8



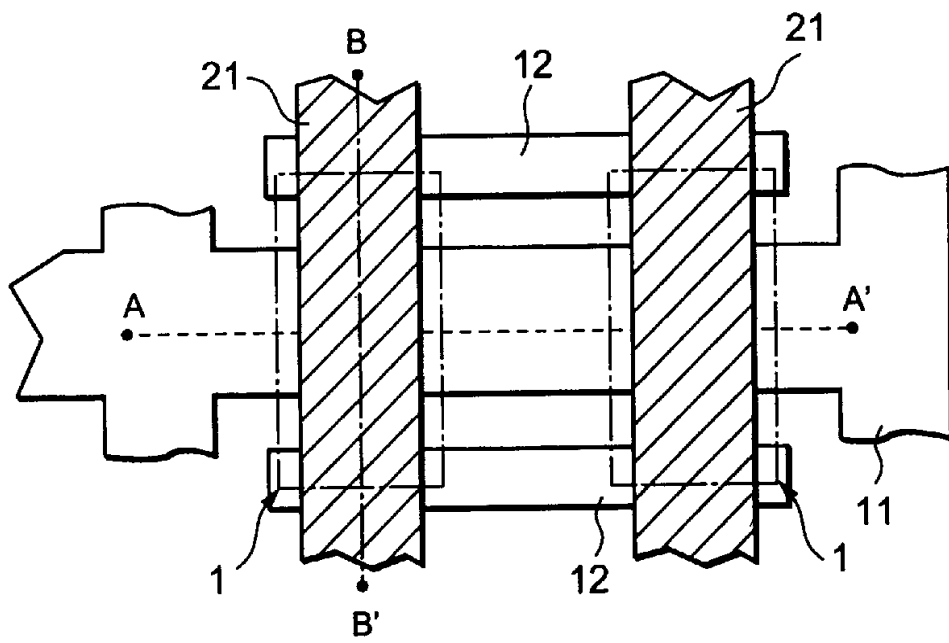


图10

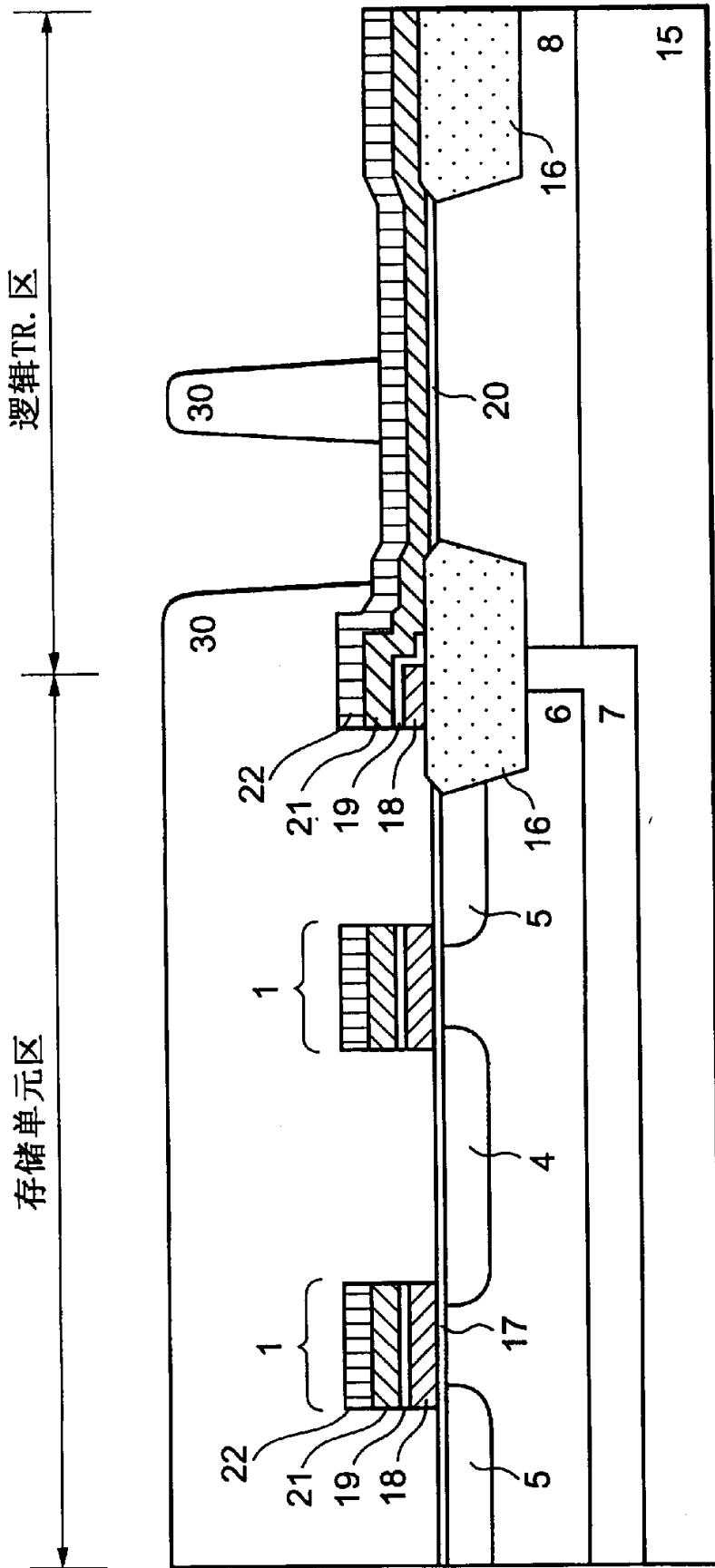


图12

1000
9000
8000
7000
6000
5000
4000
3000
2000
1000
0

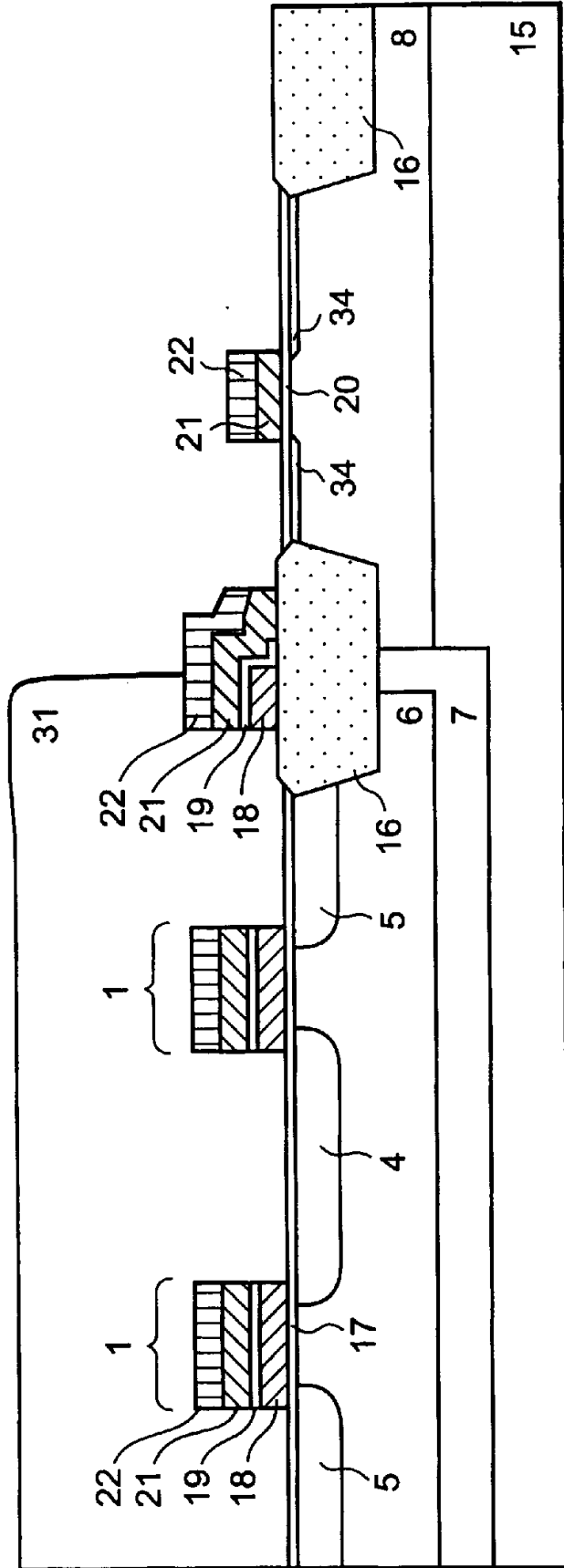


图13

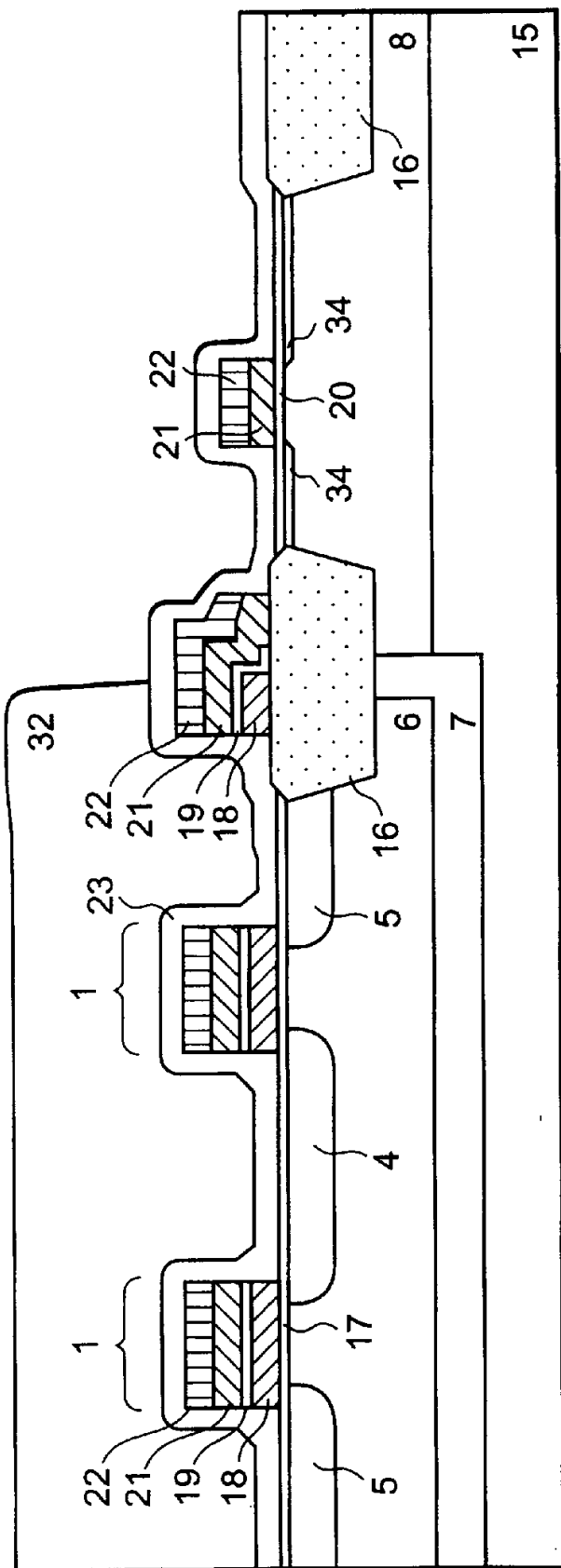


图14

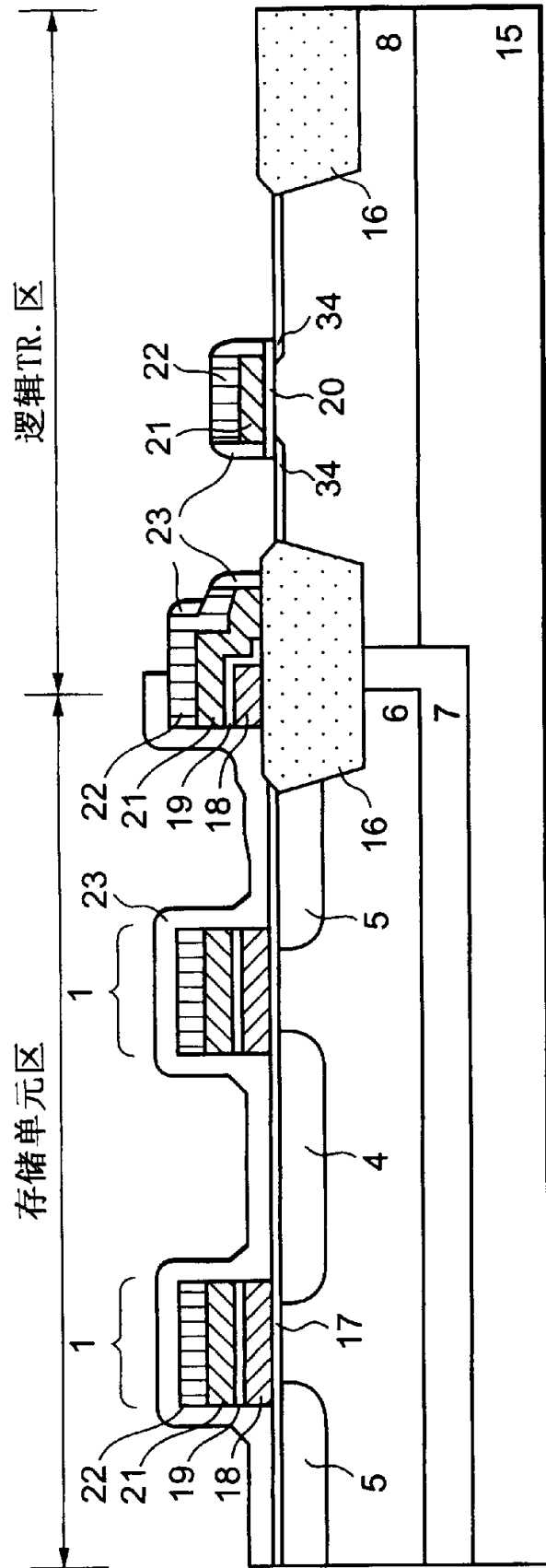


图15

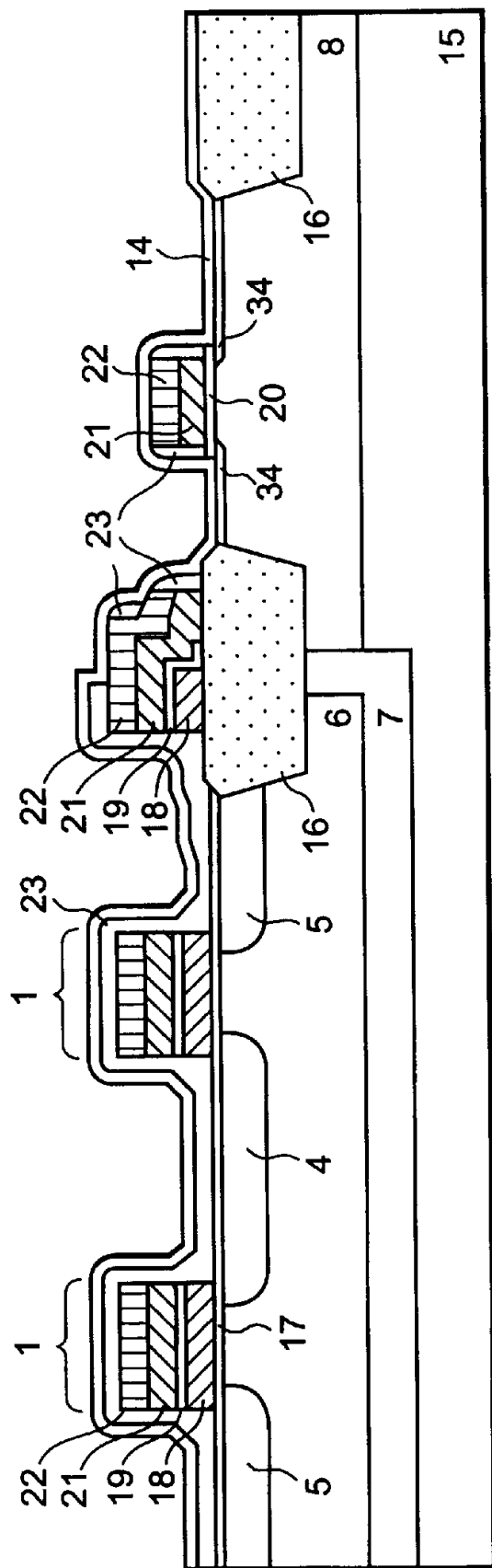


图16

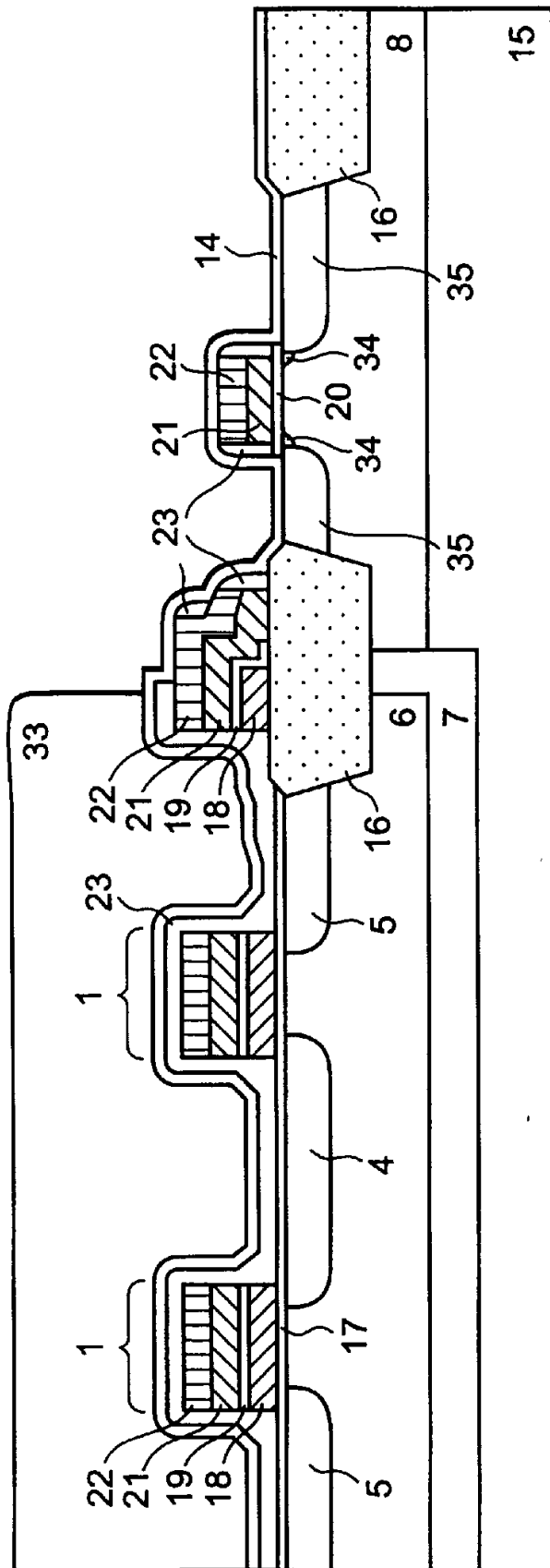


图17

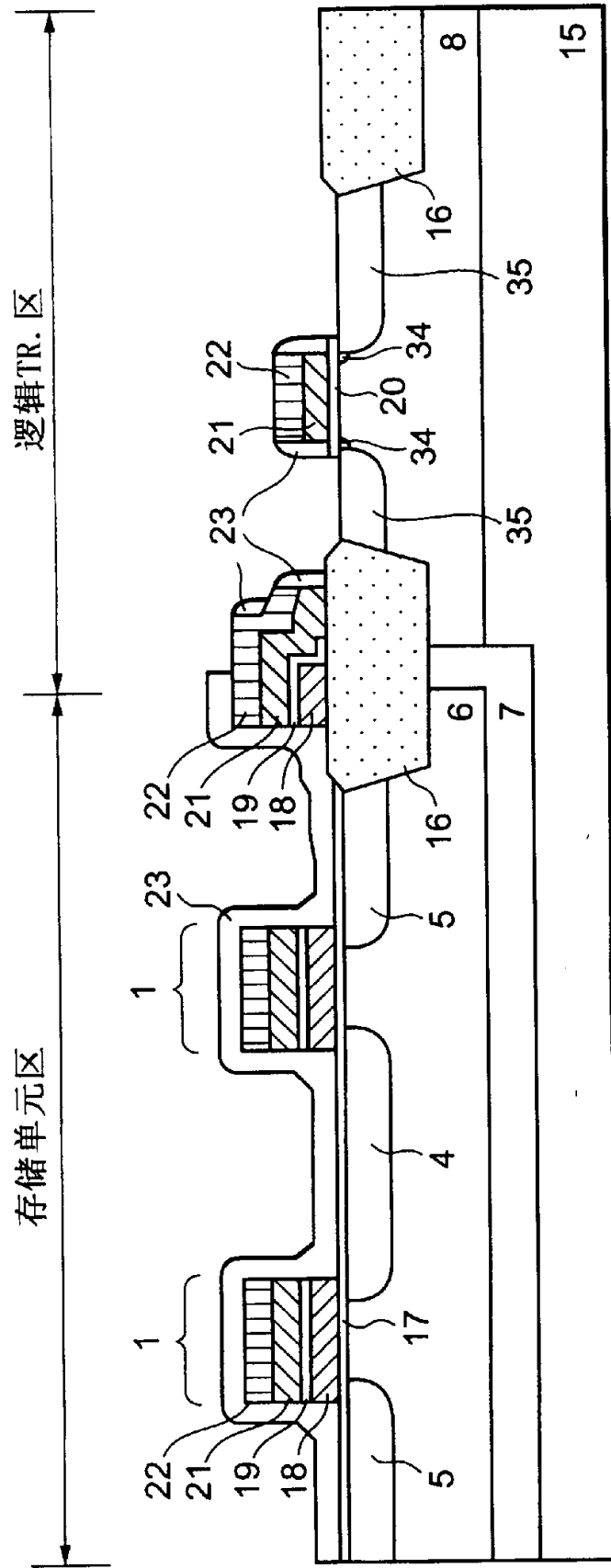


图18

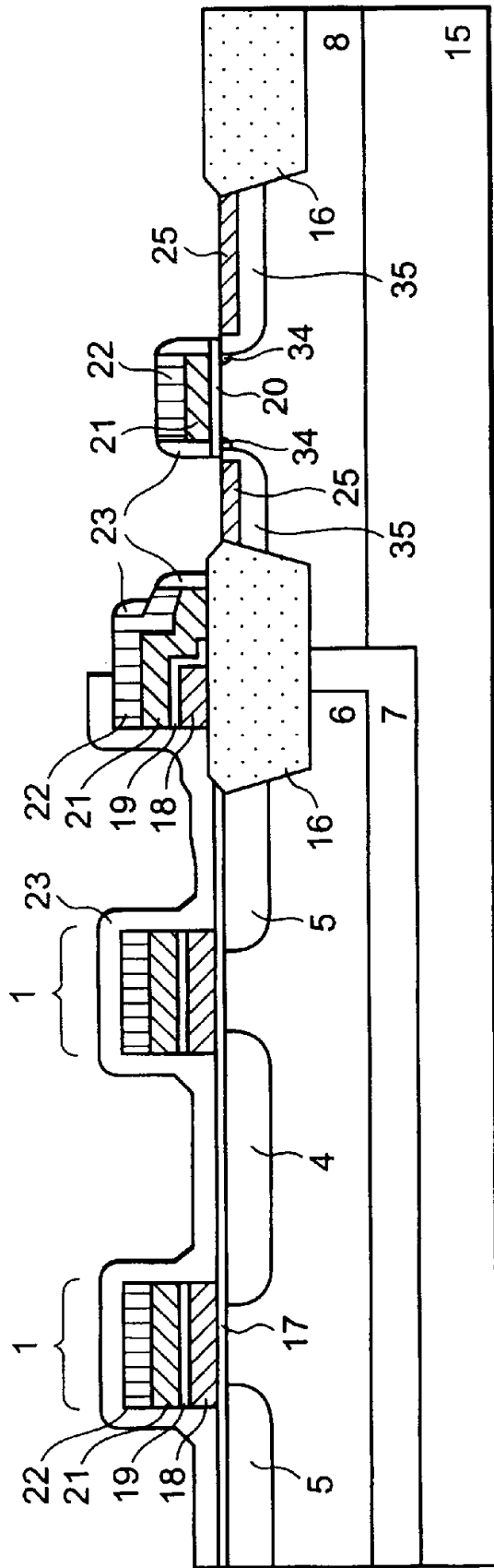


图19

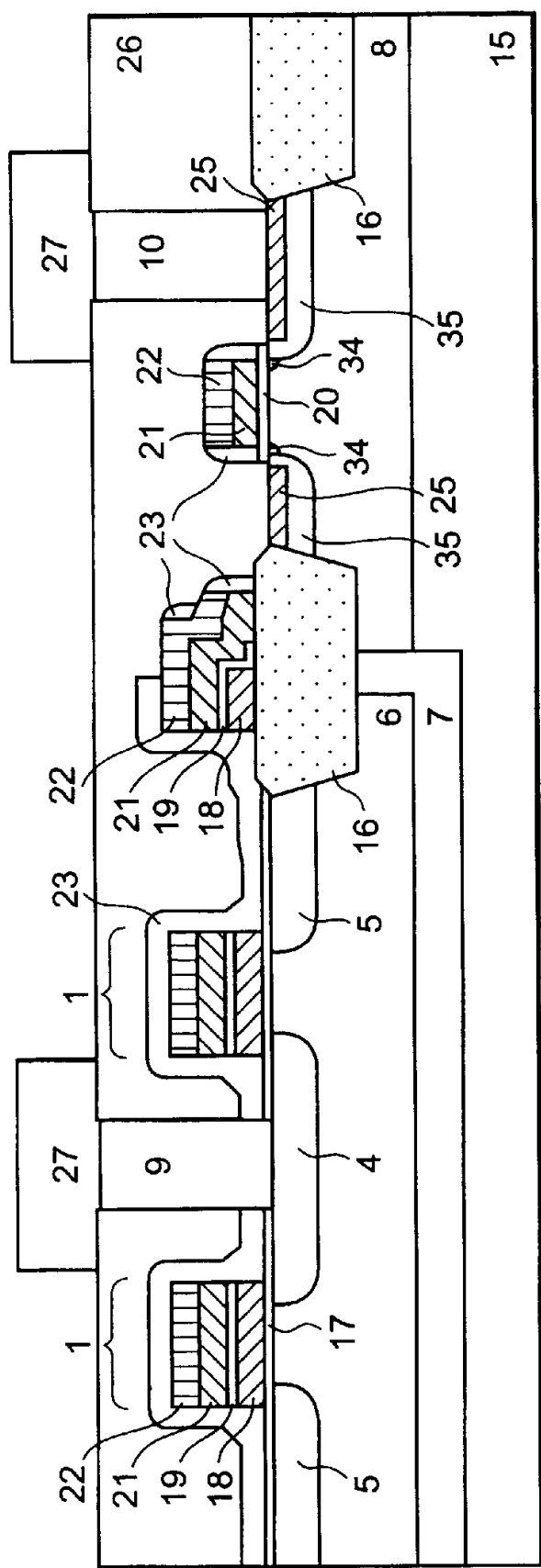


图20

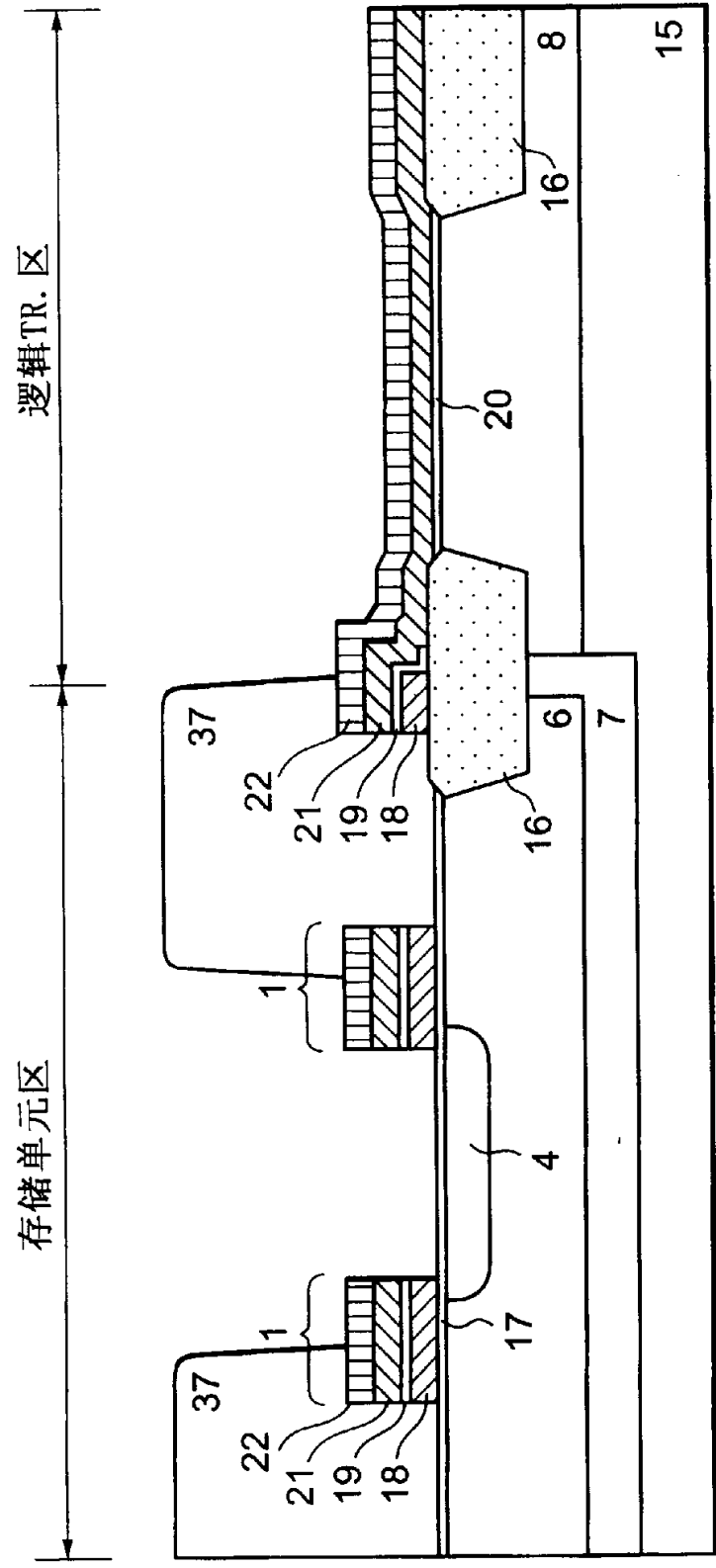


图21

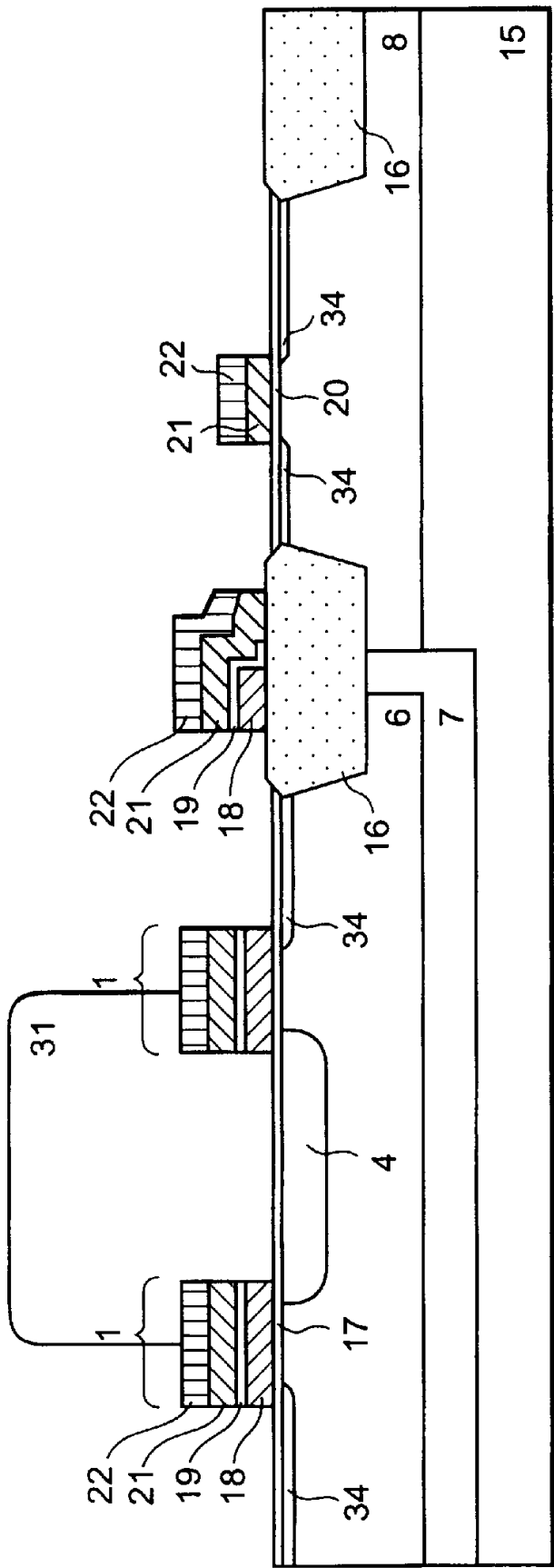


图22

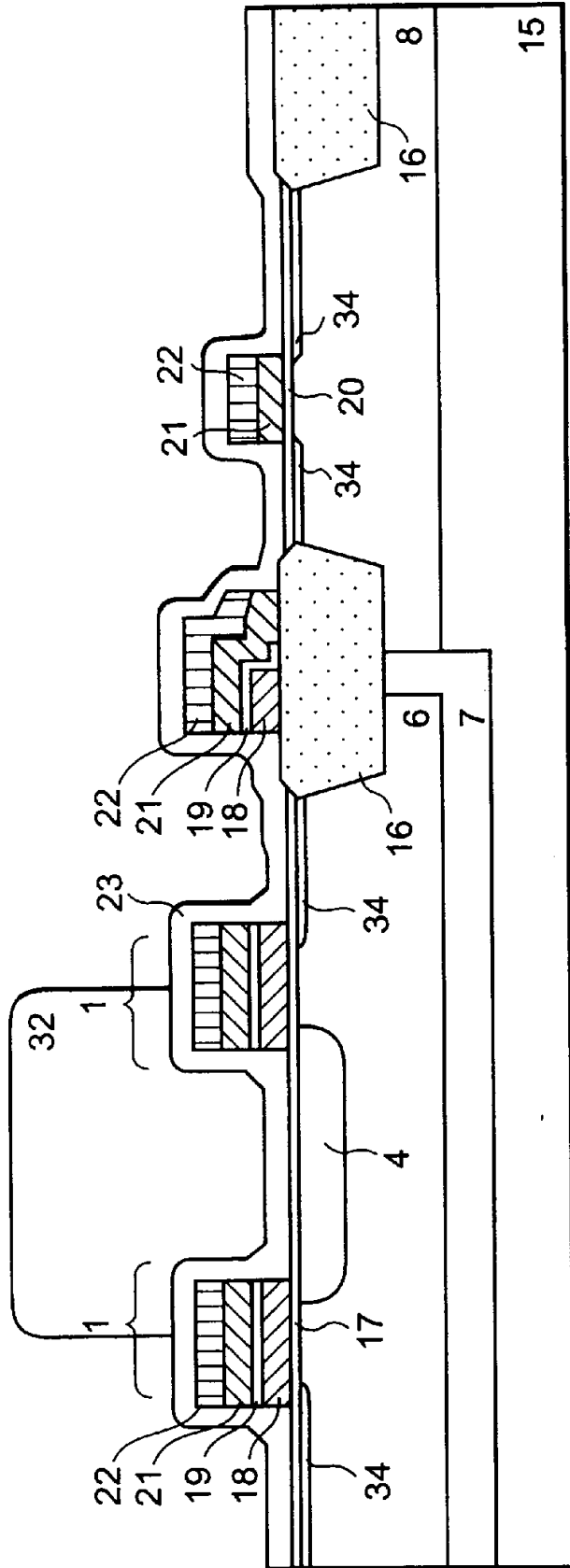


图23

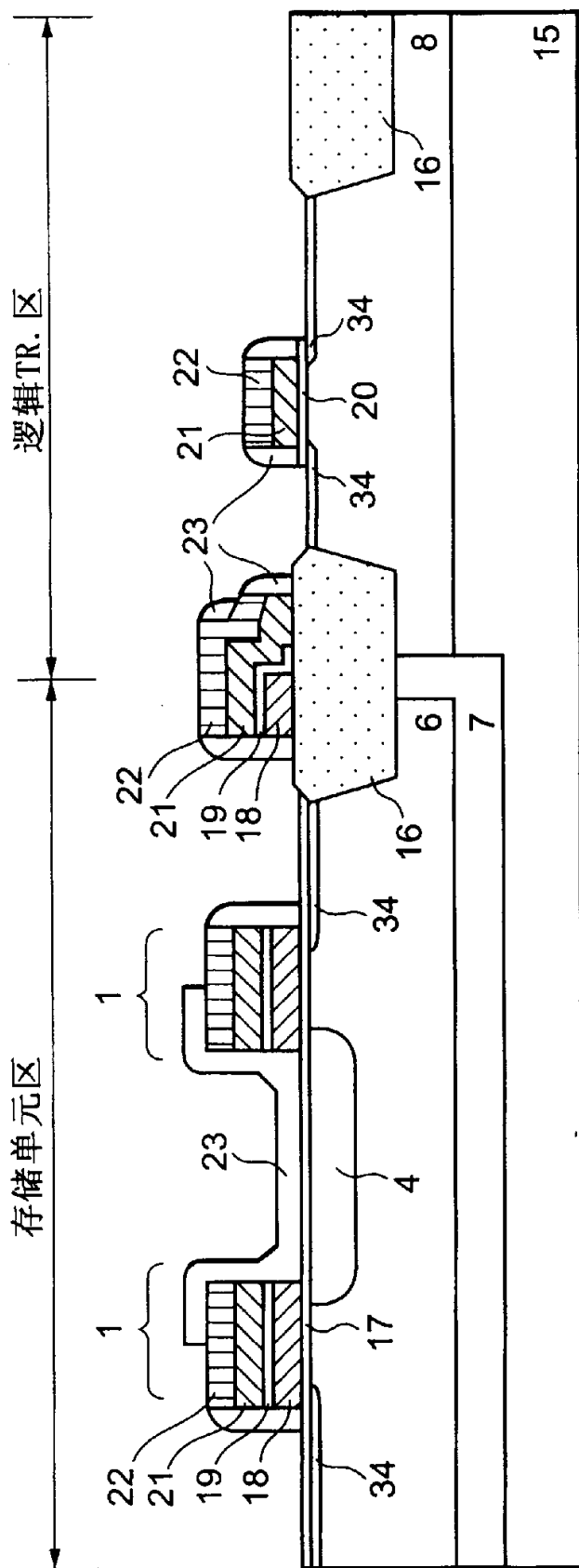
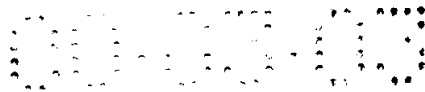


图24



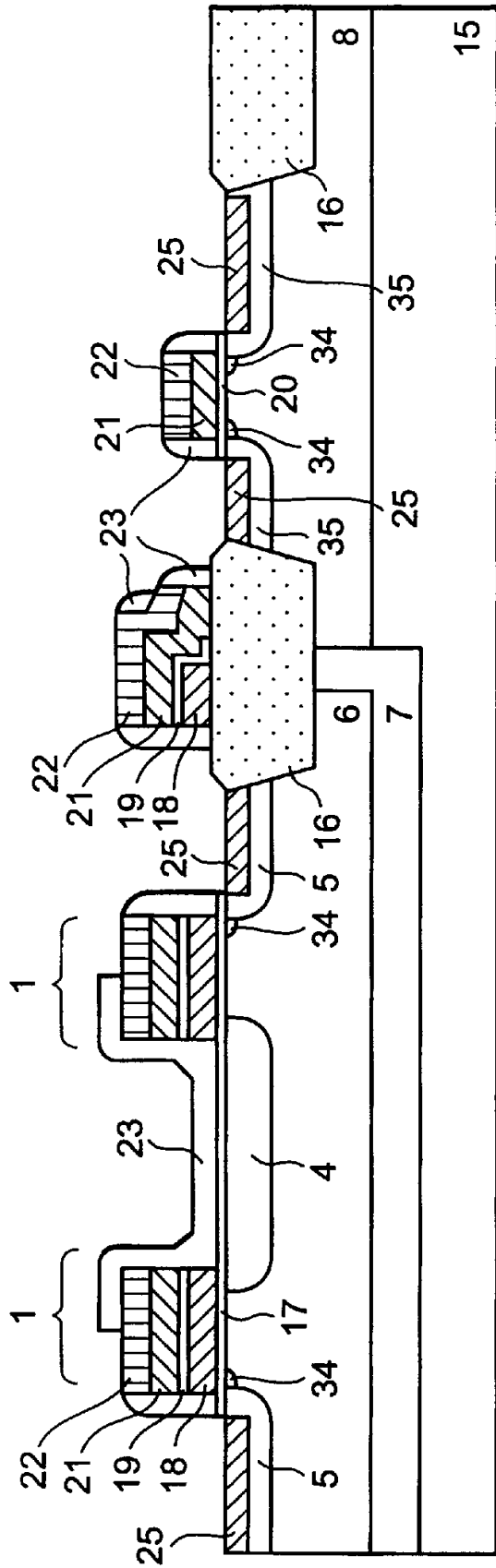


图26

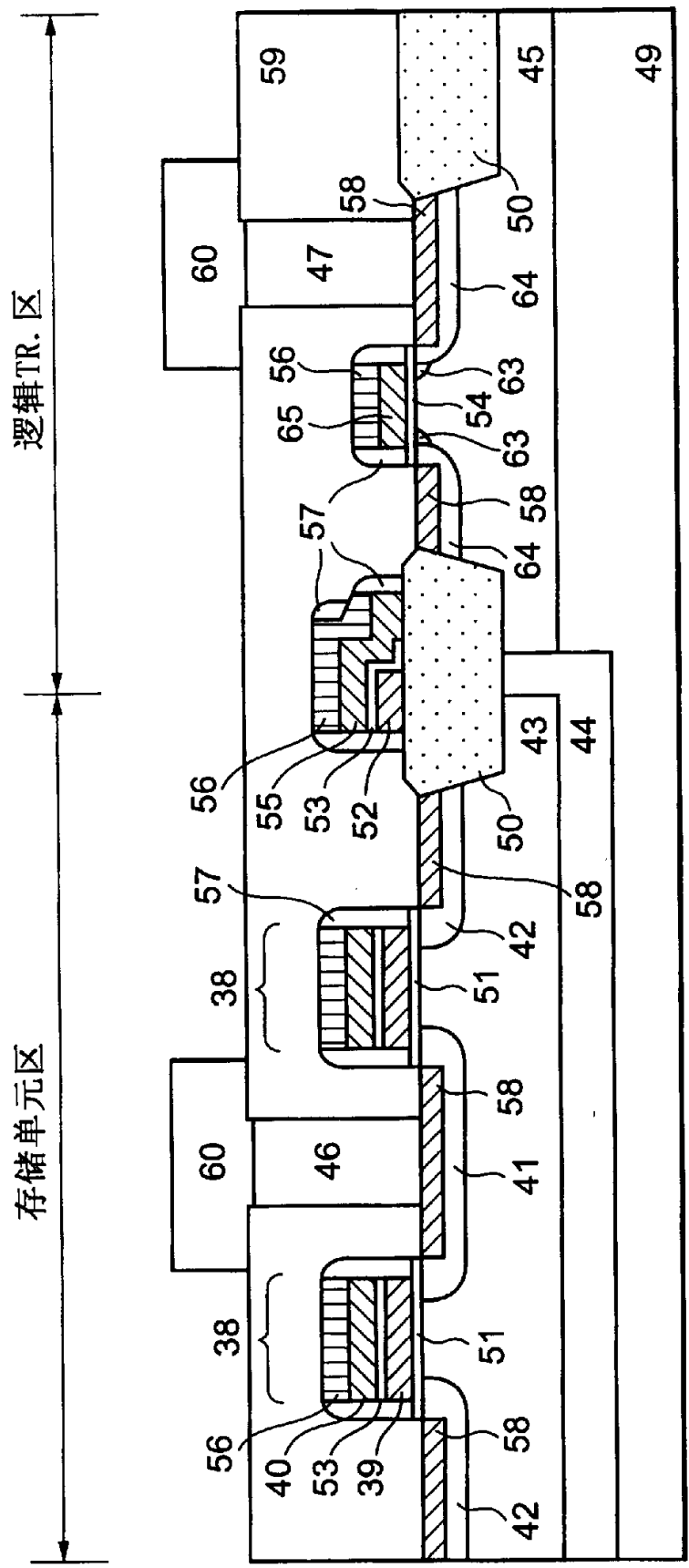
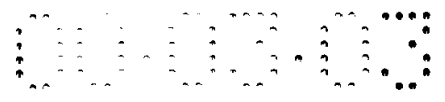


图27

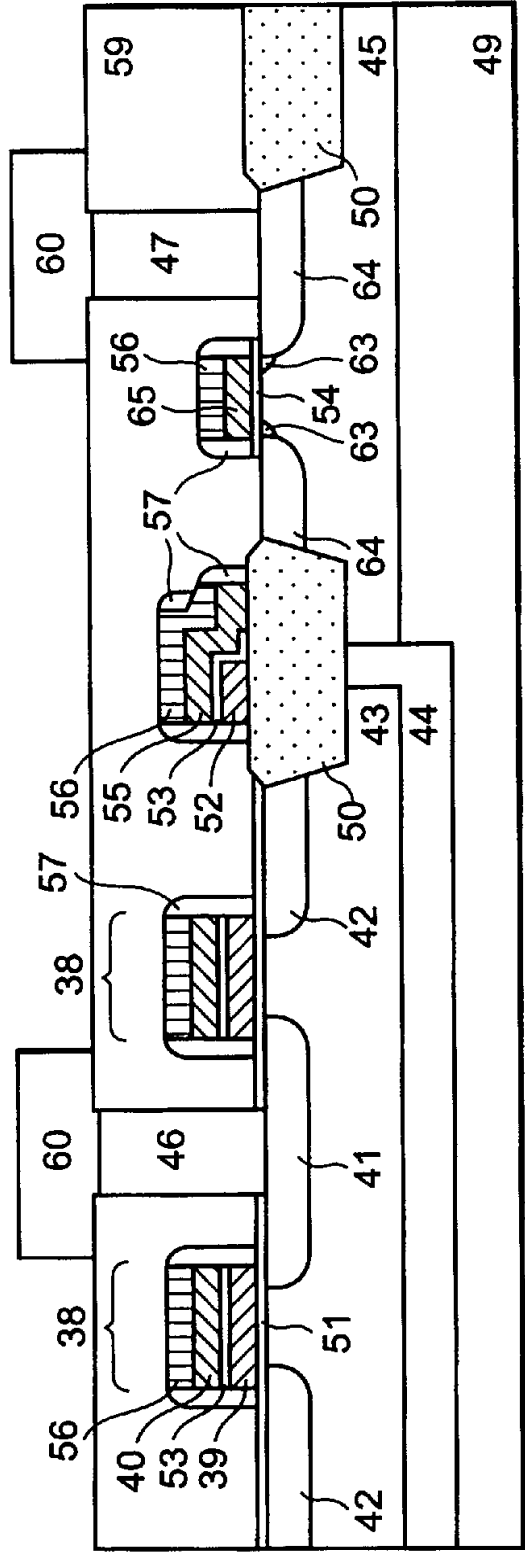
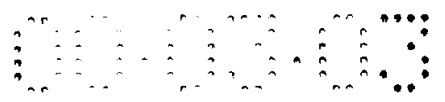


图28

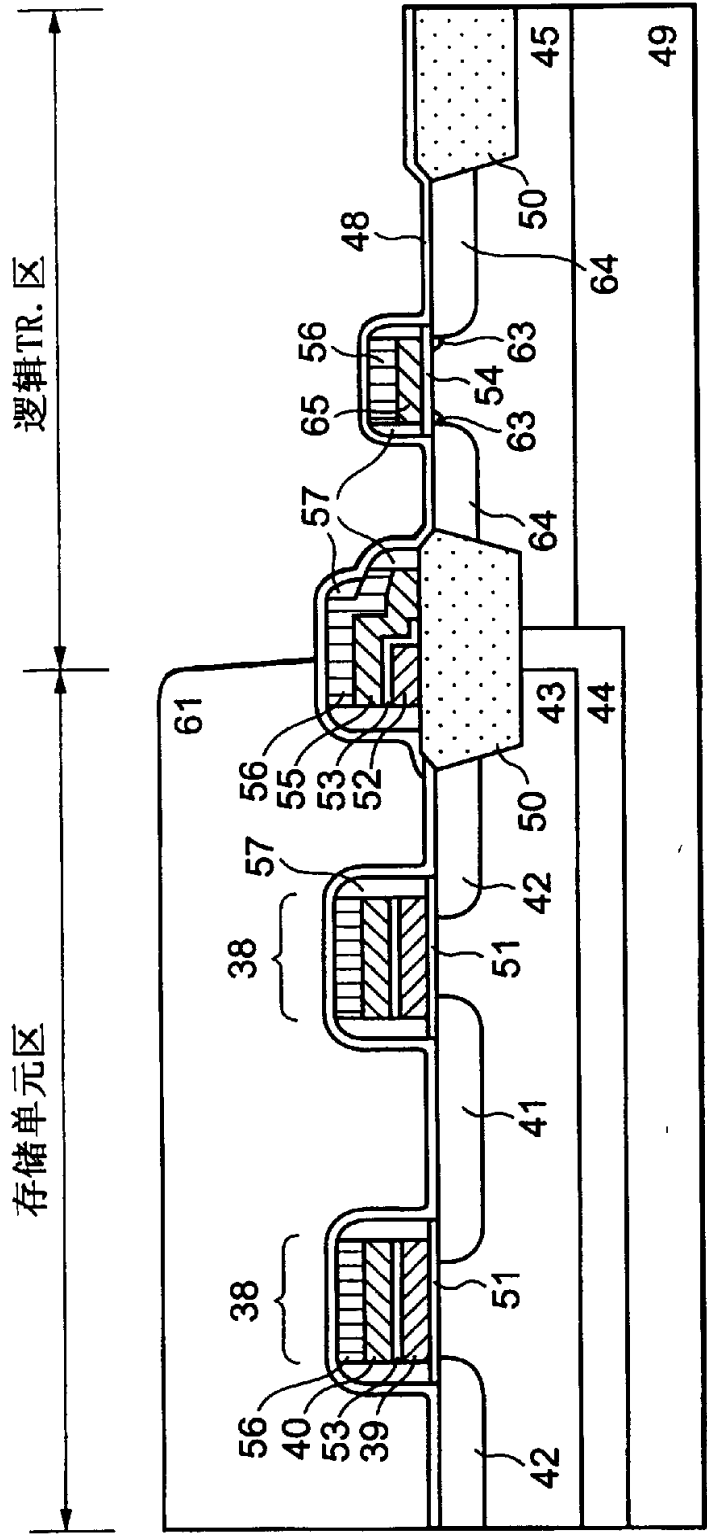


图29

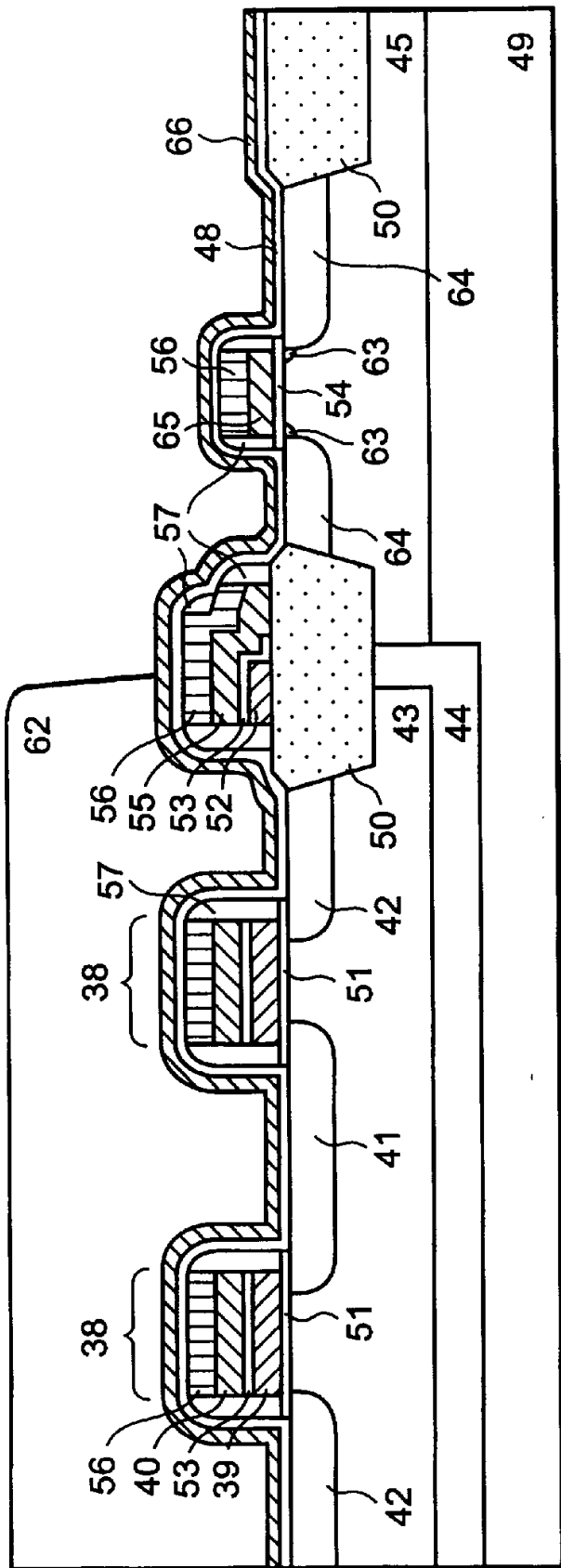
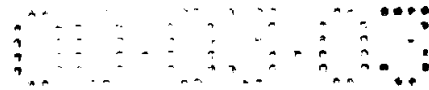


图30

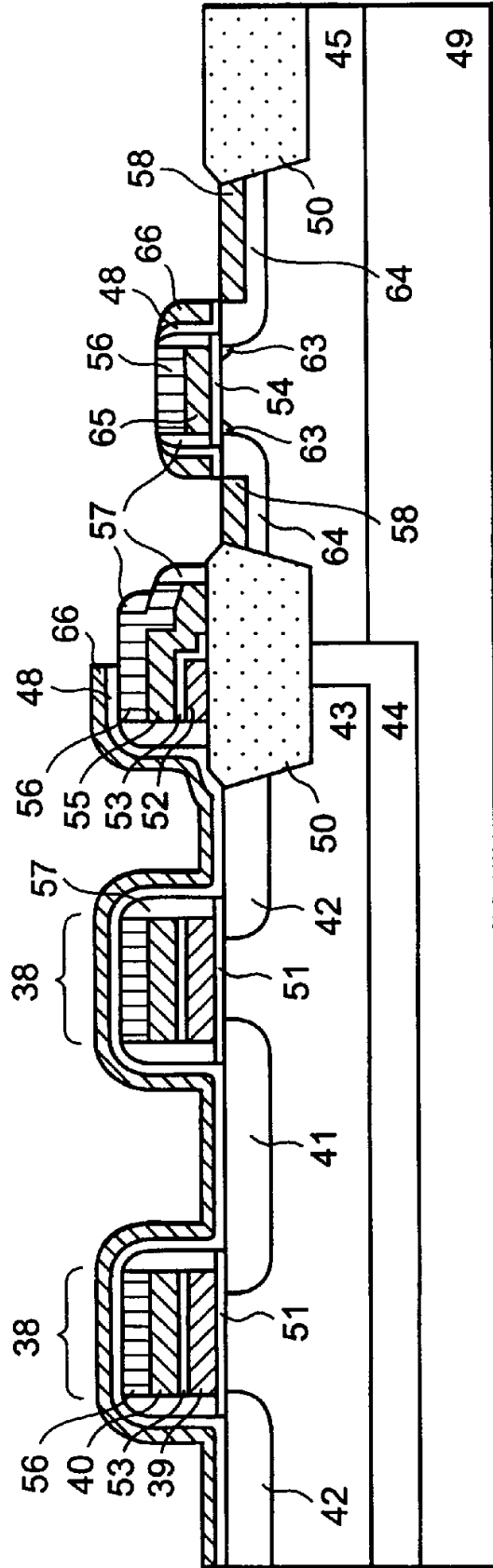


图31

	源电压	选择的栅电压	控制栅电压	漏电压	阱电压
写状态	开	0V	-9V	6V	0V
擦除状态	-4V	0V	11V	开	-4V
读状态	0V	VCC	VCC	1V	0V

图32

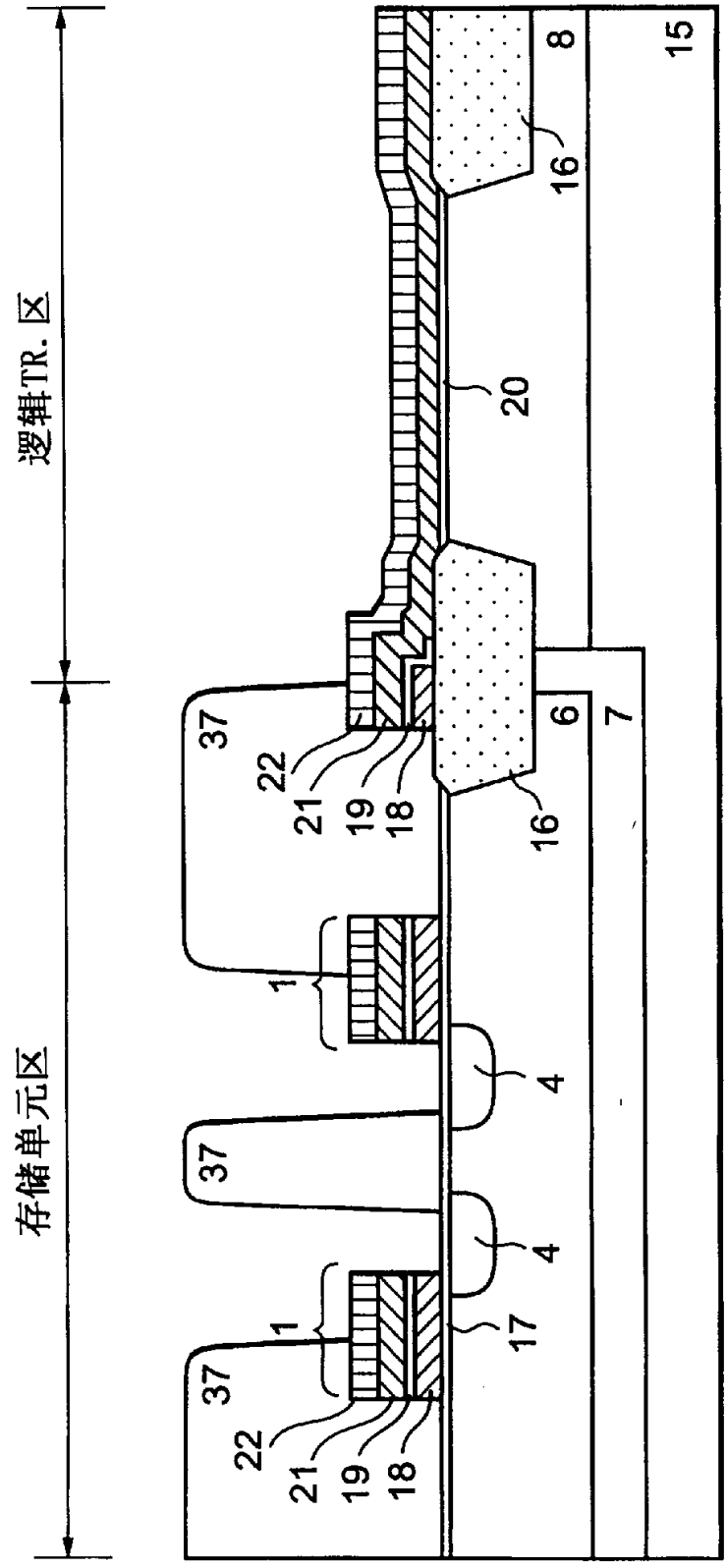


图33

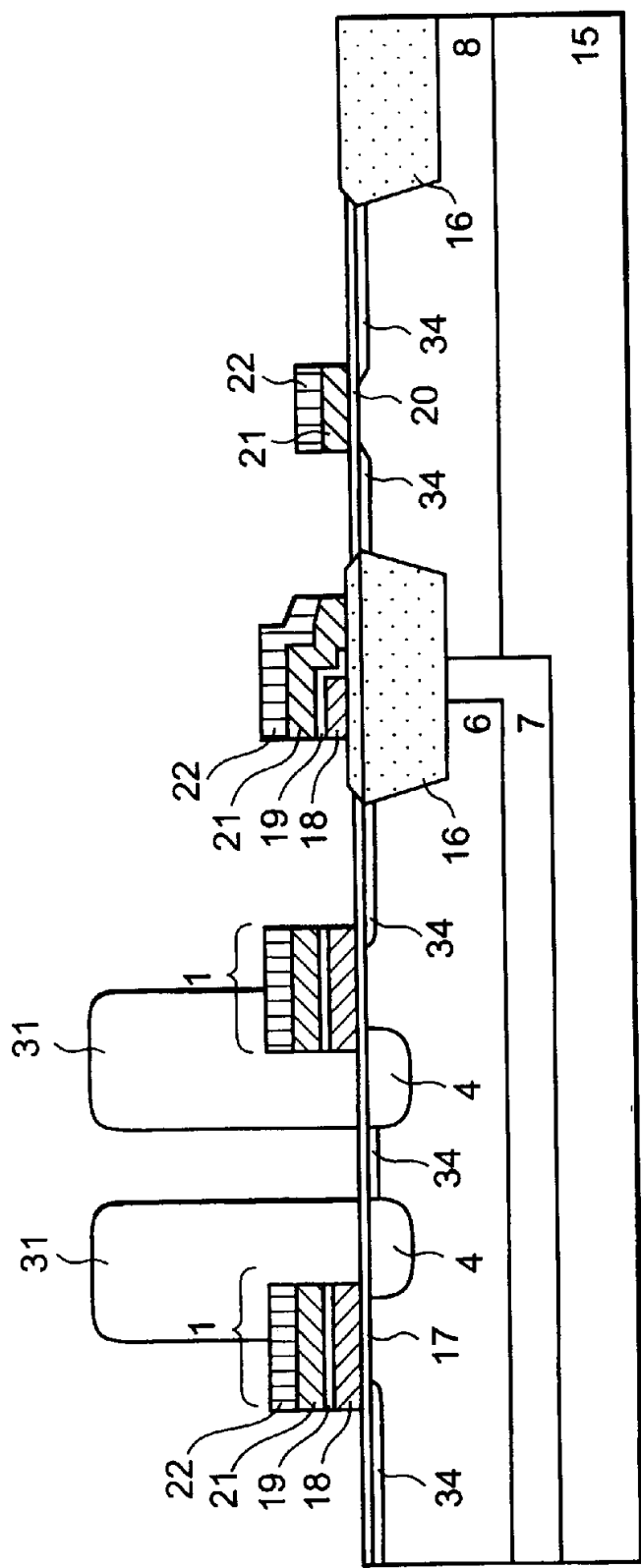


图34

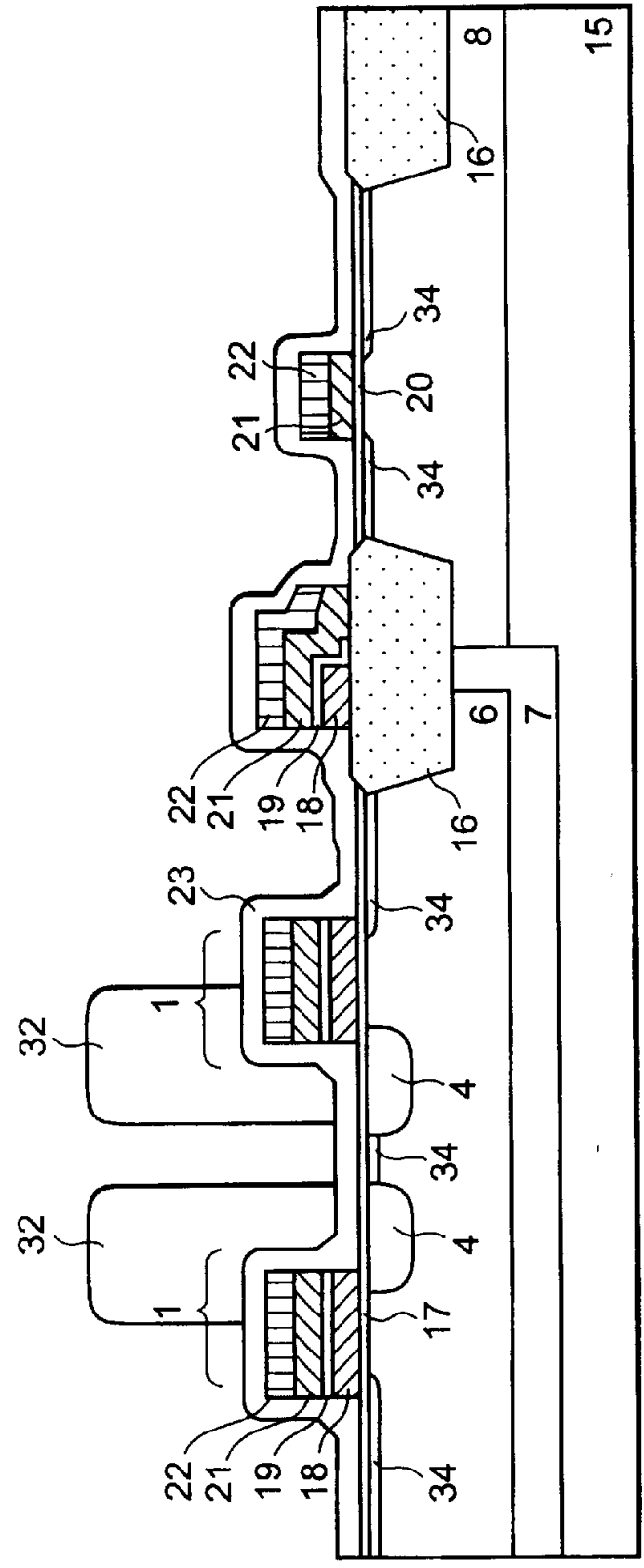


图 35

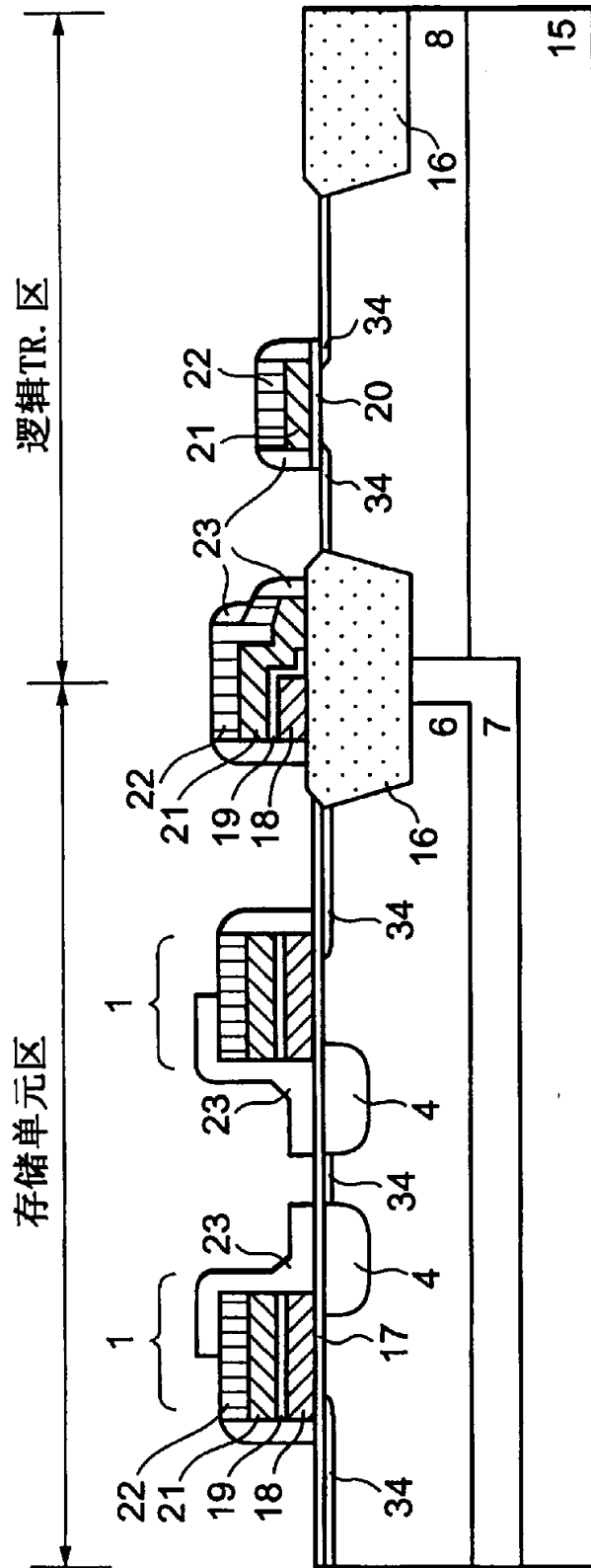


图36



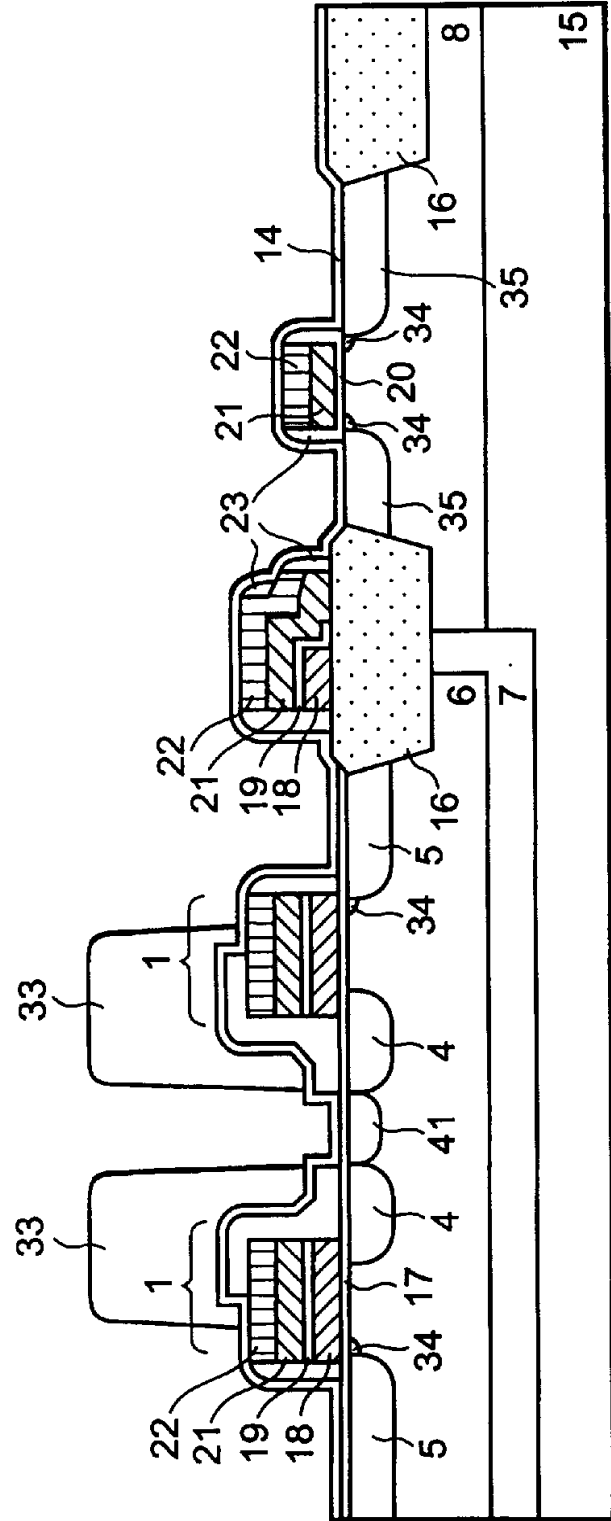


图37

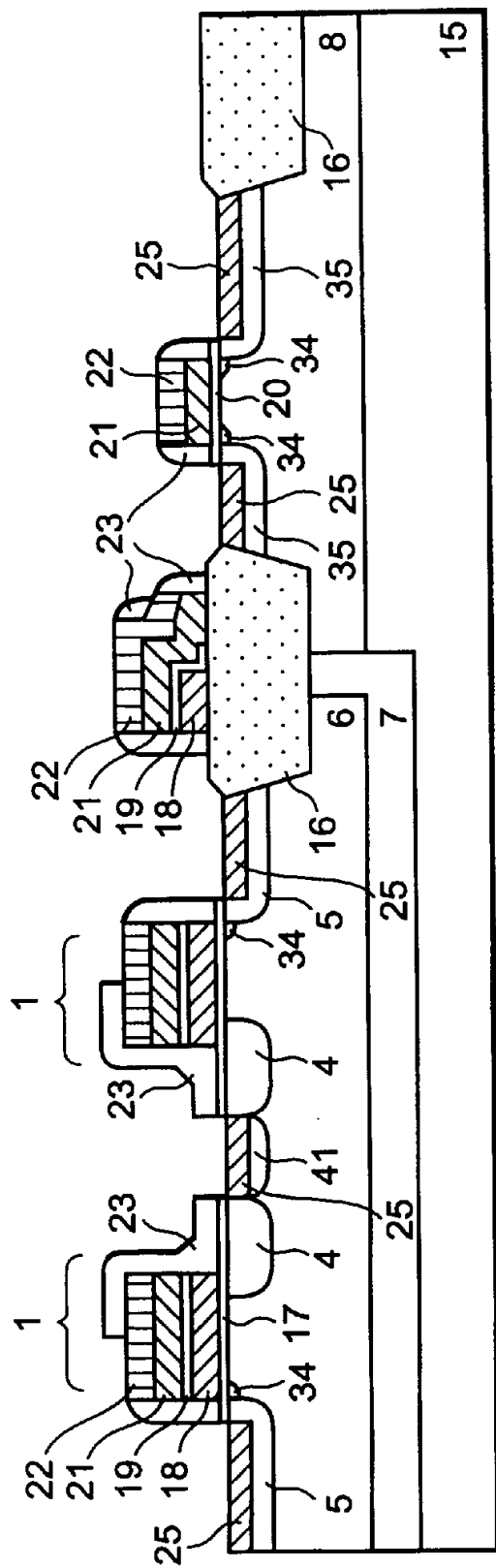


图38

