

圖 1

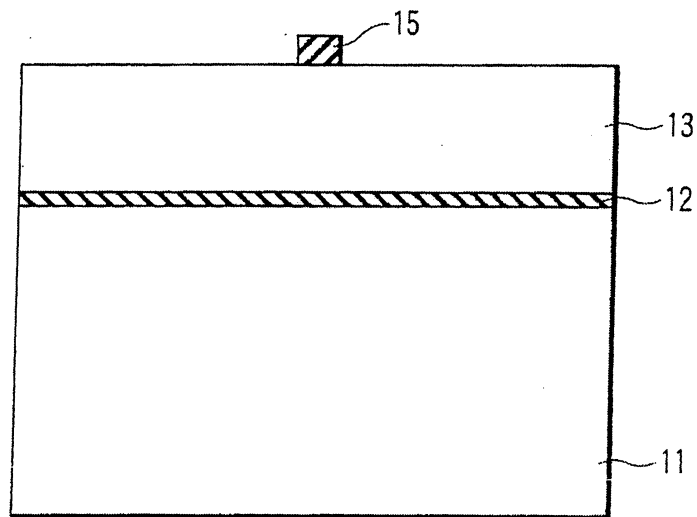


圖 2

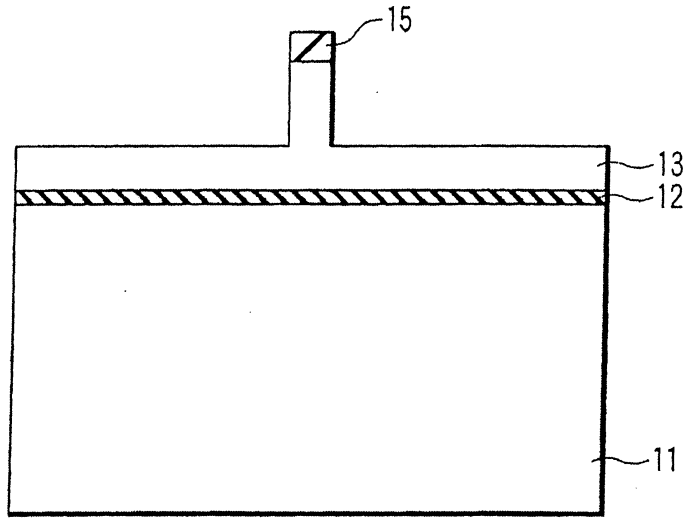


圖 3

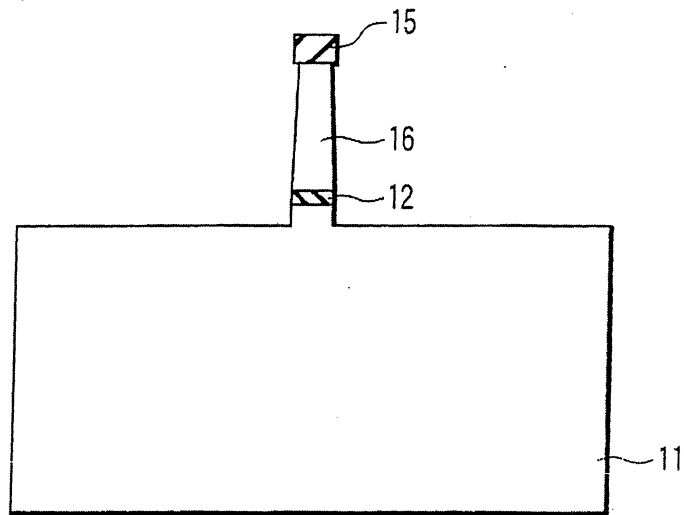


圖 4

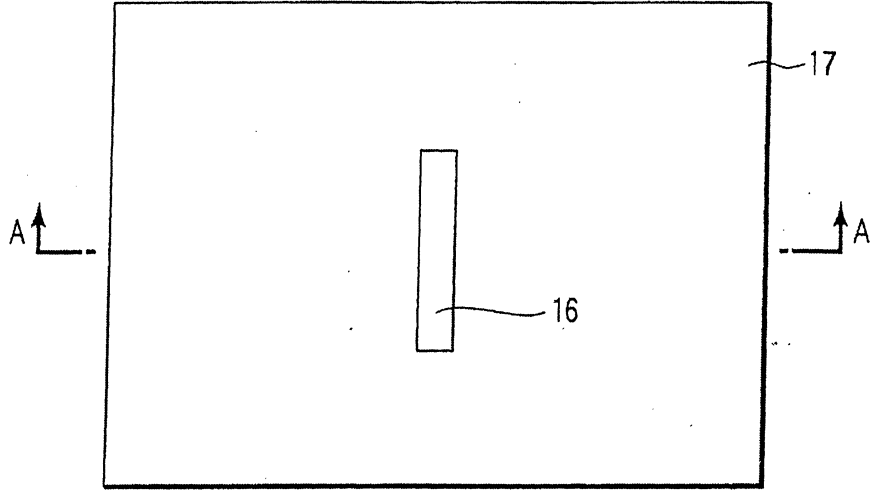


圖 5

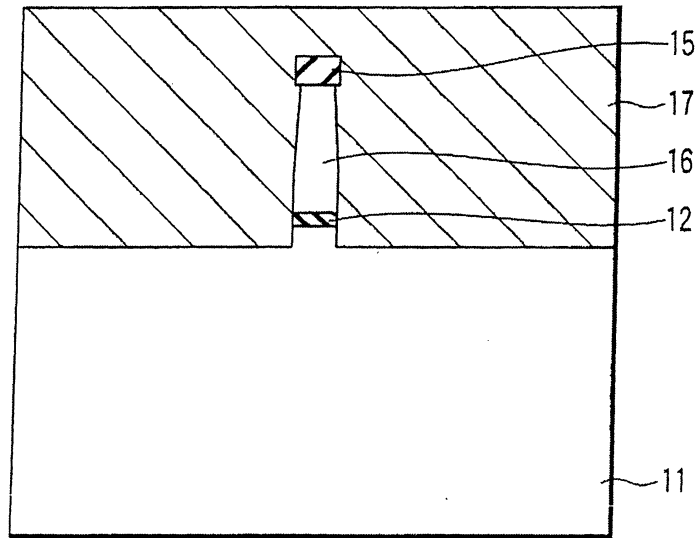


圖 6

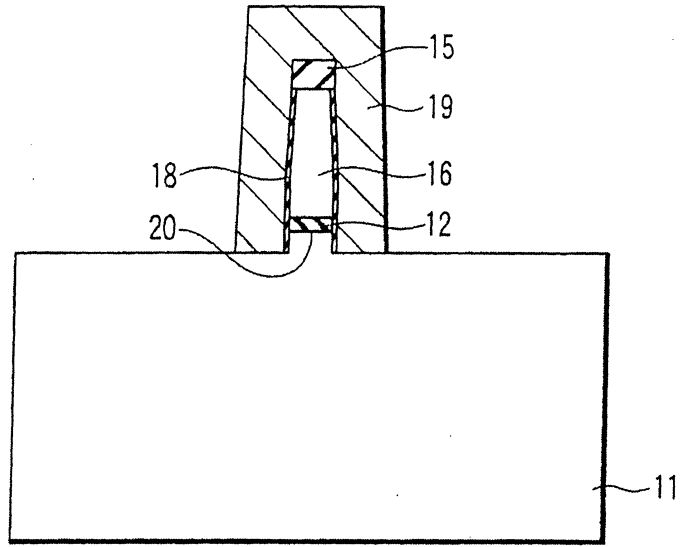


圖 7

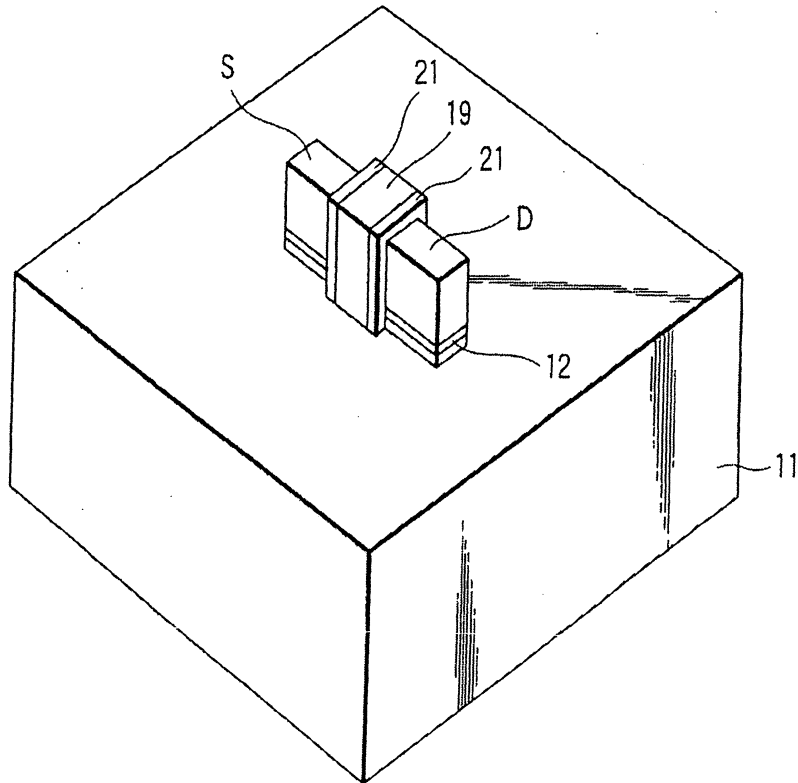


圖 8

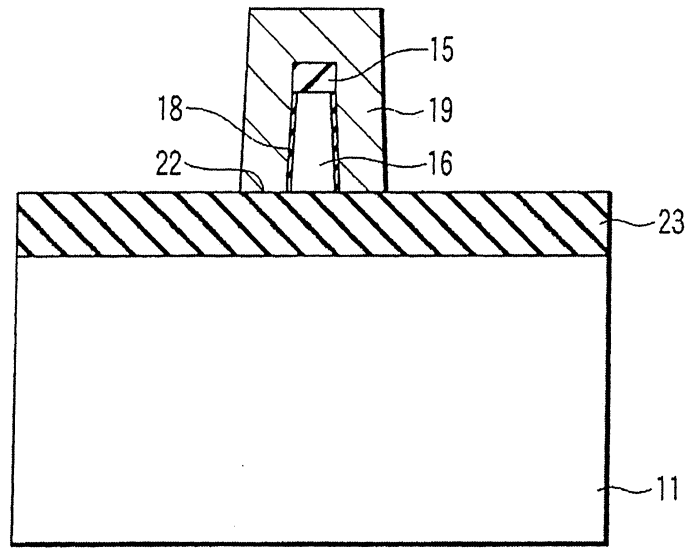


圖 9

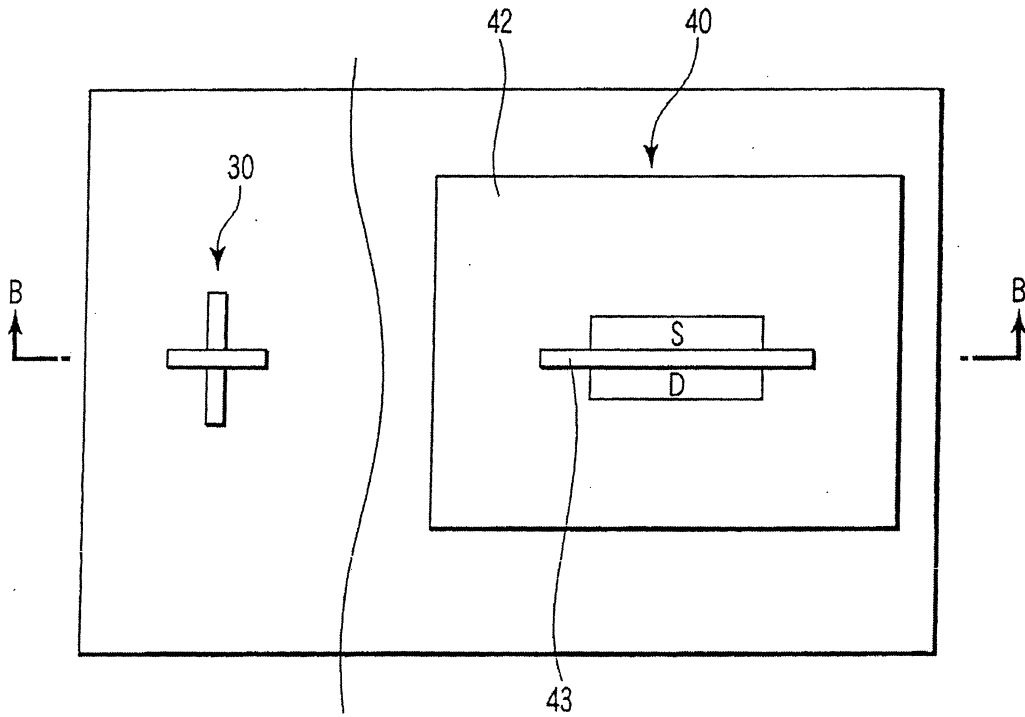


圖 10

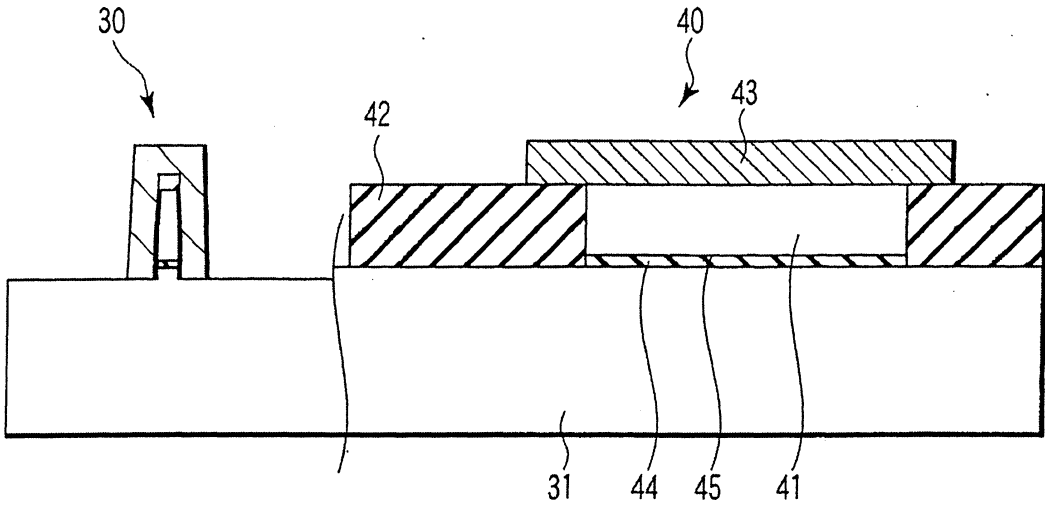


圖 11

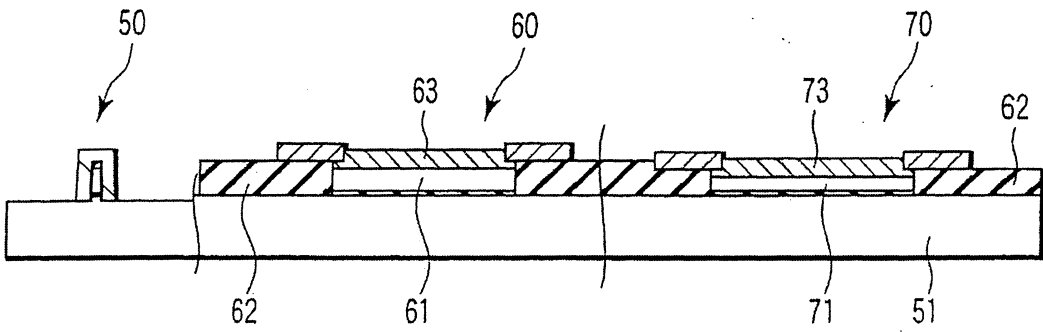


圖 12

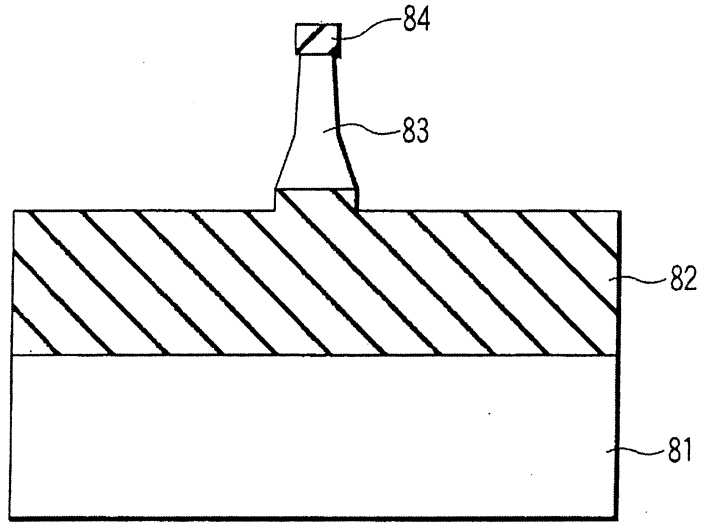


圖 13

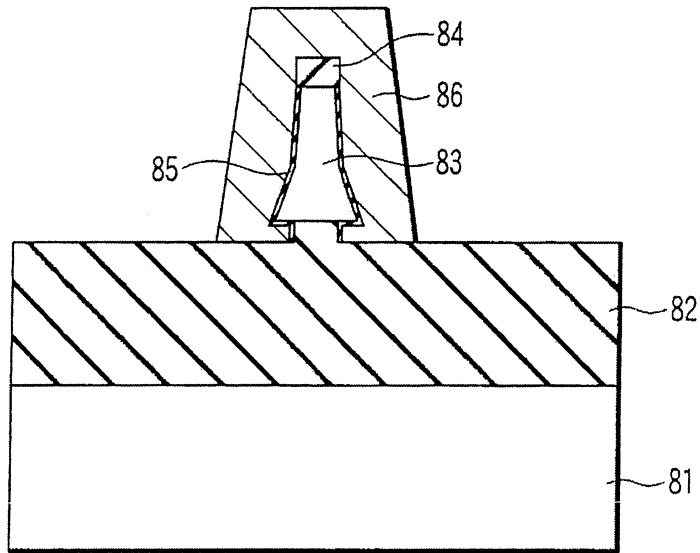


圖 14

發明專利說明書

95年8月1日修(更)正本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94125542

※ 申請日期：94.7.28

※IPC 分類：H01L 29/08

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

指定 為應受送達人

代表人：(中文/英文) 西田 厚聰/NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本東京都港區芝浦一丁目 1 番 1 號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO JAPAN

國 籍：(中文/英文) 日本/JP

三、發明人：(共 1 人)

姓 名：(中文/英文) ID :

1. 稻葉 聡/INABA, SATOSHI

國 籍：(中文/英文) 1. 日本/JP

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2004/8/5；2004-229535

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明為有關半導體裝置及其製造方法，特別是關於在半導體積體電路裝置的元件區域的細微化而達成高性能化的元件構造，及其製造方法。

【先前技術】

近年來，在矽基板上形成的 LSI，因使用元件的細微化而顯著地高性能化。此乃因在邏輯電路或 SRAM（靜態隨機存取記憶體）等記憶裝置所用的 MOSFET（金屬氧半導體場效應電晶體），基於所謂的比例法則縮小閘極長度，與閘極絕緣膜的薄膜化，使性能改善之故。

現在有一種三次元構造的 MIS 型半導體裝置，使用 SOI 基板將 Si 基板切出細的長方形形成突起狀區域，在該區域將閘極立體交差，使切出的突起狀基板的上面及側面形成通道的雙閘極型完全耗盡型 SOIMOSFET，請參考下述文件：

- (1). 日本專利特開平 2-263473 號公報
- (2). D. Hisamoto et al : IEDM Tech. Dig. P1032 (1998)
- (3). X.Huang et al : IEDM Tech. Dig. P67 (1999)。

一般在形成翼片 FET 的翼片之際，矽反應性離子蝕刻 (Si-RIE) 使用的氣體，有適於只削除矽的氣體（使用該氣體時 Si 的腐蝕速度大，氧化膜也被削去），及對 SOI 基板的 BOX 膜（埋入氧化膜）的腐蝕選擇比大的氣體（使用該氣體時，Si 的腐蝕速度小，氧化膜不會削除），該二種氣體

在製程中交替使用加工。

例如，前者以 HBr 為主體之氣體，後者以 HBr+O₂ 為主體之氣體。此處，對 BOX 膜有腐蝕選擇比的氣體，在加工 Si 之際，成對 Si 翼片有錐形角的切削程序，故加工後的翼片形狀成錐形，要成為側面垂直直立的理想之立方體形極為困難。

又，即使用不會削除 BOX 膜之條件的氣體，在翼片部的高度低時，氣體切換時期的控制困難，要控制不削除 BOX 膜，只削除翼片部有困難，必然成為 BOX 膜少許削除之狀態。

該狀態下，在進行 RIE 後的腐蝕沉積物之除去工程，或形成閘極絕緣膜的前處理等必要之氫氟酸系的處理時，BOX 膜的削除量大。又，在濕式系統的處理為等方向性的腐蝕，故對橫方向也進行腐蝕，結果在翼片下部亦形成間隙。此場合，如

(4) F-L, Yang et al : IEDM Tech Dig PP255-258 (2002) 所揭示，在閘極絕緣膜與閘極形成時，形成電極的多矽晶轉入翼片部的下方形成多矽晶體。因此，在該翼片部的下端之角部發生閘極引起的電場集中，在此形成臨限值小的寄生 MOSFET 令人擔心。該寄生 MOSFET 會在次臨限區域發生汲極電流性的突起，或使臨限值發生變化，而不受喜愛。

其次，說明前述之先前的翼片型 FET(Fin-FET)。圖 13 繪示 Si-RIE 後的斷面圖。如圖 13 所示，準備 SOI 基板，

該 SOI 基板包含支持基板 81，及在該支持基板 81 上形成的 BOX 膜 82，以及在該 BOX 膜上形成的 Si 膜 83。在該 Si 膜 83 上覆蓋 Si-RIE 用的罩模材料，在該罩模形成圖案，以圖案化的罩模材料 84 為罩模進行 Si-RIE。

此時，為取得 BOX 氧化膜 82 及 Si 膜 83 的蝕刻選擇比，在蝕刻之途中，切換對翼片部的 RIE 氣體，使氧化膜的削蝕量變少。如此，則形成翼部的 Si 膜 83 的蝕刻形狀，由途中形成錐形狀，在該 BOX 膜 82 少許受削蝕之同時使其下部的角成銳角形狀。

其後，因 Si-RIE 形成的沉積物之除去處理，或閘極絕緣膜形成時之前處理時使用的 HF 系(氫氟酸系)的濕式處理，BOX 膜的上部亦受腐蝕，同時被蝕刻的翼片部 83 的下部亦發生側部腐蝕。

因此，如圖 14 所示，在閘極絕緣膜 85 形成後，在形成閘極 86 時，閘極 86 侵入翼片部 83 的下側。形成如此形狀的閘極 86 時，因翼片部 83 下部之角形成銳角，在包圍此銳角部的閘極 86 施加電壓時，會因電場集中形成臨限值較平常低的寄生電晶體。

不論以任何方式，如前述的先前之翼片型 FET，皆會由矽區域形成的翼片部之下部發生側向蝕刻，形成這種形狀的閘極時，因翼片部的下部之角形成銳角，會因電場集中形成非所望的寄生電晶體。

【發明內容】

本發明第一例的翼片型 FET 包括：支持基板；埋入絕

緣膜，設在該支持基板上；翼片部，設在該埋入絕緣膜上，由矽層形成並有互相對向的側面；以及閘極，隔著絕緣膜設置至少蓋覆該側面的一部分。閘極由較該支持基板與該埋入絕緣膜之界面更低的位置起，覆蓋該側面的一部分。

本發明第二例的半導體裝置，含有翼片型 FET 以及平面型 MOSFET。該翼片型 FET 包括：支持基板；埋入絕緣膜，設在該支持基板上；翼片部，設在該埋入絕緣膜上，由第一半導體層形成，並有互相對向的側面；以及第一閘極，隔著第一閘極絕緣膜設置，形成至少覆蓋該側面之一部分，該第一閘極由比該支持基板與該埋入絕緣膜之界面更低的位置起，覆蓋該側面的一部分。該平面型 MOSFET 包括：至少一個第二半導體層，設在該埋入絕緣膜上，由與該第一半導體層同一的半導體材料形成，為利用元件隔離區域與該翼片部隔離；及第二閘極，隔著第二閘極絕緣膜沿該第二半導體層的長方向形成；以及源極/汲極區域，在該第二閘極的兩側形成。

本發明第三例的半導體裝置，由翼片型 FET，部分空乏型 SOIMOSFET，以及完全空乏型 SOIMOSEFT 構成。該翼片型 FET 包含：一支持基板；埋入絕緣膜，設在該支持基板上；翼片部，設在該埋入絕緣膜上，由第一半導體層形成，有互相對向之側面；以及第一閘極，隔著第一閘極絕緣膜設置，形成至少蓋覆該側面之一部分，該第一閘極由比該支持基板與該埋入絕緣膜的界面更低的位置起，覆蓋該側面的一部份。該部分空乏型 SOIMOSFET 含有：

至少一個第二半導體層，設在該埋入絕緣膜上，由與該第一半導體層同一的半導體材料構成，同時用元件隔離區域與該翼片部隔離，其厚度為第一厚度；以及第二閘極，隔著第二閘極絕緣膜，沿該第二半導體層的長方向形成；以及源極/汲極區域，在該第二閘極的兩側形成。該完全空乏型 SOIMOSFET 包含：至少一個第三半導體層，設在該埋入絕緣膜上，由與該第一半導體層同一的半導體材料構成，同時用元件隔離區域與該翼片部隔離，其厚度為第二厚度，該第二厚度小於前述之第一厚度；及第三閘極，隔著第三閘極絕緣膜，在沿該第三半導體層的長邊方向形成；以及源極/汲極區域，在該第三閘極的兩側形成。

本發明的第四例，翼片型 FET 的製造方法為：先準備 SOI 基板，該 SOI 基板由支持基板及設在該支持基板上的埋入絕緣膜，以及設在埋入絕緣膜上的矽層構成。在該矽層上形成罩模，然後用一定組成的氣體對該 SOI 基板進行 RIE 加工，穿透過該埋入絕緣膜，蝕刻至該支持基板的所望之深度以形成翼片部，隔著閘極絕緣膜形成閘極極，以由該支持基板覆蓋該翼片部的互相對向之一部分側面，。

【實施方式】

以下，參考圖 1~圖 8 說明第一實施例的翼片型 FET 的構造及製造方法。圖 1 繪示 SOI 基板 10，該 SOI 基板 10 包括矽製成的支持基板 11；埋入氧化膜 12 (BOX 膜)，在該支持基板 11 上形成，厚度 10nm 以下，較佳之厚度為 5~10nm；以及矽 (Si) 膜 13，形成在該氧化膜 12 上，厚

度有 50~150nm。為抑制濕式處理時的溶蝕速度，用該氧化膜 12 中含有氮原子的也可以。

為由 Si 膜 13 形成翼片部，在該 Si 膜上 13 上覆蓋 Si-RIE 時有蝕刻選擇比的用氮化矽膜形成的光罩材 14。再用微影技術，在該光罩材 14 形成圖案，如圖 2 所示形成光罩 15。此場合，不使用光阻法，側壁圖案轉移法等亦可適用。

圖 3 示使用光罩 15，用 RIE 法除去一部分該矽膜 13 後之狀態。即在先前，為取得矽膜 13 與氧化膜 12 的 RIE 選擇比，在途中變更 RIE 的氣體條件，使變成該氧化膜 12 難以溶蝕之狀態。對此，在本實例，為使矽的構造保持垂直性，不需切換氣體，用單一組成的氣體繼續進行 RIE。如圖 4 所示，因 RIE 繼續，穿過薄膜的氧化膜 12 亦即 BOX 膜，溶蝕該支持基板 11 至所望之深度，形成了翼片部 16。如此，可使翼片部 16 的傾斜角成 88 度左右的接近垂直形狀，其兩側面成為翼片型 FET 的通道。

如圖 5 的平面圖所示，在露出的翼片部 16 的表面形成閘極絕緣膜後，在基板表面上沉積例如多晶矽的閘極材料 17。為便於微細之閘極的微影印刷，平坦化該沉積的閘極材料 17 以便使用場深度 (Depth of Field) 淺的微影裝置，亦能夠形成十分微細的圖案。如此，可顯示圖 5 的 A-A 斷面如圖 6 所示的構造。

在該閘極材料 17 加工之際，不只可使用光阻的圖案法，與矽基板之加工同樣地，亦可利用側壁轉移法在光罩

材微影之方法。更可利用該光阻圖案或光罩材的圖案，加工該閘極材料。使用過的光罩材或光阻除去後，可得如圖 7 所示的斷面形狀。

即如圖 7 所示，形成翼片部 16 的兩側面的一部分，被閘極 19 隔著閘極絕緣膜 18 覆蓋的構造。而且該閘極 19，由比該支持基板 11 與埋入氧化膜 12 的界面 20 更低的位置起，延伸包覆該翼片部 16。又，由氮化矽膜形成的該光罩材 15，形成帽部殘留在該翼片部 16 之上部。

然後，如圖 8 所示，與通常的翼片型 FET 之形成同樣地經進行源極/汲極用擴展部的離子植入，閘極側壁之形成，源極 S/汲極 D 用的離子植入，活性化退火處理，自行對準矽化物(salicide)膜之形成，層間絕緣膜的沉積，接點與金屬配線的形成等完成元件。在圖 8 中僅顯示閘極 19，閘極側壁 21，及源極區域 S/汲極區域 D。

在上述的第一實施例，為露出支持基板 11 之構造，在閘極 RIE 後，形成源極/汲極的離子植入時，該支持基板 11 亦被摻雜。此場合因有 BOX 膜擔當絕緣膜之作用，故只從翼片型 FET 的上部側形成接點之際，在支持基板中不能形成電流通路，不會有大問題。

但是，BOX 膜非常薄時，有時會經 BOX 膜在源極、汲極間發生漏洩電流。這種場合，如圖 9 所示，在翼片底部埋入絕緣膜 23，其厚度至少需高於 BOX 膜 12 與翼片部 16 的界面 22。然後，在源極/汲極區域進行離子植入，可避免上述之發生漏洩電流問題。在此場合，在閘極形成後，

沉積絕緣膜再進行回蝕。其次，重新沉積閘極側壁材料，在形成所望厚度的閘極側壁後，進行離子植入。上述絕緣膜 23 如後面所述，可用為元件隔離區域或絕緣膜區域。

以下說明第二實施例，在本實施例說明前述的翼片型 FET 與平面型 MOSFET 混載的半導體裝置。即如圖 10 的平面圖及圖 11 的其 B-B 之斷面圖所示，在支持基板 31 上塔載翼片型 FET30 及平面型 MOSFET40。

該翼片型 FET30 為第一實施例中說明的構造，詳細說明省略。又，該平面型 MOSFET40 具有 SOI 構造，用半導體層 41 形成，由前述之絕緣膜 23 形成的元件隔離區域 42 包圍。

MOSFET40 的閘極 43，為隔著絕緣膜（未圖示）沿該半導體層 41 的長邊方向形成，且至少位在該半導體層 41 與埋入絕緣膜 44 的界面 45 的更上部。在該閘極 43 的兩側形成源極 S 及汲極 D 區域。

圖 12 繪示翼片型 FET，與部份空乏型 SOIMOSFET，及完全空乏型 SOIMOSFET 混載的半導體裝置。即如圖 12 所示，在支持基板 51 上塔載有如前述的翼片型 FET50，及部分空乏型 SOIMOSFET60，以及完全空乏型 SOIMOSFET70。部分空乏型 SOIMOSFET60 的半導體層 61 的膜厚，比完全空乏型 SOIMOSFET70 的半導體層 71 的膜厚更厚，該些半導體層由前述之絕緣膜 23 形成的元件隔離區域 62 互相隔離。

關於該些半導體層 61、71，由於各別的动作模式各有

其最適的膜厚，可於各別的區域掩蔽後，利用氧化工程與蝕刻工程之組合，獲得所望之半導體層厚度。

另外，其各別的閘極 63、73，為隔著閘極絕緣膜（未圖示）形成，與圖 11 同樣的，至少需在該半導體層 61、71 與埋入絕緣膜的界面更上部形成。

由上述第一及第二實施例可明白，因使用翼片部加工的最容易方法，故能夠獲得其形狀接近理想的翼片型 FET 構造，及其製造方法。

即因使用能夠垂直蝕刻支持基板並可打通埋入絕緣膜，浸蝕支持基板至所望深度的氣體，進行 RIE 加工以形成翼片部，故能確保翼片部的垂直性。又，閘極由該支持基板起，隔著閘極絕緣膜覆蓋該翼片部之互相對向的側面之一部分，故可在翼片側面施加一樣的電場，可形成切斷特性良好的翼片型 FET，而且能夠抑制在該閘極的上部及下部，發生非所望的寄生電晶體。更因使用薄的 BOX 膜，能夠容易形成上述構造的翼片型 FET。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1~圖 6 繪示第一實施例的翼片部之製造工程之一部分的模式化斷面圖。

圖 7 繪示第一實施例的翼片部之模式化斷面圖。

圖 8 繪示第一實施例的翼片型 FET 的模式化立體圖。

圖 9 繪示第一實施例的翼片部之製造工程的一部分的模式化斷面圖。

圖 10 繪示第二實施例的混載翼片型 FET 及平面型 MOSFET 之半導體裝置的一部分之模式化平面圖。

圖 11 繪示第二實施例的混載翼片型 FET 及平面型 MOSFET 之半導體裝置的一部分之模式化平面圖。

圖 12 繪示第二實施例的混載翼片型 FET，與部分空乏型 SOIMOSFET 及完全空乏型 SOIMOSFET 的半導體裝置的一部分之模式化斷面圖。

圖 13 及圖 14 繪示先前的翼片部之模式化斷面圖。

【主要元件符號說明】

10	SOI 基板
11、31、51	支持基板
12、44	BOX 膜（埋入絕緣膜）
13	矽膜（矽層）
14	光罩材料
15	光罩
16	翼片部
17	閘極材料
18	閘極絕緣膜
19	閘極
20、22、45	界面
21	閘極側壁

23	絕緣膜
30、50	翼片型 FET
40	平面型 MOSFET
42、62	元件隔離區域
43、63、73	閘極
41、61、71	半導體層
60	部分空乏型 SOIMOSFET
70	完全空乏型 SOIMOSFET

五、中文發明摘要：

一種翼片型 FET 其構造包含支持基板、埋入絕緣膜、翼片部以及閘極。埋入絕緣膜設在該支持基板上。翼片部設在該埋入絕緣膜上，由矽層形成，有互相對向的側面。閘極隔著閘極絕緣膜設置，以至少覆蓋該側面的一部分。該閘極由較該支持基板與該埋入絕緣膜之界面更低的位置起，覆蓋該側面的一部分。

六、英文發明摘要：

A Fin-FET is provided. The Fin-FET includes a support substrate, a buried insulation film, a fin part, and a gate electrode. The buried insulation film is disposed on the support substrate. The fin part is disposed on the buried insulation film which is formed by a silicon layer with mutually reverse side surfaces. The gate electrode is disposed via an insulation film so as to cover at least a part of the side surfaces, wherein the gate electrode is formed to cover the part of the side surfaces of the fin part from a position lower than an interface between the support substrate and the buried insulation film.

十、申請專利範圍：

1.一種翼片型 FET，包括：

一支持基板；及

一埋入絕緣膜，設在該支持基板上；及

一翼片部，設在該埋入絕緣膜上，由矽層形成，並有互相對向的側面；以及

一閘極，隔著絕緣膜設置，以至少覆蓋該側面的一部分；其中該閘極由比該支持基板與該埋入絕緣膜之界面更低的位置起，覆蓋該側面的一部分。

2.如申請專利範圍第 1 項所述的翼片型 FET，其中該埋入絕緣膜的厚度在 5~10nm。

3.如申請專利範圍第 1 項所述的翼片型 FET，其中該翼片部對該支持基板呈垂直。

4.如申請專利範圍第 1 項所述的翼片型 FET，其中之閘極的一部分，用絕緣膜埋至該埋入絕緣膜與該翼片部的界面之更高部分。

5.如申請專利範圍第 1 項所述的翼片型 FET，其特徵為在該翼片的上部形成帽蓋層，即僅使用該翼片部的側面。

6.如申請專利範圍第 5 項所述的翼片型 FET，該翼片型 FET 即為雙閘極型 MOSFET。

7.如申請專利範圍第 1 項所述的翼片型 FET，其中該閘極與該翼片部之長邊方向垂直相交。

8.如申請專利範圍第 1 項所述的翼片型 FET，其特徵為該源極/汲極區域在該翼片部形成，以挾著該閘極。

9.一種半導體裝置，包括：

一翼片型 FET，包括：

一支持基板；

一埋入絕緣膜，設在該支持基板上；

一翼片部，設在該埋入絕緣膜上，由第一半導體層形成，且有互相對向的側面；以及

一第一閘極，隔著第一閘極絕緣膜設置，形成至少覆蓋該側面的一部分，該第一閘極由比該支持基板與該埋入絕緣膜之界面更低的位置起，覆蓋該側面的一部分；以及

一平面型 MOSFET，包括：

至少一第二半導體層，設在該埋入絕緣膜上，由與該第一半導體層同一的半導體材料形成，為利用元件隔離區域與該翼片部隔離的；

一第二閘極，隔著第二閘極絕緣膜沿該第二半導體層的長邊方向形成；以及

一源極/汲極區域，在該第二閘極的兩側形成。

10.如申請專利範圍第 9 項所述的半導體裝置，其中之平面型 MOSFET 是屬於部分空乏型 SOI MOSFET。

11.如申請專利範圍第 9 項所述的半導體裝置，其中之平面型 MOSFET 是屬於完全空乏型 SOI MOSFET。

12.如申請專利範圍第 9 項所述的半導體裝置，其特徵為該第二閘極，在該第二半導體層與該埋入絕緣膜的界面更高之部分形成。

13.如申請專利範圍第9項所述的半導體裝置，其特徵為該第一半導體層的高度與該第二半導體層的高度各異。

14.一種半導體裝置，包括：

一翼片型 FET，包括：

一支持基板；

一埋入絕緣膜，設在該支持基板上；

一翼片部，設在該埋入絕緣膜上，由第一半導體層形成，且有互相對向之側面；以及

一第一閘極，隔著第一閘極絕緣膜設置，形成至少覆蓋該側面之一部分，該閘極由比該支持基板與該埋入絕緣膜的界面更低的位置起，覆蓋該側面的一部分；

一部分空乏型 SOI MOSFET，包括：

至少一個第二半導體層，設在該埋入絕緣膜上，由與該第一半導體層同一的半導體材料形成，且用元件隔離區域與該翼片部隔離，其厚度為第一厚度；

一第二閘極，隔著第二閘極絕緣膜，沿該第二半導體層的長邊方向形成；以及

一源極/汲極區域，在該第二閘極的兩側形成；

以及

一完全空乏型 SOI MOSFET，包括：

至少一個第三半導體層，設在該埋入絕緣膜上，由與該第一半導體層同一的半導體材料形成，且用元

件隔離區域與該翼片部隔離，第三半導體層之厚度為第二厚度，該第二厚度小於前述之第一厚度；

一第三閘極，隔著第三絕緣膜，在沿該第三半導體層的長邊方向形成；以及

一源極/汲極區域，在該第三閘極的兩側形成。

15. 如申請專利範圍第 14 項所述的半導體裝置，其特徵為該第二閘極與第三閘極，分別在該第二半導體層及第三半導體層與該埋入絕緣膜的界面更高的上部形成。

16. 如申請專利範圍第 14 項所述的半導體裝置，其中第一半導體層的高度與該些第二及第三半導體層之高度各異。

17. 一種翼片型 FET 的製造方法，包括：

準備一 SOI 基板，該 SOI 基板係由支持基板，在該支持基板上設置的埋入絕緣膜，以及設在該埋入絕緣膜上的矽層所形成；

在該矽層上形成光罩；

加工該矽層形成翼片部，即對該 SOI 基板進行不切換氣體的 RIE 加工，穿透該埋入絕緣膜蝕刻該支持基板至所望深度，形成翼片部；以及

由隔著閘極絕緣膜形成閘極，以由該支持基板覆蓋該翼片部的互相對向之一部分側面。

18. 如申請專利範圍第 17 項所述的翼片型 FET 的製造方法，其特徵為在埋入絕緣膜中加入氮原子，以抑制濕式處理時的蝕刻率。

19. 如申請專利範圍第 17 項所述的翼片型 FET 的製造方法，其特徵為在閘極形成後，沉積絕緣膜至較該翼片部與該埋入絕緣膜的界面更高的位置。

七、指定代表圖：

(一)本案指定代表圖為：圖 7。

(二)本代表圖之元件符號簡單說明：

- 11 支持基板
- 12 埋入絕緣膜
- 15 單膜
- 16 翼片部
- 18 閘極絕緣膜
- 19 閘極
- 20 界面

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無