

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-88030

(P2009-88030A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/148 (2006.01)	HO 1 L 27/14 B	4 M 1 1 8
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 D	5 C 0 2 4
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 U	

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2007-252601 (P2007-252601)
 (22) 出願日 平成19年9月27日 (2007.9.27)

(71) 出願人 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100115107
 弁理士 高松 猛
 (74) 代理人 100132986
 弁理士 矢澤 清純
 (72) 発明者 大槻 康夫
 宮城県黒川郡大和町松坂平1丁目6番地
 富士フイルムフォトニクス株式会社内
 Fターム(参考) 4M118 AA10 AB01 BA10 BA14 CA04
 CB14 DA28 FA06 FA35 GA02
 GB11 GB15 GC08 GC14 GD04
 5C024 AX01 DX01 GX03 GX24 GY01
 GY31

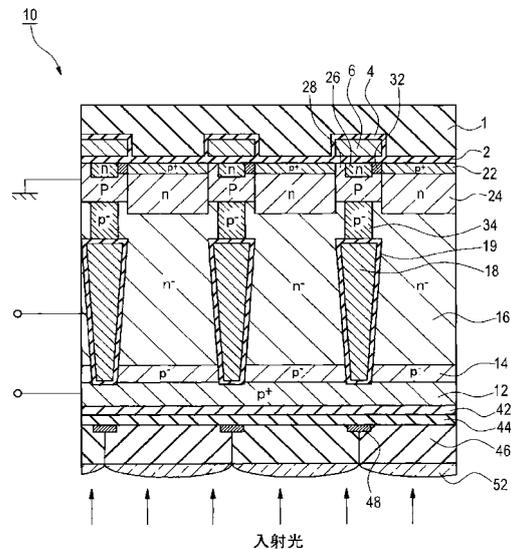
(54) 【発明の名称】 裏面照射型撮像素子

(57) 【要約】

【課題】 傾斜方向の入射光に起因する混色の発生を防止できる裏面照射型撮像素子を提供する。

【解決手段】 本発明は、半導体基板の裏面側から光を照射し、光に応じて半導体基板内で発生した電荷を、半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子であって、半導体基板において裏面側から表面側に向かって電位ポテンシャルが低くなるように積層された複数の不純物拡散層を含む光電変換領域と、光電変換領域によって生成された信号電荷を蓄積する電荷蓄積領域とを備え、光電変換領域と、電荷蓄積領域と、電荷蓄積領域に蓄積した信号電荷を読み出す読み出し手段とを有する複数の画素が形成され、隣り合う前記画素同士の間光電変換領域に、光反射性材料から構成され、半導体基板の裏面側から表面側に延在された埋め込み部材18が形成されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板の裏面側から光を照射し、前記光に応じて前記半導体基板内で発生した電荷を、前記半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子であって、前記半導体基板において裏面側から表面側に向かって電位ポテンシャルが低くなるように積層された複数の不純物拡散層を含む光電変換領域と、前記光電変換領域によって生成された信号電荷を蓄積する電荷蓄積領域とを備え、前記光電変換領域と、前記電荷蓄積領域と、前記電荷蓄積領域に蓄積した信号電荷を読み出す読み出し手段とを有する複数の画素が形成され、隣り合う前記画素同士の間の前記光電変換領域に、光反射性材料から構成され、前記半導体基板の裏面側から表面側に延在された埋め込み部材が形成されていることを特徴とする裏面照射型撮像素子。

10

【請求項 2】

前記埋め込み部材の全体を覆うように形成された絶縁膜と、駆動時に前記埋め込み部材に電圧を印加し、該埋め込み部材近傍の不純物拡散層を空乏化する電圧印加手段とを備えていることを特徴とする請求項 1 に記載の裏面照射型撮像素子。

【請求項 3】

前記埋め込み部材がタングステンから構成されていることを特徴とする請求項 1 又は 2 に記載の裏面照射型撮像素子。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体基板の裏面側から光を照射し、光に応じて半導体基板内で発生した電荷を、半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子に関する。

【背景技術】

【0002】

現在、半導体基板の裏面側から光を照射し、この光に応じて半導体基板内で発生した電荷を半導体基板の表面側に形成された電荷蓄積領域に蓄積し、ここに蓄積された電荷に応じた信号を、CCDやCMOS回路等によって外部に出力して撮像を行う裏面照射型撮像素子が提案されている。以下では、この裏面照射型撮像素子に対し、現在普及している一般的な撮像素子のことを表面照射型撮像素子という。裏面照射型撮像素子としては、例えば下記文献に示すものがある。

30

【0003】

【特許文献 1】特開 2003 - 338615 号公報

【特許文献 2】特開 2006 - 261372 号公報

【特許文献 3】特開 2006 - 173351 号公報

【特許文献 4】特開 2006 - 80457 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

40

ところで、裏面照射型撮像素子では、裏面から照射された光のうち特に赤色成分の光の吸収率が低くならないようにするため、半導体基板のシリコン層が少なくとも $10\ \mu\text{m}$ 程度の厚さが必要である。しかし、近年、撮像素子の微細化に伴って画素サイズの微細化が進むと、画素の面積が小さくなる一方で、各画素の光電変換領域の深さが深くする必要がある。このような画素構造を有する撮像素子を製造することは技術的に困難であり、また、入射光のうち撮像領域に対して傾斜方向から光が入射する場合、入射光が隣接する他の画素の光電変換部に進入することで混色の原因となってしまう。一方で、光電変換領域の深さがシリコン層に対して浅い場合は、半導体基板の裏面近くで発生した電子が表面の電荷蓄積領域に到達するまでに半導体基板において光が照射される面に対して水平方向に拡散してしまい、これも混色の原因となる。

50

【0005】

上記特許文献2では、p型領域を画素間において、裏面近傍まで形成しているが、画素が微細で、シリコン層が10 μ m程度になると、技術的に困難である。

【0006】

上記特許文献1及び3では、シリコン層にp型の不純物濃度プロファイルを形成し、そのポテンシャルの勾配によって、あるいは、外部から電界をかけることによって、光電変換部で生成された電子を表面にドリフトさせることで混色の防止を図るものであるが、傾斜方向から進入する光に対して根本的に解決するものではない。

【0007】

上記特許文献4では、裏面をエッチングして壁状のシリコン膜を形成しそのシリコン膜に反射膜を形成しているが、光電変換領域のシリコン層においては反射膜が形成されていないため、傾斜方向から照射された光の進入に起因する混色の発生を防止できない。

【0008】

また、半導体基板の表面において、画素同士の境界部分に画素分離領域を形成することもできるが、イオン注入等の技術的な制約からシリコン層の厚さは4~5 μ m程度となる。この厚さだと、裏面から照射された光を全て吸収することができないため、高い感度を実現できない。また、照射された光が吸収されきらないと、吸収されなかった光が表面側に形成された固体撮像素子における電荷転送部や、CMOSイメージセンサにおける各画素に付随するアンブやフローティングディフュージョン等に進入して電子を発生させ、スミアなどの不具合を引き起こすことが懸念される。さらに、裏面側に遮光膜を形成しても、傾斜方向の入射光に起因する混色の発生を防止することができない。

【0009】

本発明は、上記事情に鑑みてなされたもので、その目的は、傾斜方向の入射光に起因する混色の発生を防止できる裏面照射型撮像素子を提供することにある。

【課題を解決するための手段】

【0010】

本発明の上記目的は、下記構成によって達成される。

(1)半導体基板の裏面側から光を照射し、前記光に応じて前記半導体基板内で発生した電荷を、前記半導体基板の表面側から読み出して撮像を行う裏面照射型撮像素子であって、

前記半導体基板において裏面側から表面側に向かって電位ポテンシャルが低くなるように積層された複数の不純物拡散層を含む光電変換領域と、

前記光電変換領域によって生成された信号電荷を蓄積する電荷蓄積領域とを備え、

前記光電変換領域と、前記電荷蓄積領域と、前記電荷蓄積領域に蓄積した信号電荷を読み出す読み出し手段とを有する複数の画素が形成され、隣り合う前記画素同士の間の前記光電変換領域に、光反射性材料から構成され、前記半導体基板の裏面側から表面側に延在された埋め込み部材が形成されていることを特徴とする裏面照射型撮像素子。

(2)前記埋め込み部材の全体を覆うように形成された絶縁膜と、

駆動時に前記埋め込み部材に電圧を印加し、該埋め込み部材近傍の不純物拡散層に空乏化する電圧印加手段とを備えていることを特徴とする上記(1)に記載の裏面照射型撮像素子。

(3)前記埋め込み部材がタンゲステンから構成されていることを特徴とする上記(1)又は(2)に記載の裏面照射型撮像素子。

【0011】

本発明にかかる裏面照射型撮像素子は、半導体基板の裏面側から表面側に延在された埋め込み部材を備え、この埋め込み部材が光反射性材料から構成されている。裏面側から各画素に傾斜方向に光が入射した場合には、画素同士の間の光電変換領域に埋め込み部材が設けられているため、埋め込み部材表面で入射光が反射されながら半導体基板の表面側へ導かれつつ、光電変換作用によって信号電荷に変換される。このため、入射した画素とは別の位置の画素の光電変換領域に侵入することが埋め込み部材によって回避され、混色の

10

20

30

40

50

発生を防止することができる。

【発明の効果】

【0012】

本発明によれば、傾斜方向の入射光に起因する混色の発生を防止できる裏面照射型撮像素子を提供できる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態を図面に基づいて詳しく説明する。本発明にかかる裏面照射型撮像素子は、半導体基板の裏面側から光を照射し、光に応じて半導体基板内で発生した電荷を、半導体基板の表面側から読み出して撮像を行うものである。本明細書では半導体基板のうち光入射側の面を裏面といい、その反対面を表面という。

10

【0014】

図1は、本発明にかかる裏面照射型撮像素子の画素の配置を示す平面図である。図1は、裏面照射型撮像素子10の半導体基板を平面視した状態における受光部と電極との位置関係を示す図である。半導体基板の裏面には複数の受光部領域PDがマトリクス状に区画されている。半導体基板の表面には、各受光部領域PDから入射した光を後述する光電変換領域で光電変換することで生成され、電荷蓄積領域に蓄積された信号電荷を読み出す際に電圧を印加する読み出し電極6, 8が形成されている。なお、図1においては、読み出し電極6を一点鎖線で示し、読み出し電極8を二点鎖線で示している。本実施形態では、読み出し電極6は第1のポリシリコンで形成され、読み出し電極8は第2のポリシリコンで形成されている。

20

【0015】

受光部領域PDごとに、半導体基板に対する厚さ方向に形成された光電変換領域によって信号電荷を生成し、その信号電荷に応じた信号が画像データの一画素を構成する。このため、本明細書では、受光部領域PDを画素ともいう。

【0016】

図2は、図1の矢印A-A線方向にみた断面図を示している。裏面照射型撮像素子10は、不純物濃度の低いn型のシリコン層(以下、n-層という。)16と、n-層16の裏面側に積層する、不純物濃度の低いp型のシリコン層(以下、p-層という。)14と、p-層14の裏面側に積層する不純物濃度の高いp型のシリコン層(以下、p+層という。)12とを有する半導体基板を備えている。

30

【0017】

n-層16の表面側には、p型の不純物拡散層からなる画素分離領域28が形成されている。画素分離領域28の下方には、不純物濃度の低いp型のウェル領域34が形成されている。

【0018】

各受光部領域PDの表面側には、不純物濃度の高いp型のシリコン層22が形成され、このシリコン層22の裏面側には、n型の不純物を含むシリコン層(以下、n層ともいう。)24が形成されている。シリコン層24は、信号電荷を蓄積させる電荷蓄積領域として機能する。シリコン層22は、半導体基板の表面に発生する暗電流に起因する電荷がn層24に蓄積されることを防止する機能を奏する。

40

【0019】

半導体基板のp+層12の裏面側には、酸化シリコンや窒化シリコン等の入射光に対して透明な絶縁層42が形成されている。絶縁層42の光照射側の面には、絶縁層42と半導体基板との屈折率差に起因する半導体基板の裏面における光の反射を防止するため、窒化シリコンやダイヤモンド構造炭素膜等の入射光に対して透明な高屈折率透明層44が形成されている。高屈折率透明層44としては、プラズマCVDや光CVD等の400以下の低温形成が可能なアモルファス窒化シリコン等の $n = 1.46$ を超える屈折率の層とすることが好ましい。

【0020】

50

高屈折率透明層 44 の光入射側の面には、複数のカラーフィルタ 46 を水平方向に配列してなるカラーフィルタ層が形成されている。複数のカラーフィルタ 46 は、それぞれ異なる波長域の光を透過する複数種類のカラーフィルタであり、ベイヤー配列等の所定のカラーパターンに基づいて配置されている。例えば、カラーフィルタ層は、赤色の波長域の光を透過する R カラーフィルタと、緑色の波長域の光を透過する G カラーフィルタと、青色の波長域の光を透過する B カラーフィルタと、を配列した構成となっている。カラーフィルタ 46 は、複数の電荷蓄積領域に対応して、それぞれの電荷蓄積領域の裏面側に形成されており、各電荷蓄積領域に 1 つのカラーフィルタ 46 が対応するように設けられている。

【0021】

隣接するカラーフィルタ 46 同士の間には、混色を防止するための遮光部材 48 が形成されている。遮光部材 48 は、光を透過させない機能を持つもつものであればよく、タンゲステン (W)、モリブデン (Mo)、及び、アルミニウム等の可視光透過率の低い金属やブラックフィルタを用いることができる。

【0022】

各カラーフィルタ 46 の光入射側には、入射光を集光しつつ、半導体基板の裏面側へ導くマイクロレンズ 52 が形成されている。マイクロレンズ 52 は、その表面で屈折した入射光が、遮光部材 48 遮られることなく、各受光部領域 PD の水平方向 (図 2 中左右方向) の略中心を通過するようにその形状が決定されている。

【0023】

半導体基板の表面側には、シリコン層 22 の水平方向片側に隣接して読み出しゲート 32 が形成されている。また、シリコン層 22 に対して読み出しゲート 32 を介して隣り合うように、n 型の不純物拡散層からなる電荷転送チャネル 26 が形成されている。

【0024】

半導体基板の表面には、シリコン酸化膜や ONO 膜等からなるゲート絶縁膜 2 が形成され、ゲート絶縁膜 2 を介して、電荷転送チャネル 26 に電圧を供給して電荷転送動作を制御するため、読み出し電極 6 と読み出し電極 8 (図 1 参照) が形成されている。読み出し電極 6 及び読み出し電極 8 の周囲には酸化シリコン等の絶縁膜 14 が形成されている。ゲート絶縁膜 2 及び絶縁膜 14 には、透明な絶縁層 1 が形成されている。

【0025】

本実施形態の裏面照射型撮像素子 10 は、電荷転送チャネル 26 と読み出し電極 6, 8 とによって、CCD 型の電荷読み出し構成である。

【0026】

半導体基板は、駆動電圧が印加されたときに、受光部領域 PD から入射した光を光電変換しつつ、表面側の n 層 24 に信号電荷を移動させるため、裏面側から表面側に向かって電位ポテンシャルが低くなるように、順に p+ 層 12、p- 層 14、n- 層 16、n 層 24 とが積層された構成である。図 3 は、本実施形態の裏面照射型撮像素子 10 の半導体基板の電位プロファイルを示す図である。複数の不純物拡散層の濃度は特に限定されないが、一例としては、表面側から p+ 層 22 が $1 \times 10^{19} / \text{cm}^2$ 、p ウェル領域 34 が $1 \times 10^{16} / \text{cm}^2$ 、p- 層 14 が $1 \times 10^{17} / \text{cm}^2$ 、n- 層 16 が $5 \times 10^{16} / \text{cm}^2$ 、p+ 層 22 が $1 \times 10^{19} / \text{cm}^2$ 程度である。これら複数の不純物拡散層が光電変換領域として機能する。

【0027】

本実施形態の裏面照射型撮像素子 10 において、半導体基板の厚さは、波長毎の光吸収係数の違いに応じて、可視域の光をもれなく吸収できるように、約 $10 \mu\text{m}$ 以上とすることが好ましい。

【0028】

本実施形態の裏面照射型撮像素子 10 は、駆動時に、一つのマイクロレンズ 52 に入射した光が、該マイクロレンズ 52 上方のカラーフィルタ 46 に入射し、該カラーフィルタ 46 を透過した光がその位置の上方に対応する n- 層 16 へと入射する。そして、半導体

10

20

30

40

50

基板の光電変換領域によって光電変換されつつ、 n 層24に信号電荷が蓄積される。 n 層24に蓄積された信号電荷は、電荷転送チャンネル26に読み出されて転送され、図示しない出力アンプによって電圧信号に変換されて外部に出力される。

【0029】

本実施形態の裏面照射型撮像素子10は、半導体基板の内部に、隣り合う画素同士の間を仕切るように、タングステン等の光反射性材料から構成された埋め込み部材18が形成されている。図4は、半導体基板を平面視した状態で、受光部領域に対する埋め込み部材の位置を示す図である。埋め込み部材18は、受光部領域PDの周囲を囲むように格子状に形成されている。

【0030】

図2に示すように、埋め込み部材18は、 p ウェル領域34の下方から $p+$ 層12の表面にわたって半導体基板の厚さ方向に対して平行に延在する形状である。埋め込み部材18と周囲のシリコン層との間には、酸化シリコン等の絶縁膜19が形成されている。半導体基板の厚さ方向に対する埋め込み部材18の長さは、 $5\mu\text{m}$ 以上とすることが好ましい。

【0031】

$p+$ 層12及び埋め込み部材18は、それぞれ配線を介して図示しない電圧印加手段に電気的に接続されており、駆動時に、負の電圧を印加可能である。また、画素分離領域28がGNDに接続されている。駆動時には、 $p+$ 層12及び埋め込み部材18に電圧印加手段によって負の電圧を印加し、半導体基板の裏面側の $p+$ 層12、 $p-$ 層14と $n-$ 層16とのそれぞれの間、および、埋め込み部材18周囲のシリコン層に空乏層を形成する。こうすることで、半導体基板の表面側及び裏面側から空乏層が拡大させて、 $n-$ 層16において空乏化していない $n-$ 領域がないようにすることができる。光電変換領域で発生した電子は、 n 層24に蓄積され、正孔は、裏面側の $p+$ 層12に集まり、外部に排出される。

【0032】

裏面照射型撮像素子10は、半導体基板の裏面側から各画素に傾斜方向に光が入射した場合に、画素同士の間で光電変換領域に埋め込み部材18が設けられているため、埋め込み部材18表面で入射光が反射されながら半導体基板の表面側へ導かれつつ、光電変換作用によって信号電荷に変換される。このため、入射した画素とは別の位置の画素の光電変換領域に侵入することが埋め込み部材18によって回避され、混色の発生を防止することができる。

【0033】

なお、埋め込み部材は、タングステンに限定されず、その他に一般的に半導体で使用される高融点金属（例えば、ニッケル、コバルト、プラチナ、モリブデン）や、高融点金属とシリコンとの化合物が使用可能である。また、上記材料の積層膜や、側壁を上記材料で構成して、内部をポリシリコンで構成した積層構造とすることも可能である。

【0034】

埋め込み部材18を形成する手法としては、不純物拡散層をエピタキシャル成長させてなるエピタキシャル成長層を形成し、エピタキシャル成長層に溝を形成し、埋め込み部材18を埋め込んだ後、更にエピタキシャル成長させる方法を用いることができる。また、エピタキシャル成長を行う前に埋め込み部材18のパターンを形成してからエピタキシャル成長を行う方法もある。埋め込み部材などのパターンを形成してからエピタキシャル成長させて埋め込む技術としては公知であり、例えば、特開平5-114563号公報や特開平5-123117号公報に示すものがある。

【図面の簡単な説明】

【0035】

【図1】本発明にかかる裏面照射型撮像素子の画素の配置を示す平面図である。

【図2】図1の矢印A-A線方向にみた断面図を示している。

【図3】裏面照射型撮像素子10の半導体基板の電位プロファイルを示す図である。

10

20

30

40

50

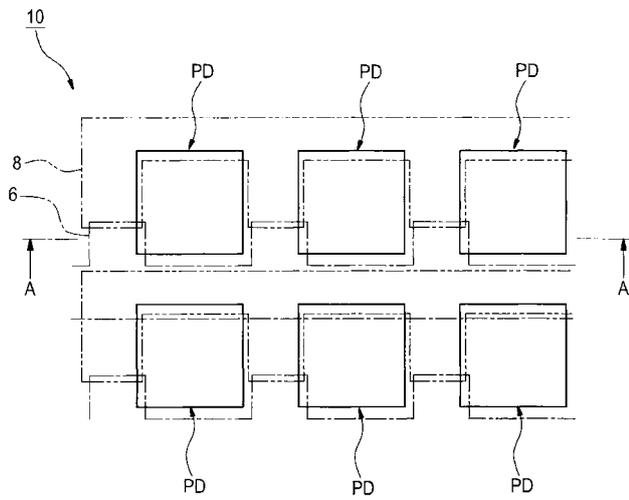
【図4】半導体基板を平面視した状態で、受光部領域に対する埋め込み部材の位置を示す図である。

【符号の説明】

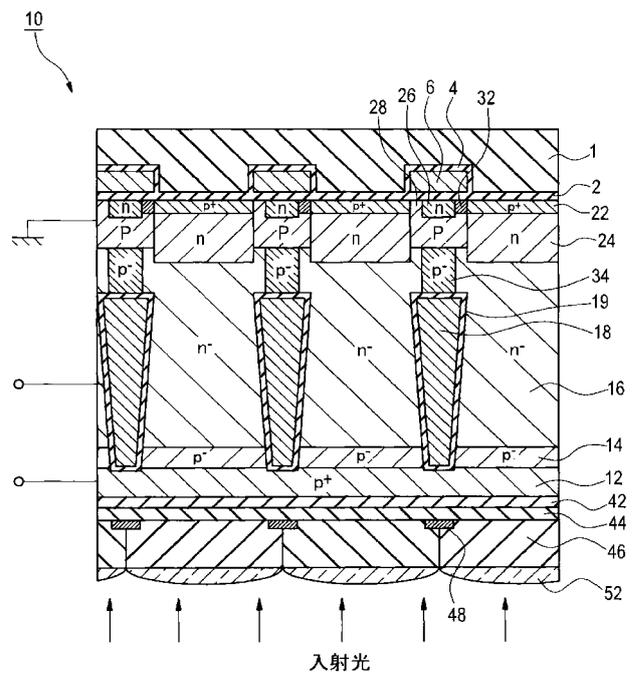
【0036】

- 10 裏面照射型撮像素子
- 18 埋め込み部材
- PD 受光部領域

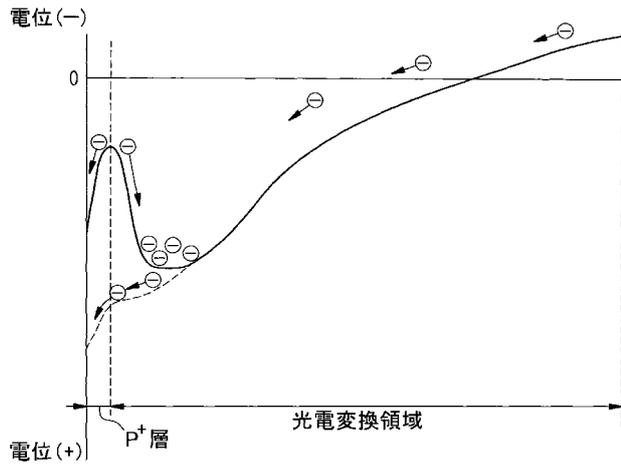
【図1】



【図2】



【 図 3 】



【 図 4 】

