



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I825556 B

(45) 公告日：中華民國 112 (2023) 年 12 月 11 日

(21) 申請案號：111101529

(22) 申請日：中華民國 111 (2022) 年 01 月 13 日

(51) Int. Cl. : H01L27/108 (2006.01)

H01L21/76 (2006.01)

(30) 優先權：2021/11/17 美國

17/528,490

2021/11/17 美國

17/528,799

(71) 申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

新北市泰山區南林路 98 號

(72) 發明人：林原園 LIN, YUAN-YUAN (TW)

(74) 代理人：陳長文；馮博生

(56) 參考文獻：

TW 201431085A

US 10566332B2

US 2011/0079836A1

US 2012/0217631A1

US 2021/0104458A1

審查人員：劉漢胤

申請專利範圍項數：11 項 圖式數：6 共 56 頁

(54) 名稱

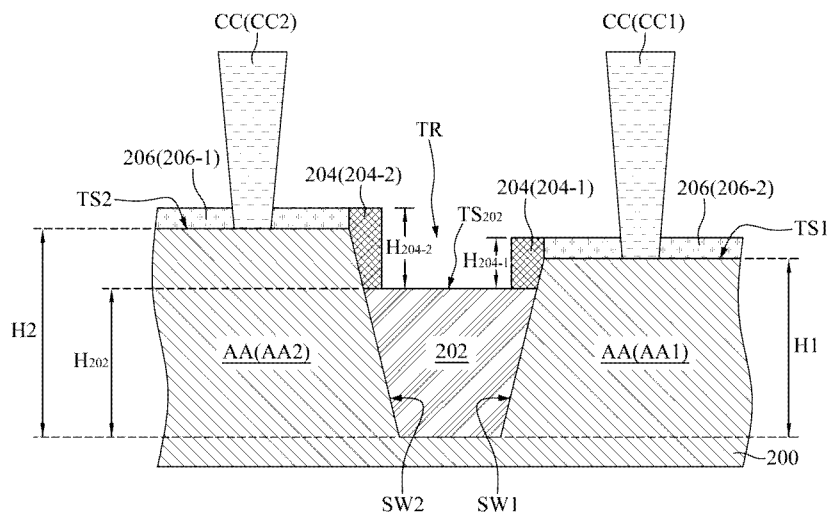
具有接觸增強側壁間隙子的記憶體陣列結構

(57) 摘要

本揭露提供一種具有接觸增強側壁間隙子的動態隨機存取記憶體陣列結構及其製備方法。該記憶體陣列結構包括一半導體基底、一隔離結構和一接觸增強側壁間隙子。該半導體基底具有一溝槽，該溝槽定義一橫向分離的主動區，且該主動區由該半導體基底的一表面區域形成。一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入。該隔離結構填充在該溝槽中，並與該主動區的一底部部分橫向接觸。該接觸增強側壁間隙子分別橫向包圍該主動區的一頂部。

The present disclosure provides a dynamic random access memory (DRAM) array structure with contact enhancement sidewall spacers and a method for preparing the same. The memory array structure includes a semiconductor substrate, an isolation structure and contact enhancement sidewall spacers. The semiconductor substrate has a trench defining laterally separate active areas formed of surface regions of the semiconductor substrate. Top surfaces of a first group of the active areas are recessed with respect to top surfaces of a second group of the active areas. The isolation structure is filled in the trench and in lateral contact with bottom portions of the active areas. The contact enhancement sidewall spacers laterally surround top portions of the active areas, respectively.

指定代表圖：



【圖2B】

符號簡單說明：

200:半導體基底

202:隔離結構

204:接觸增強側壁間隙子

204-1:接觸增強側壁間隙子

204-2:接觸增強側壁間隙子

206:自組裝單層(SAM)

206-1:自組裝單層

206-2:自組裝單層

AA:主動區

AA1:主動區

AA2:主動區

CC:電容器觸點

CC1:電容器觸點

CC2:電容器觸點

H1:高度

H2:高度

H202:高度

H204-1:高度

H204-2:高度

SW1:側壁

SW2:側壁

TR:溝槽

TS1:頂面

TS2:頂面

TS202:頂面



I825556

【發明摘要】

【中文發明名稱】

具有接觸增強側壁間隙子的記憶體陣列結構

【英文發明名稱】

MEMORY ARRAY STRUCTURE WITH CONTACT
ENHANCEMENT SIDEWALL SPACERS

【中文】

本揭露提供一種具有接觸增強側壁間隙子的動態隨機存取記憶體陣列結構及其製備方法。該記憶體陣列結構包括一半導體基底、一隔離結構和一接觸增強側壁間隙子。該半導體基底具有一溝槽，該溝槽定義一橫向分離的主動區，且該主動區由該半導體基底的一表面區域形成。一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入。該隔離結構填充在該溝槽中，並與該主動區的一底部部分橫向接觸。該接觸增強側壁間隙子分別橫向包圍該主動區的一頂部。

【英文】

The present disclosure provides a dynamic random access memory (DRAM) array structure with contact enhancement sidewall spacers and a method for preparing the same. The memory array structure includes a semiconductor substrate, an isolation structure and contact enhancement sidewall spacers. The semiconductor substrate has a trench defining laterally separate active areas formed of surface regions of the semiconductor substrate. Top surfaces of a first group of the active areas are recessed with respect to top surfaces of a second group of the active

areas. The isolation structure is filled in the trench and in lateral contact with bottom portions of the active areas. The contact enhancement sidewall spacers laterally surround top portions of the active areas, respectively.

【指定代表圖】

圖2B

【代表圖之符號簡單說明】

200:半導體基底

202:隔離結構

204:接觸增強側壁間隙子

204-1:接觸增強側壁間隙子

204-2:接觸增強側壁間隙子

206:自組裝單層(SAM)

206-1:自組裝單層

206-2:自組裝單層

AA:主動區

AA1:主動區

AA2:主動區

CC:電容器觸點

CC1:電容器觸點

CC2:電容器觸點

H1:高度

H2:高度

H202:高度

H204-1:高度

H204-2:高度

SW1:側壁

SW2:側壁

TR:溝槽

TS1:頂面

TS2:頂面

TS202:頂面

【發明說明書】

【中文發明名稱】

具有接觸增強側壁間隙子的記憶體陣列結構

【英文發明名稱】

MEMORY ARRAY STRUCTURE WITH CONTACT
ENHANCEMENT SIDEWALL SPACERS

【技術領域】

【0001】 本申請案主張美國第17/528,490號及第17/528,799號專利申請案（優先權日為「2021年11月17日」）的優先權及益處，該等美國申請案之內容以全文引用之方式併入本文中。

【0002】 本揭露提供一種記憶體陣列結構及其製備方法，特別是關於一種具有接觸增強側壁間隙子(spacer)的動態隨機存取記憶體(dynamic random access memory, DRAM)陣列及其製備方法。

【先前技術】

【0003】 近幾十年來，隨著電子產品的不斷改進，對儲存能力的需求也在增加。為了提高記憶體元件(例如，DRAM元件)的儲存能力，更多的記憶體胞(memory cell)被安排在記憶體元件中，並且記憶體元件中的每一個記憶體胞的尺寸變得更小。這些記憶體胞分別被製造在一主動區上，該主動區可以是半導體基底的一部分。主動區的縮放是減少每一個記憶體胞尺寸的一種選擇。

【0004】 每一個DRAM單元可以包括設置在主動區上的儲存電容，並藉由電容觸點與主動區相連。主動區的減少可能會導致電容器接觸的著陸區的縮小。因此，由於半導體微影製程疊對(lithography overlay)問

題，電容器觸點和主動區之間的接觸電阻可以能增加。換言之，藉由最小化主動區來追求高儲存密度可以能會損害DRAM元件的性能。本領域需要一種在不擴大主動區的佈局模式的情況下增加電容器接觸的著陸區的方法。

【0005】 上文之「先前技術」說明僅係提供背景技術，並未承認上文之「先前技術」說明揭示本揭露之標的，不設置本揭露之先前技術，且上文之「先前技術」之任何說明均不應做為本案之任一部份。

【發明內容】

【0006】 在本揭露的一實施例中提供一種記憶體陣列結構，包括：一半導體基底，其一溝槽定義由該半導體基底的一表面區域形成橫向分離的一主動區，其中該主動區的一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入；一隔離結構，填充在該溝槽中，並與該主動區的一底部部分橫向接觸；以及一接觸增強側壁間隙子，分別橫向圍繞該主動區的一頂部。

【0007】 在本揭露的一實施例中提供一種記憶體陣列結構，包括：一主動區(active area)，由一半導體基底的一橫向分離的表面部分形成，其中一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入；一隔離結構，在該主動區之間延伸，並與該主動區的一底部部分接觸；以及一接觸增強蓋層，分別覆蓋該主動區的一頂部。

【0008】 在本揭露的又一實施例中提供一種記憶體陣列的製備方法，包括：在一半導體基底的一正面形成一溝槽，其中該溝槽定義由該半導體基底一表面區域形成橫向分離的一主動區；在該溝槽中填充一隔離結構，其中該隔離結構被填充到低於該主動區一頂面的一高度；將一第一組

主動區從該第一組主動區的一頂面凹入，同時將一第二組主動區的一頂面覆蓋；以及形成一接觸增強側壁間隙子，分別橫向圍繞該主動區的一頂部。

【0009】 上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。設置本揭露之揭露專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可以相當容易地利用下文揭示之概念與特定實施例可以做為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之揭露專利範圍所定義之本揭露的精神和範圍。

【圖式簡單說明】

【0010】 參閱實施方式與揭露專利範圍合併考量圖式時，可以得更全面了解本揭露案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖1A是電路圖，例示本揭露一些實施例之記憶體陣列結構中的記憶胞(memory cell)。

圖1B是結構圖，例示本揭露一些實施例之包括複數個記憶胞的記憶體陣列結構。

圖2A是平面圖，例示本揭露一些實施例之記憶體陣列的局部佈局。

圖2B是剖視圖，例示本揭露一些實施例之兩個相鄰的主動區(active area)的邊緣部分和在這些相鄰主動區之間延伸的隔離結構的一部分。

圖3是流程圖，例示本揭露一些實施例之圖2B所示的結構的製備方法。

圖4A至圖4K是平面圖，例示本揭露一些實施例之圖3所示的製備方法的中間階段的結構。

圖5A至圖5K是剖視圖，例示本揭露一些實施例之圖3所示的製備方法的中間階段的結構。

圖6是剖視圖，例示本揭露一些其他實施例之兩個相鄰的主動區的邊緣部分和在這些相鄰主動區之間延伸的隔離結構的一部分。

【實施方式】

【0011】 以下揭露內容提供做為實作本揭露的不同特徵的諸多不同的實施例或實例。以下闡述組件及排列形式的具體實施例或實例以簡化本揭露內容。當然，該些僅為實例且不旨在執行限制。舉例而言，元件的尺寸並非僅限於所揭露範圍或值，而是可以相依於製程條件及/或元件的所期望性質。此外，以下說明中將第一特徵形成於第二特徵「上方」或第二特徵「上」可以包括其中第一特徵及第二特徵被形成為直接接觸的實施例，且亦可以包括其中第一特徵與第二特徵之間可以形成有附加特徵、進而使得所述第一特徵與所述第二特徵可以能不直接接觸的實施例。為簡潔及清晰起見，可以按不同比例任意繪製一些特徵。在附圖中，為簡化起見，可以省略一些層/特徵。

【0012】 此外，為易於說明，本文中可能使用例如「之下(beneath)」、「下方(below)」、「下部的(lower)」、「上方(above)」、「上部的(upper)」等空間相對關係用語來闡述圖中所示的一元件或特徵與另一(其他)元件或特徵的關係。所述空間相對關係用語旨在除圖中所繪示的取向外亦囊括元件在使用或操作中的不同取向。所述元件可以具有其他取向(旋轉90度或處於其他取向)且本文中所用的空間相對關係描述語可

以同樣相應地執行直譯。

【0013】 圖1A是電路圖，例示本揭露一些實施例之一記憶體陣列結構中的記憶胞(memory cell)100。參照圖1A，該記憶體陣列結構可以是一動態隨機存取記憶體(dynamic random access memory, DRAM)陣列結構。該記憶體陣列結構中的每一個記憶胞100可以包括存取電晶體AT和儲存電容器SC。存取電晶體AT可以是場效應電晶體(field effect transistor, FET)。儲存電容器SC的一個端點與存取電晶體AT的源極/或汲極端點相耦合，而儲存電容器SC的另一個端點可以與一參考電壓(例如，如圖1A中描述的接地電壓)相耦合。當存取電晶體AT導通(turn on)時，可以存取儲存電容器SC。另一方面，當存取電晶體AT處於關斷狀態(off state)時，無法存取儲存電容器SC。

【0014】 在寫入(write)操作期間，藉由確立字元線WL與存取電晶體AT的一閘極端點相耦合來導通存取電晶體AT，並且施加在位元線BL(與存取電晶體AT的一個源極/或汲極端點相耦合)上的電壓可以轉移到儲存電容器SC(與存取電晶體AT的另一個源極/或汲極端點相耦合)。因此，可以對儲存電容器SC充電或放電，並且可以在儲存電容器SC中儲存邏輯狀態"1"或邏輯狀態"0"。在讀取(read)操作期間，也導通存取電晶體AT，並且經預充電(pre-charged)的位元線BL可以根據儲存電容器SC的充電狀態來拉高或拉低。藉由比較位元線BL的電壓和預充電電壓，可以感測到儲存電容器SC的充電狀態，並且可以識別記憶胞100的邏輯狀態。

【0015】 圖1B是結構圖，例示本揭露一些實施例之包括複數個記憶胞100的記憶體陣列結構10。參照圖1B，記憶體陣列結構10具有列(row)和行(column)。每一列的記憶胞100可以沿一第一方向排列，而每一行的

記憶胞100可以沿與該第一方向相交的一第二方向排列。複數個位元線BL可以分別耦合到記憶胞100的一列。另一方面，複數個字元線WL可以分別與記憶胞100的一行相耦合。在一些實施例中，在寫入操作期間，確立與選定記憶胞100相耦合的字元線WL，並且藉由提供電壓到與選定記憶胞100相耦合的一位元線，來對選定記憶胞100中的儲存電容器SC進行程式化(programmed)。此外，在讀取操作期間，對所有的位元線BL預充電，並且確立與選定記憶胞100相耦合的字元線WL，然後更分別藉由與確立的字元線WL相耦合的儲存電容器SC來拉高或拉低預充電的位元線BL。藉由偵測與選定記憶胞100相耦合的位元線BL的電壓變化，可以識別選定記憶胞100的邏輯狀態。由於拉高/或拉低預充電位元線BL，與確立的字元線WL相耦合的記憶胞100的儲存電容器SC中的儲存電荷被改變。為了恢復這些記憶胞100的邏輯狀態，在讀取操作之後可以進行寫入操作，以便將先前的邏輯狀態程式化到這些記憶胞100，這種寫入操作也可以稱為刷新(refresh)操作。

【0016】 圖2A是平面圖，例示本揭露一些實施例之記憶體陣列結構10的局部佈局。

【0017】 參照圖1B和圖2A，記憶體陣列結構10可以建立在半導體基底200上。半導體基底200可以是，例如，半導體晶圓(wafer)或絕緣體上的半導體(semiconductor-on-insulator, SOI)晶圓。半導體基底200具有彼此橫向分離的表面部分，稱為主動區(active area)AA。延伸在半導體基底200中的隔離結構202可以橫向包圍每一個主動區AA，以將主動區AA彼此物理隔離和電性隔離。換言之，主動區AA由隔離結構202定義。

【0018】 根據一些實施例，主動區AA可以排列成具有多行和多列

的陣列。字元線WL可以在半導體基底200中形成，並且每一個字元線橫向穿透主動區AA的一行。另一方面，位元線BL可以在半導體基底200上形成，並各自與主動區AA的一列相交。

【0019】 記憶體陣列結構10的每一個記憶胞100中的存取電晶體AT，被定義在主動區AA與貫穿的字元線WL和相交的位元線BL相交的附近。字元線WL做為存取電晶體AT的閘極端點，而位於字元線WL相對兩側的主動區AA的部分可以做為存取電晶體AT的源極/或汲極端點。位元線BL與其中一個源極/或汲極端點相耦合。此外，另一個源極/或汲極端點可以與形成在半導體基底200上方的儲存電容器SC中的一個相耦合。應當理解，將儲存電容器SC描繪成獨立的圖案，是表示儲存電容器SC的獨立底部電極。儘管未示出，但是儲存電容器SC實際上可以具有共同的頂部電極。

【0020】 在一些實施例中，字元線WL沿一第一方向延伸。此外，位元線BL可以沿實質上垂直於該第一方向的一第二方向延伸。可選的，每一個位元線BL可以沿其延伸方向(例如，該第二方向)形成曲線。此外，主動區AA可以各自沿著與該第一方向和該第二方向相交的一第三方向延伸。

【0021】 在一些實施例中，每一個主動區AA由兩個具有共同源極/或汲極端點的存取電晶體AT共用。在這些實施例中，每一個主動區AA由兩條字元線WL穿透，並與其中一個位元線BL相交。此外，每一個主動區AA可以與兩個儲存電容器SC重疊。位元線BL與橫跨在兩個字元線WL之間的主動區AA的一部分重疊並與之電性連接，主動區AA的這一部分可以做為兩個存取電晶體AT的共同源極/或汲極端點。位於兩條字元線WL相

對兩側的主動區AA的其他部分可以做為兩個存取電晶體AT的單獨源極/或汲極端點，並可以分別與兩個覆蓋的儲存電容器SC重疊和電性連接。

【0022】圖2B是剖視圖，例示本揭露一些實施例之兩個相鄰的主動區AA的邊緣部分和在相鄰主動區AA之間延伸的隔離結構202的一部分。

【0023】參照圖2B，隔離結構202形成在半導體基底200的溝槽TR中，溝槽TR從半導體基底200的頂面延伸到半導體基底200中，並且橫向分離主動區AA。此外，一些主動區AA相對於其他主動區AA可以是凹入的，並且在那些凹入的主動區AA的一些區域的半導體基底200的頂面可比未凹入的主動區AA的其他區域的低。如圖2B中描繪的例示，其中一個主動區AA(也稱為主動區AA1)相對於相鄰的主動區AA(也稱為主動區AA2)凹入。因此，主動區AA1的高度H1(從與隔離結構202的底端齊平的深度測量到主動區AA1的頂面TS1)小於主動區AA2的高度H2(從與隔離結構202的底端齊平的深度測量到主動區AA2的頂面TS2)。

【0024】由於主動區AA1、AA2具有不同的高度，在主動區AA1、AA2之間延伸的溝槽TR可以具有不對稱的形狀。如圖2B中描繪的例示，即主動區AA1相對於主動區AA2是凹入的，定義主動區AA1邊界的溝槽TR的側壁SW1可以低於定義主動區AA2邊界的溝槽TR的側壁SW2。側壁SW1、SW2的高度分別與H1、H2的高度實質上相等。為了避免冗長，高度H1、H2的比率和範圍不再重複。

【0025】根據一些實施例，填充在溝槽TR中的隔離結構202的頂面TS₂₀₂低於主動區AA1的頂面TS1，並且低於主動區AA2的頂面TS2。在這些實施例中，隔離結構202的高度H₂₀₂(從隔離結構202的底端測量到隔離結構202的頂面TS₂₀₂)小於主動區AA1的高度H1，並且小於主動區AA2的

高度 H_2 。由於隔離結構202不會填滿溝槽TR，溝槽TR的側壁SW1、SW2的頂部不會由隔離結構202覆蓋。由於側壁SW2比側壁SW1高，因此跨越隔離結構202上方的側壁SW2的頂部可以比跨越隔離結構202上方的側壁SW1的頂部更大(更高)。

【0026】 在一些實施例中，每一個主動區AA的頂部由接觸增強側壁間隙子204橫向包圍，而每一個主動區AA的其餘部分則由隔離結構202橫向包圍。接觸增強側壁間隙子204是半導體的或導電的，並可以做為主動區AA的額外部分。藉由具有這樣的額外部分，主動區AA可以為連接主動區AA和上層儲存電容器SC的電容器接觸CC提供更大的著陸區(landing area)，如圖2A所示。因此，可以增加電容器觸點CC設置公差的容許度，並且可以確保電容器觸點CC和主動區AA之間的良好電接觸。舉例而言，接觸增強側壁間隙子204包括製作技術是磊晶(epitaxy)製程的矽。

【0027】 由於主動區AA1相對於隔離結構202的突出程度小於主動區AA2，橫向圍繞主動區AA1的頂部的接觸增強側壁間隙子204-1的高度 H_{204-1} 可以短於橫向圍繞主動區AA2的頂部的接觸增強側壁間隙子204-2的高度 H_{204-2} 。高度 H_{204-1} 是從接觸增強側壁間隙子204-1的底端，其可以與隔離結構202的頂面 TS_{202} 齊平，測量到接觸增強側壁間隙子204-1的頂端。同樣，高度 H_{204-2} 是從接觸增強側壁間隙子204-2的底端，其可以與隔離結構202的頂面 TS_{202} 齊平，測量到接觸增強側壁間隙子204-2的頂端。由於接觸增強側壁間隙子204-1、204-2從隔離結構202的頂面 TS_{202} 延伸到不同的高度，接觸增強側壁間隙子204-1、204-2的頂角可以具有相當大的橫向厚度(未示出)，可以沿垂直方向更為間隔開。因此，可以防止接觸增強側壁間隙子204-1、204-2合併，特別是當主動區AA1、AA2之間的溝槽

TR的寬度更為減小時。因此，可以避免在相鄰的主動區AA上形成的記憶胞100之間的干擾。

【0028】 在一些實施例中，每一個主動區AA的頂面由自組裝單層 (self-assembly monolayer, SAM)206覆蓋。自組裝單層206可以選擇性地形成在每一個主動區AA的頂面，並且可以不延伸到每一個主動區AA的側壁。亦即，跨越隔離結構202上方的每一個主動區AA的側壁的頂部不會被SAM 206覆蓋。因此，在SAM 206之後形成的接觸增強側壁間隙子204可以設置在主動區AA的側壁的頂部上。根據一些實施例，接觸增強側壁間隙子204更可以延伸到SAM 206的側壁。在這些實施例中，接觸增強側壁間隙子204的頂端可以與SAM 206的頂面實質上齊平。

【0029】 由於主動區AA1相對於主動區AA2是凹入的，主動區AA1的頂面TS1低於主動區AA2的頂面TS2。因此，覆蓋主動區AA1的頂面TS1的SAM 206(也稱為SAM 206-1)低於覆蓋主動區AA2的頂面TS2的SAM 206(也稱為SAM 206-2)。

【0030】 自組裝單層(SAM)是本領域熟知的技術。例如，參考 "Reactive Monolayers in Directed Additive Manufacturing - Area Selective Atomic Layer Deposition" Rudy J. Wojtecki et al., Journal of Photopolymer Science and Technology, 2018 Volume 31 Issue 3 Pages 431-436，其藉由引用隨併入本文中。在一些實施例中，SAMs 206包括有機分子。根據一些實施例，SAMs 206包括具有選自X-R1-SH、X-R1-S-S-R2-Y、R1-S-R2及其組合化學式的複數個分子，其中R1和R2是獨立的碳鏈或由至少一個雜原子打斷的碳鏈，其中H是氫，其中S是硫，並且其中X和Y是實質上不與銅表面發生化學反應的化學基。在一些實施例中，

R1和R2中的至少一個是n個碳原子的鏈，其中n是1至30的整數。在一些實施例中，SAMs 206的化學式為 $\text{SH}(\text{CH}_2)_n\text{CH}_3$ 。

【0031】 在一些實施例中，SAM的製作技術是藉由可聚合化合物自組裝的單層。該單層的厚度與該單層的緊密堆積結構中的化合物的一個分子的長度相對應。該緊密堆積結構由該化合物的官能基(functional group)來協助，該官能基藉由靜電相互作用和/或一個或複數個共價鍵以與基底的表面基團結合。該化合物中與該基底的表面結合的部分在此稱為該化合物的"頭部"。該化合物的其餘部分稱為"尾部"。尾部從該化合物的頭部延伸到SAM頂面的大氣介面。尾部在大氣介面上有一個非極性(non-polar)的週邊端基。因此，一個良好的SAM在其緊密堆積結構中幾乎沒有缺陷，可以顯示高接觸角。

【0032】 形成SAM的化合物的頭部可以選擇性地結合到一基底頂面的一部分，該部分包括不同成分的區域，使該基底頂面的其他部分沒有或實質上沒有形成SAM的化合物設置在上面。在這種情況下，藉由將基底浸入給定的形成SAM的化合物的溶液(由適當溶劑溶解)中，可以在一個步驟中形成圖案化的初始SAM。在一些實施例中，紫外線輻射的波長可以從大約4奈米(nm)到450奈米。深紫外(DUV)輻射的波長可以從124奈米到300奈米。極紫外線(EUV)輻射的波長可以從大約4奈米到小於124奈米。

【0033】 在每一個主動區AA由SAM 206覆蓋的那些實施例中，設置在主動區AA上的電容器觸點CC可以穿透SAM 206，以便與主動區AA建立電接觸。同樣，其他觸點(例如，位元線觸點(未顯示))也可以穿過SAM 206以到達主動區AA。此外，在一些實施例中，延伸到較低的主動區AA的電容器觸點CC可以比延伸到較高的主動區AA的電容器觸點CC要

高。如圖2B中描繪的例示，延伸到主動區AA1的電容觸點CC(也稱為電容觸點CC1)可以比延伸到主動區AA2的電容觸點CC(也稱為電容觸點CC2)高。

【0034】 如上所述，記憶體陣列結構10中的記憶體100的主動區AA在其頂角處具有額外的部分(即接觸增強側壁間隙子204)。藉由更具有這些額外的部分，主動區AA可以為站立在主動區AA上的電容器觸點CC提供更大的著陸區。因此，電容器觸點CC和主動區AA之間的電接觸受到設置電容器觸點CC的製程變化(例如微影覆蓋問題)的影響可以較少。換言之，電容器觸點CC和主動區AA之間的電接觸可以得到改善。此外，相鄰的主動區AA經設計以具有不同的高度，並且一個主動區AA的頂面可以相對於相鄰的主動區AA的頂面凹入。因此，相鄰主動區AA的額外部分，即主動區AA的頂角處形成的部分，更可以沿垂直方向間隔開。因此，可以防止相鄰的主動區AA合併在一起，因此可以避免在相鄰的主動區AA上形成的記憶體100之間的干擾。

【0035】 圖3是流程圖，例示本揭露一些實施例之圖2B所示的結構的製備方法。圖4A至圖4K是平面圖，例示本揭露一些實施例之圖3所示的製備方法的中間階段的結構。圖5A至圖5K是剖視圖，例示本揭露一些實施例之圖3所示的製備方法的中間階段的結構。特別是，圖5B是剖視圖，例示沿圖4B所示A-A'線拍攝的結構，而圖5C至圖5K是剖視圖，例示沿圖4C至圖4K所示的B-B'線拍攝的結構。

【0036】 參照圖3、圖4A和圖5A，執行步驟S11，並在半導體基底200上依次形成第一絕緣層300、第二絕緣層302和遮罩層304。根據一些實施例，第一絕緣層300的製作技術是氧化矽，而第二絕緣層302的製作

技術是氮化矽。在這些實施例中，第一絕緣層300的製作技術可以藉由熱氧化製程或沉積製程(例如，化學氣相沉積(CVD)製程)，而第二絕緣層302的製作技術可以藉由沉積製程(例如，CVD製程)。此外，在一些實施例中，遮罩層304是光阻層，並且可以塗覆在半導體基底200上。在另一實施例中，遮罩層304是硬遮罩層，其製作技術可以藉由沉積製程(例如CVD製程)。

【0037】 參照圖3、圖4B和圖5B，執行步驟S13，遮罩層304經圖案化以形成條紋圖案304a。條紋圖案304a可以沿方向D1延伸，方向D1方向可以與圖2A中所示的每一列主動區AA延伸的方向一致。藉由部分移除遮罩層304以形成條紋圖案304a，條紋304a之間的第二絕緣層302的部分在當前可以曝露出。在一些實施例中，遮罩層304是光阻層，而使遮罩層304形成條紋圖案304a的圖案化方法可以包括微影製程。在另一實施例中，遮罩層304是硬遮罩層，而使遮罩層304形成條紋圖案304a的圖案化方法可以包括微影製程和蝕刻製程。

【0038】 參照圖3、圖4C和圖5C，執行步驟S15，條紋圖案304a更經圖案化以形成島狀圖案304b的陣列。每一列的島狀圖案304b可以沿方向D1排列，同時每一行的島狀圖案304b可以沿與方向D1相交的方向D2排列。島狀圖案304b在隨後的步驟中形成初始溝槽TR'時將做為陰影遮罩(shadow mask)。每一列的島狀圖案304b是同一條紋圖案304a的一部分，並可以沿方向D1彼此橫向隔開。藉由部分移除條紋圖案304a以形成島狀圖案304b，島狀圖案304b之間的第二絕緣層302的部分在當前可以曝露出。在一些實施例中，遮罩層304是光阻層，而使條紋圖案304a形成島狀圖案304b的圖案化方法包括微影製程。在另一個實施例中，遮罩層304是

硬遮罩層，而使條紋圖案304a形成島狀圖案304b的圖案化方法包括微影製程和蝕刻製程。

【0039】 如上所述，在一些實施例中，使用兩個圖案化步驟來形成島狀圖案304b。在另一個實施例中，可以使用單一的圖案化製程將圖4A和圖5A中所示的遮罩層304圖案化為圖4C和圖5C中所示的島狀圖案304b。

【0040】 參照圖3、圖4D和圖5D，執行步驟S17，並在半導體基底200中形成初始溝槽TR'。初始溝槽TR'可以穿透第一和第二絕緣層300、302的一部分，橫跨在島狀圖案304b之間，並更延伸到半導體基底200中。藉由形成初始溝槽TR'，半導體基底200的表面部分在橫向上彼此分離，並且被稱為初始主動區AA'。初始主動區AA'的頂面可以實質上彼此共面。根據一些實施例，使用蝕刻製程來形成初始溝槽TR'。在蝕刻製程中，島狀圖案304b可以做為陰影遮罩。此外，在蝕刻製程之後，可以移除島狀圖案304b，同時位於下面的第二絕緣層302可以曝露出。

【0041】 參照圖3、圖4E和圖5E，執行步驟S19，移除第一和第二絕緣層300、302。因此，初始主動區AA'的頂面可以曝露。在一些實施例中，移除第一和第二絕緣層300、302的方法包括蝕刻製程。

【0042】 參照圖3、圖4F和圖5F，執行步驟S21，在初始溝槽TR'中形成隔離結構202。在一些實施例中，隔離結構202的製備方法包括在如圖4E和圖5E中所示的結構上提供絕緣材料。絕緣材料可以填滿初始溝槽TR'，並覆蓋初始主動區AA'的頂面。隨後，跨越主動區AA的頂面的絕緣材料的部分可以藉由平面化製程，如研磨(polishing)製程和蝕刻製程，或其組合製程來移除。此外，填充在初始溝槽TR'中的絕緣材料的部分可以

相對於初始主動區AA'的頂面凹入，並且剩餘的絕緣材料可以形成隔離結構202。舉例而言，初始溝槽TR'中的絕緣材料的部分的凹入方法可以包括蝕刻製程。

【0043】 參照圖3、圖4G和圖5G，執行步驟S23，在一些初始主動區AA'上選擇性地形成遮罩層306。因此，如圖5G所示，相鄰的初始主動區AA'中的一個由遮罩層306覆蓋，而另一個可以保持曝露。根據一些實施例，每一列的初始主動區AA'沿列方向(例如，方向D1)交替覆蓋。在這些實施例中，遮罩層306沿列方向(例如，方向D1)週期性地排列。舉例而言，遮罩層306的製備方法可以包括形成全域跨越的材料層，並藉由微影製程和蝕刻製程對材料層來執行圖案化，以形成遮罩層306。遮罩層306的製作技術是相對於半導體基底200具有足夠蝕刻選擇性的材料。

【0044】 參照圖3、圖4H和圖5H，執行步驟S25，未覆蓋的初始主動區AA'相對於由遮罩層306覆蓋的初始主動區AA'凹入。因此，初始主動區AA'被選擇性地凹入，並形成如參照圖2B所述的主動區AA。如圖5H所示，主動區AA1是凹入的主動區AA之一，而主動區AA2是未凹入的主動區AA之一。此外，在凹入步驟中，初始溝槽TR'經成形以具有側壁高於另一側壁的溝槽TR，如圖2B所示。在一些實施例中，初始主動區AA'的選擇性凹入方法包括蝕刻製程。在這些實施例中，遮罩層306和隔離結構202相對於半導體基底200具有足夠的蝕刻選擇性，因此遮罩層306和隔離結構202可以在針對半導體基底200的蝕刻製程中幾乎沒有消耗。

【0045】 參照圖3、圖4I和圖5I，執行步驟S27，移除遮罩層306。隨著遮罩層306的移除，先前覆蓋的主動區AA在當前可以曝露出。例如，如圖5I所示，主動區AA1、AA2可以在當前步驟中同時曝露。根據一些實

施例，遮罩層306的製備方法包括蝕刻製程。由於遮罩層306相對於隔離結構202和半導體基底200具有足夠的蝕刻選擇性，隔離結構202和主動區AA可以在蝕刻製程中幾乎不凹入。

【0046】 參照圖3、圖4J和圖5J，執行步驟S29，在主動區AA的頂面形成SAMs 206。根據一些實施例，SAMs 206選擇性地吸附在主動區AA的頂面，而溝槽TR'的側壁的頂部可以保持不被覆蓋。

【0047】 在一些實施例中，形成SAM的化合物可以溶解或分散在溶劑中。溶劑的成分適用於形成SAM層(包括形成SAM的化合物)。溶劑包括，但不限於，例如甲苯(Toluene)、二甲苯(xylene)、二氯甲烷(DCM)、氯仿(chloroform)、四氯化碳(carbon tetrachloride)、乙酸乙酯(ethyl acetate)、乙酸丁酯(butyl acetate)、乙酸戊酯(amyl acetate)、丙二醇單甲醚醋酸酯(PGMEA)、丙二醇單甲醚(PGME)、丙酸乙氧基乙酯(ethoxy ethyl propionate)、苯甲醚(anisole)、乳酸乙酯(ethyl lactate)、二乙醚(diethyl ether)、二氧六環(dioxane)、四氫呋喃(THF)、乙腈(acetonitrile)、乙酸(acetic acid)、乙酸戊酯(amyl acetate)、乙酸正丁酯(n-butyl acetate)、 γ -丁內酯(GBL)、丙酮、甲基異丁基酮(methyl isobutyl ketone)、2-庚酮(2-heptanone)、環己酮(cyclohexanone)、甲醇、乙醇、乙二醇乙醚(2-ethoxyethanol)、2-丁氧基乙醇(2-butoxyethanol)、異丙醇、正丁醇(n-butanol)、N,N-二甲基甲醯胺(DMF)、N,N-二甲基乙醯胺(N,N-dimethylacetamide)、吡啶(pyridine)、和二甲基亞砷(DMSO)。這些溶劑可以單獨使用，也可以混合使用。

【0048】 在一些實施例中，可以使用任何適當的塗層技術(如浸塗、旋塗)將溶液塗在基底的頂面，然後移除溶劑，因此形成初始SAM層。初始SAM層具有與大氣接觸的頂面，和與基底選定表面(形成SAM的化合物

具有優先親和力的表面)接觸的底面。一般來說，SAM的厚度在大約0.5到大約20奈米，特別是大約0.5奈米到大約10奈米，甚至是大約0.5奈米到2奈米。

【0049】 參照圖3、圖4K和圖5K，執行步驟S31，形成接觸增強側壁間隙子204。根據一些實施例，接觸增強側壁間隙子204的製作技術是藉由磊晶製程。在磊晶製程中，接觸增強側壁間隙子204的材料可以從主動區AA的曝露部分生長，該部分是主動區AA的側壁的頂部，在SAM 206和隔離結構202之間延伸。在某些情況下，接觸增強側壁間隙子204更可以延伸到SAM 206的側壁。藉由形成接觸增強側壁間隙子204，主動區AA的頂部被橫向包圍，如參照圖2A所述，具有額外的部分。

【0050】 參照圖3和圖2B，執行步驟S33，在主動區AA上形成電容器觸點CC。雖然沒有顯示，但在形成電容器觸點CC之前可以執行幾個製程步驟。舉例而言，在形成電容器觸點CC之前，可以在主動區AA和隔離結構202上全面形成介電質層(未示出)。此外，可以藉由微影製程和蝕刻製程在該介電質層中形成通孔(through hole)，以定義電容器觸點CC的位置。隨後，可以藉由沉積製程、電鍍製程、或其組合製程將導電材料填充到通孔中，並藉由平面化製程將介電層上多餘的導電材料部分移除。通孔中的導電材料的剩餘部分可以形成電容器觸點CC。

【0051】 到此為止，如圖2B所示的結構已經形成。雖然沒有顯示，但可以執行額外的製程步驟以形成記憶體陣列結構10的其他元件(如參照圖1B和圖2A所述)，包括字元線WL、位元線BL和儲存電容器SC。這些額外的製程步驟可以在參照圖3、圖4A至圖4K、圖5A至圖5K和圖2B所述的製程步驟之中，和之後執行。

【0052】圖6是剖視圖，例示本揭露一些其他實施例之兩個相鄰的主動區AA的邊緣部分和在這些相鄰主動區AA之間延伸的隔離結構202的一部分。

【0053】參照圖6，在一些實施例中，省略了參照圖2B描述的SAMs 206。在這些實施例中，每一個主動區AA的頂部由接觸增強蓋層604覆蓋。接觸增強蓋層604在材料選擇和功能方面與接觸增強側壁間隙子204(如參照圖2B所述)相似。換言之，接觸增強蓋層604是半導體的或導電的，並可以做為主動區AA的額外部分，用於改善主動區AA和站立在主動區AA上的電容器觸點CC之間的電接觸。在一些實施例中，接觸增強蓋層604包括位於主動區AA的頂面的接觸增強層604a，並包括橫向圍繞主動區AA的頂部的接觸增強側壁間隙子604b。接觸增強側壁間隙子604b可以從接觸增強層604a沿主動區AA的側壁延伸到隔離結構202的頂面，並為在主動區AA上提供的電容器觸點CC來提供額外的著陸區。在一些實施例中，電容器觸點CC穿透接觸增強層604a，與主動區AA建立電接觸。

【0054】如上所述，相對於隔離結構202，一些主動區AA(例如，主動區AA1)比其他主動區AA(例如，主動區AA2)突出得少。因此，覆蓋較不突出的主動區AA的接觸增強蓋層604(稱為接觸增強蓋層604-1)低於覆蓋較突出的主動區AA的接觸增強蓋層604(稱為接觸增強蓋層604-2)。換言之，接觸增強蓋層604-1的接觸增強層604a可以在比接觸增強蓋層604-2的接觸增強層604a延伸的平面低的平面上延伸。此外，接觸增強蓋層604-1的接觸增強側壁間隙子604b可以有高度 H_{604-1} ，短於接觸增強蓋層604-2的接觸增強側壁間隙子604b的高度 H_{604-2} 。高度 H_{604-1} 是從接觸增強蓋層604-1的接觸增強側壁間隙子604b的底端(其可以與隔離結構202的頂

面TS₂₀₂齊平)測量到接觸增強側壁間隙子604b的頂端。同樣，高度H₆₀₄₋₂是從接觸增強蓋層604-2的接觸增強側壁間隙子604b的底端(其可以與隔離結構202的頂面TS₂₀₂齊平)測量到接觸增強側壁間隙子604b的頂端。由於接觸增強蓋層604-1低於接觸增強蓋層604-2，接觸增強蓋層604-1、604-2的頂角可以沿垂直方向更加間隔開，因此，當相鄰主動區AA之間的溝槽TR的寬度大為減少時，可以防止接觸增強蓋層604-1、604-2合併。因此，可以避免在相鄰主動區AA上形成的記憶胞100之間的干擾。

【0055】 在關於如圖6所示的結構的製備中，形成SAM 206的步驟(如參照圖4J和圖5J所述)可以省略。此外，在主動區AA1凹入和遮罩層306移除之後(如參照圖4H-4I和圖5H-5I所述)，接觸增強蓋層604藉由例如磊晶製程在主動區AA上形成。此外，電容器觸點CC可以形成在主動區AA上。

【0056】 如上所述，記憶體陣列結構中的記憶胞的主動區在其頂角處有額外的部分(即接觸增強側壁間隙子)。藉由更加具有這些額外的部分，主動區可以為站立在主動區上的電容器觸點提供更大的著陸區。因此，電容器觸點和主動區之間的電接觸受到設置電容器觸點的製程變化的影響可以較少。換言之，電容器觸點和主動區之間的電接觸可以得到改善。此外，相鄰的主動區經設計以具有不同的高度，並且一個主動區的頂面可以相對於相鄰主動區的頂面凹入。因此，相鄰主動區的額外部分可以沿垂直方向更加間隔開。因此，可以防止相鄰的主動區合併在一起，因此避免在相鄰主動區上形成的記憶胞之間的干擾。

【0057】 在本揭露的一實施例中提供一種記憶體陣列結構，包括：一半導體基底，其一溝槽定義由該半導體基底的一表面區域形成橫向分離

的一主動區，其中該主動區的一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入；一隔離結構，填充在該溝槽中，並與該主動區的一底部部分橫向接觸；以及一接觸增強側壁間隙子，分別橫向圍繞該主動區的一頂部。

【0058】 在本揭露的一實施例中提供一種記憶體陣列結構，包括：一主動區(active area)，由一半導體基底的一橫向分離的表面部分形成，其中一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入；一隔離結構，在該主動區之間延伸，並與該主動區的一底部部分接觸；以及一接觸增強蓋層，分別覆蓋該主動區的一頂部。

【0059】 在本揭露的又一實施例中提供一種記憶體陣列的製備方法，包括：在一半導體基底的一正面形成一溝槽，其中該溝槽定義由該半導體基底一表面區域形成橫向分離的一主動區；在該溝槽中填充一隔離結構，其中該隔離結構被填充到低於該主動區一頂面的一高度；將一第一組主動區從該第一組主動區的一頂面凹入，同時將一第二組主動區的一頂面覆蓋；以及形成一接觸增強側壁間隙子，分別橫向圍繞該主動區的一頂部。

【0060】 雖然已詳述本揭露及其優點，然而應理解可以執行一些變化、取代與替代而不脫離揭露專利範圍所定義之本揭露的精神與範圍。例如，可以用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

【0061】 再者，本揭露案的範圍並不受限於說明書中所述之製程、機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可以自本揭露的揭示內容理解可以根據本揭露而使用與本文所述之

對應實施例具有相同功能或是達到實質上相同結果之現存或是未來發展之製程、機械、製造、物質組成物、手段、方法、或步驟。據此，此等製程、機械、製造、物質組成物、手段、方法、或步驟係包括於本揭露案之揭露專利範圍內。

【符號說明】**【0062】**

10:記憶體陣列結構

100:記憶胞

200:半導體基底

202:隔離結構

204:接觸增強側壁間隙子

204-1:接觸增強側壁間隙子

204-2:接觸增強側壁間隙子

206:自組裝單層(SAM)

206-1:自組裝單層

206-2:自組裝單層

300:第一絕緣層

302:第二絕緣層

304:遮罩層

304a:條紋圖案

304b:島狀圖案

306:遮罩層

604:接觸增強蓋層

604-1:接觸增強蓋層
604-2:接觸增強蓋層
604a:接觸增強層
604b:接觸增強側壁間隙子
AA:主動區
AA':初始主動區
A-A':線
AA1:主動區
AA2:主動區
AT:存取電晶體
B-B':線
BL:位元線
CC:電容器觸點
CC1:電容器觸點
CC2:電容器觸點
D1:方向
D2:方向
H1:高度
H2:高度
H202:高度
H204-1:高度
H204-2:高度
H604-1:高度

H604-2:高度

S11:步驟

S13:步驟

S15:步驟

S17:步驟

S19:步驟

S21:步驟

S23:步驟

S25:步驟

S27:步驟

S29:步驟

S31:步驟

S33:步驟

SC:儲存電容器

SW1:側壁

SW2:側壁

TR:溝槽

TR':初始溝槽

TS1:頂面

TS2:頂面

TS202:頂面

WL:字元線

【發明申請專利範圍】

【請求項1】

一種記憶體陣列結構，包括：

一半導體基底，其一溝槽定義由該半導體基底的一表面區域形成橫向分離的一主動區，其中該主動區的一第一組主動區的一頂面相對於一第二組主動區的一頂面凹入；

一隔離結構，填充在該溝槽中，並與該主動區的一底部部分橫向接觸；以及

一接觸增強側壁間隙子，分別橫向圍繞該主動區的一頂部。

【請求項2】

如請求項1所述的記憶體陣列結構，其中該第一組主動區中的每一個與該第二組主動區中的一個或多個相鄰。

【請求項3】

如請求項1所述的記憶體陣列結構，其中與定義該第二組主動區一邊界的該溝槽的一第二側壁相比，定義該第一組主動區一邊界的該溝槽的第一側壁在高度上較短。

【請求項4】

如請求項1所述的記憶體陣列結構，其中該隔離結構的一頂面低於該第一組主動區的該頂面和該第二組主動區的該頂面。

【請求項5】

如請求項1所述的記憶體陣列結構，其中該隔離結構的該頂面與該接觸增強側壁間隙子的一底端接觸。

【請求項6】

如請求項1所述的記憶體陣列結構，其中與橫向圍繞該第二組主動區的該頂部的一第二組接觸增強側壁間隙子相比，橫向圍繞該第一組主動區的該頂部的一第一組接觸增強側壁間隙子在高度上較短。

【請求項7】

如請求項1所述的記憶體陣列結構，其中橫向圍繞該第一組主動區的該頂部的該第一組接觸增強側壁間隙子的一頂角沿一橫向方向和一垂直方向與橫向圍繞該第二組主動區的該頂部的該第二組接觸增強側壁間隙子的一頂角間隔開。

【請求項8】

如請求項1所述的記憶體陣列結構，更包括：

一自組裝單層(self-assembly monolayers, SAMs)，覆蓋在該主動區的該頂面。

【請求項9】

如請求項8所述的記憶體陣列結構，其中該接觸增強側壁間隙子更覆蓋該SAM的一側壁。

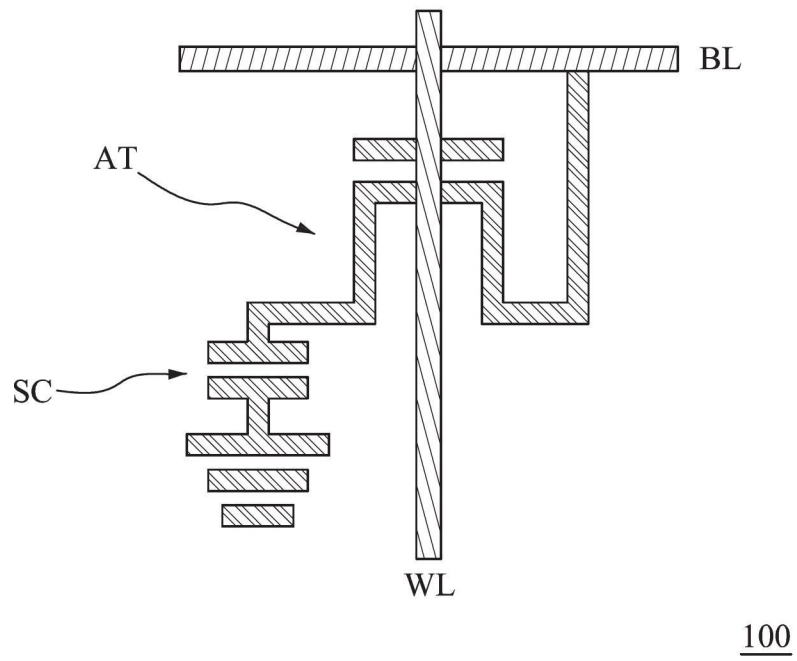
【請求項10】

如請求項8所述的記憶體陣列結構，其中覆蓋該第一組主動區的該頂部的一第一組SAM的高度低於覆蓋該第二組主動區的該頂部的一第二組SAM的高度。

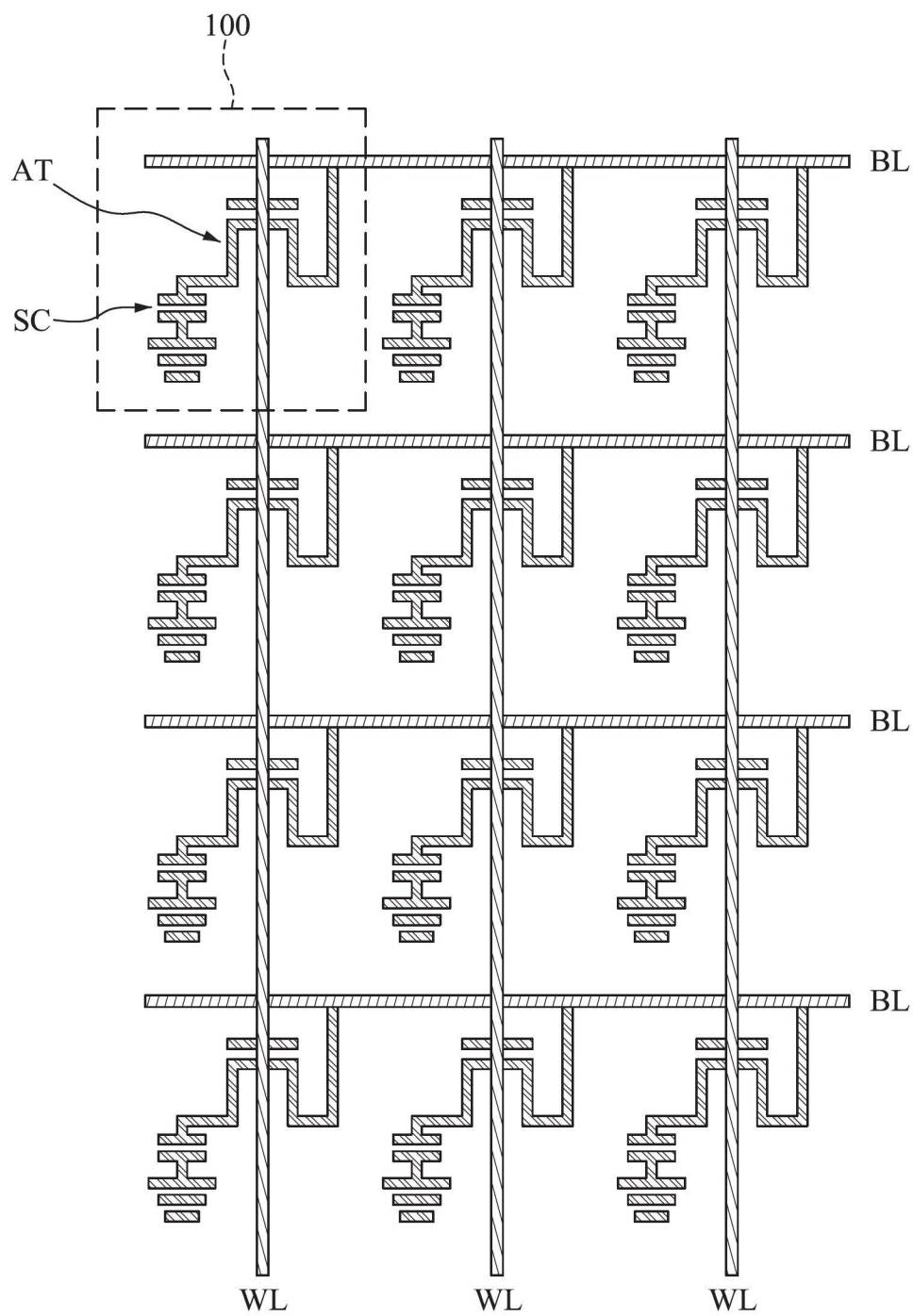
【請求項11】

如請求項1所述的記憶體陣列結構，其中該接觸增強側壁間隙子是半導電的或導電的。

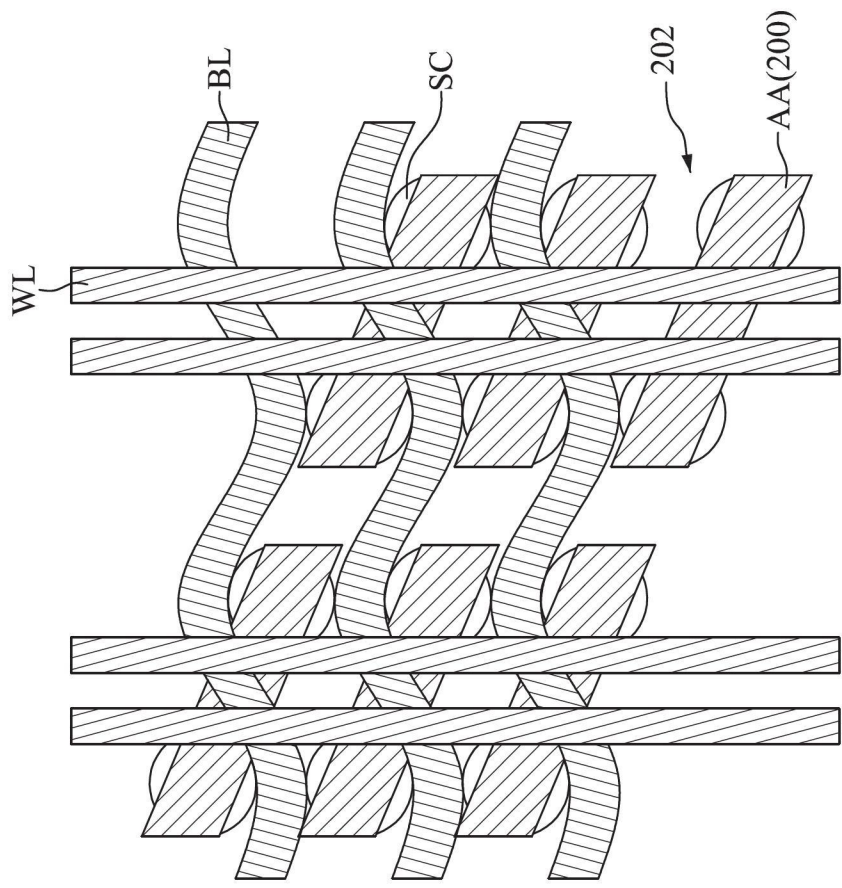
【發明圖式】



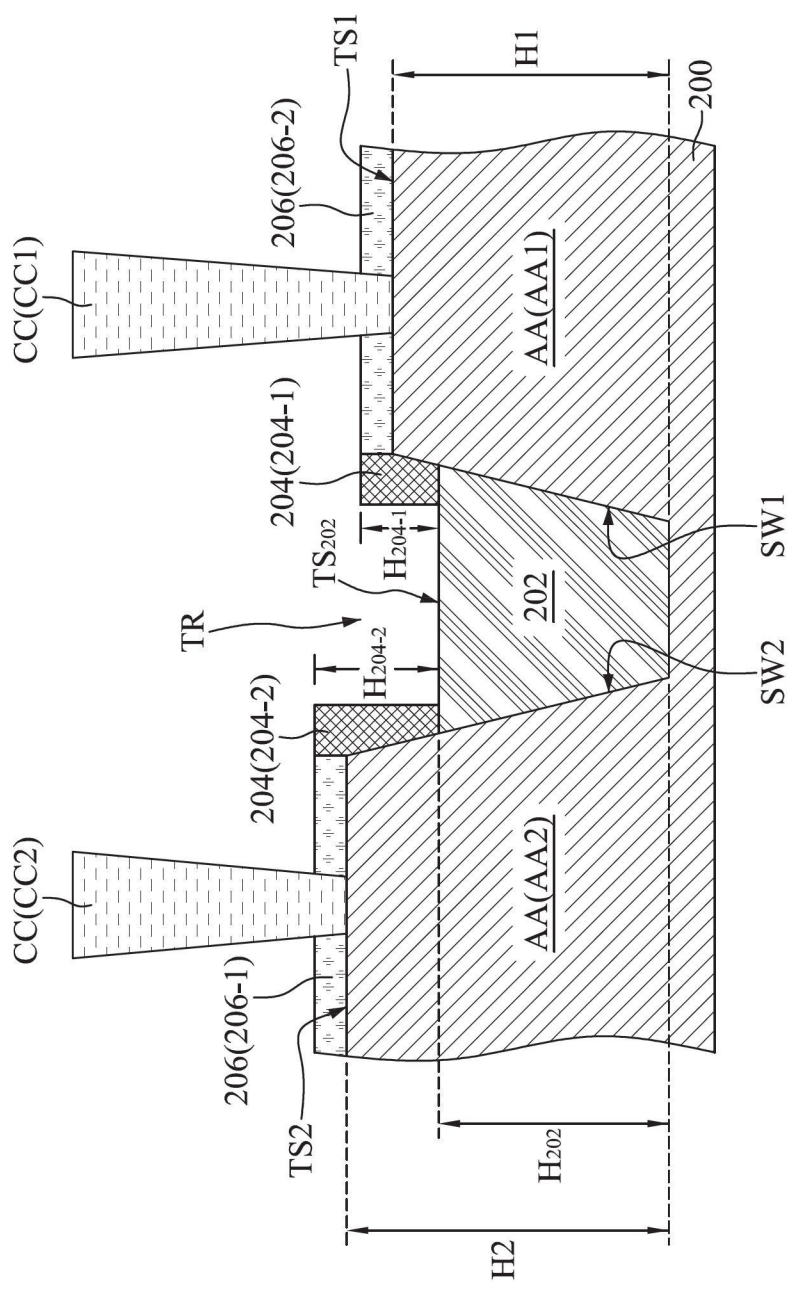
【圖1A】



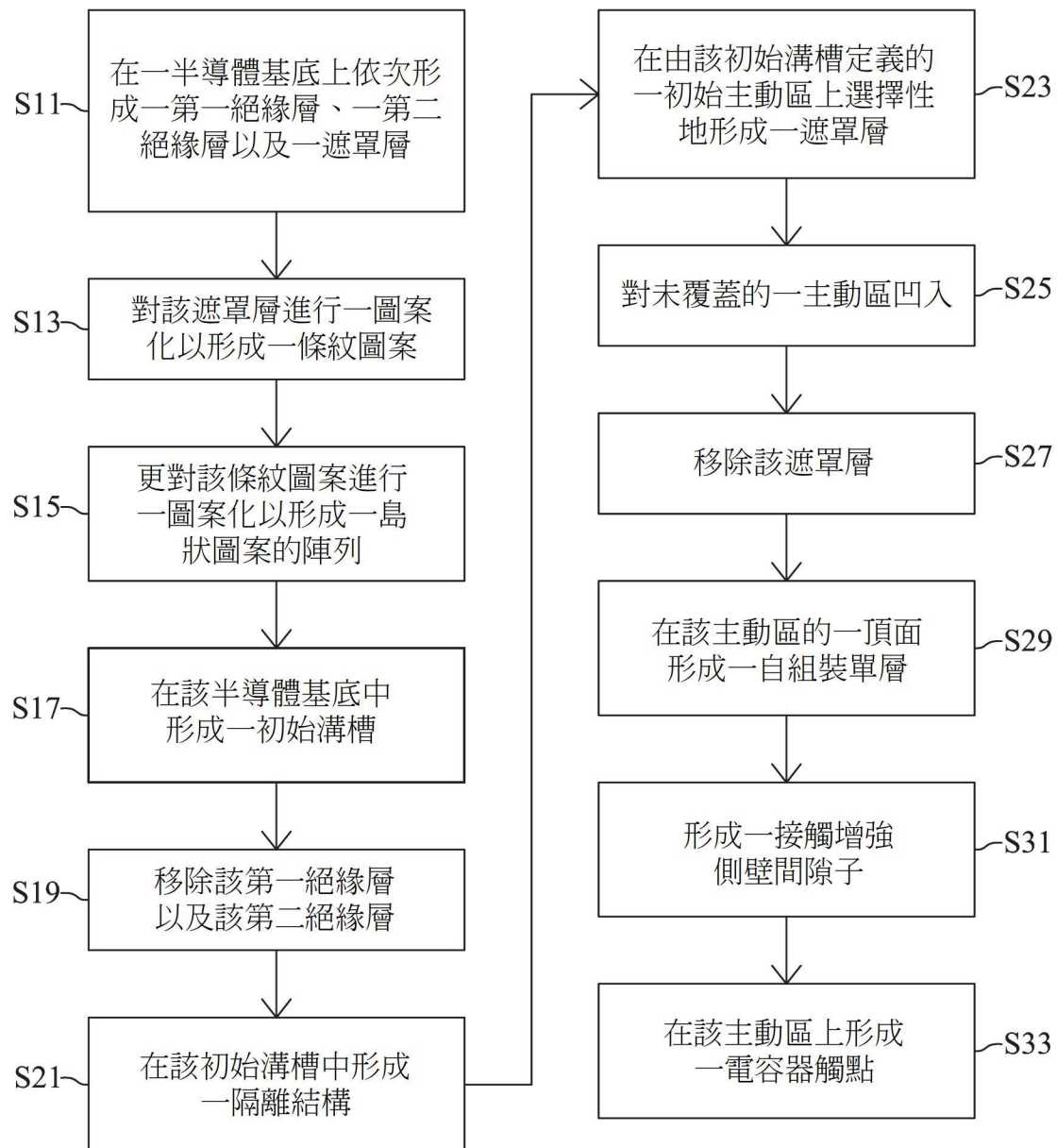
【圖1B】



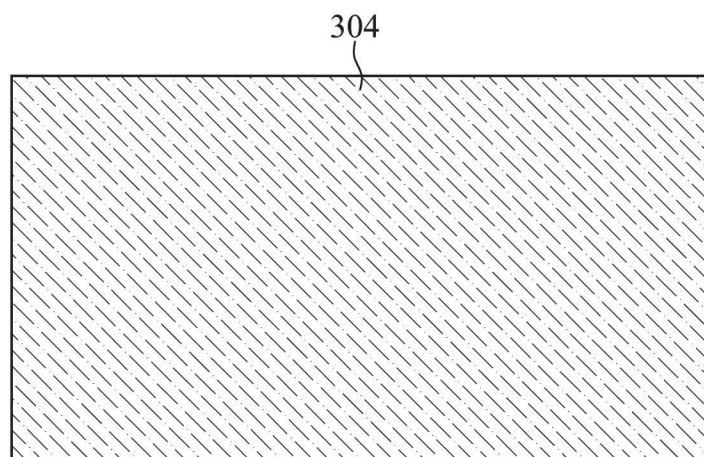
【圖2A】



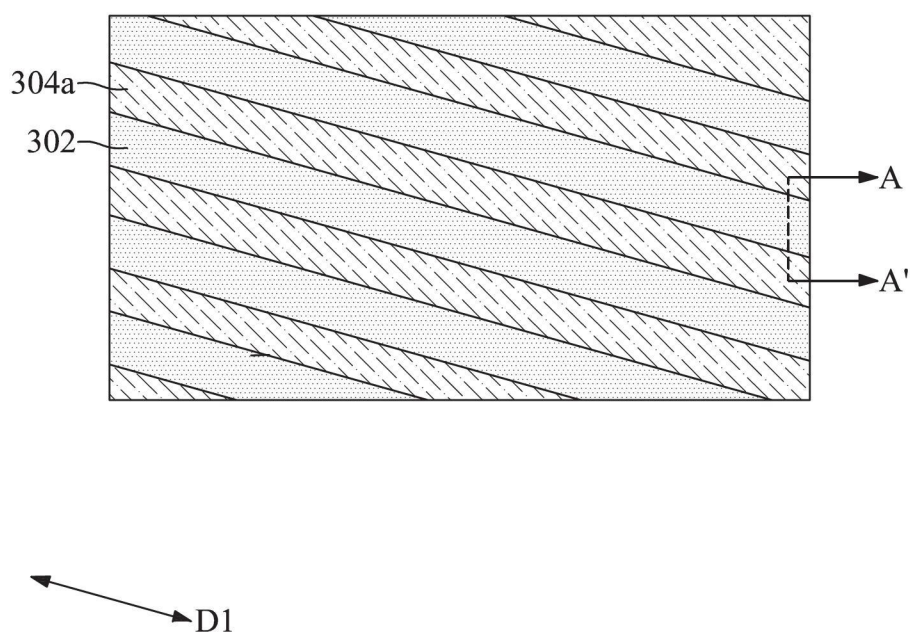
【圖2B】



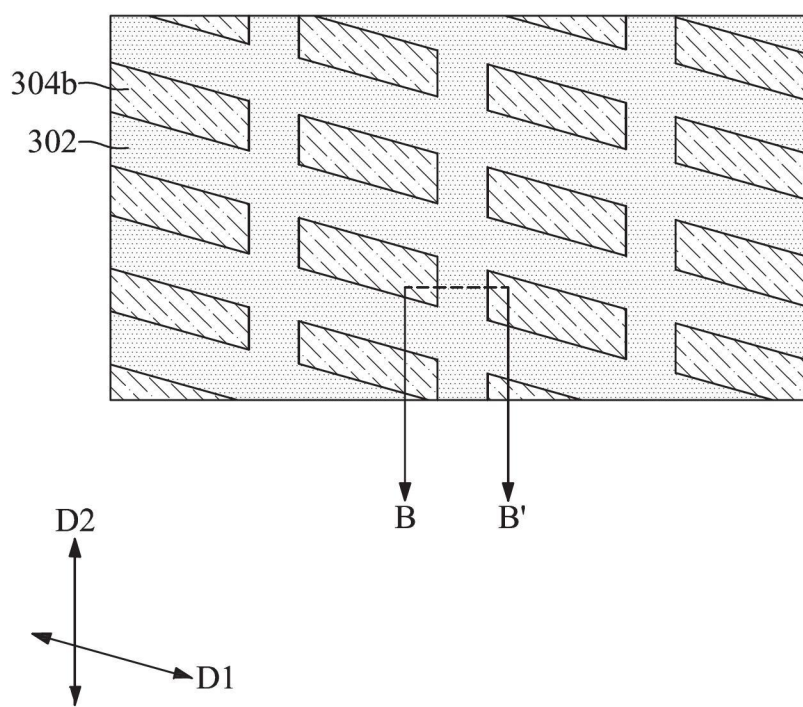
【圖3】



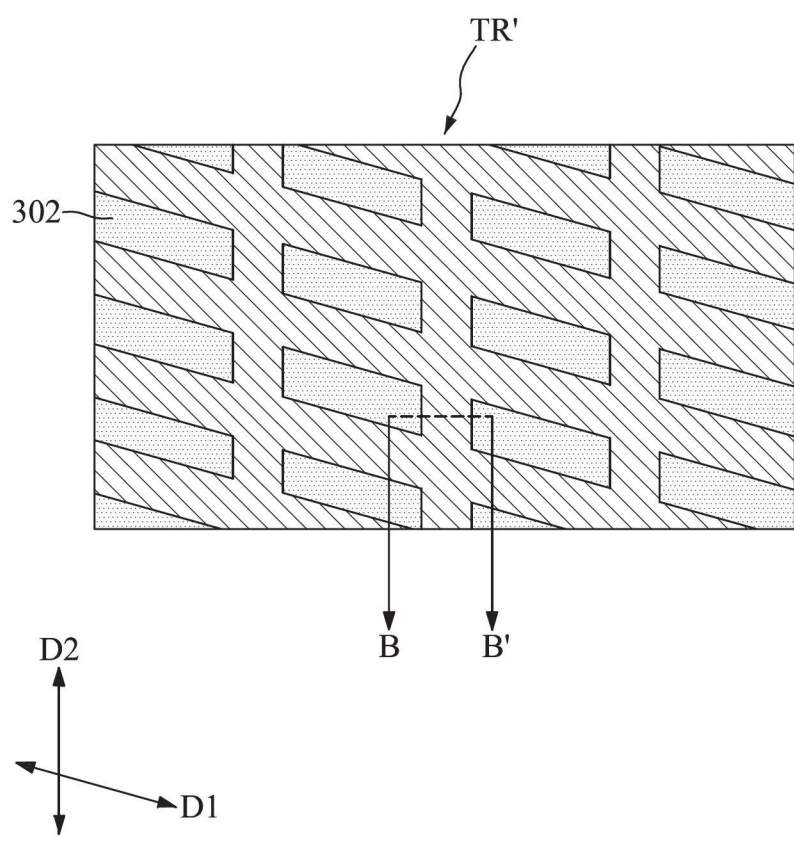
【圖4A】



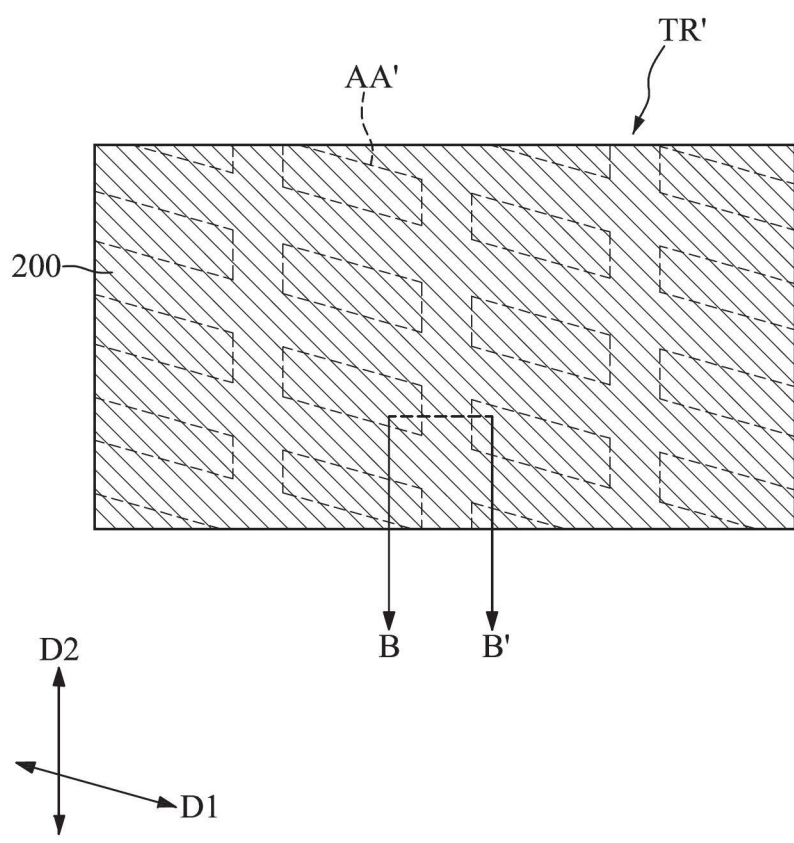
【圖4B】



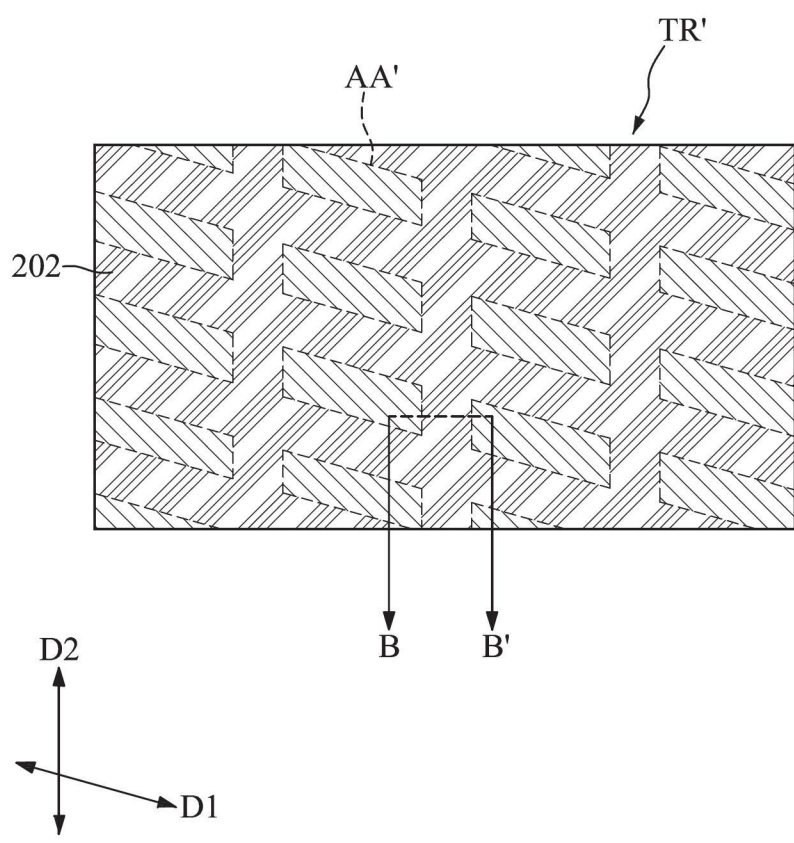
【圖4C】



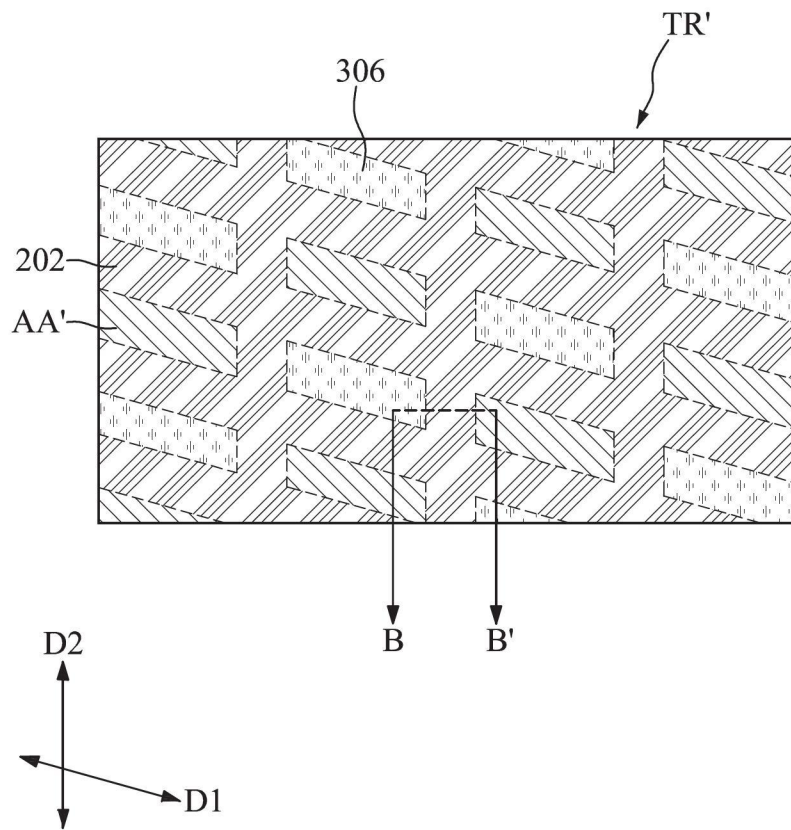
【圖4D】



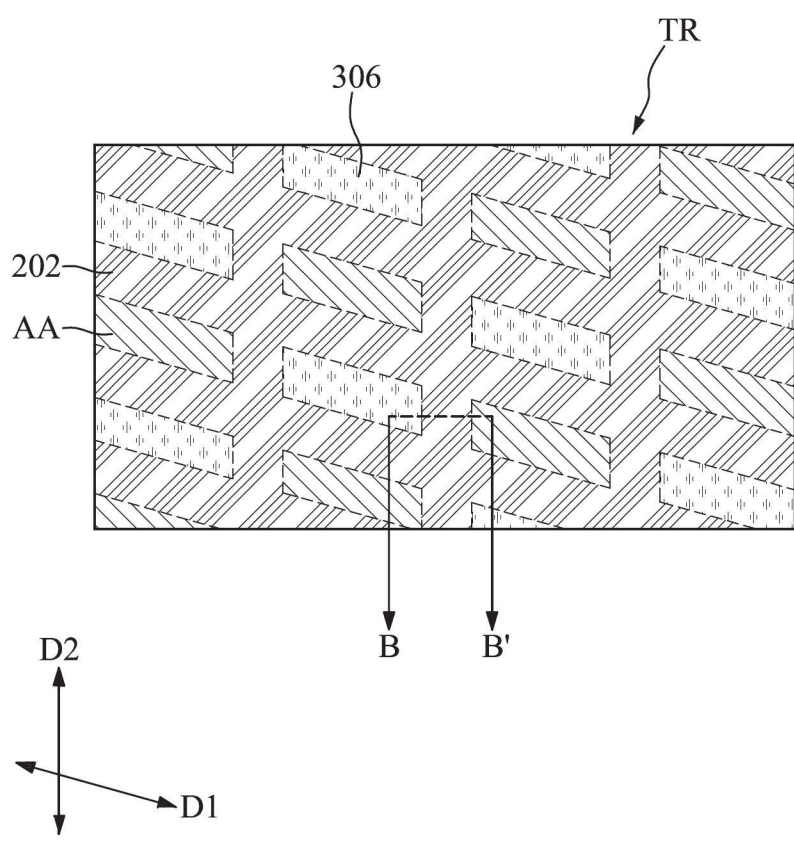
【圖4E】



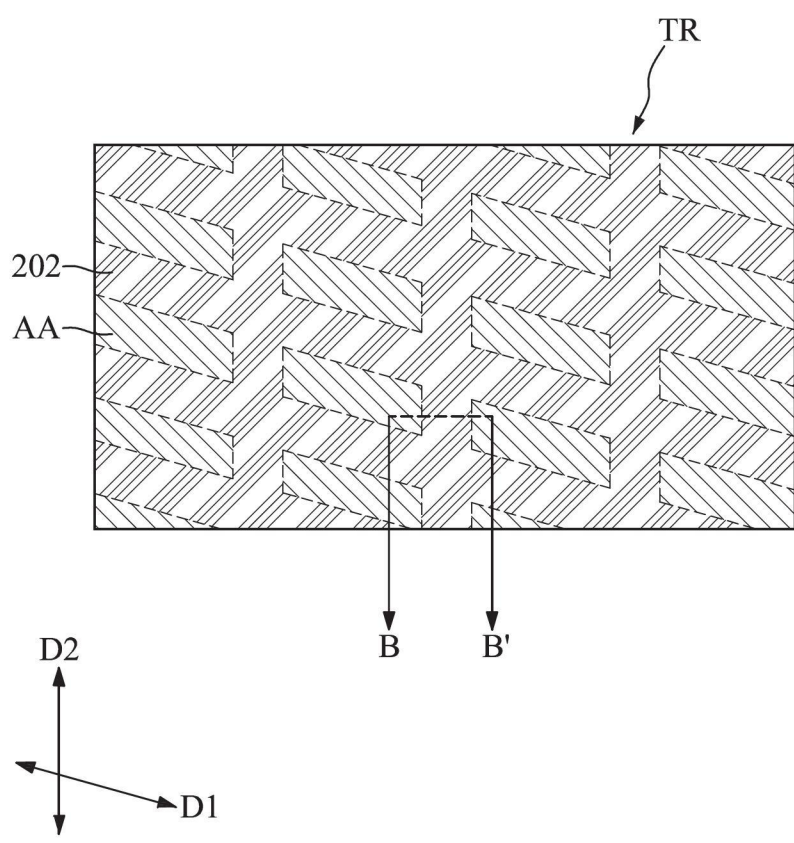
【圖4F】



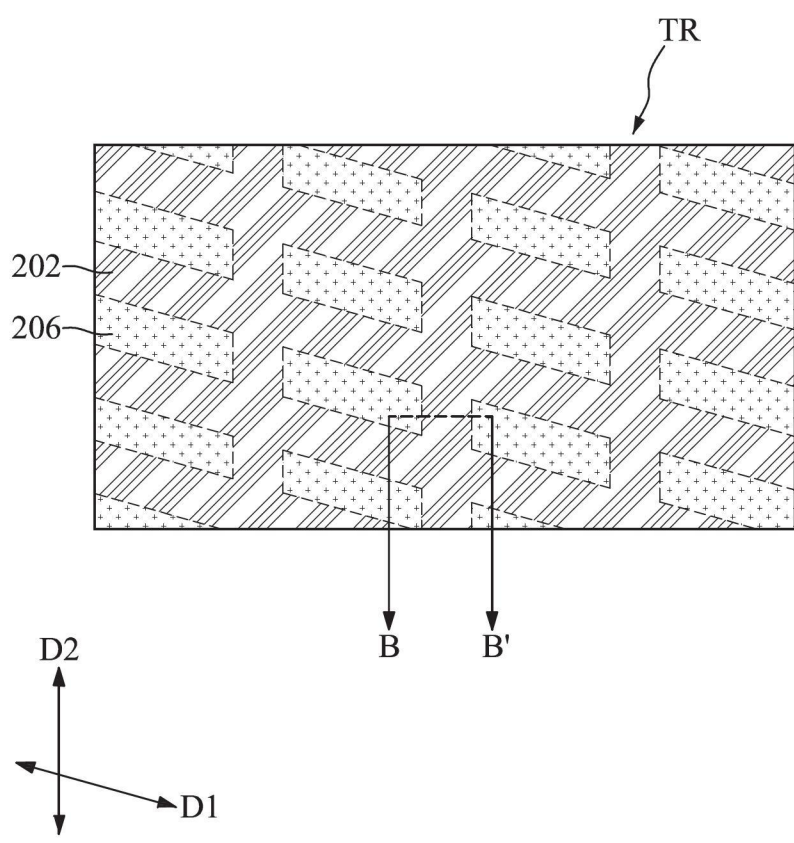
【圖4G】



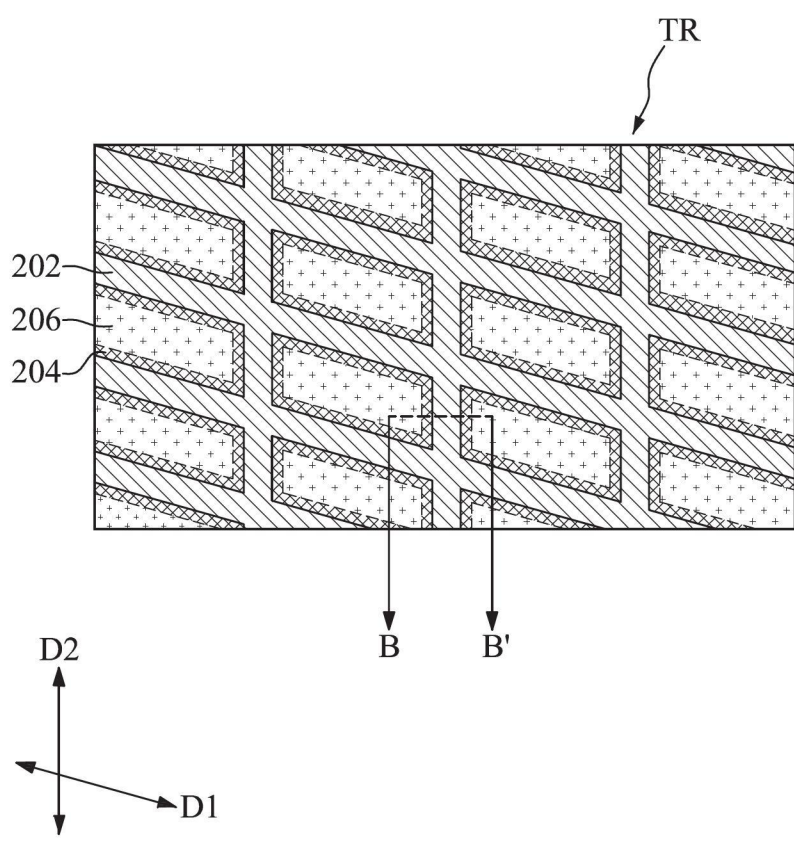
【圖4H】



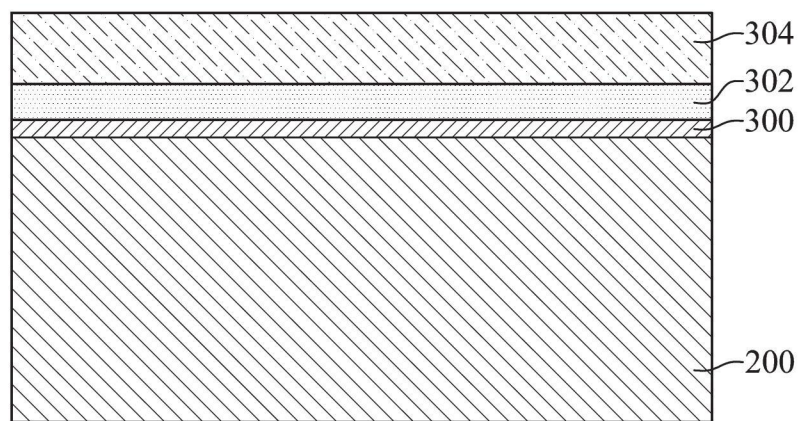
【圖4I】



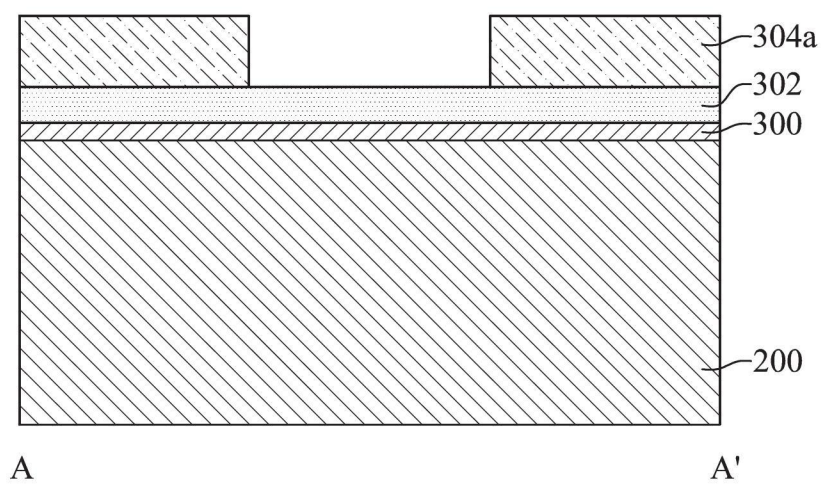
【圖4J】



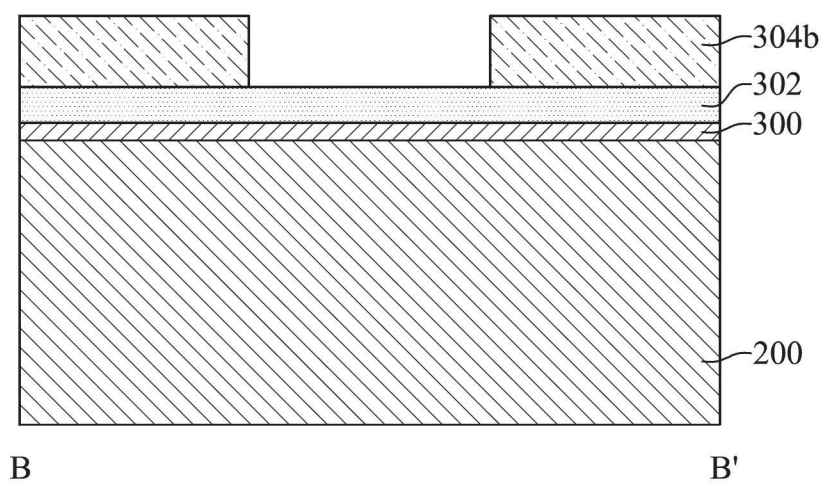
【圖4K】



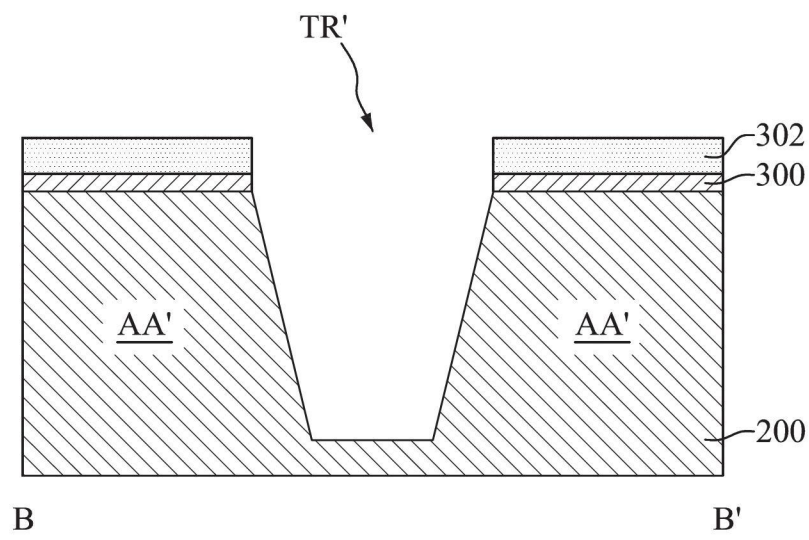
【圖5A】



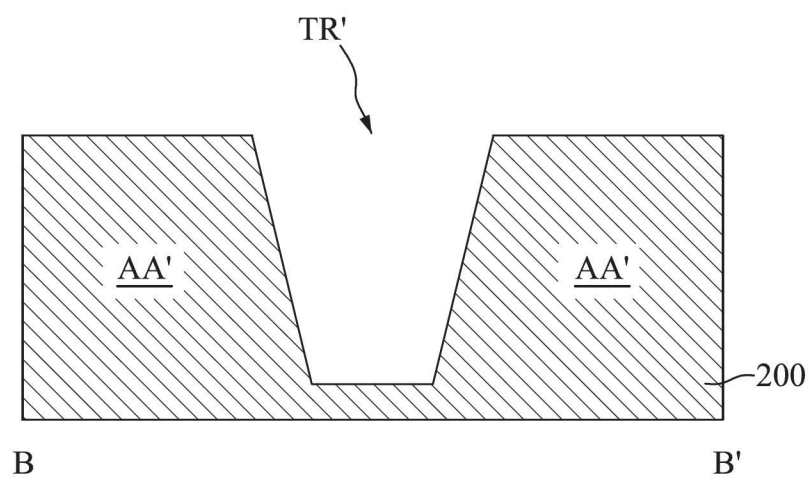
【圖5B】



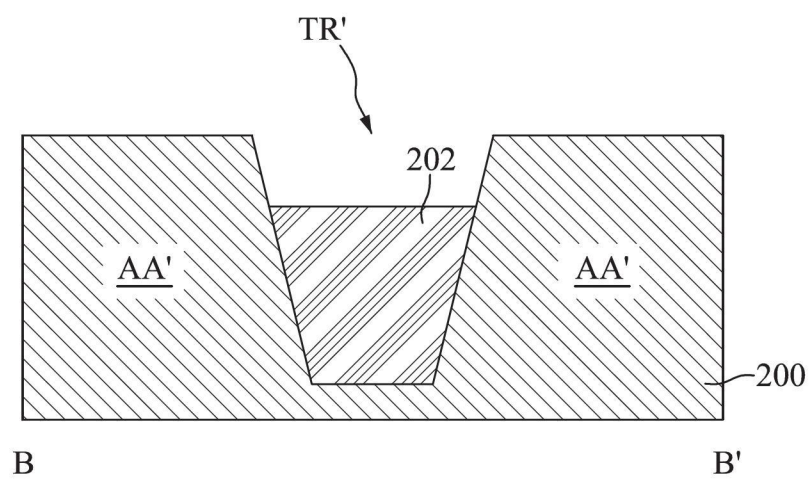
【圖5C】



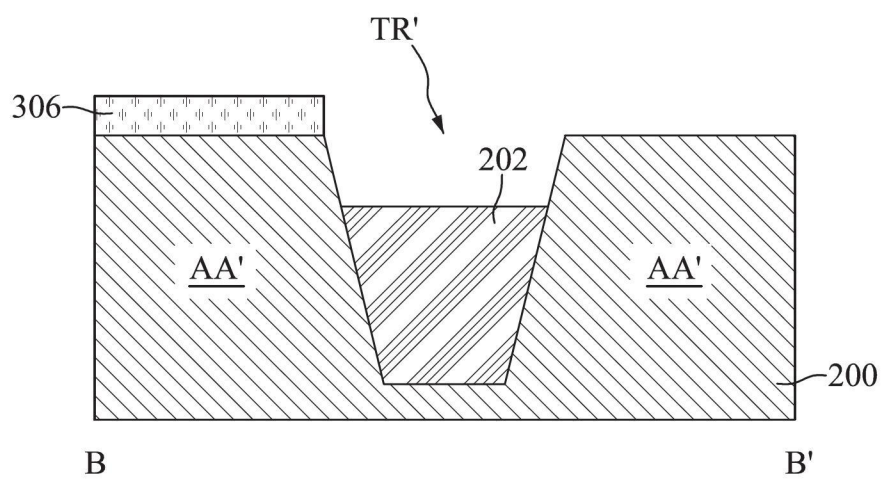
【圖5D】



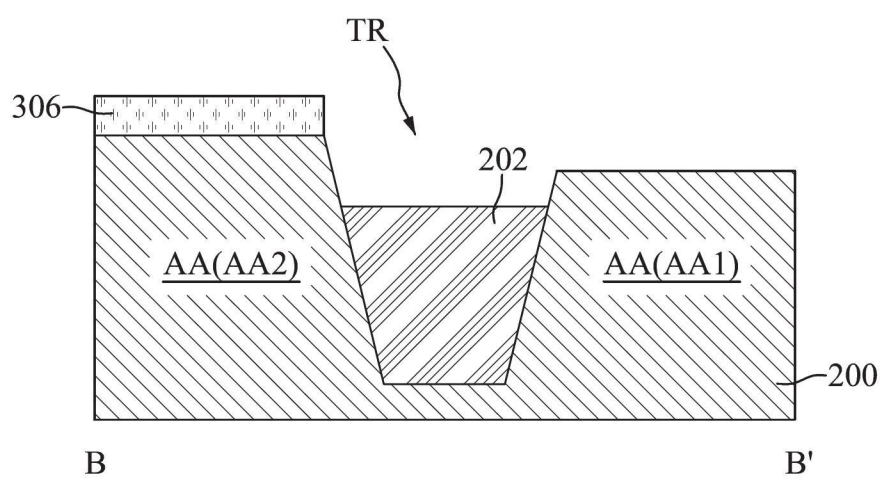
【圖5E】



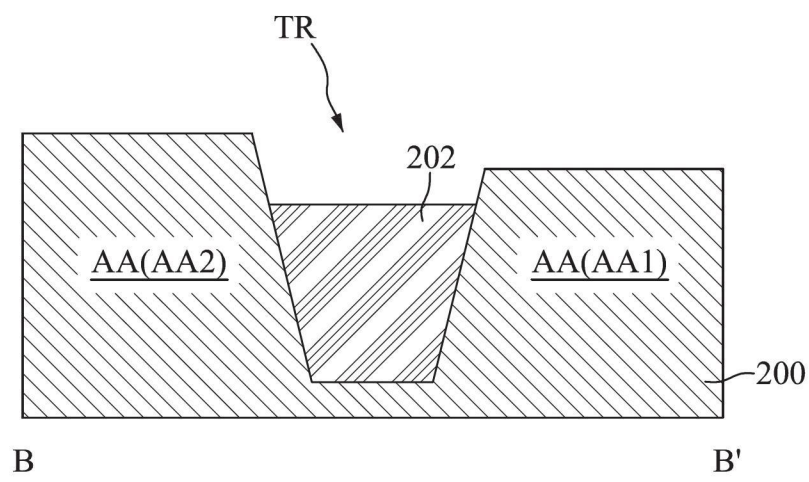
【圖5F】



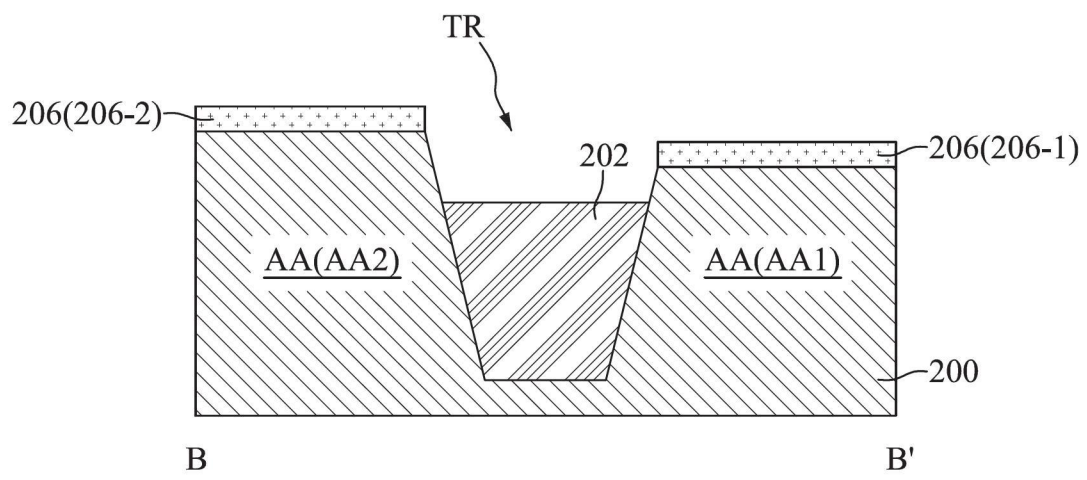
【圖5G】



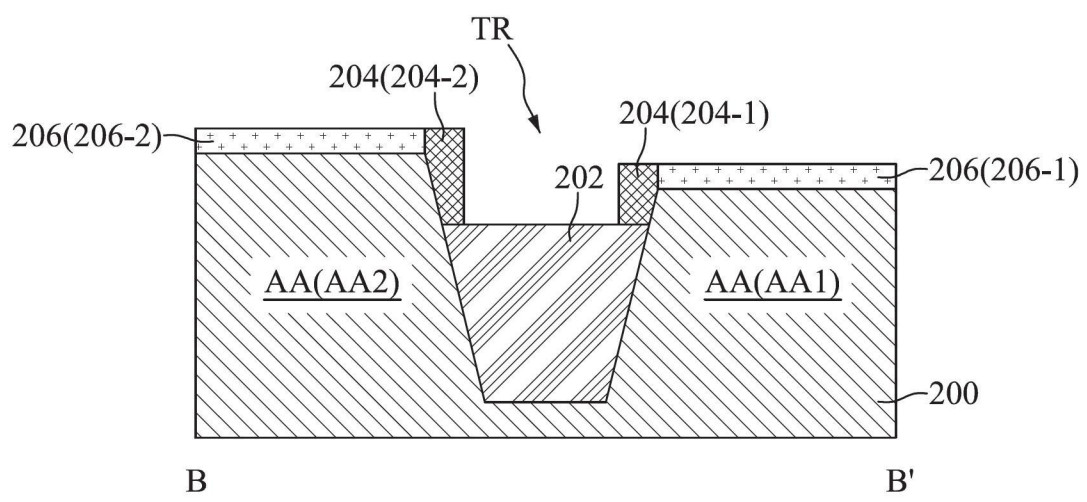
【圖5H】



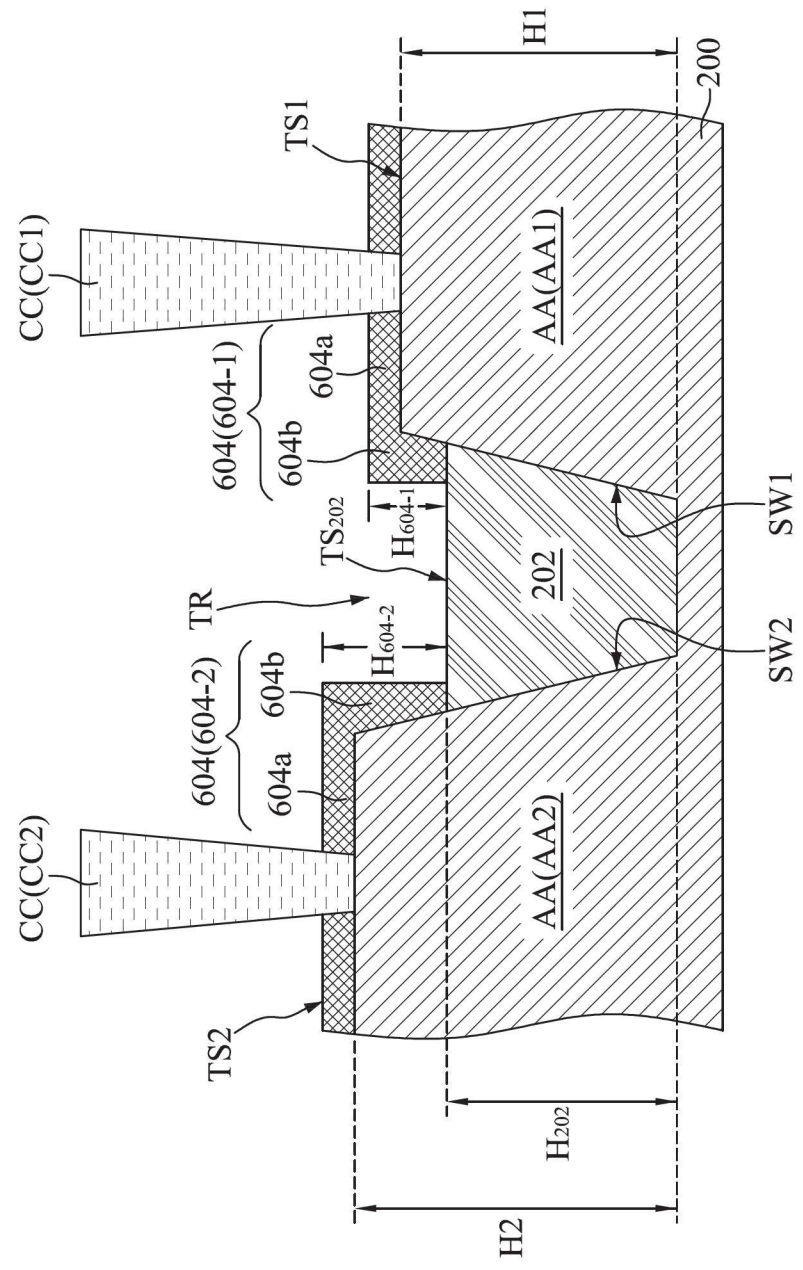
【圖51】



【圖5J】



【圖5K】



【圖6】