

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5045101号  
(P5045101)

(45) 発行日 平成24年10月10日 (2012.10.10)

(24) 登録日 平成24年7月27日 (2012.7.27)

(51) Int.Cl.		F I	
HO 1 L 21/8246 (2006.01)		HO 1 L 27/10	4 4 4 B
HO 1 L 27/105 (2006.01)		HO 1 L 21/90	M
HO 1 L 23/532 (2006.01)		HO 1 L 21/90	L
HO 1 L 21/768 (2006.01)			

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2006-512706 (P2006-512706)	(73) 特許権者	308014341
(86) (22) 出願日	平成16年4月30日 (2004.4.30)		富士通セミコンダクター株式会社
(86) 国際出願番号	PCT/JP2004/006289		神奈川県横浜市港北区新横浜二丁目10番
(87) 国際公開番号	W02005/106957		23
(87) 国際公開日	平成17年11月10日 (2005.11.10)	(74) 代理人	100090273
審査請求日	平成18年10月13日 (2006.10.13)		弁理士 園分 孝悦
		(72) 発明者	永井 孝一
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	河合 俊英

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

強誘電体キャパシタと、  
前記強誘電体キャパシタの上方に形成された2個以上の配線層と、  
前記2個以上の配線層のうちで最も上方に位置する2個の配線層の間に形成された平坦な第1のアルミナ膜と、  
前記最も上方に位置する1個の配線層を直接覆う第2のアルミナ膜と、  
前記第2のアルミナ膜上に形成されたシリコン酸化膜と、  
前記シリコン酸化膜上に形成されたシリコン窒化膜と、  
を有し、  
前記最も上方に位置する1個の配線層の上の、前記第2のアルミナ膜、前記シリコン酸化膜及び前記シリコン窒化膜にパッド開口部が形成されていることを特徴とする半導体装置。

【請求項2】

前記シリコン酸化膜は、SOG膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記シリコン酸化膜は、平坦化処理が施されたTEOS膜であることを特徴とする請求項1に記載の半導体装置。

【請求項4】

強誘電体キャパシタを形成する工程と、  
 前記強誘電体キャパシタの上方に2個以上の配線層を形成する工程と、  
 を有し、  
 前記2個以上の配線層を形成する工程の間に、前記2個以上の配線層のうちで最も上方に位置する2個の配線層の間に平坦な第1のアルミナ膜を形成する工程を有し、  
 前記2個以上の配線層を形成する工程の後に、  
 前記2個以上の配線層のうちで最も上方に位置する1個の配線層を直接覆う第2のアルミナ膜を形成する工程と、  
 前記第2のアルミナ膜上にシリコン酸化膜を形成する工程と、  
 前記シリコン酸化膜上にシリコン窒化膜を形成する工程と、  
前記最も上方に位置する1個の配線層の上の、前記第2のアルミナ膜、前記シリコン酸化膜及び前記シリコン窒化膜にパッド開口部を形成する工程と、  
 を有することを特徴とする半導体装置の製造方法。

10

## 【請求項5】

前記シリコン酸化膜として、SOG膜を形成することを特徴とする請求項4に記載の半導体装置の製造方法。

## 【請求項6】

前記シリコン酸化膜を形成する工程は、  
 TEOS膜を形成する工程と、  
 前記TEOS膜に対して平坦化処理を施す工程と、  
 を有することを特徴とする請求項4に記載の半導体装置の製造方法。

20

## 【請求項7】

前記2個以上の配線層を形成する工程と前記第2のアルミナ膜を形成する工程との間に、  
 前記2個以上の配線層のうちで最も上方に位置する1個の配線層に対して、窒素を含有する雰囲気中でアニール処理を施す工程を有することを特徴とする請求項4に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、強誘電体キャパシタを備えた不揮発性メモリに好適な半導体装置及びその製造方法に関する。

30

## 【背景技術】

## 【0002】

強誘電体メモリの上部には、外部から配線等が接続されるパッドが設けられている。図6は、従来の強誘電体メモリの構造を示す断面図である。

## 【0003】

従来の強誘電体メモリでは、シリコン基板(図示せず)上にトランジスタ(図示せず)が形成され、これらの上方に、層間絶縁膜52が形成されている。層間絶縁膜52上に、下部電極51a、強誘電体膜51b及び上部電極51cを備えた強誘電体キャパシタ51が形成されている。強誘電体キャパシタ51を覆う層間絶縁膜53が層間絶縁膜52上に形成されている。層間絶縁膜52及び53に、トランジスタ等まで到達する孔が形成され、この孔内にプラグ54が形成されている。また、層間絶縁膜53に、上部電極51a及び下部電極51cまで到達する孔も形成されており、これらの孔内及びプラグ54上に配線55が形成されている。配線55を覆うアルミナ膜56が形成され、アルミナ膜56上に層間絶縁膜57が形成されている。アルミナ膜56及び層間絶縁膜57に、配線55まで到達する孔が形成され、この孔内にプラグ58が形成されている。層間絶縁膜57上に配線59が形成されている。配線59を覆う層間絶縁膜60が層間絶縁膜57上に形成されている。層間絶縁膜60に、配線59まで到達する孔が形成され、この孔内にプラグ64が形成されている。

40

50

## 【 0 0 0 4 】

そして、層間絶縁膜 6 0 上に、パッドを兼ねる配線 6 5 が形成されている。配線 6 5 を覆うシリコン酸化膜 6 6 及びシリコン窒化膜 6 7 が形成されている。シリコン酸化膜 6 6 及びシリコン窒化膜 6 7 の厚さは、夫々 1 0 0 n m 程度、3 5 0 n m 程度である。シリコン酸化膜 6 6 及びシリコン窒化膜 6 7 に、配線 6 5 の一部を露出させるパッド開口部 6 8 が形成されている。シリコン窒化膜 6 7 上に、ポリイミド膜 7 0 が形成されている。シリコン酸化膜 6 6 は、T E O S ( tetraethylorthosilicate ) 等を用いて形成されている。

## 【 0 0 0 5 】

シリコン窒化膜 6 7 は、その厚さが厚いほど外部からの水素及び水分の浸入を抑制することができる。しかし、シリコン窒化膜 6 7 の形成時には、H を含有するガスを用いるため、シリコン窒化膜 6 7 を厚く形成すると、その形成時に強誘電体膜 5 1 b に悪影響を及ぼす水素が内部に浸入してしまう。従来の強誘電体メモリでは、これらの事情を考慮してシリコン窒化膜 6 7 の厚さは 3 5 0 n m 程度に設定されている。

## 【 0 0 0 6 】

しかしながら、1 0 0 n m 程度のシリコン酸化膜 6 6 と 3 5 0 n m 程度のシリコン窒化膜 6 7 との組み合わせでは、使用中等にシリコン窒化膜 6 7 にクラックが発生し、そこから内部に水素及び水分等が浸入することがある。そして、このような浸入が生じると、P T H S ( Pressure Temperature Humidity Stress ) 不良及びノ又は単ビット不良が誘発されることがある。このようなクラックの原因として、シリコン窒化膜 6 7 の平坦度が低いことが挙げられる。シリコン酸化膜 6 6 を厚くすれば、シリコン窒化膜 6 7 の平坦度を向上することは可能である。しかし、T E O S を用いて厚いシリコン酸化膜 6 6 を形成すると、シリコン酸化膜 6 6 中の水分が後の加熱工程等の際に強誘電体キャパシタまで多量に拡散する虞がある。

## 【 0 0 0 7 】

このような状況に対し、D R A M ( Dynamic Random Access Memory ) 等の強誘電体キャパシタを有しない半導体装置では、カバー膜を構成するシリコン酸化膜として厚い S O G ( Spin On Glass ) 膜が使用されることがある。

## 【 0 0 0 8 】

しかしながら、S O G 膜を強誘電体メモリに適用することはできない。S O G 膜の形成のためには、高温での熱処理が必要であり、また、この熱処理時に多量の水素及び水分が拡散するからである。また、S O G 膜自体の吸湿性が高く、形成後に S O G 膜が吸収した水分が、後に強誘電体キャパシタまで拡散する虞もある。

## 【 0 0 0 9 】

【特許文献 1】特開 2 0 0 1 - 3 6 0 2 6 号公報

【特許文献 2】特開 2 0 0 1 - 1 5 7 0 3 号公報

【発明の開示】

## 【 0 0 1 0 】

本発明の目的は、上層及び外部からの強誘電体キャパシタへの悪影響を抑制することができる半導体装置及びその製造方法を提供することにある。

## 【 0 0 1 1 】

本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

## 【 0 0 1 2 】

本願発明に係る半導体装置には、強誘電体キャパシタと、前記強誘電体キャパシタの上方に形成された 2 個以上の配線層と、前記 2 個以上の配線層のうちで最も上方に位置する 2 個の配線層の間に形成された平坦な第 1 のアルミナ膜と、前記最も上方に位置する 1 個の配線層を直接覆う第 2 のアルミナ膜と、前記第 2 のアルミナ膜上に形成されたシリコン酸化膜と、前記シリコン酸化膜上に形成されたシリコン窒化膜と、が設けられている。前記最も上方に位置する 1 個の配線層の上の、前記第 2 のアルミナ膜、前記シリコン酸化膜及び前記シリコン窒化膜にパッド開口部が形成されている。

10

20

30

40

50

## 【 0 0 1 3 】

本願発明に係る半導体装置の製造方法では、強誘電体キャパシタを形成した後、前記強誘電体キャパシタの上方に2個以上の配線層を形成する。但し、前記2個以上の配線層を形成する工程の間に、前記2個以上の配線層のうちで最も上方に位置する2個の配線層の間に平坦な第1のアルミナ膜を形成する。また、前記2個以上の配線層を形成した後に、前記2個以上の配線層のうちで最も上方に位置する1個の配線層を直接覆う第2のアルミナ膜を形成し、前記第2のアルミナ膜上にシリコン酸化膜を形成し、前記シリコン酸化膜上にシリコン窒化膜を形成する。前記最も上方に位置する1個の配線層の上の、前記第2のアルミナ膜、前記シリコン酸化膜及び前記シリコン窒化膜にパッド開口部を形成する。

## 【 図面の簡単な説明 】

10

## 【 0 0 1 4 】

【 図 1 】 本発明の実施形態に係る方法によって製造する強誘電体メモリ（半導体装置）のメモリセルアレイの構成を示す回路図である。

【 図 2 A 】 第1の参考例の強誘電体メモリの製造方法を示す断面図である。

【 図 2 B 】 図 2 A に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 2 C 】 図 2 B に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 2 D 】 図 2 C に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 2 E 】 図 2 D に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 2 F 】 図 2 E に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 2 G 】 図 2 F に引き続き、強誘電体メモリの製造方法を示す断面図である。

20

【 図 2 H 】 図 2 G に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 2 I 】 図 2 H に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 3 A 】 第2の参考例の強誘電体メモリの製造方法を示す断面図である。

【 図 3 B 】 図 3 A に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 4 A 】 本発明の実施形態に係る強誘電体メモリの製造方法を示す断面図である。

【 図 4 B 】 図 4 A に引き続き、強誘電体メモリの製造方法を示す断面図である。

【 図 5 】 第3の参考例の強誘電体メモリの製造方法を示す断面図である。

【 図 6 】 従来の強誘電体メモリの構造を示す断面図である。

【 図 7 】 A 1 配線の腐食を示すSEM写真である。

【 図 8 】 図 7 中の矢印Aで示す部分のSEM写真である。

30

【 図 9 】 図 7 中の矢印Bで示す部分のSEM写真である。

【 発明を実施するための最良の形態 】

## 【 0 0 1 5 】

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。図1は、本発明の実施形態に係る方法によって製造する強誘電体メモリ（半導体装置）のメモリセルアレイの構成を示す回路図である。

## 【 0 0 1 6 】

このメモリセルアレイには、一方向に延びる複数本のビット線103、並びにビット線103が延びる方向に対して垂直な方向に延びる複数本のワード線104及びプレート線105が設けられている。また、これらのビット線103、ワード線104及びプレート線105が構成する格子と整合するようにして、本実施形態に係る強誘電体メモリの複数個のメモリセルがアレイ状に配置されている。各メモリセルには、強誘電体キャパシタ101及びMOSトランジスタ102が設けられている。

40

## 【 0 0 1 7 】

MOSトランジスタ102のゲートはワード線104に接続されている。また、MOSトランジスタ102の一方のソース・ドレインはビット線103に接続され、他方のソース・ドレインは強誘電体キャパシタ101の一方の電極に接続されている。そして、強誘電体キャパシタ101の他方の電極がプレート線105に接続されている。なお、各ワード線104及びプレート線105は、それらが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ102により共有されている。同様に、各ビット線103は、それが延

50

びる方向と同一の方向に並ぶ複数個のMOSトランジスタ102により共有されている。ワード線104及びプレート線105が延びる方向、ビット線103が延びる方向は、夫々行方向、列方向とよばれることがある。但し、ビット線103、ワード線104及びプレート線105の配置は、上述のものに限定されない。

【0018】

このように構成された強誘電体メモリのメモリセルアレイでは、強誘電体キャパシタ101に設けられた強誘電体膜の分極状態に応じて、データが記憶される。

【0019】

次に、本発明の種々の参考例及び実施形態について説明する。但し、ここでは、便宜上、強誘電体メモリの各メモリセルの断面構造については、その製造方法と共に説明する。

10

【0020】

(第1の参考例)

先ず、第1の参考例の強誘電体メモリ(半導体装置)の製造方法について説明する。図2A乃至図2Iは、第1の参考例の強誘電体メモリの製造方法を工程順に示す断面図である。

【0021】

第1の参考例においては、先ず、シリコン基板等の半導体基板(図示せず)上にトランジスタ(図示せず)を形成する。このトランジスタは、図1におけるMOSトランジスタ102に相当する。次に、これらの上方に、図2Aに示すように、層間絶縁膜2を形成する。次いで、層間絶縁膜2上に、下部電極1a、強誘電体膜(例えば、PZT( $Pb(Zr, Ti)O_3$ )膜)、1b及び上部電極1cを備えた強誘電体キャパシタ1を形成する。その後、強誘電体キャパシタ1を覆う層間絶縁膜3を層間絶縁膜2上に形成する。

20

【0022】

続いて、層間絶縁膜2及び3に、トランジスタ等まで到達する孔を形成し、この孔内にプラグ4を形成する。次に、層間絶縁膜3に、上部電極1a及び下部電極1cまで到達する孔を形成する。次いで、これらの孔内及びプラグ4上に配線5を形成する。

【0023】

その後、配線5を覆うアルミナ膜6を形成し、更に、アルミナ膜6上に層間絶縁膜7を形成する。続いて、アルミナ膜6及び層間絶縁膜7に、配線5まで到達する孔を形成し、この孔内にプラグ8を形成する。次に、層間絶縁膜7上に配線9を形成する。配線9を覆う層間絶縁膜10を層間絶縁膜7上に形成する。

30

【0024】

次いで、図2Bに示すように、層間絶縁膜10上に実質的に平坦なアルミナ膜11を水素及び水分の拡散を抑制する拡散抑制膜として形成する。アルミナ膜11の厚さは、例えば70nmとする。更に、アルミナ膜11上に層間絶縁膜12を形成する。

【0025】

その後、図2Cに示すように、層間絶縁膜10、アルミナ膜11及び層間絶縁膜12に、配線9まで到達する孔13を形成する。

【0026】

続いて、図2Dに示すように、孔13内にプラグ14を形成する。

40

【0027】

次に、図2Eに示すように、層間絶縁膜12上に、プラグ14に接続される配線15を形成する。なお、アルミナ膜11を形成する前に、CMPを行うことにより、層間絶縁膜12をフラット(平坦)にしても良い。

【0028】

次いで、図2Fに示すように、全面に塗布型のSOG膜16を形成する。その後、SOG膜16に対して、Nを含有する雰囲気下でプラズマ処理を行う。この結果、SOG膜16の表面が若干窒化し、その吸湿性が低下する。更に、SOG膜16上に、シリコン窒化膜17を形成する。SOG膜16の厚さは、例えば350nm程度とし、シリコン窒化膜17の厚さは、例えば350nm乃至500nmとする。塗布型のSOG膜16の平坦度

50

は比較的高いため、シリコン窒化膜 17 の平坦度も比較的高くなり、シリコン窒化膜 17 にクラックは生じにくい。

【0029】

続いて、図 2 G に示すように、SOG 膜 16 及びシリコン窒化膜 17 に、配線 15 の一部を露出させるパッド開口部 18 を形成する。配線 15 の露出した部分がパッドとなる。

【0030】

次に、図 2 H に示すように、パッド開口部 18 の側壁部にシリコン窒化膜 19 を形成する。シリコン窒化膜 19 により SOG 膜 16 の側部が覆われる。

【0031】

次いで、図 2 I に示すように、シリコン窒化膜 17 上に、パッド開口部 18 を覆わないようにして、ポリイミド膜 20 を形成する。

10

【0032】

このような第 1 の参考例によれば、パッドを兼ねる配線 15 の上方に、塗布型の SOG 膜 16 を形成しているため、その上に形成するシリコン窒化膜 17 の平坦度を高くすることができる。この結果、シリコン窒化膜 17 のクラックを抑制することができる。また、単に SOG 膜 16 を形成しただけでは、SOG 膜 16 の形成に伴う水分等の拡散が生じてしまうが、第 1 の参考例では、アルミナ膜 11 を形成しているため、水分等の強誘電体キャパシタ 1 へ向かう拡散を抑制することができる。

【0033】

(第 2 の参考例)

20

次に、第 2 の参考例について説明する。図 3 A 乃至図 3 B は、第 2 の参考例の強誘電体メモリの製造方法を工程順に示す断面図である。

【0034】

第 2 の参考例では、まず、図 3 A に示すように、第 1 の参考例と同様にして、配線 15 の形成までの工程を行う。次に、全面に TEOS 膜 21 を、例えばプラズマ CVD 法により形成する。TEOS 膜 21 の厚さは、例えば 1300 nm 乃至 2000 nm とする。次いで、CMP (Chemical Mechanical Polishing) により TEOS 膜 21 を平坦化する。平坦化後の TEOS 膜 21 の厚さは、例えば、配線 15 の表面を基準として 350 nm 乃至 500 nm とする。その後、TEOS 膜 21 に対して、N を含有する雰囲気下でプラズマ処理を行う。この結果、TEOS 膜 21 の表面が若干窒化し、その吸湿性が低下する。続いて、TEOS 膜 21 上に、シリコン酸化膜 22 を形成する。そして、シリコン酸化膜 22 上に、シリコン窒化膜 17 を形成する。シリコン窒化膜 17 の厚さは、例えば 350 nm 乃至 500 nm とする。

30

【0035】

次に、図 3 B に示すように、パッド開口部 18 を形成する。そして、シリコン窒化膜 19 の形成以降の工程を、第 1 の参考例と同様にして行う。

【0036】

このような第 2 の参考例では、SOG 膜 16 ではなく TEOS 膜 21 を形成しているが、第 1 の参考例と同様の効果が得られる。

【0037】

40

(実施形態)

次に、本発明の実施形態について説明する。図 4 A 乃至図 4 B は、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

【0038】

本実施形態では、まず、図 4 A に示すように、第 1 の参考例と同様にして、配線 15 の形成までの工程を行う。次に、配線 15 に対して、N<sub>2</sub>アニール処理を行う。この N<sub>2</sub>アニール処理の条件は、例えば、温度：350、N<sub>2</sub>の流速：20 l/min、時間：30 分間とする。次いで、配線 15 を覆うアルミナ膜 31 を全面に形成する。

【0039】

その後、図 4 B に示すように、シリコン酸化膜 16 を形成する。シリコン酸化膜 16 の

50

厚さは、例えば350 nm程度とする。そして、シリコン窒化膜17の形成以降の工程を、第1の参考例と同様にして行う。

【0040】

このような本実施形態では、シリコン酸化膜16の直下にアルミナ膜31を形成しているため、外部から水素及び水分の強誘電体膜1bへの拡散をより一層抑制することができる。また、アルミナ膜31の形成前に配線15に対して窒素を含有する雰囲気中でのアニール処理を施しているため、アルミナ膜31の局所的な剥がれを抑制し、この剥がれに伴う水素及び水分の浸入も抑制することができる。

【0041】

(第3の参考例)

次に、第3の参考例について説明する。図5は、第3の参考例の強誘電体メモリの製造方法を示す断面図である。

【0042】

第3の参考例では、強誘電体キャパシタ1の上方に位置する複数の配線層のうちで最も下層の配線5とその上の配線9との間の層間絶縁膜内にアルミナ膜を形成する。即ち、第1の参考例で層間絶縁膜7を形成するのに対し、本実施形態では、図5に示すように、層間絶縁膜7a、アルミナ膜41及び層間絶縁膜7bを順次形成する。その他の工程は、第1の参考例と同様にして行う。

【0043】

このような第3の参考例では、強誘電体キャパシタ1の近傍にアルミナ膜41を形成しているため、例えば外部から水分等が浸入してきたとしても、強誘電体膜1bまで到達する前にその拡散を抑制することができる。

【0044】

なお、実施形態及び第1～第3の参考例のいずれかを2種以上組み合わせてもよい。

【0045】

また、シリコン窒化膜19の形成を省略してもよい。

【0046】

次に、本願発明者が行った試験の結果について説明する。

【0047】

(第1の試験)

第1の試験では、3種の試料を10個ずつ作製し、王水の染み込み具合を観察した。その後、ポリイミド膜の形成まで行って強誘電体メモリを完成させた後、硫酸中に約30秒間浸漬してポリイミド膜を剥離した。そして、各試料を王水中に約1分間浸漬し、染み込みの発生具合を評価した。この結果を、条件と共に下記表1に示す。なお、これらの3種の試料では、パッドを覆うシリコン酸化膜及びシリコン窒化膜の形成条件及び厚さを相違させると共に、実施例1のみにパッド下のアルミナ膜を形成した。

【0048】

【表1】

	シリコン酸化膜の 厚さ (nm)	シリコン窒化膜の 厚さ (nm)	染み込みが 発生した数	備考
実施例1	350	500	0/10	腐食無し
比較例1	100	350	8/10	配線の腐食あり
比較例2	100	500	8/10	配線の腐食あり

【0049】

なお、実施例1では、シリコン酸化膜として、配線(パッド)を覆うTEOS膜を16

10

20

30

40

50

00nm形成した後、CMPにより厚さが350nmとなるまで研磨した。即ち、実施例1は第2の参考例に準じたものである。一方、比較例1及び2では、TEOSを用いてシリコン酸化膜を100nmの厚さで形成した。更に、比較例1の試料を硫酸中に浸漬し、SEM (Scanning Electron Microscope) 観察を行ったところ、図7に示すように、A1配線に腐食している部分(矢印で示す部分)が存在した。また、本願発明者は、図7中の矢印A及びBで示す部分のSEM写真を撮影した。図8は、図7中の矢印Aで示す部分のSEM写真であり、図9は、図7中の矢印Bで示す部分のSEM写真である。図8及び図9に示すように、シリコン窒化膜にクラック(円で囲んだ領域内)が発生していた。

【0050】

(第2の試験)

第2の試験では、2種の試料を20個ずつ作製し、PTH耐性の評価を行った。この結果を表2に示す。実施例2は、第2の参考例に準じたものであり、比較例3は、第2の参考例からパッド下のアルミナ膜を除いたものに相当する。

【0051】

【表2】

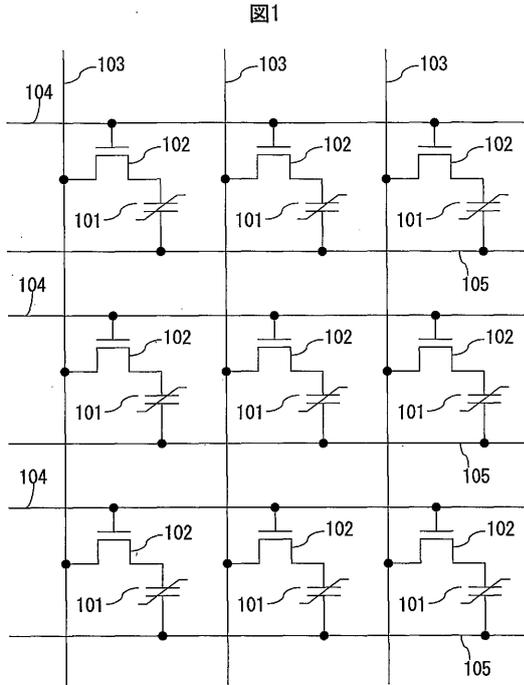
	72時間後の不良数	168時間後の不良数	336時間後の不良数
実施例2	0/20	0/20	0/20
比較例3	12/19	11/20	測定せず

【産業上の利用可能性】

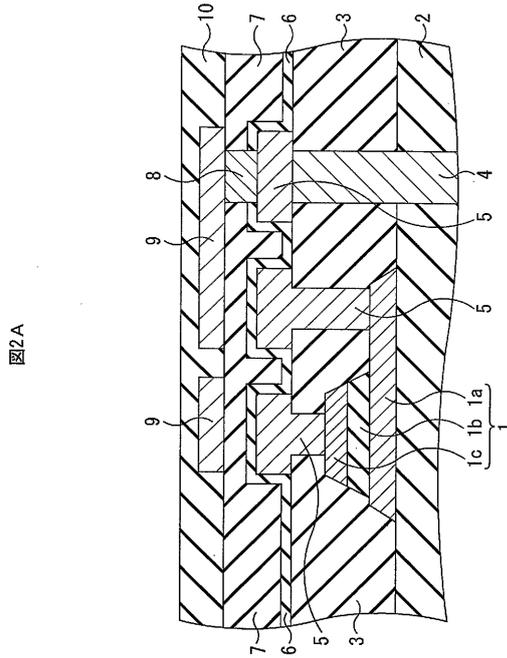
【0052】

以上詳述したように、本発明によれば、最も上方に位置する2個の配線層の間にアルミナ膜が形成されているため、上層及び外部からの強誘電体キャパシタへの悪影響を抑制することができる。例えば、外部からの水分の浸入を抑制することができる。また、最も上方に位置する配線層を覆うカバー膜を、水分が拡散しやすい材料を用いて形成したとしても、強誘電体キャパシタまでの拡散を抑制することができる。従って、カバー膜として、従来使用を避けていた、高い平坦度を得ることができるものの水分が拡散しやすい材料からなる膜も形成することができる。このため、カバー膜のクラックを抑制することも可能である。

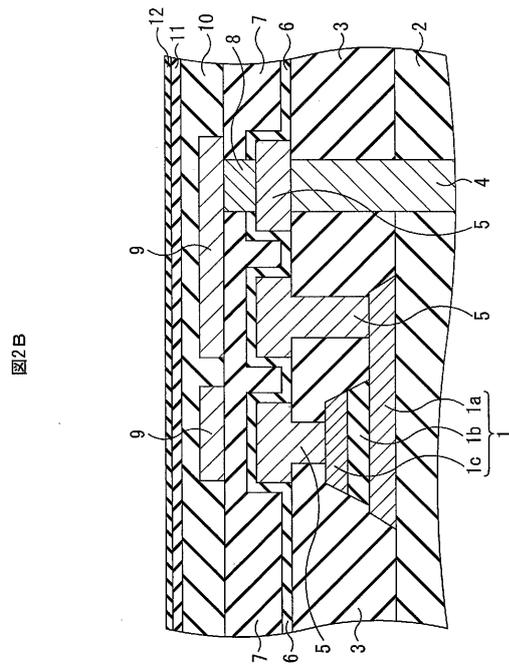
【图 1】



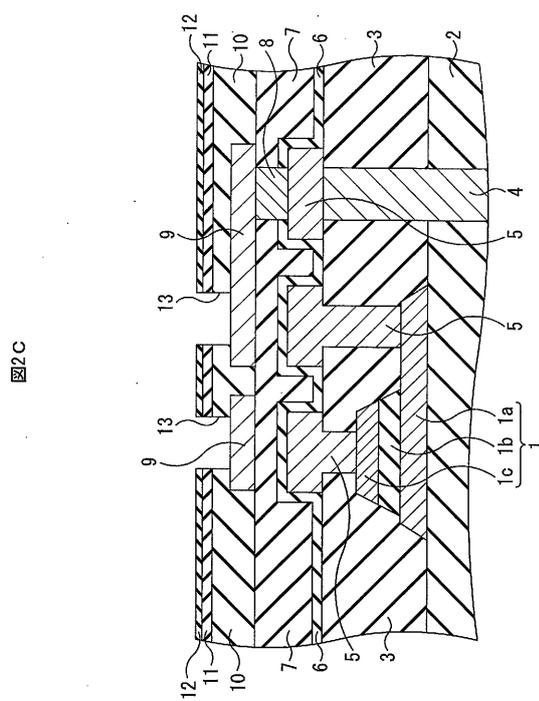
【图 2 A】



【图 2 B】

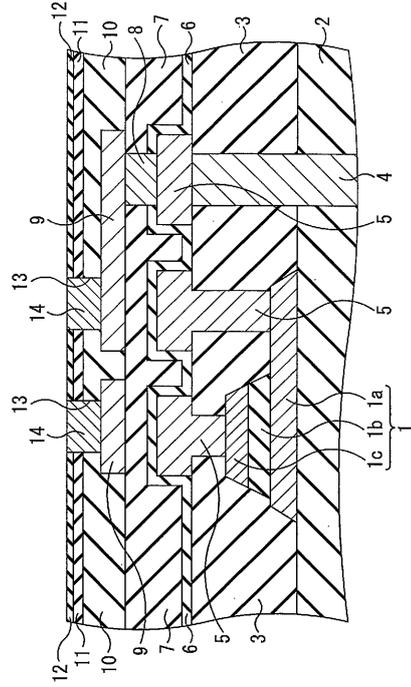


【图 2 C】



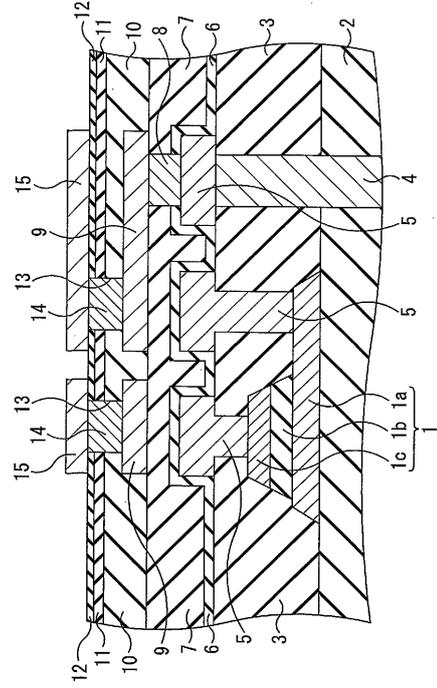
【 2 D 】

图2D



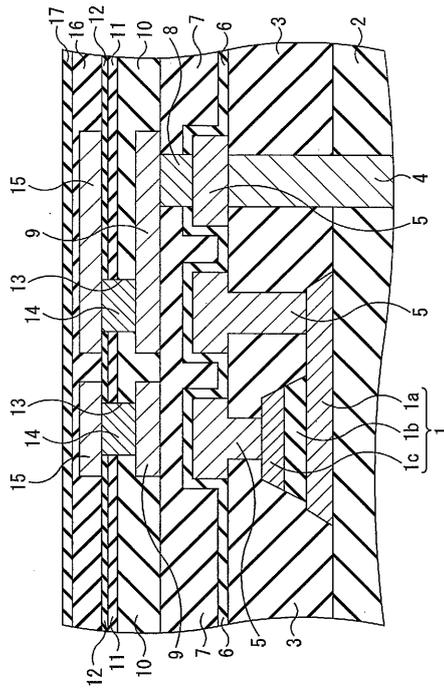
【 2 E 】

图2E



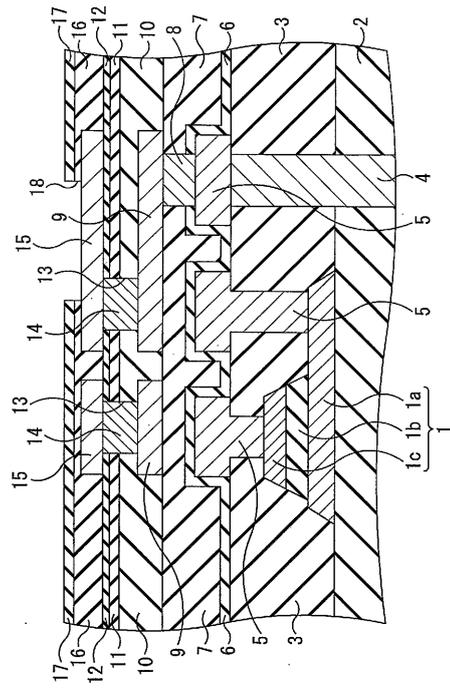
【 2 F 】

图2F



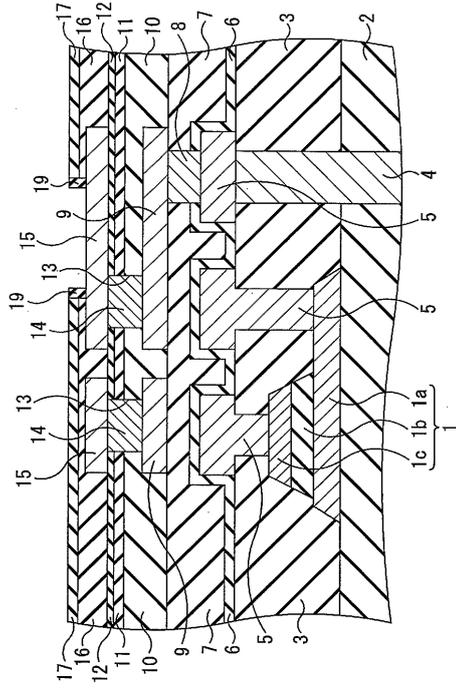
【 2 G 】

图2G



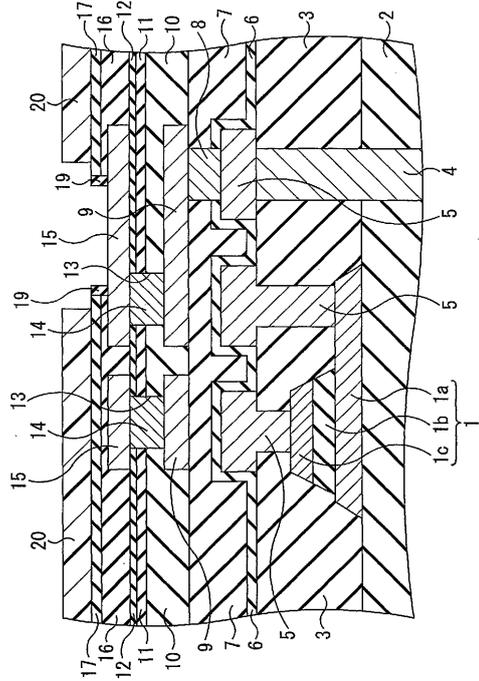
【 図 2 H 】

図2H



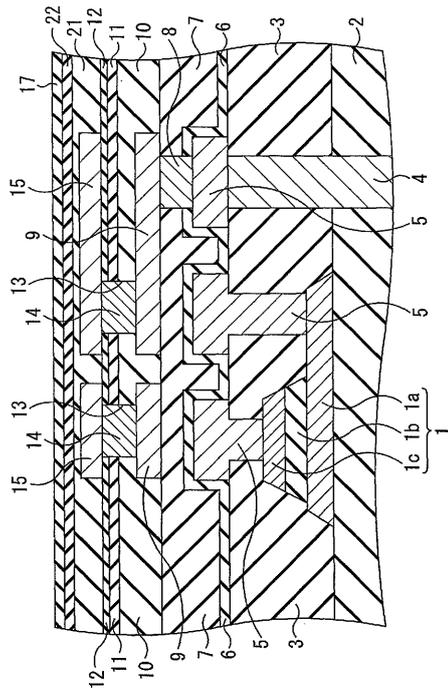
【 図 2 I 】

図2I



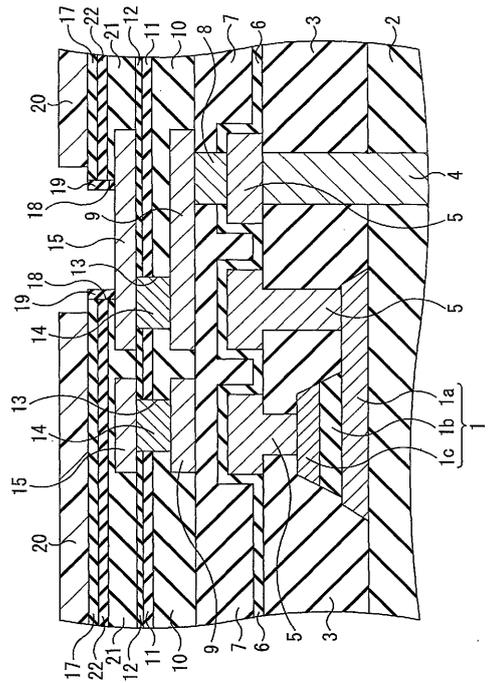
【 図 3 A 】

図3A



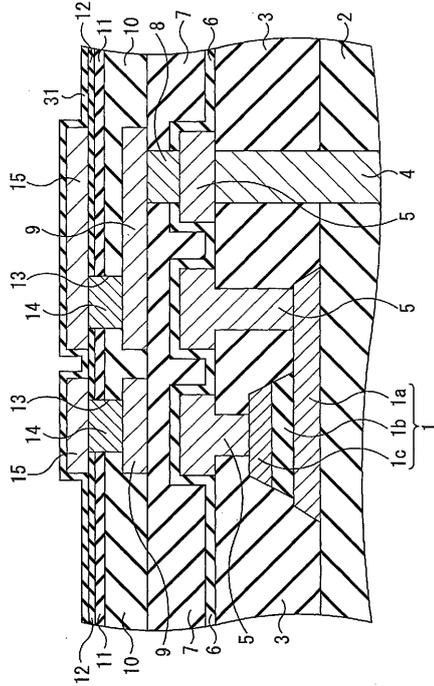
【 図 3 B 】

図3B



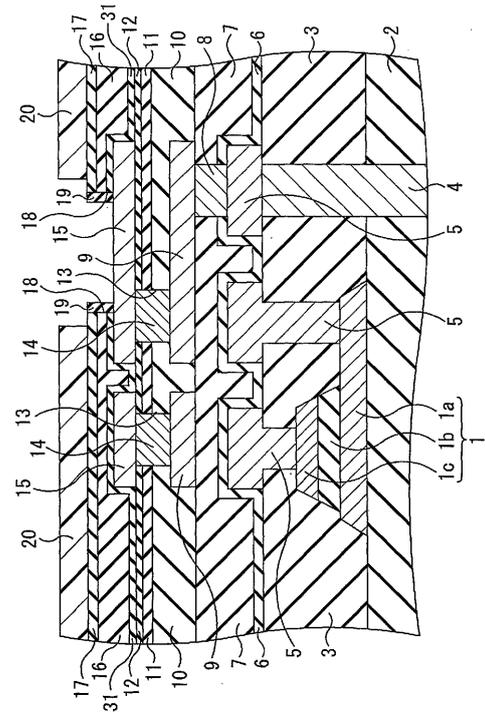
【 図 4 A 】

図4A



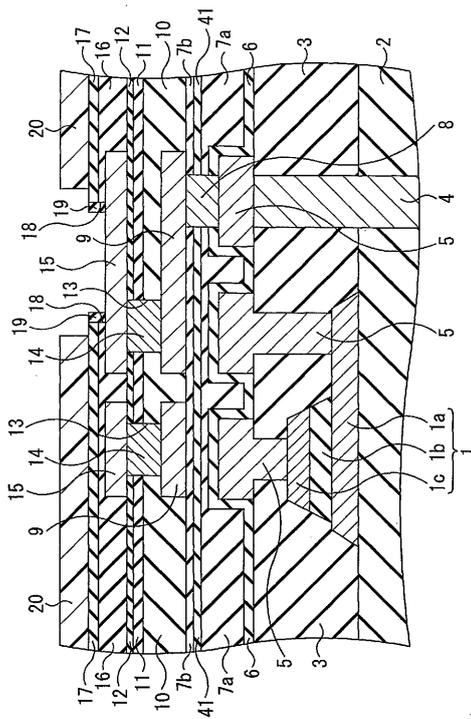
【 図 4 B 】

図4B



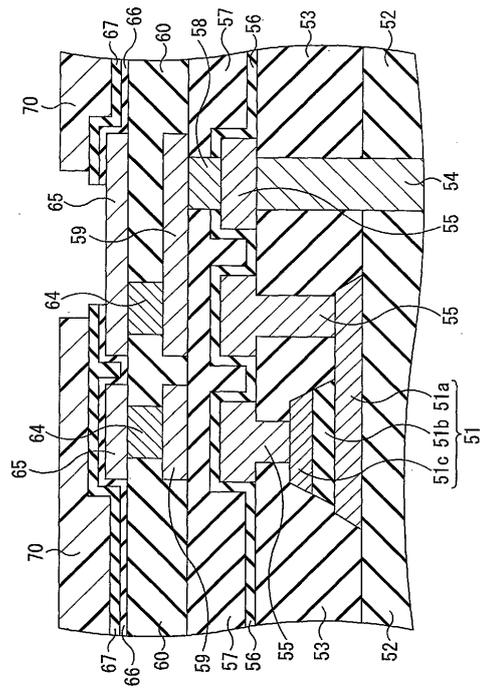
【 図 5 】

図5



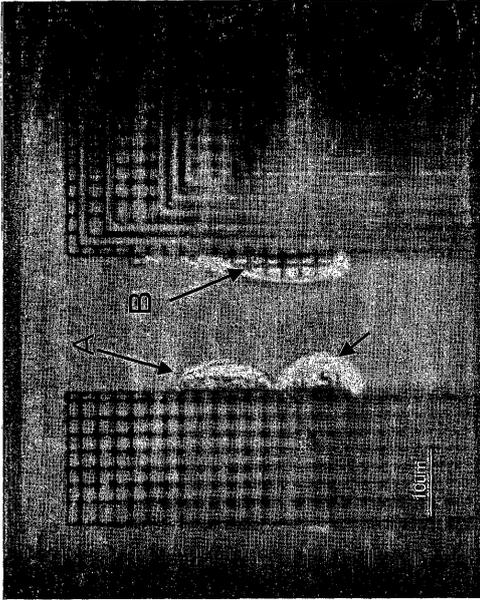
【 図 6 】

図6



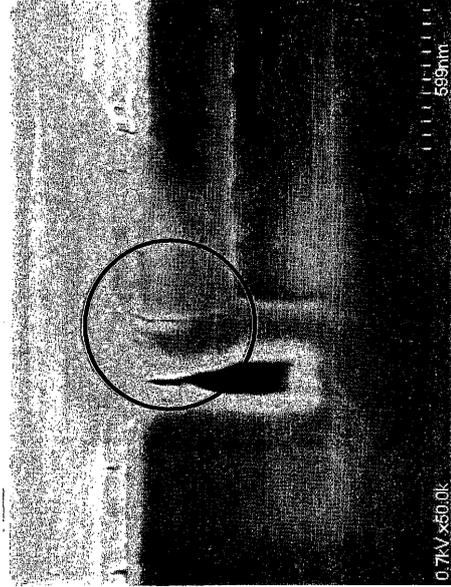
【 図 7 】

図7



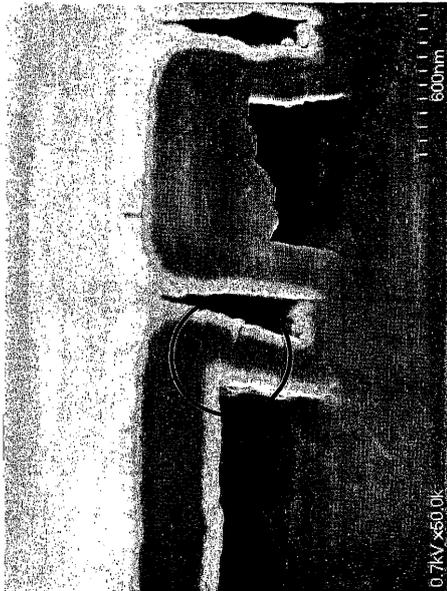
【 図 8 】

図8



【 図 9 】

図9



---

フロントページの続き

- (56)参考文献 特開2003-197878(JP,A)  
特開2001-358309(JP,A)  
特開2003-209223(JP,A)  
特開2002-190577(JP,A)  
特開2002-035442(JP,A)  
特開2003-068993(JP,A)  
特開2004-095861(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246  
H01L 21/768  
H01L 23/532  
H01L 27/105