

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2022-164865
(P2022-164865A)

(43)公開日 令和4年10月27日(2022.10.27)

(51)国際特許分類	F I				
H 0 1 L 29/78 (2006.01)	H 0 1 L	29/78	6 5 2 K		
H 0 1 L 29/12 (2006.01)	H 0 1 L	29/78	6 5 2 T		
H 0 1 L 21/336 (2006.01)	H 0 1 L	29/78	6 5 3 A		
H 0 1 L 29/739 (2006.01)	H 0 1 L	29/78	6 5 2 B		
	H 0 1 L	29/78	6 5 8 G		
審査請求 有 請求項の数 9 O L (全15頁) 最終頁に続く					

(21)出願番号	特願2022-139154(P2022-139154)	(71)出願人	000005234 富士電機株式会社
(22)出願日	令和4年9月1日(2022.9.1)		神奈川県川崎市川崎区田辺新田1番1号
(62)分割の表示	特願2017-215758(P2017-215758))の分割	(74)代理人	100105854 弁理士 廣瀬 一
原出願日	平成29年11月8日(2017.11.8)	(74)代理人	100103850 弁理士 田中 秀 てつ
		(72)発明者	内海 誠 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72)発明者	酒井 善行 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

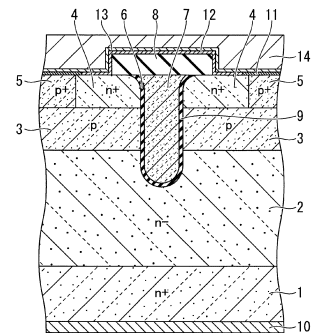
(54)【発明の名称】 炭化シリコン半導体装置及びその製造方法

(57)【要約】

【課題】オーミック電極に含まれる金属や水素原子等の拡散を防止できる半導体装置及びその製造方法を提供する。

【解決手段】第1導電型のドリフト領域2と、ドリフト領域2上に配置された第2導電型のベース領域3と、ベース領域3の上部に選択的に埋め込まれ、ドリフト領域2よりも高不純物密度で第1導電型の主電極領域4と、主電極領域4の深さより浅いレベルまで、主電極領域4の上面側にラウンド部を有し、ラウンド部からベース領域3を貫通して底部がドリフト領域2まで達するトレンチ9と、トレンチ9の内側に設けられた絶縁ゲート構造(6、7)と、を備える。ラウンド部の下端がベース領域から0.1µm以上離間している。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 導電型のドリフト領域と、
前記ドリフト領域上に配置された第 2 導電型のベース領域と、
前記ベース領域を貫通する少なくとも 1 本のトレンチと、
前記ベース領域の上部に選択的に設けられ、前記ドリフト領域よりも高不純物密度で第 1 導電型の主電極領域と、
を備え、
前記トレンチは、上面側の角部を丸めた曲面形状の部位であるラウンド部を有し、
前記ラウンド部の下端が前記ベース領域から $0.1 \mu\text{m}$ 以上離間していることを特徴とする炭化シリコン半導体装置。 10

【請求項 2】

前記トレンチは、幅が $0.5 \sim 1.0 \mu\text{m}$ であり、深さが $1 \mu\text{m} \sim 2 \mu\text{m}$ であることを特徴とする請求項 1 に記載の炭化シリコン半導体装置。

【請求項 3】

前記トレンチは、ストライプ状に複数配列されていることを特徴とする請求項 1 または 2 に記載の炭化シリコン半導体装置。

【請求項 4】

前記ドリフト領域は、エピタキシャル層を含み、
前記トレンチの下端は、前記エピタキシャル層に達していることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。 20

【請求項 5】

前記主電極領域に隣接して設けられ、前記ベース領域よりも高不純物密度で第 2 導電型のベースコンタクト領域を備えることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の炭化シリコン半導体装置。

【請求項 6】

前記トレンチの底面及び側面に設けられたゲート絶縁膜と、
前記トレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極と、
前記ゲート電極の上に設けられた層間絶縁膜と、
前記層間絶縁膜に設けられたコンタクトホールと、
を備え、
前記コンタクトホールは、前記主電極領域および前記ベースコンタクト領域の少なくとも一部を露出させていることを特徴とする請求項 5 に記載の炭化シリコン半導体装置。 30

【請求項 7】

前記コンタクトホールに埋め込まれる表面電極層と、
前記表面電極層の下に設けられる下地金属層と、
を備え、
前記下地金属層は、バリアメタルを含むことを特徴とする請求項 6 に記載の炭化シリコン半導体装置。 40

【請求項 8】

前記ラウンド部の曲率半径の最小値は、前記主電極領域の深さよりも大きいことを特徴とする請求項 1 から 7 のいずれか 1 項に記載の炭化シリコン半導体装置。

【請求項 9】

第 1 導電型のドリフト領域と、前記ドリフト領域上に配置された第 2 導電型のベース領域と、前記ベース領域を貫通する少なくとも 1 本のトレンチと、前記ベース領域の上部に選択的に設けられ、前記ドリフト領域よりも高不純物密度で第 1 導電型の主電極領域と、
を含む炭化シリコン半導体装置の製造方法であって、
前記主電極領域を形成した後に、上面側の角部を丸めた曲面形状の部位であるラウンド部を有する前記トレンチを形成し、
前記ラウンド部の下端を前記ベース領域から $0.1 \mu\text{m}$ 以上離間させることを特徴とす 50

る炭化シリコン半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化シリコン(SiC)を用いたトレンチゲート型半導体装置のトレンチ構造及びその製造方法に関する。

【背景技術】

【0002】

トレンチゲート型のMOSトランジスタでは、半導体層に掘り込まれたトレンチの側面にチャンネル領域が形成される。トレンチゲート型MOSトランジスタは、平面型MOSトランジスタに比べてセルピッチの縮小によりチャンネル密度を高くできるので、オン抵抗の低減が期待できる。SiC半導体層を用いる場合、トレンチ形成にはドライエッチングが用いられる。トレンチは半導体層にほぼ垂直に掘り込まれるので、開口部及び底部の角部がほぼ直角となる。また、トレンチ側面には荒れが発生しやすい。開口部及び底部の角部や側面の荒れがあると、電界集中によるゲート耐圧低下を招きやすくなる。

10

【0003】

特許文献1には、熱酸化工程を2回行うことにより、トレンチの開口部及び底部を丸めてラウンド形状とし、ゲート特性を改善することが提案されている。特許文献2には、アルゴン(Ar)あるいは水素(H₂)などのガス雰囲気中で熱処理を行うことにより、トレンチの開口部及び底部をラウンド形状とし、ゲート耐圧を改善することが記載されている。

20

【0004】

上述のように、トレンチのラウンド化は、ゲート酸化膜の高耐圧化及び高信頼性化のためには必要である。特許文献1では、チャンネル領域表面の加工及び洗浄方法として、熱酸化を用いているが、チャンネル領域表面を過剰に熱酸化すると、SiC半導体層内部に酸素及び格子不整合の浸入が発生するため、チャンネル抵抗が増加する。また、特許文献2及び3では、ガス雰囲気での熱処理を用いたラウンド化は、表面における原子の拡散や再配列を利用している。そのため、ソース領域からチャンネル領域へのn型不純物の拡散、及びチャンネル領域からのp型不純物の脱離が発生し、p型のトレンチ側面の一部がn型又はi型

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平7-263692号公報

【特許文献2】特許第5209152号公報

【特許文献3】再表2016/038833号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記問題点を鑑み、ゲート耐圧の低下を抑制し、チャンネル抵抗の増加を防止し、電気的特性を安定させることが可能な信頼性の高いSiC半導体装置及びその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明の一態様は、(a)第1導電型のドリフト領域と、(b)ドリフト領域上に配置された第2導電型のベース領域と、(c)ベース領域を貫通する少なくとも1本のトレンチと、(d)ベース領域の上部に選択的に設けられ、ドリフト領域よりも高不純物密度で第1導電型の主電極領域と、を備え、(e)トレンチは、上面側の角部を丸めた曲面形状の部位であるラウンド部を有し、(f)ラウンド部の下端が

50

ベース領域から $0.1 \mu\text{m}$ 以上離間している SiC 半導体装置であることを要旨とする。

【0008】

本発明の他の態様は、(a) 第1導電型のドリフト領域と、(b) ドリフト領域上に配置された第2導電型のベース領域と、(c) ベース領域を貫通する少なくとも1本のトレンチと、(d) ベース領域の上部に選択的に設けられ、ドリフト領域よりも高不純物密度で第1導電型の主電極領域と、を含む炭化シリコン半導体装置の製造方法であって、(e) 主電極領域を形成した後に、上面側の角部を丸めた曲面形状の部位であるラウンド部を有するトレンチを形成し、(f) ラウンド部の下端をベース領域から $0.1 \mu\text{m}$ 以上離間させる SiC 半導体装置の製造方法であることを要旨とする。

【発明の効果】

10

【0009】

本発明によれば、ゲート耐圧の低下を抑制し、チャネル抵抗の増加を防止し、電気的特性を安定させることが可能な信頼性の高い SiC 半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態に係る半導体装置の一例を示す要部断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法の一例を説明するための工程断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法の一例を説明するための図2に引き続く工程断面図である。 20

【図4】本発明の実施形態に係る半導体装置の製造方法の一例を説明するための図3に引き続く工程断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法の一例を説明するための図4に引き続く工程断面図である。

【図6】本発明の実施形態に係る半導体装置の製造方法の一例を説明するための図5に引き続く工程断面図である。

【図7】本発明の実施形態に係る半導体装置の製造方法の一例を説明するための図6に引き続く工程断面図である。

【図8】図7に示したトレンチの断面のSEM像である。

30

【図9】本発明の実施形態に係るトレンチと比較例のトレンチの断面形状を説明する概略図である。

【図10】本発明の実施形態に係る半導体装置のソース領域表面からのSIMS分析による不純物濃度分布を示す図である。

【図11】本発明の実施形態に係る半導体装置と比較例の半導体装置の $I_d - V_g$ 特性を示す図である。

【図12】本発明の実施形態に係る半導体装置と比較例の半導体装置の閾値電圧とオン抵抗の相関を示す図である。

【図13】本発明の実施形態に係る半導体装置と比較例の半導体装置のラウンド形状及び電気特性の測定結果を示す表である。 40

【発明を実施するための形態】

【0011】

以下、図面を参照して、本発明の実施形態を説明する。図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる場合がある。また、図面相互間においても寸法の関係や比率が異なる部分が含まれ得る。また、以下に示す実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。

【0012】

50

また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。また以下の説明では、第1導電型がn型、第2導電型がp型の場合について例示的に説明する。しかし、導電型を逆の関係に選択して、第1導電型をp型、第2導電型をn型としても構わない。またnやpに付す+や-は、+及び-が付記されていない半導体領域に比して、それぞれ相対的に不純物密度が高い又は低い半導体領域であることを意味する。ただし同じnとnとが付された半導体領域であっても、それぞれの半導体領域の不純物密度が厳密に同じであることを意味するものではない。

【0013】

以下の説明において、「主電極領域」とは、オーミック電極がオーミック接触される「第2主電極領域」又は「第1主電極領域」のいずれかを包括的に含む概念である。例えば $5 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の高不純物密度の半導体領域が「第2主電極領域」又は「第1主電極領域」のいずれかになる。通常3端子の半導体装置等には、キャリア走行領域を流れる主電流を放出する主電極領域と、主電流を構成しているキャリアを受け入れる主電極領域の2つがある。これらのいずれかを「第2主電極領域」、他を「第1主電極領域」として定義できる。即ち、「第2主電極領域」とは、電界効果トランジスタ(FET)や静電誘導トランジスタ(SIT)においてソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。絶縁ゲート型バイポーラトランジスタ(IGBT)においてはエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味する。又、静電誘導サイリスタ(SIサイリスタ)やゲートターンオフサイリスタ(GTO)においてはアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。「第1主電極領域」とは、FETやSITにおいては上記第2主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。IGBTにおいては上記第2主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。SIサイリスタやGTOにおいては上記第2主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。このように、本発明の「第2主電極領域」がソース領域であれば、「第1主電極領域」はドレイン領域を意味する。「第2主電極領域」がエミッタ領域であれば、「第1主電極領域」はコレクタ領域を意味する。「第2主電極領域」がアノード領域であれば、「第1主電極領域」はカソード領域を意味する。バイアス関係を交換すれば、多くの場合、「第2主電極領域」の機能と「第1主電極領域」の機能を交換可能である。

【0014】

(半導体装置)

本発明の実施形態に係る半導体装置としてトレンチゲートを有するMOSトランジスタを用いて説明する。本発明の実施形態に係る半導体装置は、図1に示すように、活性領域(1, 2, 3, 4, 5)、絶縁層膜(層間絶縁膜)8、表面電極層14、及び裏面電極層10を備える。活性領域(1, 2, 3, 4, 5)は、第1導電型(n⁺型)のドレイン領域(第1主電極領域)1と、ドレイン領域1の上のキャリア走行領域(2, 3)と、キャリア走行領域(2, 3)上のソース領域(第2主電極領域)4を有する。キャリア走行領域(2, 3)は、第1導電型(n⁻型)のドリフト領域(第1半導体層)2と、第2導電型(p型)のベース層(第2半導体層)3を備える。ソース領域4は、キャリア走行領域(2, 3)の上部に設けられ、キャリア走行領域(2, 3)よりも高不純物密度の半導体領域である。本発明の実施形態では図1に示す構造の上部構造に着目しているため、ソース領域(第2主電極領域)4が「主電極領域」として定義される。主電極領域4に隣接して第2導電型(p⁺型)のベースコンタクト領域5が配置されている。主電極領域4の上面には、表面電極層14が設けられる。ドレイン領域1は、キャリア走行領域(2, 3)よりも高不純物密度の半導体領域である。ドレイン領域1の下面には、裏面電極層10が設けられる。

【0015】

10

20

30

40

50

ソース領域 4 の上面からベース領域 3 を貫通して底部がドリフト領域 2 に達するトレンチ 9 が設けられている。トレンチ 9 は、ソース領域 4 の深さより浅いレベルまで、ソース領域 4 の上面側にラウンド部を有している。「ラウンド部」とは、角部を丸めた曲面形状の部位を指す。トレンチ 9 の内側に、絶縁ゲート構造 (6、7) が設けられる。絶縁ゲート構造 (6、7) は、トレンチ 9 の底面及び側面に設けられたゲート絶縁膜 6、及びトレンチ 9 内にゲート絶縁膜 6 を介して埋め込まれたゲート電極 7 を有する。なお、図 1 では 1 本のトレンチが示されているが、実際にはマルチチャンネル構造を構成するように多数のトレンチを有していても構わない。ゲート電極 7 の上には、絶縁膜層 (層間絶縁膜) 8 が主電極領域 4 の一部を露出するように選択的に配置され、絶縁膜層 8 中にコンタクトホールを設けている。なお、絶縁膜層 8 中には、ゲート電極 7 に対するコンタクトホールも開孔されるが、ゲート電極 7 側のオーミック電極の構造の説明は省略する。ソース領域 4 側のコンタクトホールにおいて、絶縁膜層 8 は両側のソース領域 4 の上面の一部を被覆している。ソース領域 4 の上面は、活性領域 (1、2、3、4、5) の主面をなしている。

10

【0016】

トレンチ 9 は、幅が、例えば $0.5 \mu\text{m} \sim 1 \mu\text{m}$ 程度、深さが、例えば $1 \mu\text{m} \sim 2 \mu\text{m}$ 程度である。しかし、本発明のトレンチ 9 の幅や深さがこれらの値に限定されるものではないことは、以下の説明から理解できるであろう。本発明の実施形態においては、平面パターン上、各単位セル構造のトレンチ 9 がストライプ状に配列されているものとするが、これに限定されない。例えばトレンチ 9 が矩形の平面パターンや六角形等の多角形の平面パターンを有していてもよい。

20

【0017】

本発明の実施形態においては、ドレイン領域 1 は SiC からなる半導体基板 (SiC 基板) で構成され、キャリア走行領域 (2、3) 及び主電極領域 4 は SiC からなるエピタキシャル層 (SiC 層) で構成されるものとする。SiC 結晶には結晶多形が存在し、主なものは立方晶の 3C、及び六方晶の 4H、6H 及び立方晶である。室温における禁制帯幅は 3C-SiC では 2.23 eV 、4H-SiC では 3.26 eV 、6H-SiC では 3.02 eV の値が報告されている。本発明の実施形態では、4H-SiC を用いて説明する。また、活性領域 (1、2、3、4、5) の主面として Si 面、チャンネルとなるトレンチ 9 の側面としては m 面を用いて説明する。

【0018】

ゲート絶縁膜 6 としては、シリコン酸化膜 (SiO₂ 膜) などが用いられる。ゲート絶縁膜 6 の厚さは例えば $20 \text{ nm} \sim 150 \text{ nm}$ 程度である。ゲート電極 7 としては、n 型不純物を添加したポリシリコン層 (ドーパドポリシリコン層) などが用いられる。表面電極層 14 の材料としては、例えばアルミニウム (Al) や、Al-Si、Al-銅 (Cu)、Al-Cu-Si 等の Al 合金が使用可能である。表面電極層 14 の下には、下地金属となるソースコンタクト層 11 及びバリアメタル層 12 が配置されている。ソースコンタクト層 11 は、ソース領域 4 の端部及びベースコンタクト領域 5 にそれぞれに金属学的に接するように配置されている。バリアメタル層 12 は、ソース領域 4 に金属学的に接し、ソース領域 4 から絶縁膜層 8 の側面及び上面を覆うように延在している。表面電極層 14 は、ソースコンタクト層 11 及びバリアメタル層 12 を覆うように配置されている。ソースコンタクト層 11 及びバリアメタル層 12 と表面電極層 14 の間には、上部バリアメタル層 13 を配置してもよい。上部バリアメタル層 13 は、チタン (Ti) / TiN / Ti の積層構造とするのがよい。例えば、ソースコンタクト層 11 がニッケルシリサイド (NiSi_x) 膜、バリアメタル層 12 が窒化チタン (TiN) 膜、表面電極層 14 がアルミニウム (Al) 膜で構成できる。ソースコンタクト層 11 は、スパッタリング法又は蒸着法等により Ni 膜等の金属層を堆積し、フォトリソグラフィ技術と RIE 等を用いて金属層をパターンニングし、RTA で例えば 1000°C で熱処理をすることで形成する。バリアメタル層 12 は、スパッタリング法等により TiN 膜等の金属層を堆積し、フォトリソグラフィ技術と RIE 等を用いて金属層をパターンニングして形成する。裏面電極層 10 としては、例えば金 (Au) からなる単層膜や、Al、ニッケル (Ni)、Au の順で積層さ

30

40

50

れた金属膜が使用可能であり、更にその最下層にモリブデン (Mo)、タングステン (W) 等の金属板を積層してもよい。

【 0 0 1 9 】

絶縁膜層 8 としては、所謂「 N S G 」と称される燐 (P) や硼素 (B) を含まないシリコン酸化膜 (S i O ₂ 膜) が採用可能である。しかし、絶縁膜層 8 としては、燐を添加したシリコン酸化膜 (P S G)、硼素を添加したシリコン酸化膜 (B S G)、硼素およびリンを添加したシリコン酸化膜 (B P S G)、シリコン窒化物 (S i ₃ N ₄) 膜等でもよい。又、絶縁膜層 8 a , 8 b としては、これらの N S G 膜、 P S G 膜、 B S G 膜、 B P S G 膜、 S i ₃ N ₄ 膜等のうちから複数種を選択して組み合わせた複合膜が採用可能である。

【 0 0 2 0 】

本発明の実施形態に係る半導体装置では、図 1 に示すように、トレンチ 9 は、ソース領域 4 の主面に設けられた開口部を有し、底面はドリフト領域 2 の上部に位置する。開口部及び底面のそれぞれの角部を丸めたラウンド部が設けられている。ラウンド部からなる曲面構造によりゲート電極構造の周辺の電解集中を抑制して、ゲート耐圧の低下を防止することができる。また、ソース領域 4 の主面側のラウンド部は、ベース領域 3 とは離間するようにソース領域 4 内に設けられている。そのため、後述するように、オン抵抗を低下させ、チャネルリークを防止することが可能となる。

【 0 0 2 1 】

(半導体装置の製造方法)

次に、図 2 ~ 図 7 に示す工程断面図を用いて、本発明の実施形態に係る半導体装置の製造方法を、トレンチゲート型 M O S F E T の場合を一例に説明する。なお、以下に述べるトレンチゲート型 M O S F E T の製造方法は一例であり、特許請求の範囲に記載した趣旨の範囲であれば、この変形例を含めて、これ以外の種々の製造方法により実現可能であることは勿論である。

【 0 0 2 2 】

まず、図 2 に示すように、窒素 (N) 等の n 型不純物が添加された n⁺型の基板 (S i C 基板) 1 s を用意する。基板 1 s の上面に、 n 型のドリフト領域 2 をエピタキシャル成長させる。ドリフト領域 2 の上面に、イオン注入あるいはエピタキシャル成長などにより、ベース領域 3 を形成し、キャリア走行領域 (2 , 3) の基本構造を実現する。

【 0 0 2 3 】

図 3 に示すように、フォトリソグラフィ及びイオン注入などにより、ベース領域 3 の上部に n 型不純物を高不純物密度で注入した不純物領域 4 a、及び p 型不純物を高不純物密度で注入した不純物領域 5 a を選択的に形成する。 S i C 中の不純物元素の拡散係数が小さいので、イオン注入は加速電圧を変えて複数回実施する多段イオン注入が好ましい。次いで、フォトリソグラフィ及び反応性イオンエッチング (R I E) 等のドライエッチングなどにより、不純物領域 4 a の上面に定義された開口部から、不純物領域 4 a 及びベース領域 3 を貫通して底部がドリフト領域 2 の上部に達するトレンチ 9 を選択的に形成する。トレンチ 9 の開口部の角部 9 a、及び底部の角部 9 b は直角に近い角度で形成される。

【 0 0 2 4 】

次いで、 H₂ 雰囲気中で熱処理を行う。この熱処理により、図 4 に示すように、トレンチ 9 に角部 9 a、9 b が丸められた角部 9 c、9 d が形成される。開口部の角部 9 c の終端はベース領域 3 と離間し、ラウンド部がソース領域 4 の深さより浅いレベルまで、ソース領域の開口部側に設けられる。また、熱処理により、不純物領域 4 a、5 a の不純物が活性化され、 n⁺型のソース領域 4 及び p⁺型のベースコンタクト領域 5 がそれぞれ形成される。なお、ソース領域 4 及びベースコンタクト領域 5 を形成するための熱処理工程はトレンチ 9 を開口する前に施してもよいが、 H₂ 雰囲気中で熱処理と 2 回の熱処理になるので好ましくない。ソース領域 4 及びベースコンタクト領域 5 を形成するための熱処理工程はトレンチ 9 の形成後に行う場合は、トレンチ 9 の形成時には、ソース領域 4 及びベースコンタクト領域 5 を実現する不純物イオンは活性化されていない。しかしながら、本発明では、このような不純物イオンが未だ活性化されていない状態を含めて、ソース領域 4 及び

10

20

30

40

50

ベースコンタクト領域 5 が形成されたものと便宜上みなす。このため、いずれの手順であっても、トレンチ 9 の形成の段階においては、ソース領域 4 及びベースコンタクト領域 5 がベース領域 3 の上部に埋め込まれているとみなすことができる。

【 0 0 2 5 】

図 5 に示すように、熱酸化法により、トレンチ 9 の底面及び側面とベース領域 3 の上面に熱酸化膜を形成してフィールド絶縁膜 16 とする。熱酸化膜の厚さは、3 nm ~ 25 nm であるので、必要に応じて、熱酸化を行った後に CVD 絶縁膜を堆積して、トレンチ 9 の底面及び側面とベース領域 3 の上面にフィールド絶縁膜 16 を形成するようにしても良い。その後、フォトリソグラフィ及びウェットエッチング等により、トレンチ 9 以外の箇所のフィールド酸化膜 16 を除去し、トレンチ 9 の内部のフィールド酸化膜 16 をゲート絶縁膜 6 として定義する。

10

【 0 0 2 6 】

図 6 に示すように、化学気相成長 (CVD) 法及びエッチバック法などにより、トレンチ 9 の内部にポリシリコンを埋め込み、絶縁ゲート構造 (6、7) を形成する。その後、CVD などにより、絶縁ゲート構造 (6、7)、ソース領域 4、及びベースコンタクト領域 5 の上面に SiO₂ 膜等の絶縁膜を堆積する。フォトリソグラフィ及びドライエッチングなどにより、ゲート絶縁膜 6 及びゲート電極 7 の上に絶縁膜層 8 を選択的に形成する。図 6 に示すように、絶縁膜層 8 が存在しないコンタクトホールが設けられる。このコンタクトホールには、ソース領域 4 の一部及びベースコンタクト領域 5 が露出される。

【 0 0 2 7 】

図 7 に示すように、化学機械研磨 (CMP) などにより、基板 1s の下面を研磨して厚み調整をして、ドレイン領域 1 を形成する。その後、スパッタリングあるいは真空蒸着などにより、図 9 に示すように、ドレイン領域 1 の下面に Au などからなる裏面電極層 (ドレイン電極層) 10 を形成する。更に、スパッタリングあるいは真空蒸着などにより、Al などの金属膜を堆積し、表面電極層 14 を形成する。このようにして、本発明の実施形態に係る半導体装置が完成する。なお、基板 1s の下面を研磨してドレイン領域 1 を形成する工程を、表面電極層 14 を形成する工程の後において実施し、その後、ドレイン領域 1 の下面に Au などからなる裏面電極層 10 を形成する順番でも構わない。

20

【 0 0 2 8 】

図 8 には、本発明の実施例のトレンチ 9 の断面 SEM 像を示す。図 8 に示すように、トレンチ 9 の開口部及び底部の角部 9c、9d は丸められた曲面構造をなしている。トレンチ 9 の深さ D_{tr} は約 $1.62 \mu\text{m}$ 、ソース領域 4 の深さ D_s は約 $0.45 \mu\text{m}$ 、ラウンド部の深さ D_r は約 $0.35 \mu\text{m}$ である。このように、ラウンド部を定義する曲面部分は、ソース領域 4 の深さより浅いレベルまで形成され、チャンネル領域であるベース領域 3 とは約 $0.1 \mu\text{m}$ 離間していることがわかる。ラウンド部の深さ D_r は、ベース領域 3 とは約 $0.1 \mu\text{m}$ 以上離間していることが望ましい。ラウンド化の熱処理を長時間行うと、トレンチ 9 の内壁表面の原子の拡散や再配列が増加し、チャンネル領域が n 型あるいは i 型に変化し、チャンネル部のリークなどが発生する。したがって、ラウンド部の深さ D_r をソース領域 4 の深さ D_s 以上にすると、電気特性の劣化を招いてしまう。

30

【 0 0 2 9 】

図 8 に示した実施例を用いて、二次イオン質量分析法 (SIMS) により、不純物分布の分析を行った結果を図 10 に示す。図 10 に示すように、ソース領域 4 の表面側には n 型不純物のリン (P) が約 $3 \times 10^{19} \text{cm}^{-3}$ で分布している。ラウンド部の深さでは、約 $1 \times 10^{18} \text{cm}^{-3}$ である。p 型不純物の Al はソース領域 4 内では、約 $1 \times 10^{17} \text{cm}^{-3}$ 以下で分布し、ベース領域 3 内では約 $0.1 \sim 3 \times 10^{17} \text{cm}^{-3}$ で分布している。ソース領域 4 とベース領域 3 との境界では、P と Al の不純物密度は同程度の約 $1 \times 10^{17} \text{cm}^{-3}$ である。

40

【 0 0 3 0 】

図 9 には、図 8 で示した実施例「A」のトレンチ形状を、比較例「B」及び「C」と共に示す。上述のように、実施例 A では、ラウンド化の熱処理後に、トレンチ 9 側面の表面

50

除去処理としての熱酸化を1回実施している。比較例Bでは、ラウンド化熱処理だけで、熱酸化は実施していない。比較例Cでは、従来条件、即ちラウンド化の熱処理後に熱酸化を3回実施している。図9に示すように、トレンチの幅は、熱酸化を実施しない比較例Bが最も狭く、熱酸化を3回実施した比較例Cが最も広い。また、図9には、ラウンド部の曲線を近似した円弧のうち、最小の曲率半径の円を示している。この最小の局率半径の値は、ラウンド部の深さのレベルとほぼ対応していることを確認している。図9に示すように、実施例Aと比較例Bは、曲率半径の差は殆どない。比較例Cでは曲率半径が小さくなっている。曲率半径が小さくなるのは、m面とSi面の酸化速度の相違によるものである。電気特性を評価した結果、実施例Aは、オン抵抗が低く、チャンネルのリークが少ない。比較例でBは、チャンネルのリークが発生している。比較例Cでは、オン抵抗が増加している。なお、実施例Aのチャンネル部の表面粗さは、最大断面高さR_tで1.2nm以下であり、1回の熱酸化処理で十分平滑な表面を得ることができる。

【0031】

ラウンド化熱処理では、原子の拡散及び再配列によりトレンチ内壁表面がn型あるいはi型に変化する。このため、熱酸化処理でトレンチ内壁の除去を実施していない比較例Bでは、チャンネルリークが発生してしまう。また、比較例Cの従来条件では、チャンネル面であるトレンチ側面を除去・洗浄する熱酸化処理を3回行っている。このように熱酸化を過剰に行うと、チャンネル領域の内部に酸素や格子不整合が侵入することによりチャンネル抵抗が増加する。実施例Aでは、熱酸化処理を1回実施して、トレンチ内壁の側面を2nm~20nm除去している。その結果、実施の形態では、チャンネルのリークが少なく、オン抵抗を低減することができた。除去する酸化膜の厚さが3nm~25nmであるので、SiCの厚さに換算する(2/3倍)と約2nm~約20nmになる。

【0032】

ラウンド部形成後に実施する表面除去処理としての熱酸化処理の回数の影響を調べるため、熱処理回数以外の熱処理条件を含め他の工程を同じにして半導体素子を試作して電気特性を評価している。熱処理は、従来条件では3回実施している。本発明の実施形態では、熱処理は1回だけ実施している。比較のため、熱処理を2回実施した例を追加している。ソース領域に形成されるラウンド部の深さを評価した結果、ラウンド部の深さは、熱酸化処理が1回、2回、及び3回実施した素子で、それぞれ約0.35μm、0.3μm、及び0.25μmであった。

【0033】

図11は、試作基板に設けられているモニタMOSトランジスタで測定したドレイン電流とゲート電圧の関係(I_d-V_g特性)である。図11に示すように、熱酸化処理が1回から3回に増えるとドレイン電流が低下していることから、チャンネル抵抗が増加していることがわかる。図12には、試作基板に作製された3mmチップの半導体装置の閾値電圧V_{th}と単位面積あたりのオン抵抗R_{onA}との相関を示す。図12に示したオン抵抗R_{onA}及び閾値電圧V_{th}の値は、それぞれの分布の中央値である。図12に示すように、熱酸化処理が増えると、閾値電圧V_{th}が減少し、オン抵抗R_{onA}が低下することがわかる。図12には、熱酸化処理が3回の従来素子のV_{th}-R_{onA}相関のトレンドも示している。従来素子では、閾値電圧V_{th}が増加すると、オン抵抗R_{onA}は増加する傾向である。例えば、閾値電圧V_{th}が約5.2Vの場合、従来素子ではオン抵抗R_{onA}は約3.9mΩcm²であるが、本発明の実施形態に相当する熱酸化処理が1回の条件ではオン抵抗R_{onA}は約3.4mΩcm²と減少していることがわかる。

【0034】

図13は、熱酸化処理の回数を変えて試作した素子について、評価を行った結果を示す。図13に示すように、トレンチのラウンド部の深さは、従来素子で約0.25μmであるのに対し、熱酸化処理が2回及び1回の素子では、それぞれ約0.30μm及び約0.35μmと増加している。オン抵抗R_{onA}は、熱酸化処理が1回、2回、及び3回のそれぞれで、約3.4mΩcm²、約3.6mΩcm²、及び約3.9mΩcm²となり、熱酸化処理の回数が増えると、オン抵抗が増加することがわかる。従来素子に対するチャネ

ル抵抗の改善率は、熱酸化処理が1回及び2回で、それぞれ30%及び20%となっている。本発明の実施形態では、ラウンド化の熱処理を実施した後、チャンネル領域の表面の除去処理として熱酸化処理を1回だけ実施している。その結果、ゲート耐圧の低下を抑制し、チャンネル抵抗の増加を防止することができ、更に、チャンネルリークを防止し、オン抵抗を低減することが可能となる。

【0035】

(その他の実施形態)

上記のように、本発明の実施形態を記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

10

【0036】

例えば、上記の実施形態において個別半導体素子であるMOSトランジスタを例示的に説明したが、本発明の適用の対象となる半導体装置は個別半導体素子に限定されるものではない。本発明の半導体装置は、例えば、半導体層の上に絶縁膜を介して電極が配置されているトレンチ構造を有するIGBT等の種々のトレンチ構造を有する半導体装置に適用可能である。

【0037】

このように、上記の実施形態及び各変形例において説明される各構成を任意に応用した構成等、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

20

【符号の説明】

【0038】

- 1 ... ドレイン領域(第1主電極領域)
- 2 ... ドリフト領域(第1半導体層)
- 3 ... ベース領域(第2半導体層)
- 4 ... ソース領域(第2主電極領域)
- 5 ... ベースコンタクト領域
- 6 ... ゲート絶縁膜
- 7 ... ゲート電極
- 8 ... 絶縁膜層(層間絶縁膜)
- 9 ... トレンチ
- 10 ... 裏面電極層(ドレイン電極層)
- 11 ... ソースコンタクト層
- 12 ... バリアメタル層
- 13 ... 上部バリアメタル層
- 14 ... 表面電極層(ソース電極層)

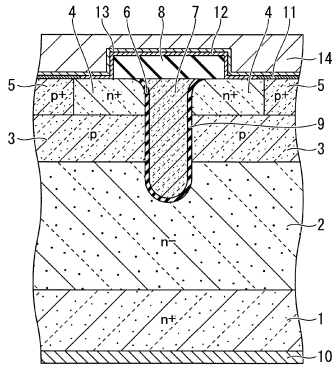
30

40

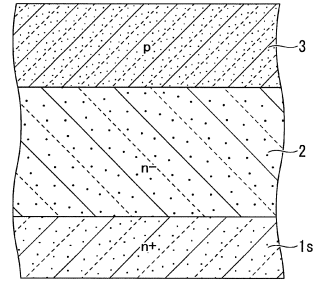
50

【図面】

【図 1】

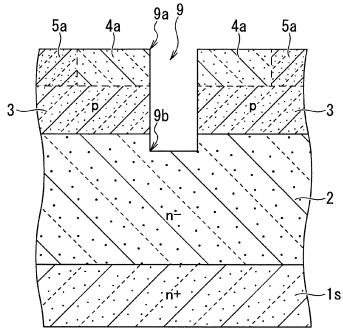


【図 2】

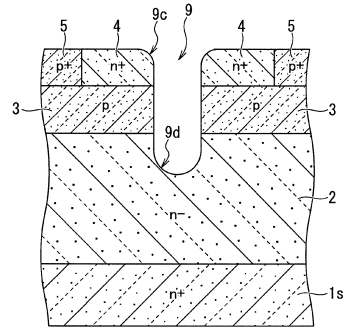


10

【図 3】



【図 4】



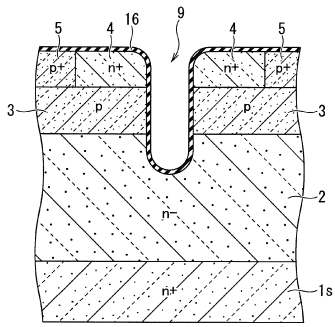
20

30

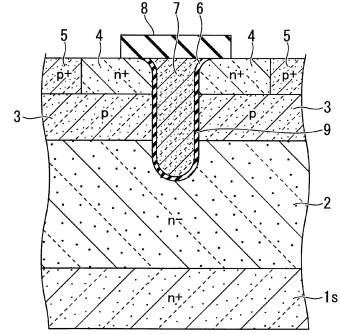
40

50

【 図 5 】

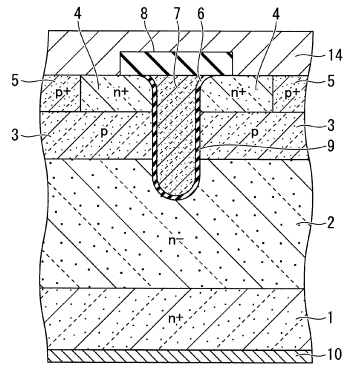


【 図 6 】

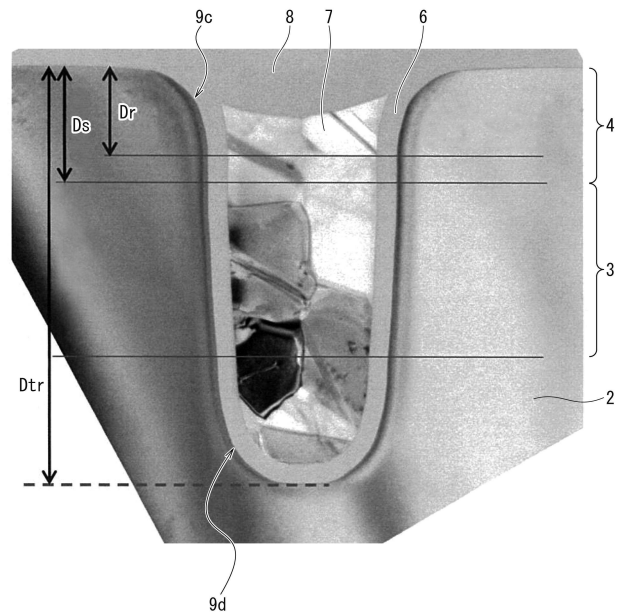


10

【 図 7 】



【 図 8 】



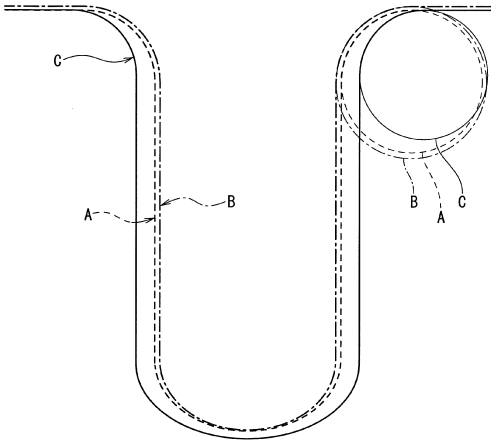
20

30

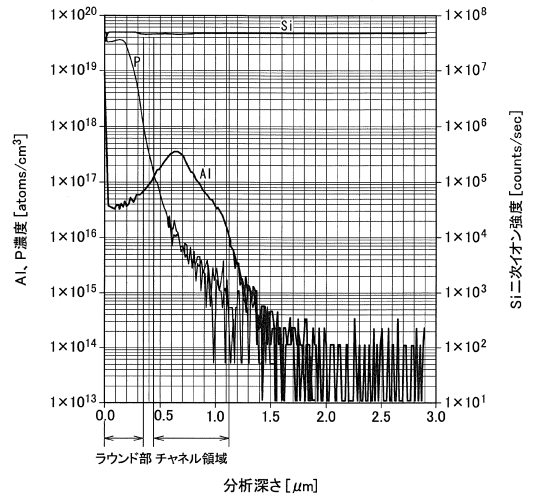
40

50

【 図 9 】



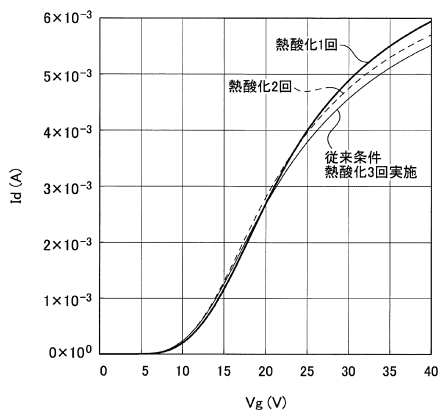
【 図 10 】



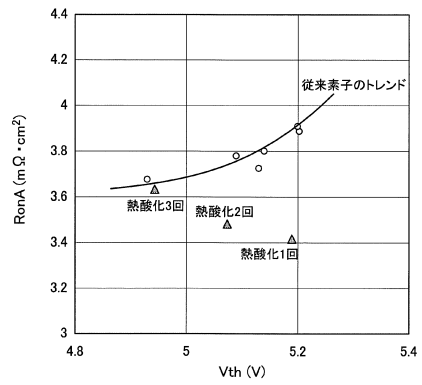
10

20

【 図 11 】



【 図 12 】



30

40

50

【図 13】

素子	ラウンド部深さ (μm)	オン抵抗 ($\text{m}\Omega \cdot \text{cm}^2$)	チャネル抵抗改善率
従来素子 (熱酸化3回)	0.25	3.9	—
熱酸化2回	0.30	3.6	20%
熱酸化1回	0.35	3.4	30%

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 8 F

H 0 1 L 29/78 6 5 5 A