



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년06월20일  
 (11) 등록번호 10-1991091  
 (24) 등록일자 2019년06월13일

(51) 국제특허분류(Int. Cl.)  
 H01L 21/762 (2006.01) H01L 21/225 (2006.01)  
 H01L 21/324 (2017.01) H01L 21/67 (2006.01)  
 (52) CPC특허분류  
 H01L 21/7624 (2013.01)  
 H01L 21/2253 (2013.01)  
 (21) 출원번호 10-2017-0063549  
 (22) 출원일자 2017년05월23일  
 심사청구일자 2017년05월23일  
 (65) 공개번호 10-2017-0133273  
 (43) 공개일자 2017년12월05일  
 (30) 우선권주장  
 1654689 2016년05월25일 프랑스(FR)  
 (56) 선행기술조사문헌  
 W02011067394 A1  
 (뒷면에 계속)

(73) 특허권자  
**소이텍**  
 프랑스, 에프-38190 베흔느, 슈망 데 프랑크, 팍  
 페끄놀로지끄 데 풍넨느  
 (72) 발명자  
**세드릭 말라퀸**  
 프랑스 38530 풍사라 리우 디 빌라르 느와르 슈망  
 뒤 플랜 87  
**루도빅 에카르노**  
 프랑스 38410 바울나베이-르-오 아브뉴 뒤 골프  
 407  
**데미안 페리시**  
 프랑스 38760 생-폴-드-바세스 슈망 뒤 베몽 109  
 6비  
 (74) 대리인  
**정홍식**

전체 청구항 수 : 총 14 항

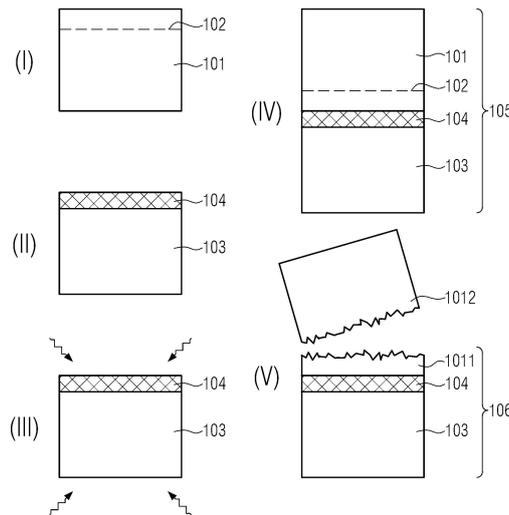
심사관 : 박부식

**(54) 발명의 명칭 고 저항 반도체 기관의 제조를 위한 프로세스**

**(57) 요약**

본 개시는 고 저항 반도체 기관의 제조를 위한 프로세스에 관한 것이며, 이 프로세스는, 심층 약화층(in-depth weakened layer)(102)을 갖는 제 1 기관(101)을 제공하는 단계; 표면에 산화물의 층(104)을 갖는 제 2 기관(103)을 제공하는 단계; 매립된 산화물 층(104)을 포함하는 복합 기관(105)을 형성하도록 제 1 기관(101)을 제 2 기관(103)에 부착하는 단계; 및 복합 기관(105)을 약화층(102)의 레벨에서 절단(cleaving)하는 단계를 포함한다. 프로세스는, 약화층(102)의 레벨에서의 절단하는 단계 이전에 산화물 층(104)을 갖는 제 2 기관(103)의 적어도 하나의 안정화 단계, 특히 안정화 열처리 단계를 더 포함한다.

**대표도 - 도1**



(52) CPC특허분류

*H01L 21/324* (2013.01)

*H01L 21/67248* (2013.01)

(56) 선행기술조사문헌

US20050026426 A1

JP2005524228 A\*

JP2004006615 A\*

JP2012520579 A\*

JP2007251129 A\*

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

고 저항 반도체 기판의 제조를 위한 프로세스에 있어서,  
 심층 약화층(in-depth weakened layer, 102)을 갖는 제 1 기판(101)을 제공하는 단계;  
 표면에 산화물의 층(104)을 갖는 제 2 기판(103)을 제공하는 단계;  
 매립된 산화물 층(buried oxide layer, 104)을 포함하는 복합 기판(compound substrate, 105)을 형성하도록 상기 제 1 기판(101)을 상기 제 2 기판(103)에 부착하는 단계; 및  
 상기 복합 기판(105)을 상기 약화층(102)의 레벨에서 절단(cleaving)하는 단계를 포함하며,  
 상기 프로세스는,  
 약화층(102)의 레벨에서 절단하는 단계 이전에 상기 산화물 층(104)을 갖는 제 2 기판(103)의 적어도 하나의 안정화 단계를 더 포함하는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 2**

제 1 항에 있어서,  
 상기 적어도 하나의 안정화 단계는, 핵형성(nucleation), 침전 및 침전물의 성장의 단계(stage)를 포함하는 열처리 단계인, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 3**

제 1 항 또는 제 2 항에 있어서,  
 상기 약화층(102)은, 상기 제 1 기판(101)에의 이온 주입에 의해 제공되는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 4**

제 1 항 또는 제 2 항에 있어서,  
 상기 산화물 층(104)을 갖는 제 2 기판(103)의 상기 적어도 하나의 안정화 단계는, 2개의 기판(101, 103)의 부착의 단계 이전에 수행되는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 5**

제 1 항 또는 제 2 항에 있어서,  
 상기 제 1 기판(101)은, 반도체 물질을 포함하는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 6**

제 1 항 또는 제 2 항에 있어서,  
 상기 제 2 기판(103)은, 실리콘을 포함하는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 7**

제 1 항 또는 제 2 항에 있어서,  
 상기 적어도 하나의 안정화 단계는, 650 °C 내지 1200 °C 범위 내의 온도에서 복수의 정적 온도 단계를 포함하는 열처리인, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 8**

제 7 항에 있어서,

정적 온도 단계의 지속시간은, 30 분 내지 10 시간의 범위 내에 있는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 9**

제 7 항에 있어서,

상기 정적 온도 단계의 분위기(atmosphere)는, 산화 타입(oxidizing type), 또는 비산화 타입(nonoxidizing type)일 수 있는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 10**

제 1 항 또는 제 2 항에 있어서,

복합 기판(105)을 상기 약화층(102)의 레벨에서 절단하는 단계 이후에, 적어도 하나의 평활화 어닐링(smoothing annealing) 단계를 더 포함하는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 11**

제 10 항에 있어서,

상기 적어도 하나의 평활화 어닐링 단계는, 1075 °C 내지 1250 °C 범위의 온도에서 수행되는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 12**

제 10 항에 있어서,

상기 적어도 하나의 평활화 어닐링 단계는, 15 초 내지 120 초 범위 내의 기간(period of time) 동안 수행되는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 13**

제 10 항에 있어서,

상기 적어도 하나의 평활화 어닐링 단계는, 비산화 타입의 분위기 하에서 수행되는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**청구항 14**

제 1 항 또는 제 2 항에 있어서,

상기 복합 기판(105)을 상기 약화층(102)의 레벨에서 절단하는 단계 이후에 상기 제 1 기판(101)의 잔류물(residue, 1012)을 재활용하는 단계를 더 포함하는, 고 저항 반도체 기판의 제조를 위한 프로세스.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 층 전사(layer transfer)에 의한 고 저항 반도체 기판의 제조를 위한 프로세스에 관한 것으로서, 특히, 높은 저항을 가지며 고농도의 격자 간 산소(interstitial oxygen)를 갖는 실리콘-온-인슐레이터(silicon-on-insulator) 타입의 기판의 개선에 관한 것이다.

**배경 기술**

[0002] 고농도의 격자 간 산소(또는 "High [O<sub>i</sub>]" 또는 다르게는 "HiO<sub>i</sub>")를 갖는 실리콘-온-인슐레이터(또는 "SOI") 타입의 고 저항(또는 "HR") 반도체 기판의 사용은 기판을 몹시 저항성이 되게 하기 위해 실리콘에 존재하는 산소를 안정화시키는 목적의 열처리(핵형성(nucleation), 침전)를 사용할 것을 요구한다는 것이 일반적으로 용인된

다.

- [0003] 이러한 맥락에서, "고 저항"은 약 750  $\Omega \cdot m$  이상을 의미하는 것으로 이해되며, "고농도의 격자 간 산소"는 약 25 ppma 이상, 즉 약  $12.5 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$  이상을 의미하는 것으로 이해된다.
- [0004] 전술한 안정화 단계는, 예를 들어, 공지된 SmartCut® 기술에 의해 수행된 층 전사에 이어 SOI의 희생 산화(sacrificial oxidation)의 단계 동안 통상적으로 수행된다. 통상적으로, 안정화 단계는 보다 구체적으로, 일반적으로 급속 어닐링, 즉 RTA("Rapid Thermal Anneal")인, 층 전사에 후속하는 평활화 어닐링 이후에 수행된다. 공개된 특허 출원 FR 2 858 462 A1은 층 전사 후 급속 어닐링의 단계에 후속하는 그러한 안정화 단계를 개시한다.
- [0005] 이 물질(의사-MOS 물질(pseudo-MOS material))의 전기적 특성을 수행 시에, 전자에 대해 통상적으로 약  $400 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  이하의 SOI에서의 캐리어들의 열등한 이동성을 초래하는 적어도  $20 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 의 값들에 보통 도달하는 비정상적으로 높은 계면 준위 밀도(interface state density)가 나타났다. 매립된 산화물 접촉 상에서 SOI 막과 알루미늄을 제거한 후의 추가적인 분석(MOS 커패시터의 C(V) 특성화)은 적어도  $5 \times 10^{10} \text{ cm}^{-2}$ 의 매립된 산화물 및 적어도  $2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 의 최고 계면 준위 밀도에서 고정된 전하 값들을 드러냈으며, 이에 따라 이러한 열등한 계면 품질의 원인은 매립된 산화물 아래 계면에 기인한다는 것을 보여준다.
- [0006] 내세워진 한 가지 가설은, 평활화 어닐링(RTA 타입)이 기관의 불안정한 산소의 분포를 변형시켜, 매립된 산화물 아래의 트랩의 양을 증가를 유발시킨다는 것이다.
- [0007] 이 문제를 극복하기 위한 하나의 해결책은, 즉 약 12ppma 미만, 즉 약  $6 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 미만의 매우 낮은 농도의 격자 간 산소(즉, "Low [O<sub>i</sub>]")를 갖는 HR 기관을 이용하는 것이며, 이는 실리콘에서 산소의 안정화 어닐링(핵형성, 침전)을 요구하지 않는다. 이것은 이러한 타입의 기관이 특정 처리를 수행할 필요 없이 자연적으로 몹시 저항성이 되기 때문이다.
- [0008] 그러나 Low [O<sub>i</sub>] HR 기관의 단점은 열처리 동안 전위(dislocation)의 전파에 매우 민감하다는 것이다. 이러한 이유로, 이러한 기관을 사용하여 슬라이딩 평면 타입의 결함없는 SOI를 획득하는 것은 매우 어렵다.
- [0009] 결과적으로, High [O<sub>i</sub>] HR 기관의 품질의 개선은 여전히 바람직하다. 따라서, 본 개시의 목적은, 특히 고농도의 격자 간 산소를 갖는 실리콘-온-인슐레이터 타입의 기관에 대해, 알려진 최신 기술에 대해 개선된 품질의 기관을 획득하는 것을 가능하게 하는, 고저항 반도체 기관의 제조를 위한 프로세스를 제공하는 것이다.

**발명의 내용**

**해결하려는 과제**

**과제의 해결 수단**

- [0010] 상술된 목적은 고 저항 반도체 기관의 제조를 위한 프로세스에 의해 달성되며, 이 프로세스는, 심층 약화층(in-depth weakened layer)을 갖는 제 1 기관을 제공하는 단계; 표면에 산화물의 층을 갖는 제 2 기관을 제공하는 단계; 매립된 산화물 층(buried oxide layer)을 포함하는 복합 기관(compound substrate)을 형성하도록 제 1 기관을 제 2 기관에 부착하는 단계; 및 복합 기관을 약화층의 레벨에서 절단(cleaving)하는 단계를 포함한다. 또한, 프로세스는, 약화층의 레벨에서 절단하는 단계 이전에 산화물 층을 갖는 제 2 기관의 적어도 하나의 안정화 단계, 특히 안정화 열처리 단계를 포함한다.
- [0011] 특허 FR 2 858 462 A1에 나타난 바와 같은 종래 기술은 복합 기관을 약화층의 레벨에서 절단한 이후에 발생하는 단계인 평활화 어닐링 단계에 이어 안정화 단계를 수행하는 것을 교시한다. 그러나 종래 기술은 평활화 어닐링 전에 그리고 특허, 약화층의 분리 전에 적어도 하나의 안정화 단계를 수행하는 것을 교시하지 않는다.
- [0012] 놀랍게도, 약화층의 레벨에서 절단하는 단계 이전에, 말하자면, RTA 타입의 평활화 어닐링을 수행하기 전에, 실리콘에서 격자 간 산소의 안정화를 위한 적어도 하나의 열처리(핵형성, 침전, 침전물의 성장)를 수행함으로써, 특히 고농도의 격자 간 산소의 경우 결과적인 기관의 전기(특히, 계면) 특성을 개선하는 것이 가능하다는 것이 밝혀졌다. 바람직하게는, 상기 적어도 하나의 안정화 단계는 이에 따라, 핵형성, 침전 및 침전물의 성장의

단계(stage), 특히 복수의 정적 온도 단계(several stationary temperature phases)를 포함하는 열처리 단계이다.

- [0013] 즉, 본 개시는 SOI 타입의 기판의 준비 동안, RTA 타입의 임의의 평활화 처리 전에, 특히 절단 단계 전에, 고농도의 격자 간 산소를 갖는 기판을 고 저항성이 되게 하는 것을 목표로 하는 처리(핵형성, 침전)를 수행할 것을 제안한다. 따라서, 본 개시는 그러한 기판 상에 CMOS 타입의 트랜지스터의 준비와 호환 가능한 전기적 특성을 획득하는 것을 가능하게 한다.
- [0014] 결과적으로, 본 개시에 의해 제공되는 해결책은, 유리하게는, 유도된 변형 및 결합의 관점에서, 열처리에 매우 민감한 매우 낮은 농도의 격자 간 산소를 갖는 기판에 의존함 없이, RF, 광자, 이미징, 디지털 등의 타입의 애플리케이션을 위해 SOI 기판의 준비에 있어 고농도의 격자 간 산소를 갖는 기판을 사용하는 것을 가능하게 한다.
- [0015] 본 개시의 실시 예의 가능한 대안적인 형태에 따라 그리고 암시되는 제한 없이:
- [0016] 일부 실시 예에서, 약화층은 제 1 기판에의 이온 주입에 의해 제공될 수 있다. 따라서, SmartCut® 타입의 기술을 사용하여 층 전사를 수행하는 것이 가능하다.
- [0017] 일부 실시 예에서, 산화물 층을 갖는 제 2 기판의 안정화의 상기 적어도 하나의 단계는 바람직하게는, 2개의 기판의 부착의 단계 이전에 수행될 수 있다. 따라서, 상기 적어도 하나의 안정화 단계는 모든 경우에, 절단 전에 그리고 이에 따라 절단에 이온 임의의 평활화 어닐링 전에 수행될 수 있다.
- [0018] 일부 실시 예에서, 제 1 기판, 즉 층 전사 시에 도너 기판은 반도체 물질, 특히, 실리콘, 게르마늄 또는 실리콘 및 게르마늄의 화합물을 포함할 수 있다. 보다 일반적으로, 도너 기판은 III-V 반도체의 하나 이상의 합금 및/또는 IV 족의 반도체의 하나 이상의 합금을 포함할 수 있다.
- [0019] 일부 실시 예에서, 제 2 기판은 특히, 고농도의 격자 간 산소 갖는 실리콘을 포함할 수 있다. 바람직하게는, 제 2 기판은 적어도 약  $12 \times 10^{17}$  atoms · cm<sup>-3</sup>의 격자 간 산소의 농도를 갖는 실리콘을 포함할 수 있다.
- [0020] 일부 실시 예에서, 상기 적어도 하나의 안정화 단계는 약 650 °C 내지 약 1200 °C 범위 내의 온도에서 복수의 정적인 단계를 포함하는 열처리이다.
- [0021] 일부 실시 예에서, 정적 온도 단계의 지속기간은 약 30 분 내지 약 10 시간의 범위, 바람직하게는 약 1 시간 내지 약 8 시간의 범위 내에 있다.
- [0022] 일부 실시 예에서, 정적 온도 단계의 분위기(atmosphere)는 특히, 물 및 산소에 기초한 산화 타입(oxidizing type), 또는 비산화 타입(nonoxidizing type), 특히 아르곤에 기초한 가스를 갖는 중성 타입(neutral type)으로 이루어질 수 있다.
- [0023] 정적 온도 단계에 대한 위의 파라미터는 특히, 고농도의 격자 간 산소의 경우에 결과적인 기판의 전기적(특히, 계면) 특성을 개선하는 것을 가능하게 하는 결과를 제공한다.
- [0024] 일부 실시 예에서, 프로세스는, 복합 기판의 약화층의 레벨에서의 절단 단계 이후에, 평활화 어닐링(smoothing annealing), 특히 적어도 하나의 급속 열 어닐링(rapid thermal annealing) 단계를 더 포함할 수 있다. 이에 따라, 층 전사 이후 기판의 표면 거칠기를 개선하는 것이 가능하다.
- [0025] 일부 실시 예에서, 상기 평활화 어닐링의 적어도 하나의 단계는 약 1075 °C 내지 약 1250 °C, 바람직하게는, 약 1175 °C 내지 약 1230 °C 범위의 온도, 특히 약 1200 °C의 온도에서 수행될 수 있다.
- [0026] 일부 실시 예에서, 상기 평활화 어닐링의 적어도 하나의 단계는 약 15 초 내지 약 120 초, 바람직하게는 약 20 초 내지 약 90 초 범위의 기간(period of time) 동안, 특히 약 30 초의 기간 동안 수행될 수 있다.
- [0027] 일부 실시 예에서, 상기 평활화 어닐링의 적어도 하나의 단계는, 특히 수소가 0 % 내지 약 50 %에 이르는 조성으로 아르곤 및/또는 수소를 포함하는 비산화 타입의 분위기 하에서 수행될 수 있다.
- [0028] 일부 실시 예에서, 프로세스는, 복합 기판의 약화층의 레벨에서의 절단 단계 이후에, 제 1 기판의 잔류물(residue)을 재활용하는 단계를 더 포함할 수 있다. 따라서 다른 층 전사 프로세스를 위한 도너 기판으로서 잔류물을 다시 재사용하는 것이 가능하다.
- [0029] 본 개시는 유리한 실시 예에 의해 그리고 이어지는 첨부된 다음의 도면의 도움으로 계속해서 더 상세히 설명될

것이다 :

**도면의 간단한 설명**

[0030] 도 1은 본 개시의 예시적인 제 1 실시 예에 따른 고 저항 반도체 기관의 제조를 위한 프로세스의 단계를 개략적으로 예시한다.

도 2는 본 개시의 예시적인 제 2 실시 예에 따른 고 저항 반도체 기관의 제조를 위한 프로세스의 단계를 개략적으로 예시한다.

**발명을 실시하기 위한 구체적인 내용**

[0031] 본 개시에 따른 고 저항 반도체 기관의 제조를 위한 프로세스의 예시적인 실시 예의 다음의 설명에서, 유사한 참조 부호는 상이한 실시 예에서 반복되는 동일한 구성을 나타내기 위해 사용될 수 있다. 또한, 이미 설명된 구성의 설명은 간결함을 위해 생략될 수 있다.

[0032] 고 저항 반도체 기관의 제조를 위한 프로세스의 예시적인 제 1 실시 예가 도 1을 참조하여 이제 설명될 것이다. 이 실시 예에서, 반도체 물질의 층의 전사는 도너 기관(donor substrate)으로부터 수신 기관(receiver substrate) 쪽으로 수행될 것이다.

[0033] 도 1의 단계(I)에 도시된 바와 같이, 심층 약화층(in-depth weakened layer)(102)을 포함하는 도너 기관(101)이 수신 기관 쪽으로의 층 전사를 수행하기 위해 제공된다. 기관(101)은 반도체 물질, 예를 들어, 실리콘, 게르마늄 또는 실리콘 및 게르마늄의 화합물일 수 있다. 보다 일반적으로, 도너 기관은 III-V 반도체의 하나 이상의 합금 및/또는 IV 족의 반도체의 하나 이상의 합금을 포함할 수 있다.

[0034] 또한, 도 1의 단계(II)에 도시된 바와 같이, 표면에 산화물 층(104)을 포함하는 기관(103)은 전사된 반도체 층을 수용하기 위해 제공된다. 기관(103)은 실리콘 그리고 특히, 적어도 약  $12 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 의 농도를 갖는 격자 간 산소를 포함할 수 있다. 산화물 층(104)은 천연 산화물의 층 또는 성장에 의해 획득되거나 다르게 증착된 SiO<sub>2</sub>의 층일 수 있다. 층(104)은 또한 예를 들어, 알루미늄(Al<sub>2</sub>O<sub>3</sub>) 타입 또는 Si<sub>3</sub>N<sub>4</sub>와 같은 질화물 타입의 반도체에서 사용되는 절연체일 수 있다.

[0035] 도 1의 단계(III)에 도시된 바와 같이, 도너 기관(101)으로부터 층을 전사하기 이전에 그리고 특히, 도너 기관(101)에 부착되기 이전에, 표면에 산화물 층(104)을 포함하는 기관(103)은 격자 간 산소의 적어도 하나의 안정화 처리 단계가 수행된다. 이 단계는 이에 따라, 핵형성, 침전 및 침전물의 성장의 단계일 수 있다. 이것은 따라서 여러 개의 정적 온도 단계를 포함하는 열처리일 수 있다. 이러한 처리, 특히, 정적 온도 단계는 특히, 물 및 산소에 기초한 산화 타입(oxidizing type)의 분위기 하에서, 그렇지 않으면 비산화 타입(nonoxidizing type), 특히 아르곤에 기초한 가스를 갖는 중성 타입(neutral type)의 분위기 하에서 수행될 수 있다. 산화물 층(104)을 포함하는 기관(103)은 이에 따라 약 650 °C 내지 약 1200 °C 범위의 온도, 특히 정적 온도 단계의 대상이 될 수 있다. 또한, 특히, 각각의 정적 온도 단계에서 이러한 처리는 약 30 분 내지 약 10 시간, 바람직하게는 약 1 시간 내지 약 8 시간 동안 지속될 수 있다.

[0036] 후속적으로, 안정화 처리 이후, 도 1의 단계(IV)에 도시된 바와 같이, 도너 기관(101)은, 특히 접착성으로 본딩(adhesively bonded), 예를 들어 분자 접착 또는 반도체를 접착성으로 본딩하는 임의의 다른 방법에 의해, 산화물 층(104)을 통해 수신 기관(103)에 부착되어, 매립된 산화물 층(104)을 갖는 SOI 타입의 복합 기관(105)을 형성한다.

[0037] 후속적으로, 접착성 본딩 단계 후에, 도 1의 단계(V)에 도시된 바와 같이, 도너 기관(101)의 일부(1012)는, 산화물 층(104)을 통해 수신 기관(103)에 부착된 도너 기관(101)의 전사된 층(1011)을 남기도록 심층 약화층(102)의 레벨에서 절단함으로써 복합 기관(105)으로부터 분리되고, 이에 따라 전사된 층(1011)을 포함하는 새로운 복합 기관(106)을 형성한다. 이어서, 복합 기관(106)에 특히, 급속 어닐링(rapid annealing), 즉 RTA 타입의 하나 이상의 평활화 열처리를 수행함으로써 전사된 층(1011)의 표면 거칠기를 개선하는 것이 가능하다. 또한, 도너 기관(101)의 잔류물(1012)은 다른 층 전사 프로세스에서 새로운 도너 기관을 형성하도록 재활용될 수 있다.

[0038] 모든 경우에서, 복합 기관(105 및 106)은 모두 HiO<sub>i</sub> HR SOI 타입, 즉 고농도의 격자 간 산소를 갖는 고 저항 실리콘-온-인슐레이터 타입의 기관이다. 상기 적어도 하나의 격자 간 산소의 안정화 단계가 층 전사 전에, 즉 절

단 단계 전에 그리고 이에 따라 임의의 평활화 어닐링 전에 수행된 것을 고려하면, 약  $5 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  미만의 계면 준위 밀도(interface state densities) 및 전자에 대해  $700 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  보다 큰 SOI의 캐리어의 이동성을 갖는 HiO<sub>i</sub> HR SOI 기판을 획득하는 것이 가능하다. 매립된 산화물 접촉 상에서 SOI 막 및 알루미늄을 제거한 후, 매립된 산화물의 고정된 전하 값은  $3 \times 10^{10} \text{ cm}^{-2}$  미만일 수 있고, 최고(crest) 계면 준위 밀도는  $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  미만일 수 있다.

[0039] 즉, 복합 기판(105 및 106)의 전기(특히, 계면) 특성은 종래의 방법, 즉, 안정화 단계가 평활화 어닐링(들) 이후 수행되는 방법에 의해 획득된 HiO<sub>i</sub> HR SOI 기판에 비해 매우 현저하게 개선된다.

[0040] 고 저항 반도체 기판의 제조를 위한 프로세스의 예시적인 제 2 실시 예가 도 2를 참조하여 이제 설명될 것이다. 제 2 실시 예는 제 1 실시 예의 모든 특성을 반복하고 부가적으로 선택적인 프로세스 단계의 세부사항을 제공한다.

[0041] 도 2의 단계(I)에 예시된 바와 같이, 제 1 실시 예의 바로 그 도너 기판(101)일 수 있는 도너 기판(201)이 가장 먼저 제공된다. 기판(201)은 이에 따라 또한, 반도체 물질, 예컨대, 실리콘, 게르마늄 또는 실리콘과 게르마늄의 화합물일 수 있다. 보다 일반적으로, 도너 기판은 III-V 반도체의 하나 이상의 합금 및/또는 IV 족의 반도체의 하나 이상의 합금을 포함할 수 있다.

[0042] 도 2의 단계(II)는 도너 기판(201)이 이어서, 제 1 실시 예에서와 같이, 수신 기판 쪽으로의 층 전사를 수행하기 위해 심층 약화층(202)을 제공하기 위해 심층 약화의 단계가 수행될 수 있다는 것을 도시한다. 이 단계는, 구체적으로 이온 주입, 특히 H<sup>+</sup> 및/또는 He<sup>+</sup>와 같은 이온성 엔터티의 주입에 의해 수행될 수 있다.

[0043] 도 2의 단계(III)에 도시된 바와 같이, 표면에 산화물의 층(204)을 포함하는 기판(203)은 또한 전사된 반도체 층을 수용하기 위해 제공된다. 제 1 실시 예의 기판(103)과 마찬가지로, 제 2 실시 예의 기판(203)은 이에 따라 실리콘, 그리고 구체적으로, 적어도 약  $12 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 의 농도를 갖는 격자 간 산소를 포함할 수 있다. 제 1 실시 예와 여전히 유사하게, 산화물 층(204)은 다시 한번, 천연 산화물의 층, 성장에 의해 획득되거나 다르게 증착된 SiO<sub>2</sub>의 층, 또는 알루미늄(Al<sub>2</sub>O<sub>3</sub>) 타입, 또는 Si<sub>3</sub>N<sub>4</sub>와 같은 질화물 타입의 반도체에서 사용되는 절연체일 수 있다.

[0044] 도 2의 단계(IV)에 도시된 바와 같이, 도너 기판(201)으로부터 층을 전사하기 전에 그리고 특히, 도너 기판(201)에 부착되기 전에, 표면에 산화물의 층(204)을 포함하는 기판(203)은 적어도 하나의 격자 간 산소의 안정화 처리 단계를 거친다. 제 1 실시 예와 유사하게, 제 2 실시 예에서, 안정화 처리는 핵형성, 침전 및 침전물의 성장의 단계일 수 있다. 이것은 따라서 복수의 정적 온도 단계를 포함하는 열처리일 수 있다. 이러한 처리, 특히, 정적 온도 단계는 특히, 물 및 산소에 기초한 산화 타입의 분위기 하에서, 또는 비산화 타입 특히, 아르곤에 기초한 가스를 갖는 중성 타입의 분위기 하에서 수행될 수 있다. 산화물의 층(204)을 포함하는 기판(203)은 이에 따라 또한, 약 650 °C 내지 약 1200 °C 범위의 온도 특히, 정적 온도 단계의 대상이 될 수 있다. 또한, 특히, 각각의 정적 온도 단계에서 이러한 처리는 약 30 분 내지 약 10 시간, 바람직하게는 약 1 시간 내지 약 8 시간 동안 지속될 수 있다.

[0045] 안정화 처리 이후, 도 2의 단계(V)에 도시된 바와 같이, 제 1 실시 예의 접촉성 본딩 단계와 유사하게, 도너 기판(201) 및 수신 기판(203)은 매립된 산화물의 층(204)을 갖는 SOI 타입의 복합 기판(205)을 형성하도록 산화물의 층(204)의 레벨에서 접촉성으로 본딩된다. 이 경우에도, 접촉성 본딩은 분자 접촉 또는 반도체 층의 접촉성 본딩을 위한 임의의 다른 방법에 의해 수행될 수 있다.

[0046] 후속적으로, 도 2의 단계(VI)에 도시된 바와 같이, 접촉성 본딩의 단계는, 도너 기판(201)의 일부(2012)가, 산화물 층(204)을 통해 수신 기판(203)에 부착된 도너 기판(201)의 전사된 층(2011)을 남기도록 심층 약화층(202)의 레벨에서 절단됨으로써 복합 기판(205)으로부터 분리되고, 이에 따라 전사된 층(2011)을 포함하는 새로운 복합 기판(206)을 형성하는 절단 단계가 또한 이어진다. 이러한 절단 단계는 Ar의 또는 N<sub>2</sub> 중성 분위기 하에서, 약 30 분 내지 약 5 시간 동안 약 300 °C 내지 약 600 °C 범위의 온도에서 복합 기판(205)을 처리함으로써 수행될 수 있다.

[0047] 이어서, 절단 단계 후에, 도 2의 단계(VII)는, 전사된 층(2011)의 노출된 표면(207)의 거칠기를 개선하는 것을 가능하게 하는 선택적인 후속 평활화 단계를 도시한다. 이 단계는 하나 이상의 어닐링, 바람직하게는, 하나 이상의 급속 어닐링 즉, RTA를 포함하는 열처리를 수행함으로써 수행될 수 있다. 복합 기판(206)은 그 후 약 1075

℃ 내지 약 1250 ℃, 바람직하게는, 약 1175 ℃ 내지 약 1230 ℃의 범위 내의 온도, 특히, 약 1200 ℃의 온도에 노출될 수 있으며, 이는 약 15초 내지 약 120초, 바람직하게는 약 20 초 내지 약 90 초 범위 내의 기간, 특히 약 30 초의 기간 동안 특히, 수소가 0% 내지 약 50%에 이르는 조성으로 아르곤 및/또는 수소를 포함하는 비산화 타입의 분위기 하에서 이루어진다.

[0048] 마지막으로, 위에서 언급된 바와 같이, 도너 기관(201)의 잔류물(2012)은 또한 다른 층 전사 프로세스에서 새로운 도너 기관을 형성하도록 재활용될 수 있다.

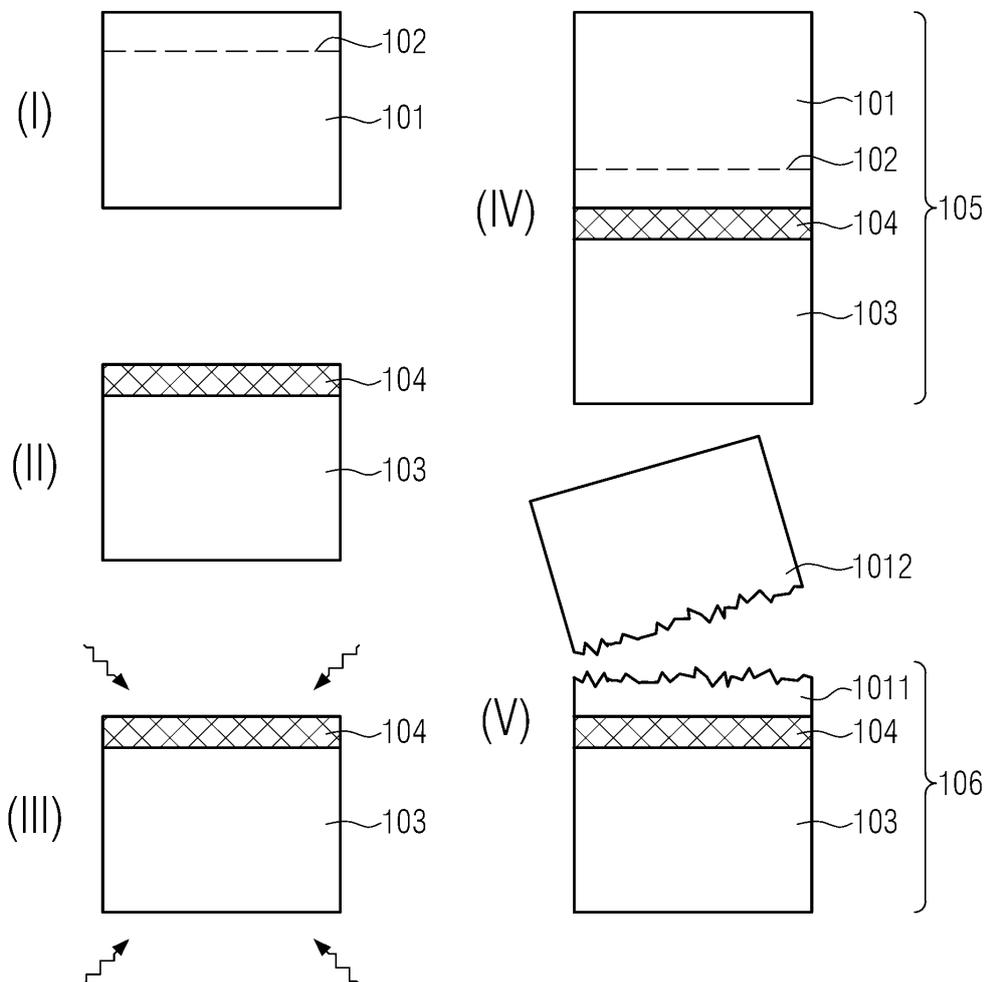
[0049] 따라서, 제 1 실시 예와 유사하게, HiO<sub>i</sub> HR SOI 타입, 즉 고농도의 격자 간 산소를 갖는 고 저항 실리콘-온-인슐레이터 타입의 복합 기관(205 및 206)을 획득하는 것이 제 2 실시 예에서 가능하다. 특히 적어도 하나의 격자 간 산소의 안정화 단계가 층 전사 전에, 즉 절단 단계 전에 그리고 이에 따라 임의의 평활화 어닐링 전에 수행된 것을 고려하면, 제 1 실시 예에서와 마찬가지로, 약  $5 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  미만의 계면 준위 밀도 및 전자에 대해  $700 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  보다 큰 SOI의 캐리어의 이동성을 갖는 HiO<sub>i</sub> HR SOI 기관을 획득하는 것이 제 2 실시 예에서 가능하다. 매립된 산화물 접촉 상에서 SOI 막 및 알루미늄을 제거한 후, 매립된 산화물의 고정된 전하 값은 그 후  $3 \times 10^{10} \text{ cm}^{-2}$  미만일 수 있고, 최고 계면 준위 밀도는  $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  미만일 수 있다.

[0050] 즉, 복합 기관(105 및 106)의 것과 마찬가지로, 복합 기관(205 및 206)의 전기 특성(특히, 계면 특성)은 또한, 종래의 방법, 즉, 안정화 단계가 평활화 어닐링(들) 이후 수행되는 방법에 의해 획득된 HiO<sub>i</sub> HR SOI 기관에 비해 매우 현저하게 개선된다.

[0051] 또한, 본 개시의 실시 예의 다른 예는 본 개시에 따른 다른 실시 예를 생성하기 위해 서로 조합될 수 있다.

**도면**

**도면1**



도면2

