

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 27/108

(45) 공고일자 1995년07월28일
(11) 공고번호 특1995-0008385

(21) 출원번호	특1991-0008230	(65) 공개번호	특1991-0020911
(22) 출원일자	1991년05월22일	(43) 공개일자	1991년12월20일
(30) 우선권 주장	2-134937 1990년05월24일 일본(JP)		
(71) 출원인	삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 강공원
서울특별시 송파구 가락동 138번지 미릉아파트 103동 708호
최정달
경기도 수원시 권선구 매탄동 주공아파트 514동 305호

(74) 대리인 이영필

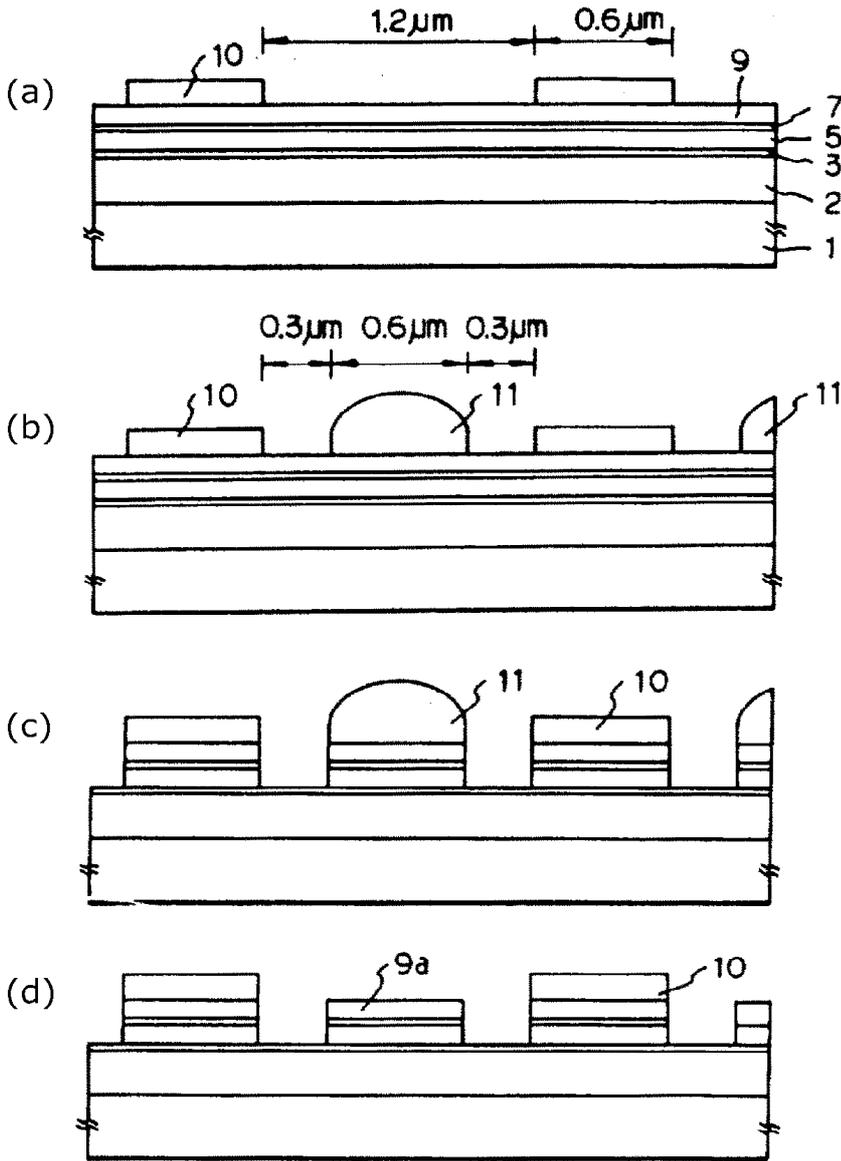
심사관 : 유환열 (책자공보 제4065호)

(54) 반도체 소자의 워드라인 형성방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 소자의 워드라인 형성방법

[도면의 간단한 설명]

제1도는 종래의 방법에 따라 EEPROM의 워드라인을 분리하는 고정도.

제2도는 낸드(NAND)형 마스크 롬 셀 어레이의 평면도.

제3도는 제2도의 A-A' 선을 따라 절단한 수직 단면도.

제4도는 제2도의 낸드형 마스크 롬 셀 어레이의 등가 회로도.

제5도는 이 발명에 따른 낸드형 마스크 롬 셀 어레이의 제조 공정도이다.

[발명의 상세한 설명]

이 발명은 마스크 롬(mask ROM)을 제조하는 반도체 소자의 제조방법에 관한 것으로서, 특히 마스크 롬(mask ROM)의 메모리 어레이(array) 내의 워드라인을 사진공정의 한계 이하로 분리하는 반도체 소자의 제조방법에 관한 것이다.

종래의 EEPROM(Electrically Erasable Programmable ROM)의 메모리 셀 어레이내에 형성되는 워드라인은 사진공정의 한계 이하로 분리되어짐을 1990년 IEDN의 103면에서 105면에 걸쳐 발표되었다.

제1도(a)~(d)는 워드라인을 분리하는 종래의 공정도로서, 제1도(a)에 도시한 바와 같이 n형 단결정 실리콘 기판(1) 상부의 소정영역에 P형 웰(well; 2)이 형성되고, 상기 P형 웰(2) 상부에 게이트 산

화층(3), 제1다결정실리콘층(5), 산화층과 질화층으로 이루어지는 ONO층(Oxide+nitride+Oxide)(7) 및 제2다결정실리콘층(9)을 순차적으로 형성한다. 상기 제2다결정실리콘층(9)의 상부에 질화층을 침적한다. 통상의 사진 식각공정에 의하여 0.6 μ m의 패턴크기를 갖는 질화층(10)을 1.2 μ m의 간격으로 형성되게 한다.

제1도(b)에 도시한 바와 같이 통상의 사진공정으로 상가 질화층(10)과 동일한 0.6 μ m의 패턴크기를 갖는 감광막(11)을 질화층(10)사이에 형성하여 질화층(10)과 가마광막(11) 사이의 간격을 0.3 μ m으로 되게한다.

제1도(c)에 도시한 바와 같이 감광막(11)과 질화층(10)을 마스크층으로 하는 제2다결정실리콘층(9), ONO층(7) 및 제1다결정실리콘층(5)을 반응성 이온식각(RIE; Reactive Ion Etching)하여 워드라인(W/L)을 분리한다.

제1도(d)에 도시한 바와 같이 마스크층으로 이용된 감광막(11)을 제거한다. 상기와 같이 워드라인을 분리하는 종래의 방법은 다결정실리콘층에 대한 식각선택비가 비교적 낮은 질화막을 마스크층으로 사용하기 때문에 충분히 두꺼운 질화막을 필요로 하게 된다. 또한, 종래의 방법은 워드라인을 분리시킨 후 질화막의 마스크층(10)을 제거함에 따라 제2다결정실리콘층 하부의 ONO층, 게이트 산화층, 터널 산화층 및 소오스/드레인영역에 손상(damage)을 주게된다. 상기 마스크층의 질화막을 대신하여 산화막을 마스크층으로 사용하여도 제2사진공정후 반응성 이온식각시 노출되는 산화막, 다결정실리콘층의 영역에서 미세한 마스크로 작용하는 산소(O₂)가 발생되어 검은 실리콘(black silicon) 생기게 된다. 또한 종래의 워드라인 분리방법을 이용하여 마스크 룬의 제작방법은 게이트를 분리한 후 불순물을 이온주입하여 마스크 룬의 메모리 셀을 프로그램하게 될때 워드라인 상부의 질화막층을 갖는 워드라인과 상기 질화막층을 갖지 않는 워드라인과의 두께 차이 및 물질의 차이에 의하여 균일한 주입깊이(projection range)를 얻을 수 없게 된다.

이 발명은 상기한 문제점을 해결하기 위하여 워드라인용 다결정실리콘층 상부의 질화막을 사용하지 않고 사진공정의 한계를 극복하게 워드라인을 분리시킴으로써 워드라인을 건식식각할때 발생하게 문제점을 해결하고 TAT(Turn Around Time)가 단축된 고집적도의 마스크 룬 제조방법을 제공하는데 그 목적이 있다.

이 발명은 상기한 목적을 달성하기 위하여 P형 실리콘 기판상의 소정영역에 n형 웰을 형성한 후 상기 기판상부에 게이트 산화막과 다결정실리콘층을 순차적으로 형성하는 공정과, 상기 다결정실리콘층의 상부에 네거티브형 감광막의 마스크층을 소정의 간격으로 형성하는 사진공정과, 상기 네거티브형 감광막의 마스크층 사이에 포지티브형 감광막의 마스크층을 소정의 간격으로 형성하는 사진공정과, 상기한 양형의 감광막을 마스크층으로 하지 않는 영역의 다결정실리콘층을 식각하는 공정과 P형 불순물의 붓소를 이온주입하는 공정을 구비하여 이루어짐을 특징으로 한다. 제2도에 도시한 낸드(NAND)형 마스크 룬 셀 어레이의 평면도와 제2도의 A-A' 선을 따라 절단한 제3도의 수직 단면도와 같이 메모리 셀은 트랜지스터가 형성될 영역에서만 2부분으로 분리되는 액티브 영역과, 2부분으로 분리되는 액티브 영역의 상부를 가로지르고 일정한 간격으로 분리되는 다결정실리콘층(또는 폴리사이드층)(55)의 제1, 2스트링 셀렉트와 제1, 2, ..., 16 워드라인과, 상기 층(55)의 분리영역 하부의 기판(31)에 형성되는 P형 확산영역과, 상기 층(55)을 가로지르는 층간 절연막(59) 상부의 비트라인 배선층(63)과, 비트라인 콘택영역(61)과 그라운드라인으로 구성된다. 제4도에 도시한 제2도의 등가 회로도와 같이 제1스트링은 제1스트링 셀렉트에 의한 디플리션형의 트랜지스터(TS1), 제2스트링 셀렉트에 의한 인핸스먼트형의 트랜지스터(TS2) 및 제1~16 워드라인에 의한 트랜지스터(T1~T16)가 직렬로 연결된다. 제2스트링은 제1스트링 셀렉트에 의한 인핸스먼트형의 트랜지스터(TS3), 제2스트링 셀렉트에 의한 디플리션형의 트랜지스터(TS4) 및 제1~제16워드라인에 의한 트랜지스터(T21~T36)가 직렬로 연결된다. 제1, 제2스트링은 비트라인 콘택영역(61)을 통하여 공통 접속되고 비트라인(63)과 그라운드라인 사이에서 병렬로 접속된다. 제4도의 제2워드라인을 통하여 제1스트링의 1셀이 선택되면 셀(T2)의 비트라인에 1~2V 정도의 리드전압이 인가하게 되고 선택된 셀의 스트링(string)을 선택하기 위하여 제1스트링 셀렉트, 제2스트링 셀렉트, 선택된 셀의 워드라인 및 선택되지 않은 셀의 워드라인 0V, Vcc, 0V 및 Vcc를 각각 인가하게 된다. 따라서, 선택된 셀이 인핸스먼트형(enancement)형이면 비트라인에 인가된 전압은 그라운드 라인으로 방전(discharge)되는 것을 차단시키고 선택된 셀이 디플리션(dipletion)형이면 그라운드 라인으로 리드전압(read voltage)을 통과시킴으로 오프(off) 또는 온(on)의 상태를 감지할 수 있게 된다.

이하, 이 발명을 첨부도면을 참조하여 상세히 설명한다.

제5도(a)에 도시한 바와 같이 통상의 산화공정에 의하여 P형 실리콘기판(31)의 상부에 비교적 두꺼운 산화막(33)을 성장시킨다. 통상의 사진식각 공정에 의하여 상기 산화막(33)의 소정영역이 제거된 창(35)을 형성되게 한다. 상기 창(35)을 통하여 100KeV의 에너지와 6.0E 12ions/cm²의 밀도로 n형 불순물의 인(p)을 이온주입한다.

제5도(b)에 도시한 바와 같이 상기 인(p)이 이온주입된 기판(31)을 1100 $^{\circ}$ C의 온도에서 8시간 동안 건식산화하여 산화막(39)을 형성한 후 질소분위기에서 10시간 동안 열처리하여 주입된 불순물을 기판(31)속으로 침투(drive-in)시킴으로써 n형 웰(37)을 형성한다.

제5도(c)에 도시한 바와 같이 기판(31)상부의 산화막(39)을 습식식각하고 n형 웰(37)이 형성된 기판(31)을 950 $^{\circ}$ C의 온도와 산소(O₂)분위기에서 산화하여 패드 산화막(39)을 성장시킨다. 통상의 화학 침적(CVD)법에 의하여 질화막(41)을 1200~1700 \AA 의 두께로 상기 패드 산화막(39)상부에 침적시킨다.

이 발명에 따른 마스크 룬의 셀은 n형 웰 영역이외의 p형기판 상에 형성되는 NMOS트랜지스터로 구성되므로 n형 웰(37)은 이하의 도면에서 도시하지 않는다.

제5도(d)에 도시한 바와 같이 통상의 사진식각 공정에 의하여 질화막(41)의 소정영역이 건식식각된 필드영역을 n형 웰(37) 및 n형 웰(37)이외의 p형기판(31)영역에 필드영역의 문턱전압을 높이기 위하

여 p형 불순물의 보론(B)을 5.0E 13ions/cm²의 밀도로 이온주입한다. 950℃의 온도에서 3시간 동안 습식산화하여 5000Å 정도의 두께를 갖는 필드산화막(43)을 형성한다.

제5도(e)에 도시한 바와 같이 질화막(41)과 패드산화막(39)을 순차적으로 습식식각하여 실리콘기판(31)을 노출시킨다. 상기 노출된 기판(31)의 상부에 희생산화막(45)을 성장시킨다. 통상의 사진공정에 의하여 메모리 셀 어레이(cell array) 영역을 한정된 후 1000KeV의 에너지와 4.0~8.0E 12ions/cm²의 밀도로 n형 불순물의 비소(As)를 이온주입하여 디플리션(depletion)형의 셀을 형성한다.

제5도(f)에 도시한 바와 같이 이온주입 공정에 의하여 손상을 입은 희생산화막(45)을 습식식각한 후 950℃의 온도와 산소분위기에서 200Å 정도의 두께를 갖는 게이트 산화막(47)을 성장시킨다. 3000~5000Å 정도의 두께를 갖는 다결정실리콘층(49)을 침적한 후 포클(POCl₃)을 확산소오스로 하여 상기 다결정실리콘층(49)을 도핑(doping)시켜 상기 다결정실리콘층(49)의 저항을 낮춘다. 통상의 사진공정에 의하여 도포된 네거티브(negative)형 감광막의 소정영역을 제거하여 셀 어레이내에 형성될 홀수(또는 짝수)번째의 워드라인(wordline : W/L)상부에 0.6μm의 패턴크기를 갖는 다수개의 감광막(51)을 1.2μm의 간격으로 형성한 후 상기 감광막(51)을 경화시키기 위하여 UV베이킹(baking)하거나 붕소 또는 비소의 불순물을 이온주입한다. 상기의 사진공정은 경화된 네거티브형 감광막(51)을 후속 공정에서 사용하는 포지티브(positive)형 감광막(53)의 현상액에 반응하지 않게 함으로써 네거티브형 감광막(51)과 포지티브 감광막(53)의 혼합(inter-mix)에 의한 감광막의 특정저하와 상기 특정저하에 따라 다결정실리콘층(49)이 건식식각되지 않는 현상을 개선한다.

제5도(g)에 도시한 바와 같이 통상의 사진공정에 의하여 도포된 포지티브 감광막의 소정영역을 제거하여 셀 어레이내에 형성될 짝(또는 홀수)번째의 워드라인 상부에 0.6μm의 패턴크기를 갖는 다수개의 감광막(53)을 1.2μm의 간격으로 형성한다. 따라서 감광막(53)과 감광막(51)은 0.3μm의 간격(W)을 유지한채 서로 이웃하여 형성된다.

제5도(h)에 도시한 바와 같이 서로 이웃하는 상기 감광막(51), (53)의 마스크층을 동시에 사용하여 다결정실리콘층(49)을 건식식각함으로써 다결정실리콘층의 워드라인(55)을 분리시킨다. 이후 감광막(51), (53)을 제거한다. 제1사진공정에 의하여 형성되는 워드라인(55a)(55c)의 피치(pitch) 또는 제2사진공정에 의하여 형성되는 워드라인(55b), (55d)의 피치는 1.8μm가 되고 상기 제1, 2사진공정에 의하여 최종적으로 형성되는 워드라인(55a), (55b), (55c), (55d)의 피치는 0.9μm가 된다. 2번의 사진공정에 의하여 분리되는 워드라인(55)사이의 간격(W)은 0.3μm이므로 사진공정의 한계가 되는 0.6μm보다 작게 줄일 수 있게 된다. 또한 네거티브형 감광막(51)과 포지티브형 감광막(53)의 마스크층을 동시에 사용하여 다결정실리콘층을 건식식각하기 때문에 질화막(10)의 마스크층을 사용하여 종래의 다결정실리콘층 식각 특성보다 양호하게 되며, 이후의 셀이온주입시에도 비교적 균일한 이온주입깊이(projectrion range)를 유지할 수 있게 된다.

제5도(i)에 도시한 바와 같이 CMOS트랜지스터의 소오스/드레인을 형성하기 위하여 N⁺,P⁺의 이온주입 영역을 형성한다. 메모리 셀을 프로그램하기 위하여 통상의 사진공정을 도포된 감광막(57)의 소정영역을 제거하여 창을 형성하고 P형 불순물의 붕소(Boron)를 100~200KeV의 에너지와 1.0~4.0E 12ions/cm²의 밀도로 이온주입하여 디플리션(deletion)형의 셀을 인핸스먼트(enhancement)형의 셀로 프로그램한다.

제5도(j)에 도시한 바와 같이 감광막(57)을 제거하고 비교적 낮은 온도에서 형성된 산화막(LTO)과 BPSG막을 순차적으로 침적하여 층간절연막(59)을 형성한 후 925℃의 온도가 질소(N₂) 분위기에서 상기 BPSG막을 리플로우(reflow)시켜 BPSG막의 표면을 평탄화시키는 동안 N⁺,P⁺ 및 셀 프로그램용으로 주입된 붕소이온을 활성화시킨다. 통상의 사진식각 공정에 의하여 상기 BPSG막의 상부 도포된 감광막의 소정영역을 제거한 후 노출되는 절연막(59)과 산화막(15)을 순차적으로 식각하여 n⁺ 확산영역에 콘택영역(61)을 형성한다. 알루미늄(Al)을 스퍼터링하여 콘택영역(61)에 콘택하면서 절연층(59) 상부에 도전층을 형성한 후 통상의 사진식각 공정에 의하여 비트라인의 배선층(63)을 형성한다. 따라서 이 발명은 워드라인의 다결정실리콘층 상부에 질화막의 식각 마스크층을 형성하지 않고 1.8μm의 피치(pitch)를 갖는 제1,2포도마스크로 2번의 사진공정을 실시하여 네거티브 감광막과 포지티브 감광막이 서로 이웃하여 교대로 형성되고 0.9μm의 피치를 갖는 워드라인의 패턴을 다결정실리콘층상과 형성함으로써 비교적 해상도가 낮은 스테퍼(stepper)를 이용하여 높은 해상도를 필요로 하는 패턴을 형성할 수 있게 된다. 또한 마스크 룸에서 게이트를 형성한 후 셀 프로그램용 이온주입공정을 100~200KeV로 실시할 수 있어 200KeV이상의 고에너지로 턴 어라운드타임(TAT)을 단축할 수 있고 분리된 홀, 짝수번째의 워드라인의 두께차이가 거의 없어 워드라인 분리하는 공정이후의 후속공정에서 공정의 용이성을 확보할 수 있으며 셀의 워드라인 사이드의 소오스/드레인영역이 감소되어 소오스/드레인의 액티브 저항이 감소하게 되는 효과가 있게 된다.

(57) 청구의 범위

청구항 1

반도체기판 상에 다결정실리콘층을 형성하는 공정; 상기 다결정실리콘층 상에 제1형의 감광막을 도포하는 공정; 상기 제1형의 감광막을 사진/현상하여, 제1의 워드라인들을 형성하기 위한 제1형의 감광막패턴을 형성하는 공정; 결과물 전면에 제2형의 감광막을 도포하는 공정; 상기 제2형의 감광막을 사진/현상하여, 상기 제1의 워드라인들 사이에 각각 위치하게 되는 제2의 워드라인들을 형성하기 위한 제2형 감광막패턴을 형성하는 공정; 및 상기 제1형 및 제2형의 감광막패턴을 마스크로 하고, 상기 다결정실리콘층을 식각대상물로 한 식각을 행하여 제1 및 제2의 워드라인들을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 워드라인 형성방법.

청구항 2

제1항에 있어서, 상기 제1형의 감광막패턴은 홀수번째의 워드라인을 마스킹하고, 상기 제2형의 감광막패턴을 짝수번째의 워드라인을 마스킹하는 것을 특징으로 하는 반도체 소자의 워드라인 형성방법.

청구항 3

제3항에 있어서, 상기 제1형의 감광막과 제2형의 감광막은 서로 다른 형의 감광막인 것을 특징으로 하는 반도체 소자의 워드라인 형성방법.

청구항 4

제3항에 있어서, 상기 제1형의 감광막은 네거티브형 감광막이고, 상기 제2형의 감광막은 포지티브형 감광막인 것을 특징으로 하는 반도체 소자의 워드라인 형성방법.

청구항 5

제1항에 있어서, 상기 제1형의 감광막패턴은 자외선(UV)에 베이킹(baking)되어 경화되어짐을 특징으로 하는 반도체 소자의 워드라인 형성방법.

청구항 6

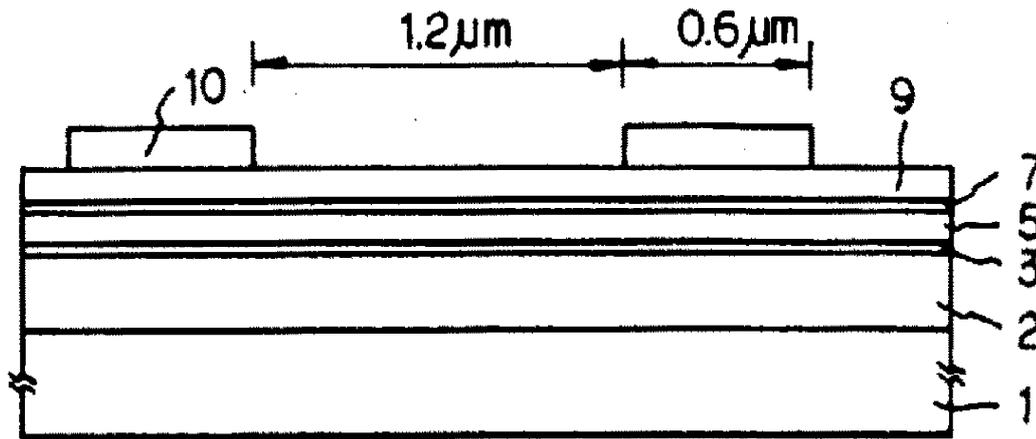
제1항에 있어서, 상기 제1형의 감광막패턴은 불순물이 이온주입되어 경화되어짐을 특징으로 하는 반도체 소자의 워드라인 형성방법.

청구항 7

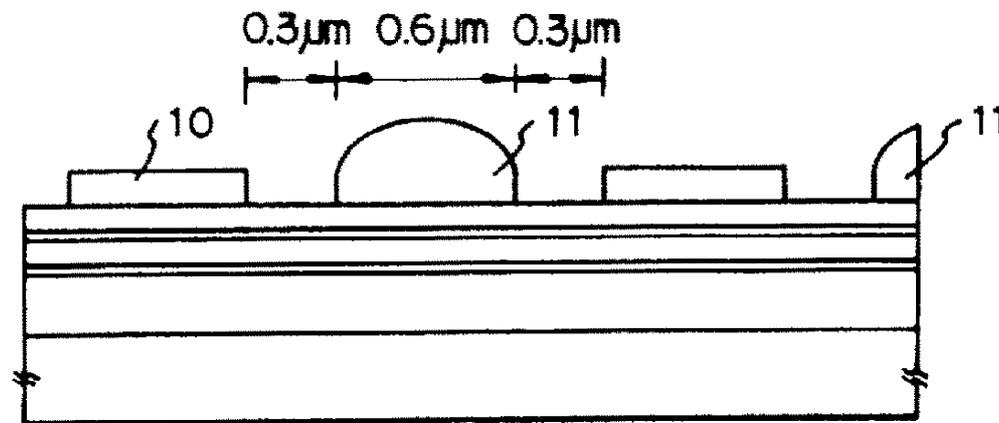
제1항에 있어서, 상기 제1의 워드라인의 피치와 상기 제2의 워드라인의 피치는 같은 것을 특징으로 하는 반도체 소자의 워드라인 형성방법.

도면

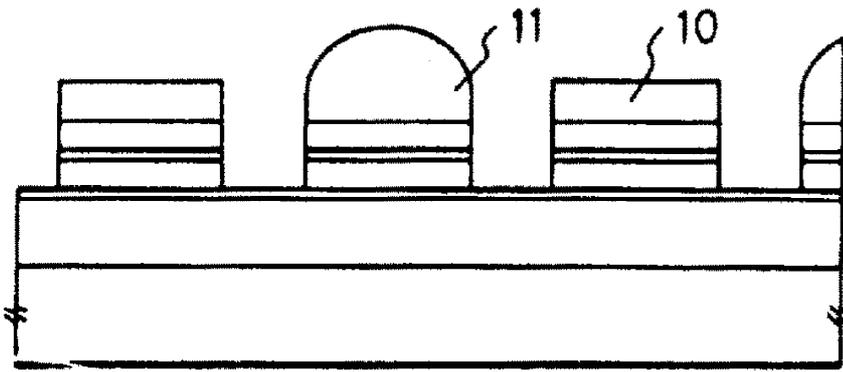
도면1-A



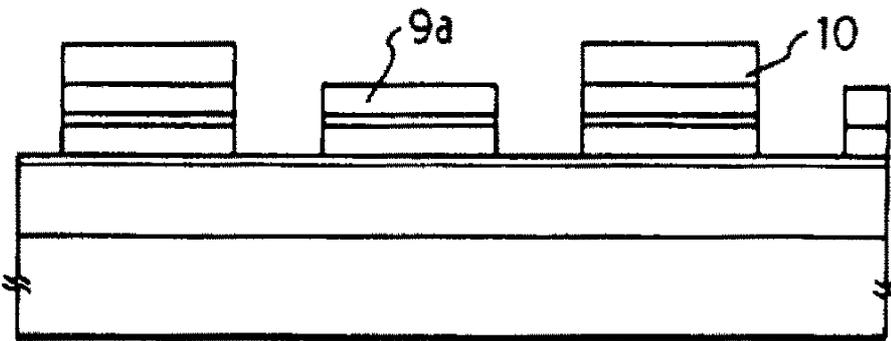
도면1-B



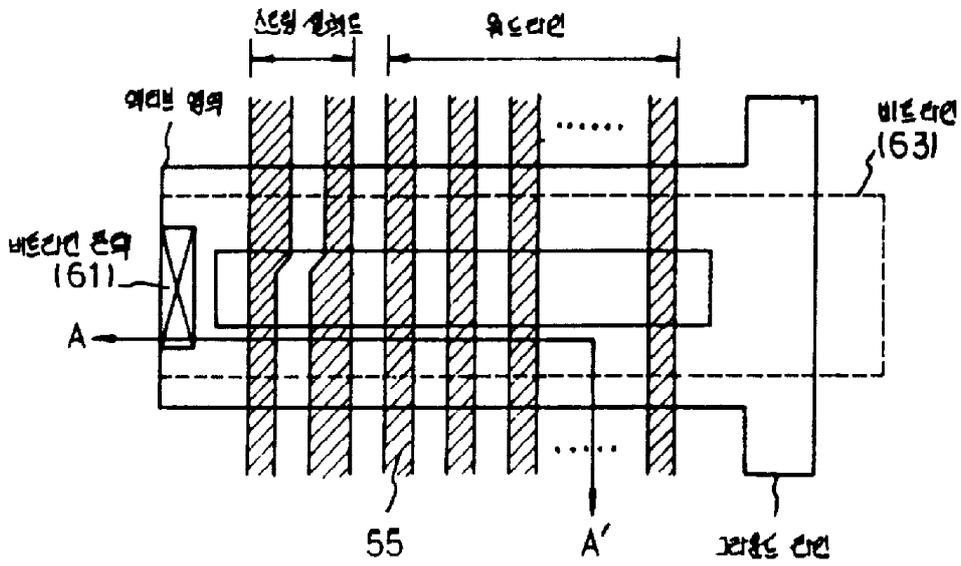
도면1-C



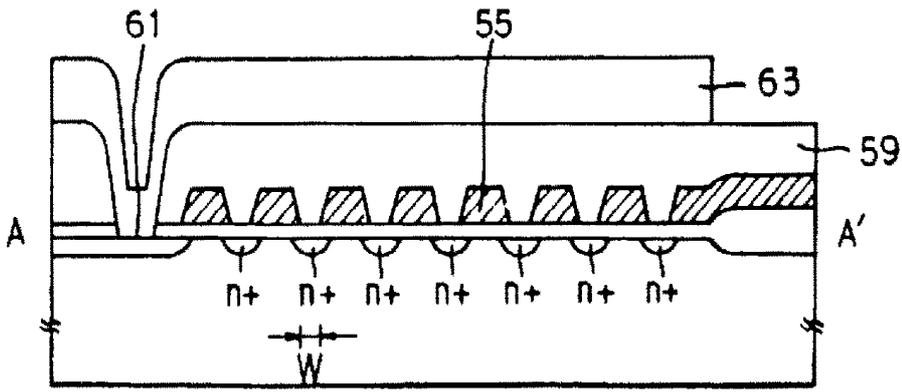
도면1-D



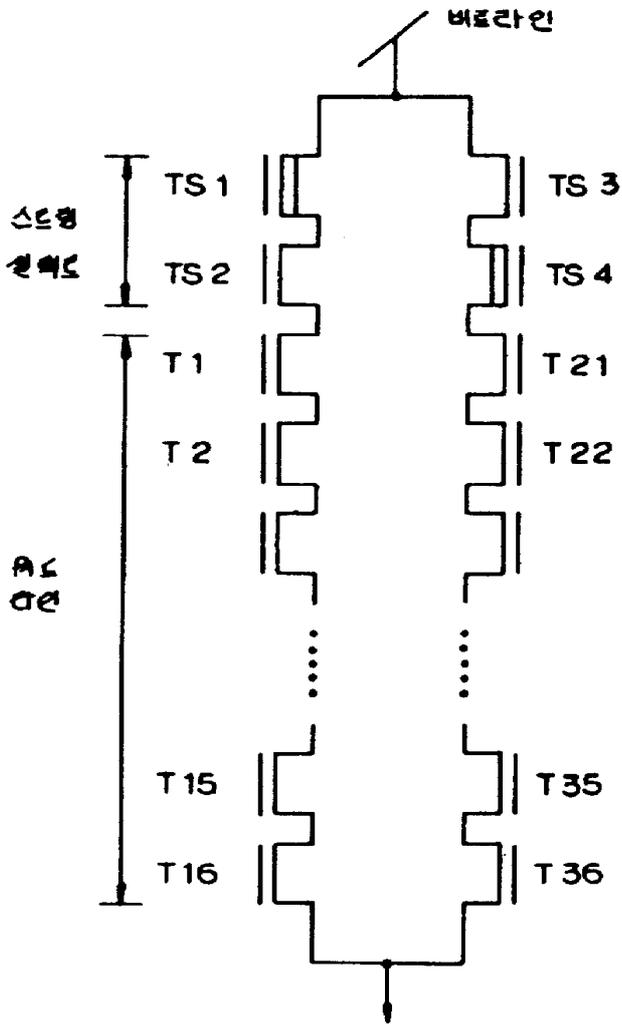
도면2



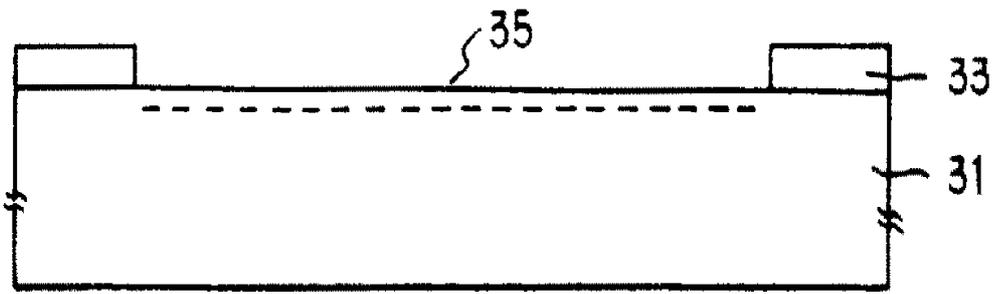
도면3



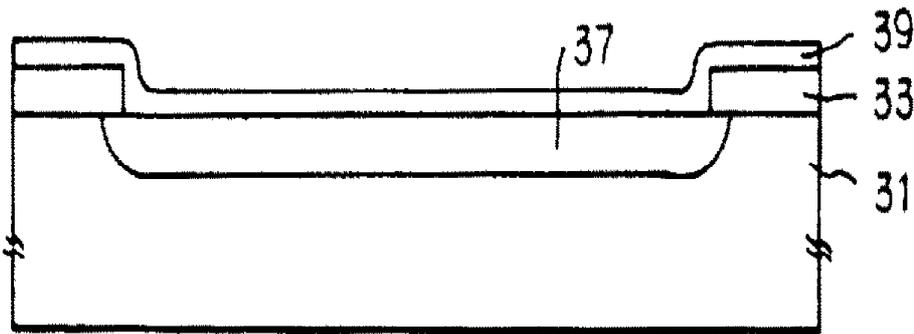
도면4



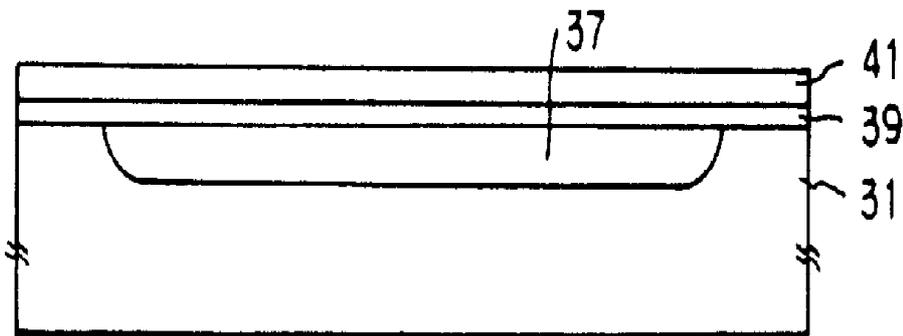
도면5-A



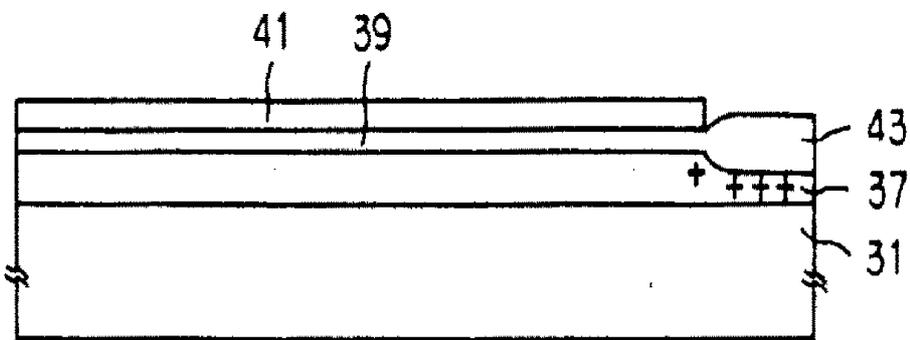
도면5-B



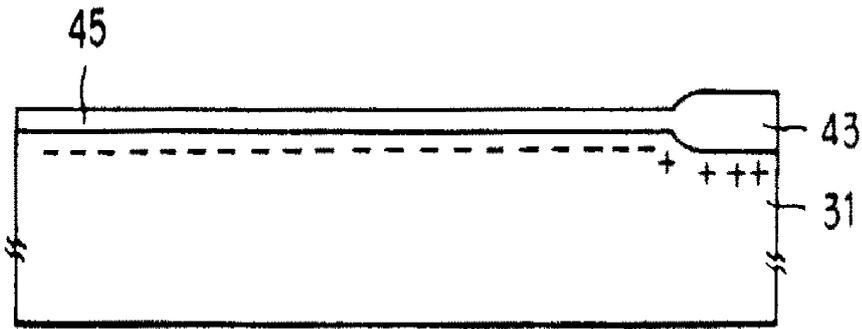
도면5-C



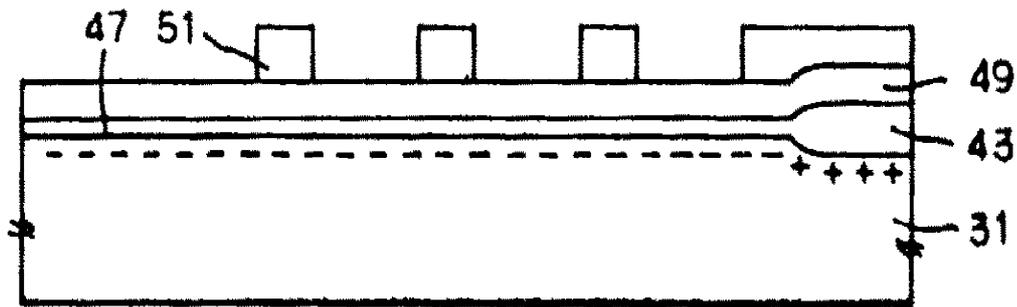
도면5-D



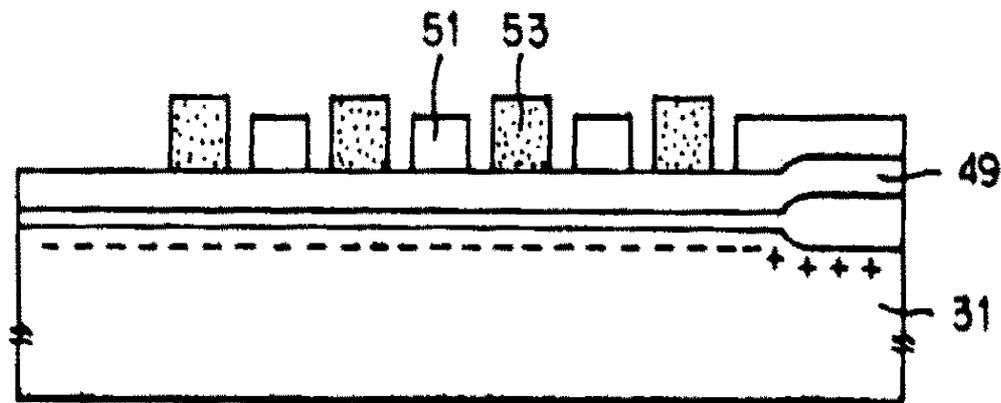
도면5-E



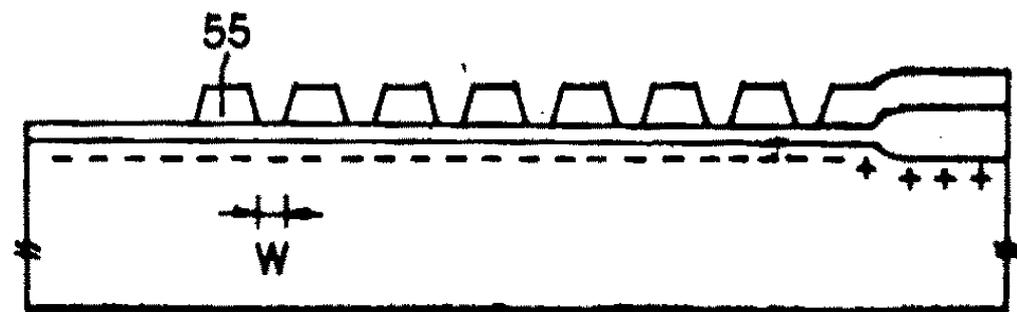
도면5-F



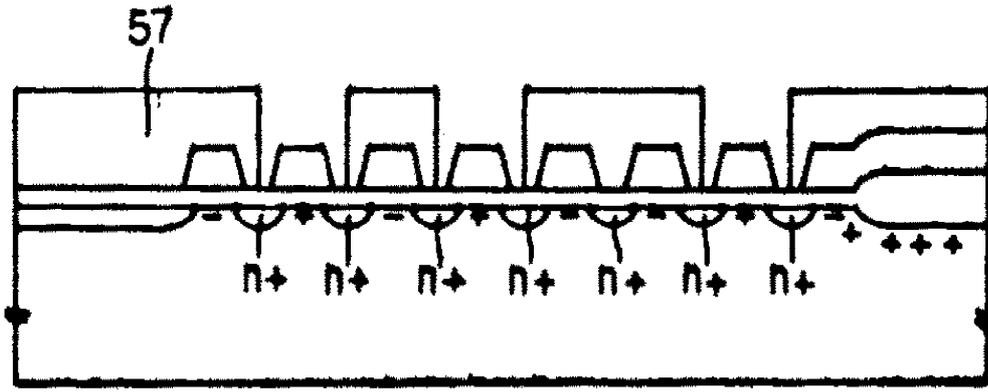
도면5-G



도면5-H



도면5-1



도면5-2

