

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-147816

(P2006-147816A)

(43) 公開日 平成18年6月8日(2006.6.8)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4M118
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 R	5CO24

審査請求 未請求 請求項の数 13 O L (全 28 頁)

(21) 出願番号	特願2004-335380 (P2004-335380)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年11月19日(2004.11.19)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	馬淵 圭司 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	八木 慎一郎 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
		(72) 発明者	黒木 章悟 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 最終頁に続く

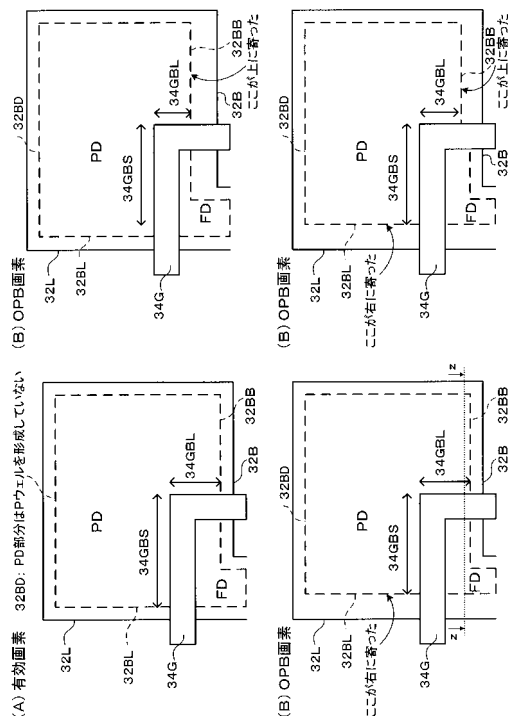
(54) 【発明の名称】 物理量分布検知装置および物理情報取得装置

(57) 【要約】

【課題】画素内アンプを備えた撮像装置において、暗電流起因以外のOPB段差を低減することができるようにする。

【解決手段】光電変換素子が設けられる電荷生成部にPウェルを形成しない部分を持たせ、そのエッジ位置が領域ごとに異なるものとする。特に、領域の区別なく同一条件とした場合のOPB段差が比較的小さい場合には調整感度を小さくする必要があるので、転送ゲート34G下でのエッジ位置を有効画素とOPB画素とで異なるものとするのがよい。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

物理量の変化を検知する検知部と当該検知部で検知した物理量の変化に基づいて単位信号を生成して出力する単位信号生成部とを単位構成要素内に含み、当該単位構成要素が所定の順に配された物理量分布検知のための装置であって、

有効な情報を取り込むための前記単位構成要素を有してなる有効領域と、前記単位信号の取得に関わる基準レベルを取り込むための前記単位構成要素を有してなる基準領域とが設けられており、

前記有効領域と前記基準領域の各単位構成要素は、前記有効領域の単位構成要素を構成する各種部材に対する所定の操作と、前記基準領域の単位構成要素を構成する各種部材に対する所定の操作とが、異なるものとされている

10

ことを特徴とする物理量分布検知装置。

## 【請求項 2】

前記有効領域と前記基準領域のそれぞれの前記単位信号生成部を構成する各種部材に対する所定の操作が異なるものとされている

ことを特徴とする請求項 1 に記載の物理量分布検知装置。

## 【請求項 3】

前記単位信号生成部は信号処理用の半導体素子を有して構成されており、

前記有効領域と前記基準領域の各単位構成要素において、それぞれの前記半導体素子のゲート長とゲート幅の少なくとも一方が、領域ごとに異なるものとされている

20

ことを特徴とする請求項 2 に記載の物理量分布検知装置。

## 【請求項 4】

前記単位信号生成部は、前記検知部で検知した物理量の変化を表わす信号電荷を当該単位信号生成部に転送する転送用の前記半導体素子を有し、

前記有効領域と前記基準領域の各単位構成要素において、それぞれの前記転送用の半導体素子のゲート長とゲート幅の少なくとも一方が、領域ごとに異なるものとされている

ことを特徴とする請求項 3 に記載の物理量分布検知装置。

## 【請求項 5】

前記単位信号生成部は信号処理用の半導体素子を有して構成されており、

前記有効領域と前記基準領域の各単位構成要素において、前記半導体素子を形成するためのイオン注入が領域ごとに異なるものとされている

30

ことを特徴とする請求項 2 に記載の物理量分布検知装置。

## 【請求項 6】

前記単位信号生成部は、前記検知部で検知した物理量の変化を表わす信号電荷を当該単位信号生成部に転送するゲート電極を具備した転送用の半導体素子を有し、

前記転送用の半導体素子の前記ゲート電極下において、前記イオン注入が領域ごとに異なるものとされている

ことを特徴とする請求項 5 に記載の物理量分布検知装置。

## 【請求項 7】

前記検知部は、ウェルを形成しない部分を持っており、かつ、そのウェルを形成しない部分のエッジ位置が領域ごとに異なるものとされている

40

ことを特徴とする請求項 2 に記載の物理量分布検知装置。

## 【請求項 8】

前記単位信号生成部は、前記検知部で検知した物理量の変化を表わす信号電荷を当該単位信号生成部に転送するゲート電極を具備した転送用の半導体素子を有し、

前記転送用の半導体素子の前記ゲート電極下において、前記ウェルを形成しない部分のエッジ位置が領域ごとに異なるものとされている

ことを特徴とする請求項 7 に記載の物理量分布検知装置。

## 【請求項 9】

前記有効領域と前記基準領域のそれぞれの前記検知部を構成する各種部材に対する所定

50

の操作が異なるものとされている

ことを特徴とする請求項 1 に記載の物理量分布検知装置。

【請求項 1 0】

前記検知部は、不純物分布が領域ごとに異なるものとされている

ことを特徴とする請求項 9 に記載の物理量分布検知装置。

【請求項 1 1】

前記検知部は、深さの異なる同極性の複数の不純物イオン注入により形成されており、かつ当該複数の不純物イオン注入の内の少なくとも一方の不純物濃度条件が領域ごとに異なるものとされている

ことを特徴とする請求項 1 0 に記載の物理量分布検知装置。

10

【請求項 1 2】

前記深さの異なる同極性の複数の不純物イオン注入の内の深い位置の不純物濃度条件が領域ごとに異なるものとされている

ことを特徴とする請求項 1 1 に記載の物理量分布検知装置。

【請求項 1 3】

物理量の変化を検知する検知部と当該検知部で検知した物理量の変化に基づいて単位信号を生成して出力する単位信号生成部とを単位構成要素内に含み、当該単位構成要素が所定の順に配された物理量分布検知のための装置を使用し、物理量についての所定の検知条件の元で取得された前記単位信号に基づいて所定目的用の物理情報を取得する物理情報取得装置であって、

20

前記物理量分布検知のための装置は、有効な情報を取り込むための前記単位構成要素を有してなる有効領域と、前記単位信号の取得に関わる基準レベルを取り込むための前記単位構成要素を有してなる基準領域とが設けられており、かつ、前記有効領域と前記基準領域の各単位構成要素は、前記有効領域の単位構成要素を構成する各種部材に対する所定の操作と、前記基準領域の単位構成要素を構成する各種部材に対する所定の操作とが、異なるものとされており、さらに、

前記有効領域と前記基準領域の各単位構成要素からの前記単位信号をそれぞれ受け取って所定の信号処理を行なう信号処理部を備えている

ことを特徴とする物理情報取得装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、物理量分布検知装置および物理情報取得装置に関する。より詳細には、たとえば光や放射線などの外部から入力される電磁波に対して感応性をする複数の単位構成要素が配列されてなり、単位構成要素によって電気信号に変換された物理量分布を電気信号として読出可能な、たとえば固体撮像装置などの、物理量分布検知の装置（物理量分布検知装置）を用いる場合に好適な、所定目的用の情報を取得する技術に関する。特に、有効な情報を取り込む有効領域と、その周囲に設けられる基準情報を取り込む基準領域の取扱に関する。

【背景技術】

40

【0002】

たとえば光や放射線などの外部から入力される電磁波あるいは圧力（接触など）などの物理量変化に対して感応性をする単位構成要素（たとえば画素）をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知半導体装置が様々な分野で使われている。

【0003】

一例として映像機器の分野では、物理量の一例である光（電磁波の一例）の変化を検知する CCD（Charge Coupled Device）型あるいは MOS（Metal Oxide Semiconductor；金属酸化膜半導体）や CMOS（Complementary Metal-oxide Semiconductor；相補金属酸化膜半導体）型の撮像素子（撮像デバイス）を用いた固体撮像装置が使われている。

【0004】

50

また、コンピュータ機器の分野では、指紋に関する情報を圧力に基づく電気的特性の変化や光学的特性の変化に基づき指紋の像を検知する指紋認証装置などが使われている。これらは、単位構成要素（固体撮像装置にあっては画素）によって電気信号に変換された物理量分布を電気信号として読み出す。

#### 【0005】

また、固体撮像装置の中には、電荷生成部で生成された信号電荷に応じた画素信号を生成する画素信号生成部に増幅用の駆動トランジスタを有する増幅型固体撮像素子（APS；Active Pixel Sensor / ゲインセル、画素内アンプともいわれる）構成の画素を備えた増幅型固体撮像装置がある。たとえば、CMOS型固体撮像装置の多くはそのような構成をなしている。

10

#### 【0006】

このような増幅型固体撮像装置において画素信号を外部に読み出すには、複数の単位画素が配列されている画素部に対してアドレス制御をし、個々の単位画素からの信号を決められたアドレスの順または任意に選択して読み出すようにしている。つまり、増幅型固体撮像装置は、アドレス制御型の固体撮像装置の一例である。

#### 【0007】

また、単位画素がマトリクス状に配されたX-Yアドレス型固体撮像素子の一種である増幅型固体撮像素子は、画素そのものに増幅機能を持たせるために、MOS構造などの能動素子（MOSトランジスタ）を用いて画素を構成している。すなわち、光電変換素子であるフォトダイオードに蓄積された信号電荷（光電子やホール）を前記能動素子で増幅し

20

#### 【0008】

また一般に、固体撮像素子では、有効な情報を取り込む有効領域の他に、基準情報を取り込む基準領域が有効領域の周囲（たとえば左右両端あるいは一方端および／または上下両端あるいは一方端）に配されており、基準領域で取得した基準情報に基づいて、有効領域で取得した有効情報を補正することが行なわれる。

#### 【0009】

<従来の固体撮像装置の構成>

図16は、固体撮像素子1の撮像部（画素部）10の構成例を示した図である。固体撮像素子では、図16に示すように、光の信号を取得するためなど有効な情報を取り込むべき有効画素が2次元マトリクス状に配列された有効画像領域（有効部）10aの他に、たとえば光学的黒（OPB；Optical Black）など読取りにおける基準レベルを与える基準画素（たとえばOPB画素）を所定個配列してなる基準画素領域10bが、有効画像領域（有効部）10aの周囲に配されて構成される。また、撮像部10の境界の影響を排除するためのプロセスダミー画素などを配列したダミー画像領域10cが、基準画素領域10bの周囲に配置されることが多い。

30

#### 【0010】

一例として、垂直列方向の上下もしくはその何れか一方に数行（たとえば1～10行；図では上側4行）分の光学的黒を与える基準画素（OPB画素）が配列されたOBラインが設けられ、また、有効画像領域（有効部）10aを含む水平行における左右もしくはその何れか一方に数画素～数10画素（たとえば3～40画素；図では左側30画素）分の光学的黒を与える基準画素（OPB画素）が配列された水平OB画素領域が設けられる。

40

#### 【0011】

光学的黒を与える基準画素（OPB画素）は、その受光面側が、フォトダイオードなどからなる電荷生成部に光が入らないようにして黒レベルを取得するために遮光される。この基準画素からの画素信号は、映像信号の黒基準に使われる。

#### 【0012】

OPB画素は、その目的から、有効画素で光が入射しない無入力の場合と同じ信号を出力することを期待されるが、実際には、僅かにずれた信号が出てくる場合がある。つまり、真っ暗な状態でも、有効画像領域10aと基準画素領域10bの各画素から出力される

50

各画素信号が僅かに異なる。これを、以下OPB段差と称する。このOPB段差があると、特に低照度の被写体を撮影した場合に、黒レベルがもぐったり浮いていたりするのが問題になり、また、そのために色が変わってしまうことも問題となる。

【0013】

このようなOPB段差の問題を解消する一手法として、特許文献1には、CCD撮像装置において、デバイス構造や製造プロセスの違いによって発生するOPB段差を低減すべく、基準画素領域10bの各光電変換部(画素)における減圧CVD法にて形成されたSiN膜を、有効画像領域10aの各光電変換部における減圧CVD法にて形成されたSiN膜よりも面積的に多く残存させて構成する仕組みが提案されている。

【0014】

10

【特許文献1】特開平07-078950号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

ここで、特許文献1に記載の仕組みは、CCDなどの電荷転送デバイスの製造過程、特に表面保護層(プラズマSiN膜)の形成後において行なわれる水素アニール処理の効果が、有効画像領域10aと基準画素領域10bとで異なることに起因して生じる暗電流差に基づくOPB段差の問題を解消するである。つまり、電荷転送デバイスにおけるOPB段差の原因は、有効画像領域10a(有効部)と基準画素領域10b(OPB部)との暗電流差である。

20

【0016】

一方、本願発明者らの解析によると、CMOSセンサなどのように、増幅型固体撮像素子(APS、ゲインセル、画素内アンプ)構成の画素を備えた増幅型固体撮像装置におけるOPB段差の原因は、電荷転送デバイスと同様に暗電流差もあるが、それとは異なる成分もあることが分かった。

【0017】

たとえば、CMOSセンサでは、蓄積された光電子の信号を、画素内のトランジスタによって読み出すが、そのトランジスタの特性が、有効画像領域10aと基準画素領域10bで僅かに異なることが原因で、OPB段差が発生する。

【0018】

30

OPB段差の暗電流成分は、十分短い電子シャッタを切ればなくなるし、または、温度を低温化してもなくなる。よって、CCDなどの電荷転送デバイスでは、十分短い電子シャッタや低温下ではOPB段差が発生しない。これに対して、CMOSセンサなどの増幅型固体撮像装置では、十分短い電子シャッタや低温の状態でも、領域の違いに基づくトランジスタ起因のOPB段差が残ってしまう。そして、このOPB段差が、出力信号の浮きとなり、このOPB段差が大きい場合は、黒レベルが浮いたり沈んだり、あるいはそのせいで低照度で色が変わってしまうなど、画質の劣化を引き起こす。

【0019】

解析対象のデバイスでのOPB段差は、0.5mV以下というようなレベルであることから、これは単体トランジスタを通常の方法で測定して違いを判別できるレベルではないが、ノイズをできる限り低減したイメージセンサで、かつイメージセンサでは画素が多数並んでおり平均して見えるので、このレベルでも問題となり、改善することが望まれる。

40

【0020】

本発明は、上記事情に鑑みてなされたものであり、暗電流起因以外の基準レベル段差(典型的にはOPB段差)を低減することができ、再生画像の画質の向上を図ることができる仕組みを提供することを目的とする。

【課題を解決するための手段】

【0021】

本発明に係る物理量分布検知のための装置は、物理量の変化を検知する検知部とこの検知部で検知した物理量の変化に基づいて単位信号を生成して出力する単位信号生成部とを

50

単位構成要素内に含み、この単位構成要素が所定の順に配された物理量分布検知のための装置であって、有効な情報を取り込むための単位構成要素を有してなる有効領域と、単位信号の取得に関わる基準レベルを取り込むための単位構成要素を有してなる基準領域とが設けられており、かつ、有効領域と基準領域の各単位構成要素が、有効領域の単位構成要素を構成する各種部材に対する所定の操作と、基準領域の単位構成要素を構成する各種部材に対する所定の操作とが、異なるものとされているものとした。

【0022】

なお、遮光のあり/なしなど、検知部への物理量変化の伝達を遮断する部材のあり/なしの違いは、「所定の操作を異なるものとする」ことに含まない。要するに、本願発明の趣旨は、物理量変化に対する遮断部材のあり/なし以外の観点から、単位構成要素の構造を、有効領域と基準領域とで意図的・積極的に違ったものとするということである。

10

【0023】

また、意図的・積極的に違ったものとするということであり、ばらつきに起因した構造の違いを含むものでもない。

【0024】

また、単位構成要素の構造を有効領域と基準領域とで意図的・積極的に違ったものとするればよく、この限りにおいて、有効領域内であるいは基準領域内で、さらに別の観点から単位構成要素の構造を意図的・積極的に違ったものとするものであってもよい。

【0025】

また本発明に係る物理情報取得装置は、前記本発明に係る物理量分布検知装置を使用し、物理量についての所定の検知条件の元で取得された単位信号に基づいて所定目的用の物理情報を取得する物理情報取得装置であって、前記本発明に係る物理量分布検知装置の他に、有効領域と基準領域の各単位構成要素からの単位信号をそれぞれ受け取って所定の信号処理を行なう信号処理部を備えるものとした。

20

【0026】

また従属項に記載された発明は、本発明に係る物理量分布検知装置（結果的には物理情報取得装置も）のさらなる有利な具体例を規定する。

【0027】

たとえば、単位構成要素を構成する各種部材に対する所定の操作が領域ごとに異なるようにするには、たとえば、単位信号生成部が電荷転送用や信号増幅用などのための半導体素子を有して構成されている場合、半導体素子のゲート長やゲート幅を調整することで実現できる。ここで、領域の区別なく同一条件とした場合の基準レベル段差が比較的小さい場合には調整感度を小さくする必要があるが、調整対象を検知部で検知した物理量の変化を表わす信号電荷を単位信号生成部に転送する転送用の半導体素子とすると、その要求に応えることができる。

30

【0028】

あるいは、半導体素子を形成するためのイオン注入条件を領域ごとに異なるものとしてもよい。この場合にも、領域の区別なく同一条件とした場合の基準レベル段差が比較的小さい場合には調整感度を小さくする必要があるが、調整対象を検知部で検知した物理量の変化を表わす信号電荷を単位信号生成部に転送する転送用の半導体素子とする、すなわち転送用の半導体素子のゲート電極下においてイオン注入が領域ごとに異なるものとする、その要求に応えることができる。

40

【0029】

また、検知部の構造を領域ごとに異なるものとすることもできる。この場合、検知部にはウェルを形成しない部分を持つようにし、かつ、そのウェルを形成しない部分のエッジ位置を領域ごとに異なるものとするのがよい。この場合にも、領域の区別なく同一条件とした場合の基準レベル段差が比較的小さい場合には調整感度を小さくする必要があるが、調整対象を検知部で検知した物理量の変化を表わす信号電荷を単位信号生成部に転送する転送用の半導体素子とする、すなわち転送用の半導体素子のゲート電極下において、ウェルを形成しない部分のエッジ位置が領域ごとに異なるものとする、その要求に応えるこ

50

とができる。

【0030】

また検知部の構造を領域ごとに異なるものとする手法としては、不純物分布が領域ごとに異なるものとすることもできる。この場合、深さの異なる同極性の単数または複数の不純物イオン注入により形成されており、かつ不純物イオン注入の内の少なくとも1つの不純物濃度条件が領域ごとに異なるものとすることもできる。この場合にも、領域の区別なく同一条件とした場合の基準レベル段差が比較的小さい場合には調整感度を小さくする必要はあるが、調整対象を、深さの異なる同極性の複数の不純物イオン注入の内の深い位置の不純物濃度条件が領域ごとに異なるものとする、その要求に応えることができる。

【発明の効果】

10

【0031】

本発明によれば、物理量の変化に対する信号出力レベルが有効領域と基準領域異なるように、有効領域の単位構成要素を構成する各種部材に対する所定の操作と、基準領域の単位構成要素を構成する各種部材に対する所定の操作とを、意図的に異なるものとした。従来のデバイスでは、遮光のあり/なしといった領域の違いに拘らず、各種部材に対する操作は同じとされているのとは大きく異なる。

【0032】

領域別に異なる操作を加えることで、基準領域および有効領域のそれぞれについて検知部への物理量変化の伝達を遮断した状態における信号出力レベルを調整することができるようになる。これにより、OPB段差などの基準レベル段差を、その発生原因に拘らず、小さくなるようにすることができる。結果として、黒レベルが浮いたり沈んだり、そのせいで低照度で色が変わってしまう現象を防止できる。

20

【発明を実施するための最良の形態】

【0033】

以下、図面を参照して本発明の実施形態について詳細に説明する。なお、以下においては、X-Yアドレス型の固体撮像装置の一例である、CMOS撮像素子をデバイスとして使用した場合を例に説明する。

【0034】

ただしこれは一例であって、対象となるデバイスはMOS型の撮像デバイスに限らない。光や放射線などの外部から入力される物理量に対して感応性をする検知部と、この検知部で検知した物理量の変化に基づいて単位信号を生成して出力する単位信号生成部を含む単位構成要素をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知用の半導体装置のうち基準領域と有効領域を備えるもの全てに、後述する実施形態が同様に適用できる。なお、CCD(電荷結合素子)などのように、単位信号生成部を単位構成要素内に含まない構造の半導体装置には適用されない。

30

【0035】

<撮像装置の概略構成>

図1は、本発明に係る物理情報取得装置の一実施形態であるCMOS固体撮像装置の概略構成図である。この固体撮像装置1は、たとえばカラー画像を撮像し得る電子スチルカメラやFA(Factory Automation)カメラとして適用されるようになっている。固体撮像装置1は、物理量分布検知装置の一例である。

40

【0036】

固体撮像装置1は、入射光量に応じた信号を出力する図示を割愛する検知部としての受光素子を含む単位画素が行および列の正方格子状に配列された(すなわち2次元マトリクス状の)撮像部を有し、各単位画素からの信号出力が電圧信号であって、CDS(Correlated Double Sampling; 相関2重サンプリング)処理機能部やその他の機能部が垂直列ごとに設けられたカラム型のものである。

【0037】

すなわち、図1(A)に示すように、固体撮像装置1は、複数の単位画素3(単位構成要素の一例)が行および列に(2次元行列状に)多数配列された撮像部(画素部)101

50

わゆるエリアセンサ部と、撮像部 10 の外側に設けられた駆動制御部 7 と、各垂直列に配されたカラム信号処理部（図ではカラム回路と記す）22 を有するカラム処理部 20 と、水平選択スイッチ部 60 とを備えている。また、撮像部 10 が設けられている半導体領域とは別の回路基板上に外部回路 100 が設けられている。

【0038】

なお、読出電流源部 27 は、撮像部 10 とカラム処理部 20 との間の信号経路（垂直信号線 18）上に設けられ、各垂直信号線 18 に対してドレイン端子が接続された図示を割愛する負荷 MOS トランジスタを含む負荷トランジスタ部が配され、各負荷 MOS トランジスタを駆動制御する負荷制御部（負荷 MOS コントローラ）が設けられている。

【0039】

駆動制御部 7 としては、たとえば水平走査部 12 と垂直走査部 14 とを備える。また、駆動制御部 7 の他の構成要素として、水平走査部 12、垂直走査部 14、あるいはカラム処理部 20 などの固体撮像装置 1 の各機能部に所定タイミングの制御パルスを供給する駆動信号操作部（読出アドレス制御装置の一例）16 が設けられている。

【0040】

これらの駆動制御部 7 の各要素は、撮像部 10 とともに、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成され、半導体システムの一部である固体撮像素子（撮像デバイス）として構成される。

【0041】

図 1 では、簡単のため行および列の一部を省略して示しているが、現実には、撮像部 10 の各行や各列には、数十から数千の単位画素 3 が配置される。なお、図示を割愛するが、撮像部 10 には、各画素に所定のカラーコーディングを持つ色分離フィルタやオンチップレンズが形成される。また図示を割愛するが、撮像部 10 の各単位画素 3 は、フォトダイオードやフォトゲートなどの光電変換素子およびトランジスタ回路によって構成されている（後述する図 2 を参照）。

【0042】

単位画素 3 は、垂直列選択のための垂直制御線 15 を介して垂直走査部 14 と、また検知部で検知され増幅素子を有する単位信号生成部で増幅された後に単位画素 3 から出力される複数の画素信号 S0（ $\_1 \sim h$ ；1 行中の画素番号）をそれぞれ伝送する伝送線としての垂直信号線 18 を介してカラム処理部 20 と、それぞれ接続されている。

【0043】

撮像部 10 は、画像を取り込む有効領域である有効画像領域（有効部）10a の他に、図 16 に示したように、光学的黒を与える基準画素領域 10b が、有効画像領域 10a の周囲に配されて構成される。一例としては、垂直列方向の上下に数行（たとえば 1 ~ 10 行）分の光学的黒を与える基準画素が配列され、また、有効画像領域（有効部）10a を含む水平方向における左右に数画素 ~ 数 10 画素（たとえば 3 ~ 40 画素）分の光学的黒を与える基準画素が配列される。

【0044】

水平走査部 12 や垂直走査部 14 は、駆動信号操作部 16 から与えられる駆動パルスにตอบสนองしてシフト動作（走査）を開始するようになっている。垂直制御線 15 には、単位画素 3 を駆動するための種々のパルス信号が含まれる。

【0045】

水平走査部 12 は、水平方向の読出列（水平方向のアドレス）を規定する（カラム処理部 20 内の個々のカラム信号処理部 22 を選択する）水平アドレス設定部 12x と、水平アドレス設定部 12x にて規定された読出アドレスに従ってカラム処理部 20 の各信号を水平信号線 86 に導く水平駆動部 12y とを有する。

【0046】

水平アドレス設定部 12x は、図示を割愛するが、シフトレジスタあるいはデコーダを有して構成されており、カラム信号処理部 22 からの画素情報を所定の順に選択し、その選択した画素情報を水平信号線 86 に出力する選択手段としての機能を持つ。

10

20

30

40

50



## 【 0 0 4 7 】

垂直走査部 1 4 は、垂直方向の読出行（垂直方向のアドレス）を規定する（撮像部 1 0 の行を選択する）垂直アドレス設定部 1 4 x と、垂直アドレス設定部 1 4 x にて規定された読出行上の単位画素 3 に対する行制御線 1 5 にパルスを供給して単位画素 3 を駆動する垂直駆動部 1 4 y とを有する。

## 【 0 0 4 8 】

垂直アドレス設定部 1 4 x は、図示を割愛するが、信号を読み出す行の基本的な制御を行なう垂直シフトレジスタあるいはデコーダの他に、電子シャッタ用の行の制御を行なうシャッタシフトレジスタも有する。

## 【 0 0 4 9 】

垂直シフトレジスタは、撮像部 1 0 から画素情報を読み出すに当たって各单位画素 3 を行単位で選択するためのものであり、各行の垂直駆動部 1 4 y とともに信号出力行選択手段を構成する。シャッタシフトレジスタは、電子シャッタ動作を行なうに当たって各画素を行単位で選択するためのものであり、各行の垂直駆動部 1 4 y とともに電子シャッタ行選択手段を構成する。

10

## 【 0 0 5 0 】

駆動信号操作部 1 6 は、図示を割愛するが、各部の動作に必要なクロックや所定タイミングのパルス信号を供給するタイミングジェネレータ T G（読出アドレス制御装置の一例）の機能ブロックと、端子 1 a を介して入力クロック CLK0 や動作モードなどを指令するデータを受け取り、また端子 1 b を介して固体撮像装置 1 の情報を含むデータ DATA を出力する通信インタフェースの機能ブロックとを備える。また、水平アドレス信号を水平アドレス設定部 1 2 x へ、また垂直アドレス信号を垂直アドレス設定部 1 4 x へ出力し、各アドレス設定部 1 2 x, 1 4 x は、それを受けて対応する行もしくは列を選択する。

20

## 【 0 0 5 1 】

なお、駆動信号操作部 1 6 は、撮像部 1 0 や水平走査部 1 2 など、他の機能要素とは独立して、別の半導体集積回路として提供されてもよい。この場合、撮像部 1 0 や水平走査部 1 2 などから成る撮像デバイスと駆動信号操作部 1 6 とにより、半導体システムの一部である撮像装置が構築される。この撮像装置は、周辺の信号処理回路や電源回路なども組み込まれた撮像モジュールとして提供されてもよい。

## 【 0 0 5 2 】

カラム処理部 2 0 は、垂直列（カラム）ごとにカラム信号処理部 2 2 を有して構成されており、1 行分の画素の信号を受けて、各カラム信号処理部 2 2 が対応列の画素信号 S 0（ $\_1 \sim h$ ；1 行中の画素番号）を処理して、処理済みの画素信号 S 1（ $\_1 \sim h$ ；1 行中の画素番号）を出力する。

30

## 【 0 0 5 3 】

たとえば、カラム信号処理部 2 2 は、図示を割愛するが、蓄積容量を具備した記憶部を有し、単位画素 3 から垂直信号線 1 8 を介して読み出された画素信号（単位信号）S 0 に基づく所定目的用の物理情報を表わす電位信号 V m を記憶するラインメモリ構造の信号保持機能を備えるようにすることができる。また同様に蓄積容量を持ち、C D S (Correlated Double Sampling；相関 2 重サンプリング) 処理を利用したノイズ除去手段の機能を備えるようにしてもよい。

40

## 【 0 0 5 4 】

C D S 処理を行なう場合、駆動信号操作部 1 6 から与えられるサンプルパルス S H P とサンプルパルス S H D といった 2 つのサンプルパルスに基づいて、垂直信号線 1 8 を介して入力された電圧モードの画素情報に対して、画素リセット直後の信号レベル（ノイズレベル；0 レベル）と真の信号レベルとの差分をとる処理を行なうことで、画素ごとの固定ばらつきによる固定パターンノイズ（F P N；Fixed Pattern Noise）やリセットノイズといわれるノイズ信号成分を取り除く。

## 【 0 0 5 5 】

なお、カラム信号処理部 2 2 には、C D S 処理機能部などの後段に、必要に応じて信号

50

増幅機能を持つ A G C (Auto Gain Control) 回路やその他の処理機能回路などを設けることも可能である。

**【 0 0 5 6 】**

カラム処理部 2 0 の後段には、図示を割愛する水平読出用のスイッチ（選択スイッチ）を備えた水平選択スイッチ部 6 0 が設けられている。各垂直列のカラム信号処理部 2 2 の出力端は、カラム信号処理部 2 2 から画素信号 S 2 を順次読み出すための各垂直列に対応する水平選択スイッチ部 6 0 の選択スイッチの入力端 i にそれぞれ接続されている。

**【 0 0 5 7 】**

水平選択スイッチ部 6 0 の各垂直列の制御ゲート端 c は、水平方向の読出アドレスを制御・駆動する水平走査部 1 2 の水平駆動部 1 2 y に接続される。一方、水平選択スイッチ部 6 0 の各垂直列の選択スイッチの出力端 o は、行方向に画素信号を順次転送出力する水平信号線 8 6 が共通接続されている。水平信号線 8 6 の後端には出力回路 8 8 が設けられている。

**【 0 0 5 8 】**

水平信号線 8 6 は、単位画素 3 のそれぞれから垂直信号線 1 8 を介して伝送される個々の画素信号 S 0（詳しくはそれに基づく画素信号 S 2）を、垂直信号線 1 8 の配列方向である水平方向に所定順に出力するための読出線として機能するものであり、カラム信号処理部 2 2 から、垂直列ごとに存在する図示を割愛した選択スイッチによって選択された信号を取り出して出力回路 8 8 に渡す。

**【 0 0 5 9 】**

すなわち、カラム信号処理部 2 2 により処理された画素情報を表わす信号電荷に応じた各垂直列の電圧信号は、水平走査部 1 2 からの水平選択信号 H 1 ~ H h に応じた水平読出パルス g 1 ~ g h により駆動される垂直列ごとに設けられた選択スイッチにより所定のタイミングで選択され水平信号線 8 6 に読み出される。そして、水平信号線 8 6 の後端に設けられた出力回路 8 8 に入力される。

**【 0 0 6 0 】**

出力回路 8 8 は、撮像部 1 0 から水平信号線 8 6 を通して出力される各単位画素 3 の画素信号 S 2 \_ 1 ~ h ( h = n ) を適当なゲインで増幅した後、撮像信号 S 3 として外部回路 1 0 0 に出力端子 8 8 a を介して供給する。この出力回路 8 8 は、たとえば、バッファリングだけする場合もあるし、その前に黒レベル調整、列ばらつき補正、色関係処理などを行なうこともある。

**【 0 0 6 1 】**

つまり、本実施形態のカラム型の固体撮像装置 1 においては、単位画素 3 からの出力信号（電圧信号）が、垂直信号線 1 8 カラム処理部 2 0（カラム信号処理部 2 2）水平信号線 8 6 出力回路 8 8 の順で伝送される。その駆動は、1 行分の画素出力信号は垂直信号線 1 8 を介して平行にカラム処理部 2 0 に送り、処理後の信号は水平信号線 8 6 を介してシリアルに出力するようにする。この画素信号のカラム処理部 2 0 までの転送動作は 1 行分の単位画素 3 に対して同時に行なわれる。

**【 0 0 6 2 】**

なお、垂直列や水平行ごとの駆動が可能である限り、それぞれのパルス信号を単位画素 3 に対して水平行方向および垂直列方向の何れから供給するか、すなわちパルス信号を印加するための駆動クロック線の物理的な配線方法は自由である。

**【 0 0 6 3 】**

このような構成の固体撮像装置 1 において、水平走査部 1 2 や垂直走査部 1 4 およびそれらを制御する駆動信号操作部 1 6 により、撮像部 1 0 の各画素を水平行単位で順に選択し、その選択した 1 つの水平行分の画素の情報を同時に読み出すタイプの C M O S イメージセンサが構成される。

**【 0 0 6 4 】**

出力回路 8 8 の後段に設けられる外部回路 1 0 0 は、撮像部 1 0 や駆動制御部 7 などが同一の半導体領域に一体的に形成された固体撮像素子とは別の基板（プリント基板もしくは

10

20

30

40

50

は半導体基板)上に構成されており、各撮影モードに対応した回路構成が採られるようになってい

【0065】

撮像部10や駆動制御部7などからなる固体撮像素子(本発明に係る半導体装置や物理情報取得装置の一例)と外部回路100とによって、固体撮像装置1が構成されている。駆動制御部7を撮像部10やカラム処理部20と別体にして、撮像部10やカラム処理部20で固体撮像素子(半導体装置の一例)を構成し、この固体撮像素子と別体の駆動制御部7とで、撮像装置(本発明に係る物理情報取得装置の一例)として構成してもよい。

【0066】

外部回路100は、たとえば図1(B)に示すように、出力回路88から出力されたアナログの撮像信号S3をデジタルの撮像データD3に変換するA/D(Analog to Digital)変換部110と、A/D変換部110によりデジタル化された撮像データD3に基づいてデジタル信号処理を施すデジタル信号処理部(DSP; Digital Signal Processor)130とを備える。

【0067】

デジタル信号処理部130は、たとえば、A/D変換部110から出力されるデジタル信号を適当に増幅して出力するデジタルアンプ部の機能を持つ。また、たとえば色分離処理を施してR(赤)、G(緑)、B(青)の各画像を表す画像データRGBを生成し、この画像データRGBに対してその他の信号処理を施してモニタ出力用の画像データD4を生成する。また、デジタル信号処理部130には、記録メディアに撮像データを保存するための信号圧縮処理などを行なう機能部が備えられる。

【0068】

また外部回路100は、デジタル信号処理部130にてデジタル処理された画像データD4をアナログの画像信号S4に変換するD/A(Digital to Analog)変換部136を備える。D/A変換部136から出力された画像信号S4は、図示を割愛する液晶モニタなどの表示デバイスに送られる。操作者は、この表示デバイスに表示されるメニューや画像を見ながら、撮像モードを切り替えるなどの各種の操作を行なうことが可能になっている。

【0069】

ここで、本実施形態の構成として、外部回路100のデジタル信号処理部130には、少なくとも、有効画像領域10aと基準画素領域10bの各単位画素3から出力される各画素信号S0(詳しくはカラム信号処理部22からの画素信号S2)に基づいて、映像信号の黒基準を補正するOPB補正処理部132が設けられる。

【0070】

すなわち、光学的黒を与える基準画素は、その受光面側が、フォトダイオードなどからなる電荷生成部に光が入らないように、遮光される。この基準画素からの画素信号は、映像信号の黒基準に使われる。たとえば、撮像部10の後段の信号処理部であるデジタル信号処理部130内のOPB補正処理部132においては、基準画素領域10bからの出力値を黒レベルとし、この黒レベルを有効画像領域10aの単位画素3からの出力値から差し引くことにより、暗電流などによる出力値のいわゆる浮きを打ち消すようにして、低照度での色の再現性を高めるなど、再生画像の画質の向上を図る。

【0071】

なおここでは、固体撮像素子の後段の信号処理を担当する外部回路を固体撮像素子(撮像チップ)外で行なう例を示したが、外部回路の全てもしくは一部(たとえばA/D変換部やデジタルアンプ部など)の機能要素を、固体撮像素子のチップに内蔵するように構成してもよい。つまり、撮像部10や駆動制御部7などが同一の半導体領域に一体的に形成された固体撮像素子と同一の半導体基板上に外部回路を構成して、実質的に、固体撮像装置1と物理情報取得装置とが同一のものとして構成してもよい。

【0072】

また図では、水平選択スイッチ部60や駆動制御部7を撮像部10とともに備えて固体

撮像装置 1 を構成し、実質的に、固体撮像装置 1 が物理情報取得装置としても機能するように構成しているが、物理情報取得装置は、必ずしもこのような構成に限定されない。水平選択スイッチ部 60 や駆動制御部 7 の全体もしくは一機能部分が撮像部 10 と同一の半導体領域に一体的に形成されたものであることは要件ではない。水平選択スイッチ部 60 および駆動制御部 7 を、撮像部 10 とは異なる回路基板（別の半導体基板に限らず一般的な回路基板をも意味する）、たとえば外部回路が設けられる回路基板に形成してもよい。

#### 【0073】

##### <画素構造>

図 2 は、図 1 に示した固体撮像装置 1 に使用される単位画素 3 の構成例を示す図である。撮像部 10 内の単位画素（画素セル）3 の構成は、通常の CMOS イメージセンサと同様であり、本実施形態では、CMOS センサとして汎用的な 4TR 構成のものを使用することができるし、4TR 構成のものに限らず、たとえば、特許第 2708455 号公報に記載のように、3つのトランジスタからなる 3TR 構成のものを使用することもできる。もちろん、これらの画素構成は一例であり、通常の CMOS イメージセンサのアレイ構成であれば、何れのものでも使用できる。

10

#### 【0074】

画素内アンプとしては、たとえばフローティングディフュージョンアンプ構成のものを用いられる。一例としては、電荷生成部に対して、電荷読出部（転送ゲート部 / 読出ゲート部）の一例である読出選択用トランジスタ、リセットゲート部の一例であるリセットトランジスタ、垂直選択用トランジスタ、およびフローティングディフュージョンの電位変化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタを有する構成を使用することができる。

20

#### 【0075】

たとえば、図 2 に示す 4TR 構成の単位画素 3 は、光を受光して電荷に変換する光電変換機能とともに、その電荷を蓄積する電荷蓄積機能の各機能を兼ね備えたフォトダイオードやフォトゲートなどで構成された電荷生成部 32 と、電荷生成部 32 に対して、電荷読出部（転送ゲート部 / 読出ゲート部）の一例である読出選択用トランジスタ（転送トランジスタ）34、リセットゲート部の一例であるリセットトランジスタ 36、垂直選択用トランジスタ 40、およびフローティングディフュージョン 38 の電位変化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタ 42 を有する。

30

#### 【0076】

この単位画素 3 は、電荷蓄積部の機能を備えた電荷注入部の一例であるフローティングディフュージョン 38 とからなる FDA (Floating Diffusion Amp) 構成の画素信号生成部 5 を有するものとなっている。フローティングディフュージョン 38 は寄生容量を持った拡散層である。画素信号生成部 5 は、電荷生成部 32 からフローティングディフュージョン 38 に移送された電荷の量に応じた電位を発生して垂直信号線 53 に伝達する手段として機能する。

#### 【0077】

増幅用トランジスタ 42 は各垂直信号線 53（図 1 の垂直信号線 18 に相当）に接続されており、また垂直信号線 53 は垂直列ごとに読出電流源部 27 の定電流源  $I_n$  の一部をなす負荷 MOS トランジスタ 27z のドレインに接続され、また各負荷 MOS トランジスタ 27z のゲート端子には、図示を割愛する負荷制御部からの負荷制御信号 SFLACT が共通に入力されており、信号読出し時には、各増幅用トランジスタ 42 に接続された負荷 MOS トランジスタ 27z によって、予め決められた定電流を流し続けるようになっている。つまり、負荷 MOS トランジスタ 27z は、選択行の増幅用トランジスタ 42 とソースフォロアを組むことで、垂直信号線 53 への信号出力をさせる。

40

#### 【0078】

横方向配線は同一行の画素について共通となっており、図示を割愛する垂直走査部 14 の垂直駆動部 14y によって駆動制御される。たとえば、垂直駆動部 14y 内には、転送駆動バッファ 250、リセット駆動バッファ 252、および選択駆動バッファ 254 が収

50

容されている。

【0079】

読出選択用トランジスタ34は、転送配線（読出選択線TRF）55を介して転送駆動バッファ250からの転送信号TRGにより駆動されるようになっている。リセットトランジスタ36は、リセット配線（RST）56を介してリセット駆動バッファ252からのリセット信号RSTにより駆動されるようになっている。垂直選択用トランジスタ40は、垂直選択線（SEL）52を介して選択駆動バッファ254からの垂直選択信号SELにより駆動されるようになっている。各駆動バッファは、垂直走査部14によって駆動可能になっている。

【0080】

画素信号生成部5におけるリセットトランジスタ36は、ソースがフローティングディフュージョン38に、ドレインが電源VDDにそれぞれ接続され、ゲート（リセットゲートRG）にはリセットパルスRSTがリセット駆動バッファから入力される。このリセットトランジスタ36は、フローティングディフュージョン38の電位をリセットする機能を持つ。

【0081】

ここで、この単位画素3は、増幅用トランジスタ42と垂直選択用トランジスタ40のうち、垂直選択用トランジスタ40の方が垂直信号線53側にあるタイプである。すなわち、垂直選択用トランジスタ40は、一例として、ドレインが増幅用トランジスタ42のソースに、ソースが画素線51にそれぞれ接続され、ゲート（特に垂直選択ゲートSEL

10

20

【0082】

垂直選択線52には、垂直選択信号SELが印加される。増幅用トランジスタ42は、ゲートがフローティングディフュージョン38に接続され、ドレインが電源VDDに、ソースは垂直選択用トランジスタ40のドレインを介して画素線51に接続され、さらに垂直信号線53（18）に接続されるようになっている。

【0083】

なおこのような接続構成に限らず、垂直選択用トランジスタ40は、ドレインが電源VDDに、ソースが増幅用トランジスタ42のドレインにそれぞれ接続され、ゲートが垂直選択線52に接続されるようにしてもよい。

30

【0084】

このような4TR構成では、フローティングディフュージョン38は増幅用トランジスタ42のゲートに接続されているので、増幅用トランジスタ42はフローティングディフュージョン38の電位（以下FD電位という）に対応した信号を電圧モードで、画素線51を介して垂直信号線53（18）に出力する。

【0085】

リセットトランジスタ36は、フローティングディフュージョン38をリセットする。読出選択用トランジスタ（転送トランジスタ）34は、電荷生成部32にて生成された信号電荷をフローティングディフュージョン38に転送する。垂直信号線18には多数の画素が接続されているが、画素を選択するには、選択画素のみ垂直選択用トランジスタ40をオンする。すると選択画素のみが垂直信号線18と接続され、垂直信号線18には選択画素の信号が出力される。

40

【0086】

< 単位画素の構造 ; 基本形 >

図3は、単位画素3の構造の基本形を説明する図である。ここでは、単位画素3の平面パターン図として、ゲート酸化膜が形成されている活性化領域と、トランジスタのゲートが図示されている。電荷生成部32と、単位画素3を構成する各トランジスタ34, 36, 40, 42の各ゲート34G, 36G, 40G, 42Gの配置を示している。

【0087】

通常の配線形態においては、図に示すように、光を電荷に変換する光電変換機能や電荷

50

蓄積機能を備えたフォトダイオード P D ( Phot Diode ) など形成される電荷生成部 3 2 ( 光電変換領域 ) や、読出選択用トランジスタ 3 4 ( 転送ゲート )、リセットトランジスタ 3 6、垂直選択用トランジスタ 4 0、あるいは増幅用トランジスタ 4 2 をなす活性化領域 ( たとえば 3 2 a , 3 8 a , 4 2 a ) が設けられている。

【 0 0 8 8 】

そして、読出選択用トランジスタ 3 4、リセットトランジスタ 3 6、垂直選択用トランジスタ 4 0、および増幅用トランジスタ 4 2 をなす各活性化領域上にポリシリコンなどで各ゲート ( 転送ゲート 3 4 G , リセットゲート 3 6 G , 選択ゲート 4 0 G , 増幅ゲート 4 2 G ) 用の配線がパターンニングされている。リセットゲート 3 6 G と増幅ゲート 4 2 G との間の活性化領域 4 2 a は電源 V dd に接続される。

10

【 0 0 8 9 】

なお図示を割愛するが、選択ゲート 4 0 G の後段 ( 図中右側 ) には、電荷生成部 3 2 の一辺に沿って画素信号を出力するための垂直信号線 5 3 をなす金属配線がパターンニングされる。各ゲート用の電極は、コンタクトを介して上層との電気的な接続が取られるようになっている。

【 0 0 9 0 】

また図示を割愛するが、フローティングディフュージョン ( F D ) 3 8 を形成する活性化領域 3 8 a は、所定の配線層にて、金属配線 ( F D 配線 ) を介して増幅ゲート 4 2 G と接続される。通常、F D 配線は、プロセス的に限定される最小線幅を使用する。また、周辺部材との関係を考慮しつつ、できるだけ短いルートで接続するようにレイアウトする。

20

【 0 0 9 1 】

光電変換素子であるフォトダイオード ( P D ) などなる電荷生成部 3 2 は、転送トランジスタとしての読出選択用トランジスタ 3 4 を介してフローティングディフュージョン ( F D ) 3 8 と繋がっている。読出選択用トランジスタ 3 4 は、電荷生成部 3 2 で生成された信号電荷である光電子をフローティングディフュージョン 3 8 に転送する。

【 0 0 9 2 】

フローティングディフュージョン 3 8 は、増幅ゲート 4 2 G に繋がっている。増幅用トランジスタ 4 2 はフローティングディフュージョン 3 8 の電位に対応した画素信号を、垂直選択用トランジスタ 4 0 がオンしているときに、垂直信号線 1 8 ( 5 3 ) に出力する。リセットトランジスタ 3 6 は、フローティングディフュージョン 3 8 の電子を電源 ( V dd ) 配線に捨てることによって、フローティングディフュージョン 3 8 をリセットする。

30

【 0 0 9 3 】

< 暗電流起因以外 O P B 段差の原因および解決手法の解析 >

ここで、光学的黒を規定するための O P B ( O P t i c a l B l a c k ) 部としての基準画素領域 1 0 b の画素と、有効な光信号を取得するための有効画像領域 1 0 a の画素 ( 有効画素という ) では、通常は、電荷生成部 3 2 が遮光されているかいないかだけが異なる。なお、基準画素領域 1 0 b の画素のうち、映像信号の黒基準に使われる画素を特に O P B 画素と称する。

【 0 0 9 4 】

しかしながら、それでも、背景技術の項で述べたように、種々の原因で、O P B 段差が発生する。本出願の発明者は、その原因を探求する過程で、原因を必ずしも明確に特定できないものの、従来対処できなかった原因に対して、製品ごとに簡易で適当なチューニングを行なう手法を見出した。これにより、原因の種類や数に拘わらず、現実的に暗電流起因以外の O P B 段差の問題を改善することができるようになった。

40

【 0 0 9 5 】

以下、先ず、この探求について概説し、その後、現実的に O P B 段差問題を改善する具体的な手法について説明する。

【 0 0 9 6 】

トランジスタ起因の O P B 段差が発生する原因は、

1 ) 遮光層と、回路の各ノードの間のカップリングが、遮光層のあるなしにより、微妙に

50

異なる、

2) 製造工程で、遮光層のエッチング工程や、遮光層の上の、パッシベーション膜形成工程や色フィルタ形成工程やオンチップレンズ形成工程で、酸化膜中の電荷分布や半導体界面の状態がOPB部と有効部で微妙に異なる影響を受ける、などがあり、これら原因全てに対策するのは容易ではない。

【0097】

ここで、この原因探求から分かることは、OPB段差が有効画像領域10aと基準画素領域10bでの電荷生成部32やトランジスタ特性のばらつきに起因する(トランジスタ起因)とはいっても、その根本原因は、たとえ電荷生成部32やトランジスタの各構造(プロセス構造を含む;以下同様)を同じにしておいても、遮光に関わる領域形成によって画素特性に微妙な違いを与えることによるものであるということである。

10

【0098】

したがって、画素構造を通常の構造とは異なるものとする、特に、たとえば電荷生成部32やトランジスタ特性を領域に応じて調整するなど、意図的に画素構造を領域に応じて異なるものとする、OPB段差がゼロとなるようにすることができると考えられる。つまり、OPB段差を改善するために、次の2つの手法の何れかを用いることが有効であると考えることができる。

【0099】

第1の手法;単位画素3を構成するトランジスタ特性を有効画像領域10aと基準画素領域10bで異ならせる。

20

【0100】

第2の手法;単位画素3を構成するフォトダイオードなどでなる電荷生成部32のプロセス構造を、有効画像領域10aと基準画素領域10bで異ならせる。

【0101】

図4は、OPB段差の測定結果の一例を示す図である。ここでは、室温、入射光なしの環境で電子シャッタを最短時間で切り、暗電流は無視できる状態でのOPB段差の測定結果の例を示している。

【0102】

有効画像領域10aに対して、 $-0.25\text{ mV}$ のOPB段差、すなわち基準画素領域10bの画素(OPB画素)の信号レベルに対して有効画像領域10aの画素(有効画素)の信号レベルの方が高くなる正極性OPB段差が発生している。もちろん、この正極性OPB段差は一例であって、画素構造によっては、この図の例とは逆に、基準画素領域10bの画素(OPB画素)の信号レベルに対して有効画像領域10aの画素(有効画素)の信号レベルの方が低くなる負極性OPB段差が発生することもある。ただし、画素のプロセス構造を決めると、OPB段差の極性は一意的に決まる。

30

【0103】

このようなOPB段差は、暗電流のような温度とともに指数関数的に増大したり、電子シャッタのシャッタ時間に比例して増大する成分ではなく、比較的ほぼ一定の段差が保たれる成分である。

【0104】

このように、有効画像領域10aと基準画素領域10bの単位画素3の構造における領域依存による微妙な特性差がOPB段差を引き起こす。特に電荷生成部32や各トランジスタの微妙な特性差がOPB段差を引き起こすが、領域に応じて電荷生成部32やトランジスタ特性を意図的に異なるように調整することで、OPB段差をゼロにし得る。

40

【0105】

ただし、トランジスタの特性を変えるための通常の方法は $100\text{ mV}$ とか $100\text{ uA}$ とかいうレベルの変化を引き起こすためのものであり、 $0.1\sim 0.5\text{ mV}$ というレベルのOPB段差へ全てそのまま使ってよいわけではない。

【0106】

画素信号を読み出す際には、一般的には、単位画素3からは、フローティングディフュ

50

ージョン 3 8 をリセットした後のレベルと、フローティングディフュージョン 3 8 に光電子を転送した後のレベルを出し、その差を取って実際の画素信号とする。この処理の典型例が、CDS 処理である。CDS 処理を行なうことで、画素ごとの固定ばらつきによる固定パターンノイズ (FPN) やリセットノイズといわれるノイズ信号成分を取り除くことができる。

【0107】

しかしながら、それでも、このレベルでばらつきが少ないように有効画像領域 10 a と基準画素領域 10 b (OPB 部) のレベルを調整するのは難しい。たとえば、画素信号の出力を行なうのは増幅用トランジスタ 4 2 であるが、増幅用トランジスタ 4 2 のチャンネル部へのイオン注入によって基準画素領域 10 b と有効画像領域 10 a に閾値差をつけて調整することは、可能であるが難しい。

10

【0108】

つまり、領域に応じてトランジスタ特性を調整することで OPB 段差をゼロにするに当たっては、原理的にはどのトランジスタで調整してもよいが、前述のように、増幅用トランジスタ 4 2 の特性調整ではレベル変動が大きく、0.1 ~ 0.5 mV 程度の微調整が難しい。

【0109】

これに対し、実験によれば、OPB 段差を改善するための上述した第 1 および第 2 の手法の具現化に当たっては、特に次の 2 つの手法の何れかを用いることが有効であった。

【0110】

第 1 の手法；読出選択用トランジスタ 3 4 の特性を調整すると、出力の DC レベルに直接影響させず、微妙な出力レベルの変更を容易に行なうことができた。この際、転送ゲート 3 4 G の幅を規定する素子分離または P ウェルの幅を、有効画像領域 10 a と基準画素領域 10 b で異ならせるのが特によい。

20

【0111】

第 2 の手法；フォトダイオードなどでなる電荷生成部 3 2 のイオン注入プロファイルを、有効画像領域 10 a と基準画素領域 10 b で異ならせるのがよい。

【0112】

ここで第 1 の手法については、暗時の画素出力特性には基本的には影響しないと思われる読出選択用トランジスタ (転送トランジスタ) 3 4 の特性をずらす手法の 1 つである。

30

【0113】

< 単位画素の構造；第 1 実施形態 >

図 5 は、OPB 段差を改善するための単位画素 3 の構造の第 1 実施形態を説明する図である。図 6 は、その素子断面 (z - z 線断面) の構造例を示す図である。

【0114】

第 1 実施形態は、上記第 1 の手法を、転送ゲート幅を規定する素子分離 3 3 を有効画像領域 10 a と基準画素領域 10 b で異ならせることで、トランジスタ特性を領域別に調整する態様である。

【0115】

図示した例では、有効画像領域 10 a および基準画素領域 10 b の何れについても、転送ゲート 3 4 G は、電荷生成部 3 2 用の活性化領域 3 2 a に対して、素子分離 3 3 との境界の内の図中の左下側において左辺 3 2 L (Left) および下辺 3 2 B (Bottom) に亘って L 字型に形成されている。この場合、トータルの転送ゲート幅 3 4 G W は、素子分離 3 3 よりも内側の活性化領域 3 2 a 上の転送ゲート 3 4 G の幅で規定され、具体的には、図中に示す縦の転送ゲート幅 3 4 G L (Length) と横の転送ゲート幅 3 4 G S (Side) との和である。

40

【0116】

ここで、転送ゲート幅を規定する素子分離 3 3 を有効画像領域 10 a と基準画素領域 10 b で異ならせるに当たっては、有効画像領域 10 a と基準画素領域 10 b の何れか一方に関して、縦の転送ゲート幅 3 4 G L と横の転送ゲート幅 3 4 G S の少なくとも一方を調

50



整すればよい。ゲート幅を調整することでトランジスタの閾値を調整でき、結果的には、ゲート幅を領域ごとに異なるようにすれば、OPB段差などの基準レベル段差を、その発生原因に拘らず、小さくなるようにすることができる。

#### 【0117】

一例としては、図5(A)および図6(A)に示すように有効画像領域10aの単位画素3(有効画素)については通常の素子分離33の構造としつつ、図5(B)および図6(B)に示すように、有効画像領域10aの活性化領域32aの左辺32Lよりも内側(図中の右)に素子分離33を寄せることで、基準画素領域10bの横の転送ゲート幅34GSを有効画像領域10aについてよりも短く調整すればよい。

#### 【0118】

もちろん、図5(A)では、一方(図中の左側)の素子分離33を寄せて転送ゲート幅34GSを短くしているが、図5(C)に示すように、もう一方(図中の下側)を寄せる、すなわち有効画像領域10aの活性化領域32aの下辺32Bよりも内側(図中の上)に素子分離33を寄せることで、基準画素領域10bの縦の転送ゲート幅34GLを有効画像領域10aについてよりも短く調整してもよい。あるいは図5(D)に示すように、図5(B)と図5(C)の各態様を組み合わせて、両方を寄せてもよい。

#### 【0119】

<単位画素の構造；第2実施形態>

図7は、OPB段差を改善するための単位画素3の構造の第2実施形態を説明する図である。図8は、その素子断面(z-z線断面)の構造例を示す図である。

#### 【0120】

第2実施形態は、上記第1の手法を、転送ゲート幅を規定するPウェル幅32PWを有効画像領域10aと基準画素領域10bで異ならせることで、トランジスタ特性を領域別に調整する態様である。つまり、単位画素3の光電変換素子が設けられる電荷生成部32にPウェルを形成しない部分を持たせ、そのエッジ位置が領域ごとに異なるものとする。特に、転送ゲート34G下でのエッジ位置を領域ごとに異なるものとする。

#### 【0121】

たとえば、ここでも、有効画像領域10aおよび基準画素領域10bの何れについても、転送ゲート34Gは、電荷生成部32用の活性化領域32aに対して、図中の左下側において左辺32L(Left)および下辺32B(Bottom)に亘ってL字型に形成されている。この場合、トータルの転送ゲート幅34GWは、縦のPウェル幅32PL(Length)と横のPウェル幅32PS(Side)の影響を受ける。具体的には、トータルの転送ゲート幅34GWは、素子分離33よりも内側に設けられる境界32BD(BounDary)より内側の活性化領域32a上の転送ゲート34Gの幅で規定され、図中に示す縦の転送ゲート幅34GBL(Boundary Length)と横の転送ゲート幅34GBS(Boundary Side)との和である。

#### 【0122】

よって、転送ゲート幅を規定するPウェル幅32PWを有効画像領域10aと基準画素領域10bで異ならせるに当たっては、有効画像領域10aと基準画素領域10bの何れか一方に関して、縦の転送ゲート幅34GBLと横の転送ゲート幅34GBSの少なくとも一方を調整すればよい。

#### 【0123】

一例としては、基準画素領域10bのPウェルの境界を寄せて転送ゲート幅を調整することができる。たとえば、先ず、図7(A)および図8(A)に示すように、有効画像領域10aの単位画素3(有効画素)については、電荷生成部32用の活性化領域32aには、素子分離33のさらに内部において、境界32BD(BounDary)より内側に、Pウェル(well)を形成していない部分を設ける。

#### 【0124】

具体的には、図8(A)に示すように、N-基板上にPウェルを形成し、電荷生成部32と読出選択用トランジスタ34とフローティングディフュージョン38部分に、より低

10

20

30

40

50

濃度の  $n$  基板領域 ( $n\_Sub$ ) を設け、この  $n$  基板領域 ( $n\_Sub$ ) 上に電荷生成部 32 をなす  $p-n$  接合を設けるようにする。

【0125】

そして、図7(B)および図8(B)に示すように、有効画像領域10aの活性化領域32aの境界32BDの左辺32BLよりも内側(図中の右)に境界32BDを寄せる、すなわち  $n$  基板領域 ( $n\_Sub$ ) を寄せることで、基準画素領域10bの横の転送ゲート幅34GBSを有効画像領域10aについてよりも短く調整すればよい。

【0126】

もちろん、図7(A)では、一方(図中の左側)の境界32BDを寄せて横の転送ゲート幅34GBSを短くしているが、図7(C)に示すように、もう一方(図中の下側)を寄せる、すなわち有効画像領域10aの活性化領域32aの境界32BDの下辺32BBよりも内側(図中の右)に境界32BDを寄せることで、基準画素領域10bの縦の転送ゲート幅34GBLを有効画像領域10aについてよりも短く調整してもよい。あるいは図7(D)に示すように、図7(B)と図7(C)の各態様を組み合わせ、両方を寄せてもよい。

【0127】

< 実験結果 ; 第2実施形態 >

図9~図12は、上述した第2実施形態を適用した場合における実験結果の例を示した図である。ここで図9は、図4に示した特性を持つデバイス(正極性OPB段差が発生するデバイス)を基本としつつ、有効画像領域10aと基準画素領域10bのPウェル形状を図10~図12に示すように色々振って条件振りした結果を示している。

【0128】

有効画像領域10aと基準画素領域10bのPウェル形状を異なるものとするように調整するに当たっては、たとえば基準画素領域10bのPウェルエッジ位置を基準画素領域10bに対して $+0.1\mu m \sim -0.1\mu m$ 程度の範囲で振って実験し、最もよいところに決めるのがよい。

【0129】

たとえば、本実験においては、Pウェル形状の条件振りとして、基準形状(Ref)、転送ゲート(TRF)下のみ寄せる、転送ゲート(TRF)下以外の部分を寄せる、全周に渡って寄せる、の4種類を用意し、有効画素とOPB画素のそれぞれについて振った。

【0130】

具体的には、図10(A)が、有効画素とOPB画素のそれぞれに関して基準形状(Ref)とした条件Aである。図10(B)が、有効画素とOPB画素のそれぞれに関して転送ゲート(TRF)下のみ寄せた条件Bである。図10(C)が、有効画素とOPB画素のそれぞれに関して転送ゲート(TRF)下以外の部分を寄せた条件Cである。

【0131】

また図11(A)が、有効画素とOPB画素のそれぞれに関して全周に渡って寄せた条件Dである。図11(B)が、有効画素は基準形状(Ref)としつつOPB画素は転送ゲート(TRF)下のみ寄せた条件Eである。図11(C)が、有効画素は基準形状(Ref)としつつOPB画素は転送ゲート(TRF)下以外の部分を寄せた条件Fである。

【0132】

また、図12(A)が、有効画素は基準形状(Ref)としつつOPB画素は全周に渡って寄せた条件Gである。図12(B)が、有効画素は転送ゲート(TRF)下のみ寄せつつOPB画素は基準形状(Ref)とした条件Hである。図12(C)が、有効画素は転送ゲート(TRF)下のみ寄せつつOPB画素は全周に渡って寄せた条件Iである。

【0133】

図9の実験結果から分かるように、有効画像領域10aと基準画素領域10bのPウェル形状を通常構造と異なるものとするすることで、OPB段差レベルの制御ができる。ここで、本実験結果によれば、転送ゲート下が、転送ゲート下以外の箇所よりも適当な大きさで効いていることが分かる。

10

20

30

40

50

## 【0134】

飽和信号量は600mV程度あればよいので、図9中の矢印の条件(条件I)、すなわち、有効画素は転送ゲート下のみ基準よりも寄せ、OPB画素は全周に亘って基準より寄せる条件Iが最もOPB段差レベルが小さくなっているため、この条件Iを与える構造を採用するのがよいということになる。有効画素およびOPB画素のそれぞれを全周に亘って基準より寄せる条件Dは、飽和信号量の低下が大きく採用することができない。

## 【0135】

ところで第1の手法は、暗時の画素出力特性には基本的には影響しないと思われる読出選択用トランジスタ34の特性をずらす手法の1つであるため、上述した第1あるいは第2実施形態の手法に限らず、この趣旨に沿った他の方法を用いて、有効画像領域10aと基準画素領域10bの読出選択用トランジスタ34の構造を異ならせることでOPB段差レベルを制御することができる。

10

## 【0136】

たとえば、転送ゲート34G下にイオン注入をして、それを有効画像領域10aと基準画素領域10bで異ならせる手法を採ることができる。イオン注入条件を調整すれば、トランジスタの閾値を調整できる。よって、領域ごとにイオン注入条件を異なるようにすると、領域ごとに閾値を異なるようにすることができ、結果的には、OPB段差が小さくなるようにすることができる。

## 【0137】

また、読出選択用トランジスタ34のゲート長を調整する手法を採ることができる。すなわち、単位画素3内の読出選択用トランジスタ34のゲート長を調整することでトランジスタの閾値を調整でき、結果的には、ゲート長を領域ごとに異なるようにすればOPB段差などの基準レベル段差を、その発生原因に拘らず、小さくなるようにすることができる。

20

## 【0138】

通常電気回路の知識では、リセットトランジスタ36、垂直選択用トランジスタ40、増幅用トランジスタ42は、暗時の画素出力レベルに影響するが、読出選択用トランジスタ34は、影響しないことになっている。しかし実際には、画素内の微妙なポテンシャルの差によって、小さな影響を及ぼす。これを利用し、読出選択用トランジスタ34の特性を調整することで、0.5mV以下のような微妙な調整を比較的容易に行なうことができる。

30

## 【0139】

なお、ここでの変形例の説明として、ゲート長を領域ごとに異なるものとする仕組みを説明したが、もちろん、ゲート長とゲート幅の双方を領域ごとに異なるように調整することもできる。ゲート長とゲート幅の少なくとも一方を調整すればよく、何れを対象として調整するかは、デバイスの構成のし易さから決めるのがよい。たとえば、デバイス設計に当たっては、ゲート幅を変えると他の部分のレイアウトも変更する必要が生じるケースがある。このような場合には、ゲート長の変更で対処するのが好ましい。

## 【0140】

<単位画素の構造；第3実施形態>

40

図13～図15は、OPB段差を改善するための単位画素3の構造の第3実施形態を説明する図である。ここで図13は、正極性OPB段差が発生するデバイスを基本としつつ、有効画像領域10aと基準画素領域10bのイオン注入条件を図14および図15に示すように色々振って条件振りした結果を示している。

## 【0141】

第3実施形態は、上記第2の手法を適用して、光電変換素子としてのフォトダイオードやフォトゲートなどでなる電荷生成部32の不純物分布つまりイオン注入プロファイルを、有効画像領域10aと基準画素領域10bで異ならせることで、トランジスタ特性を領域別に調整する態様である。

## 【0142】

50

フォトダイオードの製造工程では、フォトマスクを用いてレジストをパターンニングし、イオン注入で形成するが、ここで有効画像領域10aと基準画素領域10bで形状が異なるフォトマスクを用いる。

【0143】

フォトダイオードは、暗電流成分を除いた出力レベルには通常は無関係と思われるが、イメージセンサのような繊細なアナログ回路では、これも微小な影響を与える。

【0144】

ここで、イオン注入プロファイルを有効画像領域10aと基準画素領域10bで異ならせるに当たっては、たとえば第1の方法として、フォトダイオードを1枚のフォトマスクで形成し、その形状を有効画像領域10aと基準画素領域10bで違えるようにする手法

10

【0145】

また別の方法(第2の方法)としては、フォトダイオードを複数のマスクで形成し、1枚のマスクでは基準画素領域10bにイオン注入し、他の1枚のマスクでは有効画像領域10aにイオン注入する手法を採ることができる。あるいは第1の方法と第2の方法を組み合わせた手法を採ることもできる。

【0146】

<実験結果;第3実施形態>

たとえば、本実験においては、図14および図15に示すように、N-基板の上にPウェルを形成し、電荷生成部32と読出選択用トランジスタ34とフローティングディフュージョン38部分に、より低濃度のn基板領域(n-Sub)を設け、このn基板領域(n-Sub)上に電荷生成部32をなすpn接合を設けたデバイスを対象とする。

20

【0147】

また、n基板領域(n-Sub)上にフォトダイオードとしての電荷生成部32をなすpn接合のn型層を浅い部分と深い部分のイオン注入で形成する、すなわちフォトダイオードのn型層を2層構造にすることを基本とする。換言すれば、電荷生成部32をなす光電変換素子(フォトダイオードなど)が深さの異なる同極性(本例ではn型の同一物質)の複数条件の不純物イオン注入により形成されているものとする。

【0148】

そして、この場合において、有効画像領域10aと基準画素領域10bの両方にイオン

30

【0149】

具体的には、図14(A)がOPB画素と有効画素のそれぞれを浅い位置と深い位置の何れもイオン注入をした条件A、図14(B)がOPB画素では深い位置のイオン注入をしない条件B、図15(A)がOPB画素では浅い位置と深い位置ともイオン注入をしない条件C、図15(B)がOPB画素では浅い位置のイオン注入をしない条件Dである。

【0150】

「イオン注入をしない」条件では不純物濃度が薄くなり、「イオン注入をする」条件では不純物濃度が濃くなるので、この操作を領域ごとに異なるものとするすることで、不純物濃度が領域ごとに異なるものとすることができる。

40

【0151】

OPB画素において、浅い位置と深い位置の双方ともイオン注入をしない条件Cの場合でも、n基板領域(n-Sub)の濃度があるので、実際には、電荷生成部32のp層の下に薄いn領域が形成される。本デバイスは暗電流が十分小さいので、OPB画素はフォトダイオードのpn接合がなくとも構わない。

【0152】

図13の実験結果から分かるように、有効画像領域10aと基準画素領域10bの電荷

50

生成部32をなすn型層へのイオン注入条件を異ならせることで、OPB段差レベルの制御ができる。ここで、本実験結果によれば、OPB段差を十分小さくするには、OPB画素では深い位置のイオン注入をしない条件Bを採用するとよいことが分かった。要するに、微小な調整をするには、深い位置でイオン注入濃度を調整する方が容易であるということである。

【0153】

電荷生成部32をなすn型層へのイオン注入条件を異ならせることによって、近接する読出選択用トランジスタ34やフローティングディフュージョン38との間の容量形成を微妙に調整することができ、その結果として読出選択用トランジスタ34の特性を微妙に調整できていると考えることができる。

10

【0154】

以上説明したように、上記第1～第3実施形態を適用して、有効画像領域10aと基準画素領域10bの画素構造を意図的に異ならせることで、OPB段差レベルの制御ができる。よって、典型的なMOS型固体撮像装置などのように、画素内に増幅機能を持つ回路（画素内アンプ）を備えた半導体装置において存在する、暗電流起因以外の基準レベル段差（典型的にはOPB段差）を、その発生原因によらず低減することができる。これにより、黒レベルが浮いたり沈んだり、あるいはそのせいで低照度で色が変わってしまうなどの問題現象を低減することができる。

【0155】

以上、本発明を実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

20

【0156】

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

30

【0157】

たとえば上記第2および第3実施形態では、基準画素領域10bの画素（OPB画素）の信号レベルに対し有効画像領域10aの画素（有効画素）の信号レベルの方が高くなる正極性OPB段差が発生するデバイスを対象に、OPB段差を低減する具体的な条件を実験により特定したが、負極性OPB段差が発生するデバイスの場合にも、上記第1～第3実施形態の手法の何れかもしくは任意の組合せにより、OPB段差を低減することができる。たとえば、図9に示した実験結果から、有効画素は転送ゲート（TRF）下のみ寄せつつOPB画素は基準形状（Ref）とした条件Hを採用するのがよいと考えられる。

【0158】

また、上記実施形態では、単位画素を構成するトランジスタの特性や電荷生成部のプロセス構造を、有効画像領域と基準画素領域で異ならせることでOPB段差を低減するに当たって、0.1～0.5mVという低レベルのOPB段差を低減するため、微妙な調整が可能な仕組みとして、転送ゲートの幅を規定する素子分離またはPウェルの幅を調整して読出選択用トランジスタの特性を調整する、あるいは電荷生成部（フォトダイオードなど）のイオン注入プロファイルを調整する仕組みを詳細に説明した。

40

【0159】

しかしながら、単位画素を構成するトランジスタの特性を有効画像領域と基準画素領域で異ならせるものであればよく、その対象は、電荷生成部や読出選択用トランジスタに限定されない。

【0160】

50

たとえば、リセットトランジスタや選択トランジスタあるいは増幅用トランジスタを対象として、その形状やイオン注入条件（不純物分布）を調整することも原理的には可能である。第3実施形態のように複数のイオン注入条件を調整するに当たっては、同一物質の注入濃度を調整することに限らず、異なる物質の注入濃度を調整してもよい。

【0161】

何れにしても、上記実施形態の仕組みは、その趣旨を逸脱しない範囲で、種々に適用できる。もちろん、上記実施形態の仕組みを個別に適用することに限らず、任意に組み合わせて適用することもできる。

【0162】

たとえば、0.5mV程度以上の高レベルのOPB段差を持つデバイスに対しての適用に当たっては、第2および第3実施形態の双方の仕組みを適用することが考えられる。 10

【0163】

また、複数の手法の組合せに際しては、調整方向が同じ複数の手法を組み合わせることで、一方のみの調整よりも調整幅を大きくする態様に限らず、調整量の大小に拘らず調整方向が逆の複数の手法を組み合わせることで、一方のみの調整よりも調整幅を小さくする態様を採ることもできる。

【0164】

たとえば、一方では段差低減効果が大きい手法A（大）を採用しつつ、他方では逆方向に段差拡大効果が小さい手法B（小）を採用すれば、総合的な段差低減効果として、A（大）-B（小）というように、Aよりも小さいレベルでの調整ができる。すなわち、手法A（大）に対して、B（小）によって、逆極性で小さく調整することで、手法Aよりも調整幅が小さくなるものの、全体としては比較的大きな段差低減効果を得ることができる。 20

【0165】

また、単位画素を構成するトランジスタの特性や電荷生成部のプロセス構造を、有効画像領域と基準画素領域で異ならせることでOPB段差を低減するに当たっては、基準画素領域（たとえば遮光膜が形成されている領域）の全画素に対してプロセス構造が異なるような処置をすることは必須ではなく、映像信号の黒基準補正など、信号処理において必要となる基準画素を対象にすれば十分である。

【0166】

また、上記実施形態では、光や放射線などの外部から入力される電磁波に対して感応性をするCMOS型の固体撮像装置について例示したが、単位信号生成部を単位構成要素内に含む構造を持ち物理量の変化を検知するあらゆる装置に、上記実施形態で説明した仕組みを適用できる。光などに限らず、たとえば、指紋に関する情報を圧力に基づく電気的特性の変化や光学的特性の変化に基づき指紋の像を検知する指紋認証装置（特開2002-7984や特開2001-125734などを参照）など、その他の物理的な変化を検知する仕組みにおいて、有効な情報を取り込む有効領域とその周囲に設けられる基準領域との間で、指紋情報のない無入力の場合に生じ得る基準レベル段差を解消するために適用することができる。 30

【図面の簡単な説明】

【0167】

【図1】本発明に係る物理情報取得装置の一実施形態であるCMOS固体撮像装置の概略構成図である。 40

【図2】図1に示した固体撮像装置に使用される単位画素の構成例を示す図である。

【図3】単位画素の構造の基本形を説明する図である。

【図4】OPB段差の測定結果の一例を示す図である。

【図5】OPB段差を改善するための単位画素の構造の第1実施形態を説明する図である。

。

【図6】第1実施形態を適用した場合の素子断面（z-z線断面）の構造例を示す図である。

【図7】OPB段差を改善するための単位画素の構造の第2実施形態を説明する図である 50

。

【図 8】第 2 実施形態を適用した場合の素子断面（z - z 線断面）の構造例を示す図である。

【図 9】第 2 実施形態を適用した場合における実験結果の例を示した図である。

【図 10】第 2 実施形態の実験における P ウェル形状の条件を説明する図（その 1）である。

【図 11】第 2 実施形態の実験における P ウェル形状の条件を説明する図（その 2）である。

【図 12】第 2 実施形態の実験における P ウェル形状の条件を説明する図（その 3）である。

【図 13】OPB 段差を改善するための単位画素の構造の第 3 実施形態を説明する図である。

【図 14】第 3 実施形態の実験におけるイオン注入条件を説明する図（その 1）である。

【図 15】第 3 実施形態の実験におけるイオン注入条件を説明する図（その 2）である。

【図 16】固体撮像素子の撮像部の構成例を示した図である。

【符号の説明】

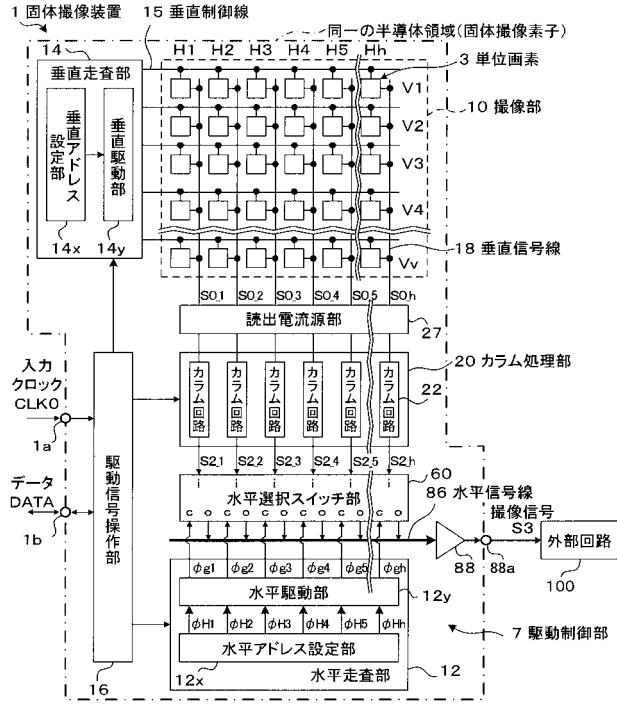
【0168】

1 ... 固体撮像装置、3 ... 単位画素、5 ... 画素信号生成部、7 ... 駆動制御部、10 ... 撮像部、10 a ... 有効画像領域、10 b ... 基準画素領域、10 c ... ダミー画像領域、15 ... 行制御線、16 ... 駆動信号操作部、18 ... 垂直信号線、20 ... カラム処理部、22 ... カラム信号処理部、32 ... 電荷生成部、33 ... 素子分離、34 ... 読出選択用トランジスタ、34 G ... 転送ゲート、36 ... リセットトランジスタ、36 G ... リセットゲート、38 ... フローティングディフュージョン、40 ... 垂直選択用トランジスタ、40 G ... 選択ゲート、42 ... 増幅用トランジスタ、42 G ... 増幅ゲート、51 ... 画素線、52 ... 垂直選択線、53 ... 垂直信号線、55 ... 転送ゲート配線、56 ... リセットゲート配線、86 ... 水平信号線、88 ... 出力回路、100 ... 外部回路、132 ... OPB 補正処理部

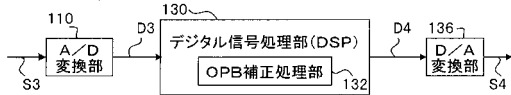
10

20

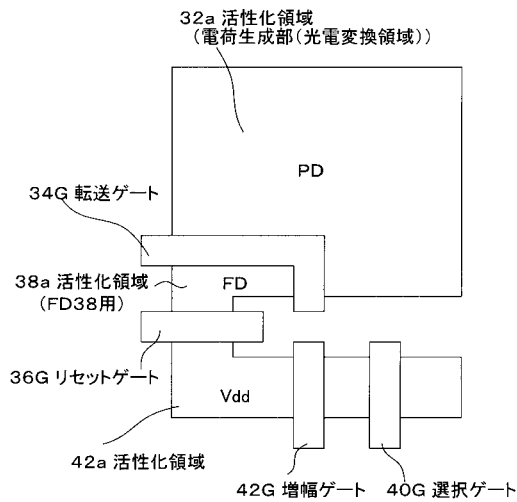
【図1】



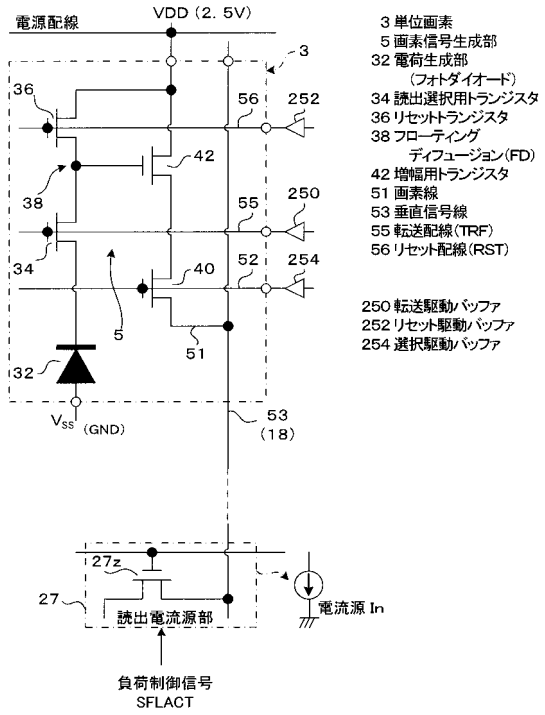
(B) 100 外部回路 (固体撮像素子とは別基板上に構成)



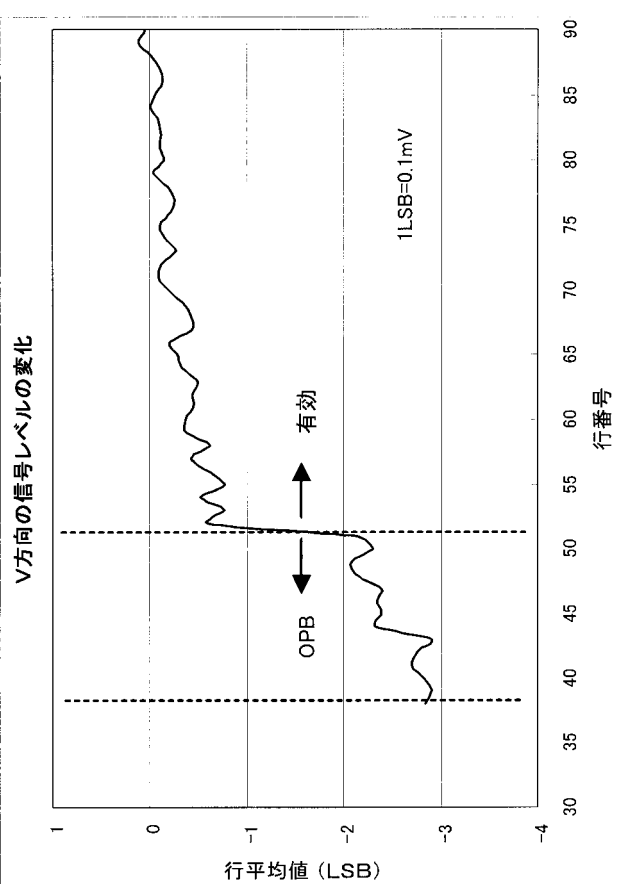
【図3】



【図2】

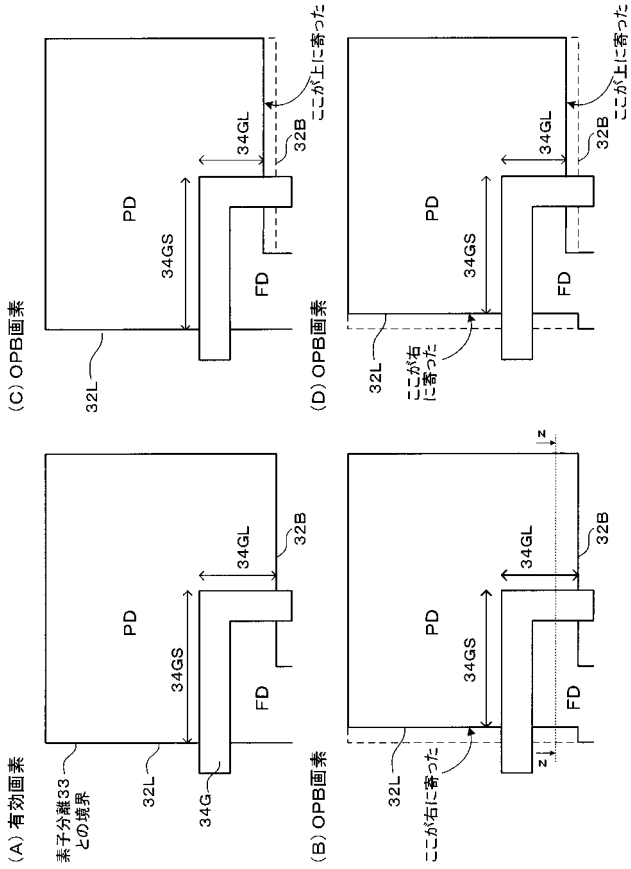


【図4】

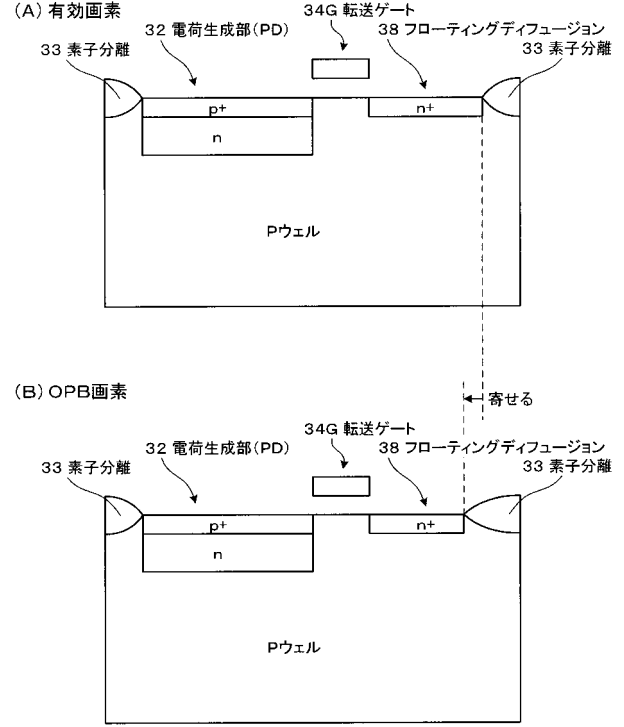




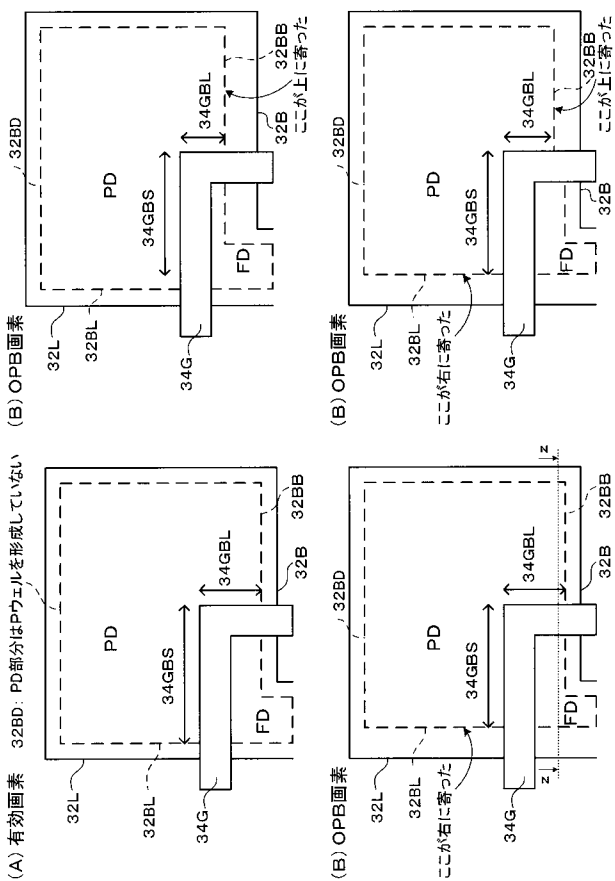
【 図 5 】



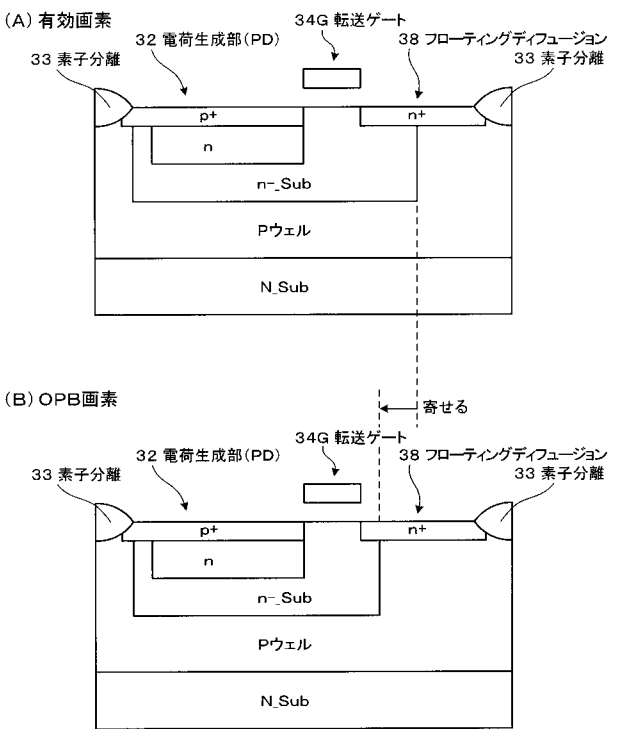
【 図 6 】



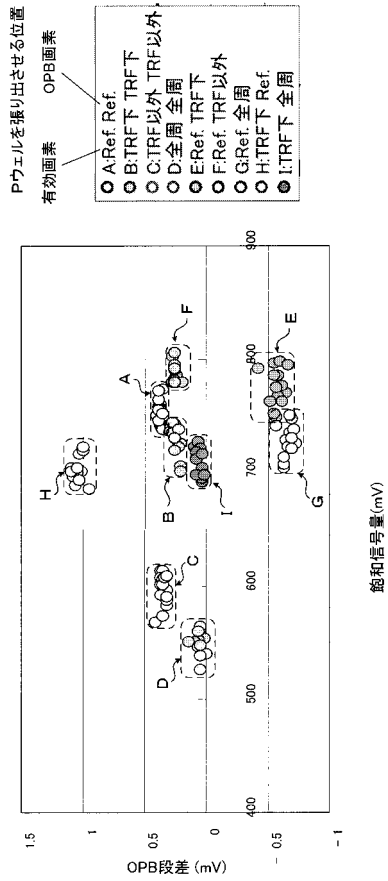
【 図 7 】



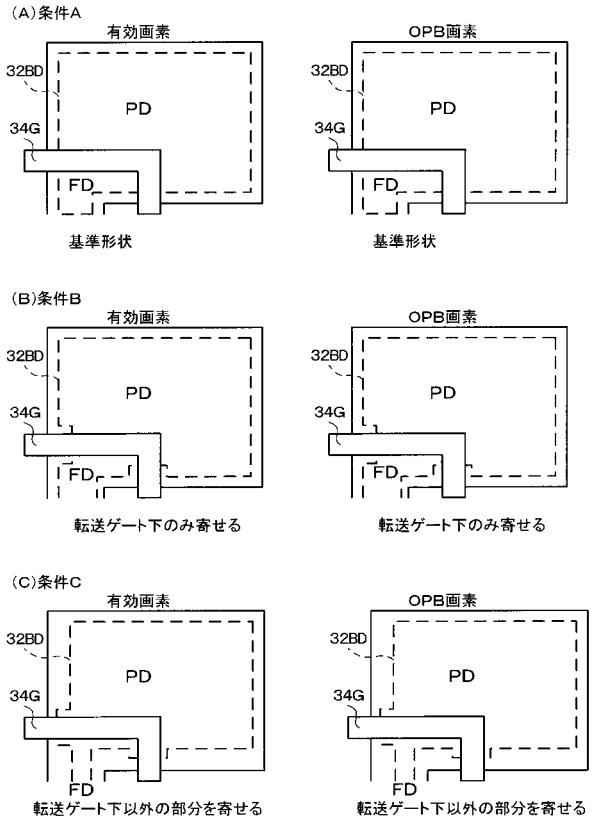
【 図 8 】



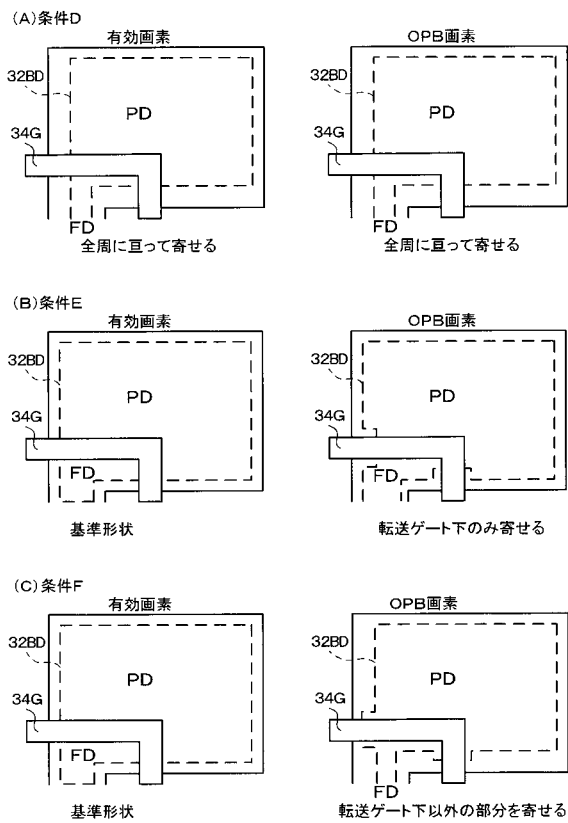
【図 9】



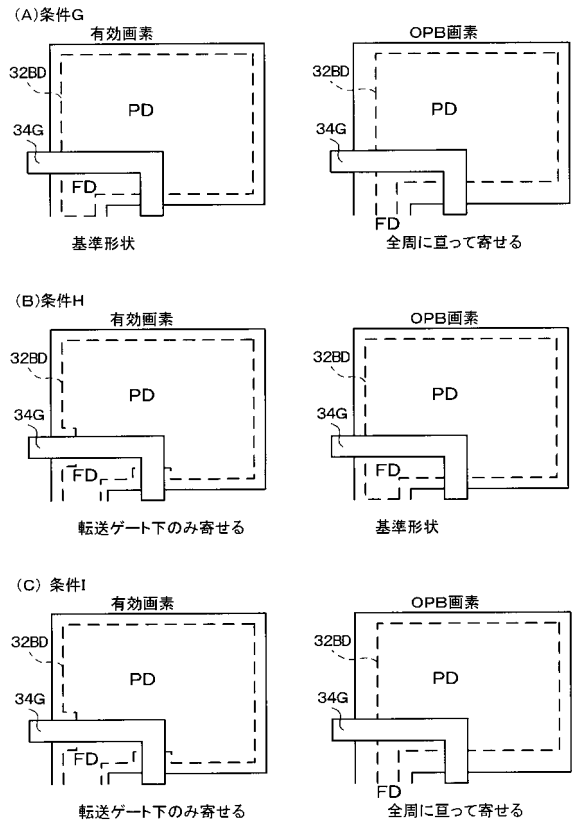
【図 10】



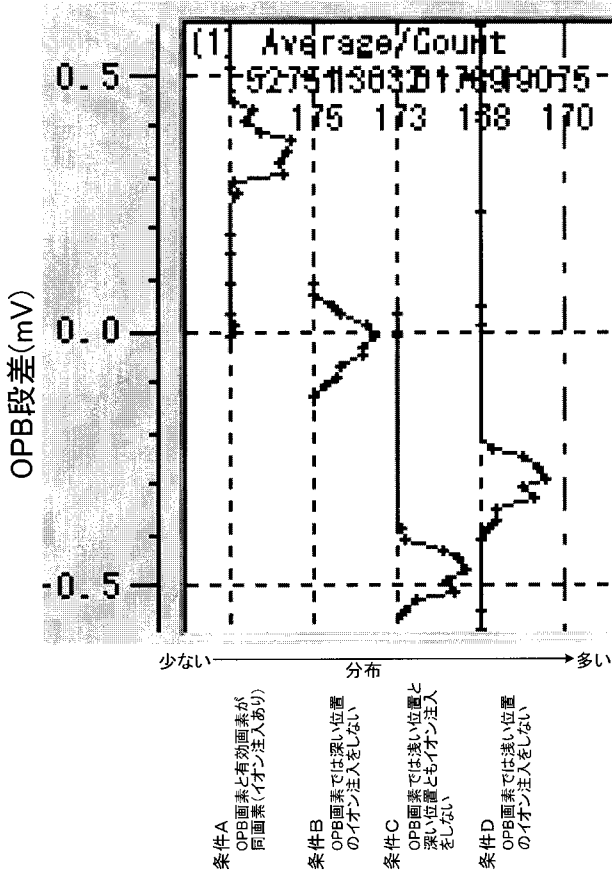
【図 11】



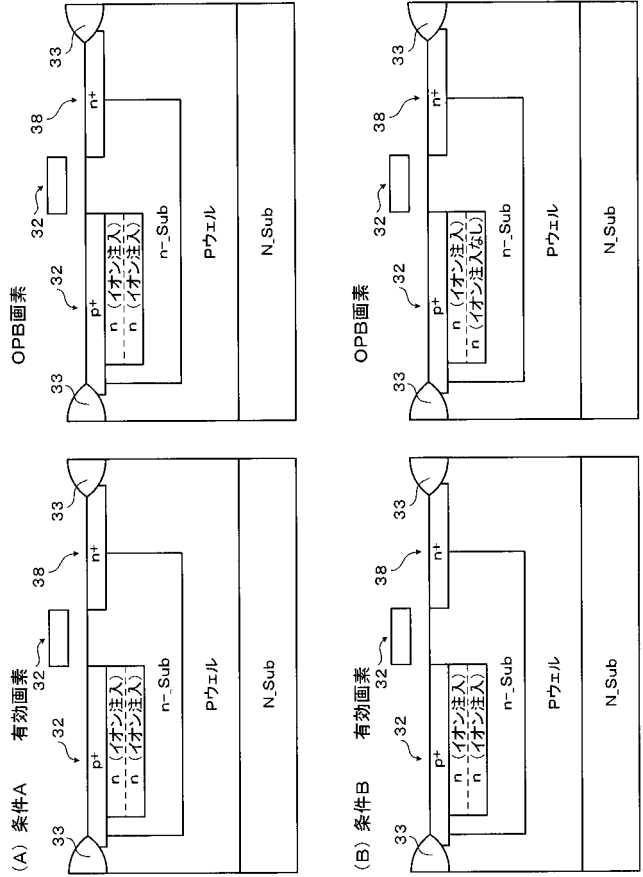
【図 12】



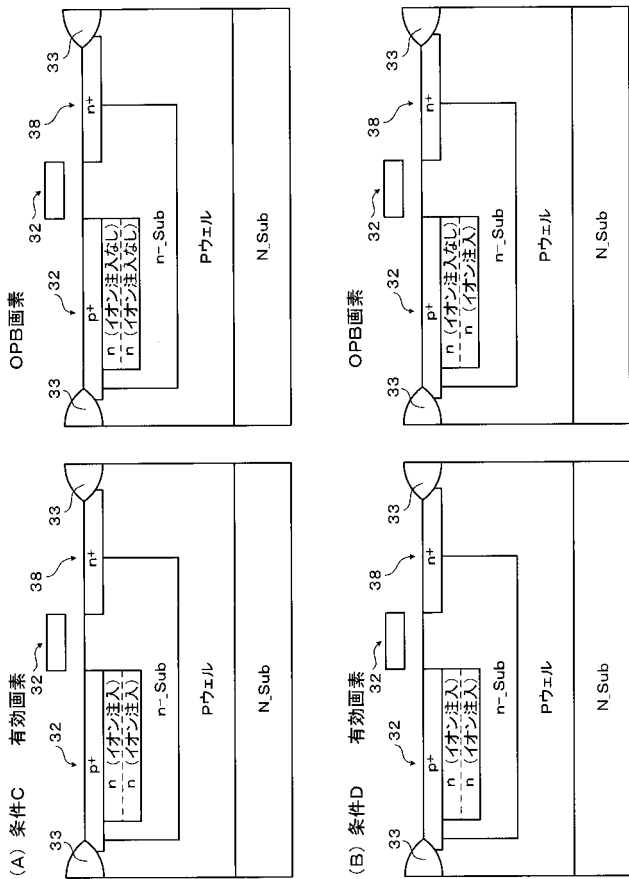
【 図 1 3 】



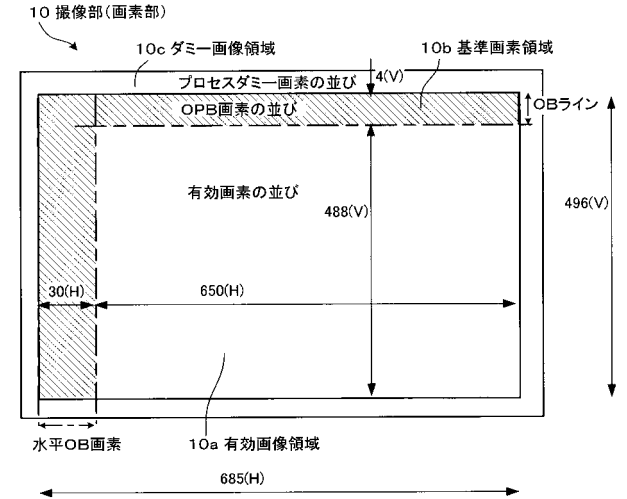
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



---

フロントページの続き

(72)発明者 中敷領 崇

東京都港区赤坂8丁目5番26号 赤坂DSビル 株式会社メイテック内

(72)発明者 松林 一成

福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内

(72)発明者 宮本 憲一郎

神奈川県横浜市神奈川区鶴屋町二丁目26番地2 株式会社ジャパンアウトソーシング内

Fターム(参考) 4M118 AB01 BA14 CA03 CA04 CA25 EA15 FA06 FA33 GB09

5C024 CX32 GX03 GX16 GY39 GZ36