

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7079328号
(P7079328)

(45)発行日 令和4年6月1日(2022.6.1)

(24)登録日 令和4年5月24日(2022.5.24)

(51)国際特許分類	F I			
H 0 1 L 21/336 (2006.01)	H 0 1 L	29/78	3 0 1 D	
H 0 1 L 29/78 (2006.01)	H 0 1 L	29/78	3 0 1 H	

請求項の数 7 (全9頁)

(21)出願番号	特願2020-530563(P2020-530563)	(73)特許権者	512154998 無錫華潤上華科技有限公司 CSMC TECHNOLOGIES F AB2 CO., LTD. 中華人民共和国, 214028, 江蘇省 無錫市新区新洲路8号 No. 8 Xinzhou Road W uxi New District, Ji angsu 214028 China
(86)(22)出願日	平成30年12月5日(2018.12.5)	(74)代理人	110000291 特許業務法人コスモス国際特許商標事務 所
(65)公表番号	特表2021-506118(P2021-506118 A)	(72)発明者	何 乃龍 中華人民共和国江蘇省無錫市新区新洲路 8号, 214028
(43)公表日	令和3年2月18日(2021.2.18)		
(86)国際出願番号	PCT/CN2018/119252		
(87)国際公開番号	WO2019/109924		
(87)国際公開日	令和1年6月13日(2019.6.13)		
審査請求日	令和2年6月4日(2020.6.4)		
(31)優先権主張番号	201711278066.7		
(32)優先日	平成29年12月6日(2017.12.6)		
(33)優先権主張国・地域又は機関	中国(CN)		
前置審査			

最終頁に続く

(54)【発明の名称】 LDMOSデバイスの製造方法

(57)【特許請求の範囲】

【請求項1】

第一導電タイプのドーブ領域が形成され、前記第一導電タイプのドーブ領域内にトップ埋込層が形成され、前記トップ埋込層上にフィールド酸化絶縁層構造が形成されたウェハを取得することと、

前記トップ埋込層とフィールド酸化絶縁層構造まで伸びさせて前記トップ埋込層の一部を除去するように、前記第一導電タイプのドーブ領域にトレンチを開口することと、第二導電タイプのイオンを注入して、前記トレンチの下にウェル領域を形成することと、前記ウェル領域内にソースドーブ領域を形成することと、を含み、前記第一導電タイプと第二導電タイプは互いに逆となるものであり、前記した前記第一導電タイプのドーブ領域にトレンチを開口することは、前記フィールド酸化絶縁層構造をハードマスクとしてエッチングを行うことであることを特徴とするLDMOSデバイスの製造方法。

【請求項2】

前記した前記第一導電タイプのドーブ領域にトレンチを開口することにより形成されたトレンチの底部は、前記トップ埋込層の底部よりも低いことを特徴とする、請求項1に記載の方法。

【請求項3】

前記した第一導電タイプのドーブ領域が形成され、前記第一導電タイプのドーブ領域内にトップ埋込層が形成され、前記トップ埋込層上にフィールド酸化絶縁層構造が形成された

ウェハを取得することは、
前記第一導電タイプのドーブ領域内に前記トップ埋込層を形成することと、
前記トップ埋込層を部分的に覆うように前記トップ埋込層上に前記フィールド酸化絶縁層構造を形成することと、を含み、
前記トップ埋込層は、前記トレンチに近い箇所における一部が前記フィールド酸化絶縁層構造の下から露出していることを特徴とする、請求項 1 に記載の方法。

【請求項 4】

第一導電タイプのドーブ領域にトレンチを開口した後に、前記トレンチの底部及び前記トレンチにおけるトップ埋込層に近い側壁において連続したゲート酸化構造を形成することを含むことを特徴とする、請求項 1 に記載の方法。

10

【請求項 5】

前記ゲート酸化構造は、さらに前記フィールド酸化絶縁層構造の表面の一部まで伸びていることを特徴とする、請求項 4 に記載の方法。

【請求項 6】

前記したウェル領域内にソースドーブ領域を形成することは、前記ウェル領域内に第一導電タイプのソースドーブ領域と第二導電タイプのソースドーブ領域を形成することであり、第一導電タイプのソースドーブ領域が位置する箇所は第二導電タイプのソースドーブ領域よりも前記トップ埋込層に近いことを特徴とする、請求項 1 に記載の方法。

【請求項 7】

前記第一導電タイプのドーブ領域内にドレインドーブ領域を形成することをさらに含み、前記ドレインドーブ領域と前記ソースドーブ領域は前記フィールド酸化絶縁層構造により離間され、前記ドレインドーブ領域は第一導電タイプを有することを特徴とする、請求項 6 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LDMOS (Laterally Diffused Metal Oxide Semiconductor、横方向拡散金属酸化物半導体) の技術分野に関し、特に LDMOS デバイス及びその製造方法に関する。

【背景技術】

30

【0002】

現在の LDMOS デバイスでは、double resurf (ダブルリサーフ) LDMOS デバイスは典型的なものとして知られている。ダブルリサーフ LDMOS デバイスは、ポリシリコンゲートフィールドプレート/金属フィールドプレートとドリフト領域表面の p 型ドーブ領域との協力によりその表面電界を低減することで、高いソースドレイン降伏電圧 (BV と略記) と低いオン抵抗が得られるものであるが、電流通路が JFET 領域 (pn 接合型の電界効果トランジスタの領域) を経過しているから、JFET 領域の大きさやドーブ濃度により LDMOS デバイスのオン抵抗が制限されるようになってしまい、JFET 領域の大きさやドーブ濃度が大きいほど、LDMOS デバイスのオン抵抗が大きくなるが、高いソースドレイン降伏電圧を保証するには、一定のオン抵抗を犠牲にする必要があった。

40

【発明の概要】

【発明が解決しようとする課題】

【0003】

以上に鑑みて、本発明は LDMOS デバイス及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0004】

第一導電タイプのドーブ領域が形成され、前記第一導電タイプのドーブ領域内にトップ埋込層が形成され、前記トップ埋込層上にフィールド酸化絶縁層構造が形成されたウェハを

50

取得することと、

前記トップ埋込層とフィールド酸化絶縁層構造まで伸びさせて前記トップ埋込層の一部を除去するように、前記第一導電タイプのドーブ領域にトレンチを開口することと、第二導電タイプのイオンを注入して、前記トレンチの下にウェル領域を形成することと、前記ウェル領域内にソースドーブ領域を形成することと、を含み、前記第一導電タイプと第二導電タイプは互いに逆となるものであることを特徴とする L D M O S デバイスの製造方法。

【 0 0 0 5 】

基板と、

前記基板上に設けられ、ドリフト領域として用いられる第一導電タイプのドーブ領域と、前記第一導電タイプのドーブ領域に開口されたトレンチと、第二導電タイプを有し、前記トレンチの下に設けられたウェル領域と、前記ウェル領域内に設けられたソースドーブ領域と、第二導電タイプを有し、前記第一導電タイプのドーブ領域内に設けられ、一端が前記トレンチまで伸びているトップ埋込層と、前記トップ埋込層の上に設けられ、一端が前記トレンチまで伸びているフィールド酸化絶縁層構造と、を備え、前記第一導電タイプと第二導電タイプは互いに逆となるものであることを特徴とする L D M O S デバイス。

【 0 0 0 6 】

前記トレンチの底部は前記トップ埋込層の底部よりも低いことを特徴とする。

【 0 0 0 7 】

本発明にかかる一つ又は複数の実施例の詳細は以下の図面と説明において述べられる。本発明のその他の特徴や目的及び利点は、明細書、図面及び特許請求の範囲から明らかになる。

【 0 0 0 8 】

図面に示される本発明の好ましい実施例についてのさらなる具体的な説明によれば、本発明の上記した及びその他の目的や特徴及び優位性は一層明らかになる。すべての図面において、同一の記号は同一の部分を示し、実寸法の割合に従って拡大縮小させるように図面を描いておらず、本発明の要旨を示すことが重要となる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】一実施例における L D M O S デバイスの構造模式図である。

【図 2】他の実施例における L D M O S デバイスの構造模式図である。

【図 3】一実施例における L D M O S デバイスの製造方法のフロー模式図である。

【図 4】一実施例における L D M O S デバイスの製造過程中の L D M O S デバイスの構造模式図である。

【図 5】他の実施例における L D M O S デバイスの製造過程中の L D M O S デバイスの構造模式図である。

【図 6】さらに他の実施例における L D M O S デバイスの製造過程中の L D M O S デバイスの構造模式図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、本発明を理解しやすくするために、関連図面に合わせて本発明をより全面的に述べる。図面に示されるのは本発明の好ましい実施例である。しかし、本発明は数多くの異なる態様で実現されてもよく、本願に述べられる実施例に限られるものではない。逆に、これらの実施例は、本発明の開示をより詳細かつ全面的にするためのものである。

【 0 0 1 1 】

別途定義していない限り、本願に使用されるすべての技術と科学用語は当業者に一般に理解される意味と同じである。本願では、本発明の明細書に使用される用語は具体的な実施

10

20

30

40

50

例を述べるためのものに過ぎず、本発明を制限することを旨とするものではない。本願に使用される「及び/又は」という用語は一つ又は複数の関連項目の任意の及びすべての組合せを含んでいる。

【0012】

素子は、他方の素子に「固定」される場合、直接他方の素子に設けられるようにしてもよく、あるいは、他の素子を介して他方の素子に設けられるようにしてもよいことは了解されたい。一つの素子が他方の素子に「接続」される場合、直接他方の素子に接続されるようにしてもよく、あるいは、他の素子を介して他方の素子に接続されるようにしてもよい。本願に使用される「垂直な」、「水平な」、「上」、「下」、「左」、「右」という用語及び類似した表記は説明のためだけのものである。

10

【0013】

一実施例では、図1を参照し、LDMOSデバイスは、基板10、第一導電タイプのドープ領域11、トレンチ12、ウェル領域13、ソースドープ領域14、トップ埋込層15、及び、フィールド酸化絶縁層構造16を備える。第一導電タイプのドープ領域11は基板10上に設けられてドリフト領域として用いられ、トレンチ12は第一導電タイプのドープ領域11に開口され、ウェル領域13はトレンチ12の下に設けられている。また、ウェル領域13は第二導電タイプを有し、ソースドープ領域14はウェル領域13内に設けられ、トップ埋込層15は第一導電タイプのドープ領域11内、つまりドリフト領域内に設けられている。そして、トップ埋込層15は一端がトレンチ12まで伸び、第二導電タイプを有するものであり、フィールド酸化絶縁層構造16はトップ埋込層15の上に設けられ、一端がトレンチまで伸びるものであり、第一導電タイプと第二導電タイプは互いに逆となるものである。

20

【0014】

その一実施例では、図1を参照し、ソースドープ領域14は、第一導電タイプのソースドープ領域141及び第二導電タイプのソースドープ領域142を含んでもよい。そのうち、第一導電タイプと第二導電タイプは、一方がp型で他方がn型であるから、ソースドープ領域14はp型ソースドープ領域とn型ソースドープ領域とを含むものとなる。

【0015】

例えば、第一導電タイプをn型とするのに対して、第二導電タイプをp型とするようにし、その場合、基板10はp型基板とされ、ドリフト領域はn型ドリフト領域とされる。具体的には、n型ドリフト領域(n型はドープ濃度の低いn型を言う)とされてもよく、ウェル領域13はpウェルとされ、トップ埋込層15はp型トップ埋込層とされる。第一導電タイプをp型とするのに対して、第二導電タイプをn型とするようにしてもよく、その場合、基板10はn型基板とされ、ドリフト領域はp型ドリフト領域とされ、ウェル領域13はnウェルとされ、トップ埋込層15はn型トップ埋込層とされる。

30

【0016】

その一実施例では、トレンチ12の底部はトップ埋込層15の底部よりも低い。それにより、トレンチ12はトップ埋込層15より深くなり、トレンチ12はさらにトップ埋込層15とドリフト領域とによるpn接合よりも深いものであってもよい。

【0017】

その一実施例では、図1を参照し、フィールド酸化絶縁層構造16はその一部が第一導電タイプのドープ領域11の上に設けられ、残りがトップ埋込層15の上に設けられている。

40

【0018】

その一実施例では、図2を参照し、LDMOSデバイスは、ゲート酸化構造17、ゲートポリシリコン18(図2中のハッチング部分の構造)、及び、ゲート引出端19をさらに備える。図2に示される実施例では、ゲート酸化構造17は、トレンチ12の底部及びトレンチ12におけるトップ埋込層15に近い側壁に設けられ、さらにフィールド酸化絶縁層構造16の表面の一部まで伸びている。具体的には、図2に示されるように、ゲート酸化構造17はトレンチ12の底部の一部、トレンチ12におけるトップ埋込層15に近い側面、及び、フィールド酸化絶縁層構造16の表面の一部を覆っている。ゲートポリシリ

50

コン 18 はゲート酸化構造 17 に設けられ、ゲート引出端 19 はゲートポリシリコン 18 に電氣的に接続されている。その他の実施例では、ゲート酸化構造 17 はトレンチ 12 の底部及びトレンチ 12 におけるトップ埋込層 15 に近い側壁に設けられて、フィールド酸化絶縁層構造の表面へ伸びないようにしてもよく、トレンチ 12 の底部の一部及びトップ埋込層 15 の表面の一部を覆うようになる。

【0019】

一実施例では、図 2 を参照し、LDMOS デバイスはソース引出端 20 をさらに備え、ソース引出端 20 は、第一導電タイプのソースドープ領域 141 と第二導電タイプのソースドープ領域 142 にそれぞれ電氣的に接続されている。

【0020】

一実施例では、図 2 を参照し、LDMOS デバイスはドレインドープ領域 21 及びドレイン引出端 22 をさらに備え、ドレインドープ領域 21 は第一導電タイプのドープ領域 11 に設けられ、ドレインドープ領域 21 とソースドープ領域 14 はフィールド酸化絶縁層構造により離間され、ドレインドープ領域 21 は第一導電タイプを有し、ドレイン引出端 22 はドレインドープ領域 21 に電氣的に接続されている。

【0021】

上記 LDMOS デバイスでは、トレンチ 12 を開口しながらウェル領域 13 をトレンチ 12 の下に設けることにより、ウェル領域 13 の位置を下に配置されるようになり、また、トップ埋込層 15 とフィールド酸化絶縁層構造 16 をトレンチ 12 まで伸びさせていることで、トップ埋込層 15 とフィールド酸化絶縁層構造 16 との間やトップ埋込層 15、フィールド酸化絶縁層構造 16 及びトレンチ 12 の間には第一導電タイプのドープ領域がなくなる。このため、導電チャネルは JEF T 領域を通過しなくなり、LDMOS のオン抵抗の大きさは JEF T 領域に制限されず、高いソースドレイン降伏電圧を実現するとともに低いオン抵抗を実現することが可能になる。

【0022】

LDMOS デバイスを製造する製造方法をさらに提供する。

【0023】

一実施例における LDMOS デバイスの製造方法によれば、図 1 に示される LDMOS デバイスを製造でき、図 3 に示すように、この LDMOS デバイスの製造方法はステップ S11 ~ S14 を含んでもよい。

【0024】

S11 では、第一導電タイプのドープ領域 11 が形成され、第一導電タイプのドープ領域 11 内にトップ埋込層 15 が形成され、トップ埋込層 15 上にフィールド酸化絶縁層構造 16 が形成されたウェハを取得する。

【0025】

図 4 に示されるように、第一導電タイプのドープ領域は基板 10 上に形成されており、基板 10 は第二導電タイプを有するものであり、基板 10 上にドリフト領域として第一導電タイプのドープ領域 11 を形成してから、ドリフト領域内にトップ埋込層 15 を形成し、続いてトップ埋込層 15 上にフィールド酸化絶縁層構造 16 を形成するようにし、基板は第二導電タイプを有しながら、ウェハは図 4 に示されるような構造とされてもよい。

【0026】

一実施例では、図 4 に示されるように、ステップ S11 の実現は以下のことを含む。まず、前記第一導電タイプのドープ領域 11 内にトップ埋込層 15 を形成し、続いて、トップ埋込層 15 を部分的に覆うようにトップ埋込層 15 上にフィールド酸化絶縁層構造 16 を形成し、トップ埋込層 15 は後でトレンチを開口する位置に近い箇所における一部がフィールド酸化絶縁層構造 16 の下から露出している。図 4 に示されるように、本実施例では、トップ埋込層 15 とドリフト領域にフィールド酸化絶縁層構造 16 を形成するようにしており、トップ埋込層 15 はソースドープ領域に近いフィールド酸化絶縁層構造の底部領域（図 4 中の左のフィールド酸化絶縁層構造の底部領域）を包むようになる。

【0027】

10

20

30

40

50

S 1 2では、トップ埋込層とフィールド酸化絶縁層構造まで伸びさせてトップ埋込層の一部を除去するように、第一導電タイプのドーブ領域にトレンチを開口する。

【 0 0 2 8 】

図 5 に楕円で示されるように、トップ埋込層とフィールド酸化絶縁層構造との間や、トップ埋込層、フィールド酸化絶縁層構造及びトレンチの間には、第一導電タイプのドーブ領域がなくなるため、導電チャネルは J E F T 領域を通過なくなる。

【 0 0 2 9 】

その一実施例では、図 5 に示されるように、第一導電タイプのドーブ領域 1 1 にトレンチ 1 2 を開口することは、トップ埋込層の底部よりも低い位置にてトレンチ 1 2 を開口することであり、第一導電タイプのドーブ領域 1 1 に形成されるトレンチ 1 2 の底部はトップ埋込層 1 5 の底部より低くなる。その他の実施例では、形成されるトレンチ 1 2 の底部はさらにトップ埋込層 1 5 とドリフト領域とによる p n 接合より低くなるようにしてもよい。

10

【 0 0 3 0 】

その一実施例では、第一導電タイプのドーブ領域にトレンチを開口することは、フィールド酸化絶縁層構造をハードマスクとしてエッチングを行うことである。例えば、図 5 に示されるように、ドリフト領域には左から右（電流方向）へ配列されるフィールド酸化絶縁層構造 A、B があり、これらのフィールド酸化絶縁層構造同士の間のドリフト領域にトレンチを形成するようにしている。フィールド酸化絶縁層構造はソースドーブ領域とドレインドーブ領域を離間させるためのものであるため、フィールド酸化絶縁層構造 A の左側のドリフト領域とフィールド酸化絶縁層構造 B の右側のドリフト領域はドレインドーブ領域を形成するためのものとなり、トレンチを開口しない。

20

【 0 0 3 1 】

S 1 3 では、第二導電タイプのイオンを注入して、トレンチ 1 2 の下にウェル領域を形成する。

【 0 0 3 2 】

本ステップでは、図 5 の構造におけるトレンチ 1 2 にイオン注入としてウェル領域を形成するようにし、ウェル領域が形成された構造は図 1 に示されている。

【 0 0 3 3 】

S 1 4 では、ウェル領域内にソースドーブ領域を形成し、ソースドーブ領域が形成された構造は図 1 に示されており、第一導電タイプと第二導電タイプは互いに逆となるものである。そのうち、第一導電タイプを n 型とするのに対して、第二導電タイプを p 型とするようにしてもよい。

30

【 0 0 3 4 】

その一実施例では、図 1 に示すように、ウェル領域内にソースドーブ領域を形成することは、ウェル領域内に第一導電タイプのソースドーブ領域と第二導電タイプのソースドーブ領域を形成することであり、第一導電タイプのソースドーブ領域が位置する箇所は第二導電タイプのソースドーブ領域よりもトップ埋込層に近い。前記ウェル領域内にソースドーブ領域を形成した後、第一導電タイプのソースドーブ領域と第二導電タイプのソースドーブ領域からソース引出端を引き出す。第一導電タイプのソースドーブ領域を n 型ソースドーブ領域とするのに対して、第二導電タイプのソースドーブ領域を p 型ドーブ領域とするようにしてもよい。

40

【 0 0 3 5 】

その一実施例では、図 6 に示すように、第一導電タイプのドーブ領域にトレンチを開口した後に、ゲート酸化構造 1 7 を形成することを含む。具体的には、トレンチ 1 2 の底部及びトレンチ 1 2 におけるトップ埋込層 1 5 に近い側壁において連続したゲート酸化構造を形成するようにし、形成されるゲート酸化構造 1 7 はトレンチ 1 2 の底部の一部及びトップ埋込層 1 5 の表面の一部を覆っている。その他の実施例では、図 6 を参照し、ゲート酸化構造 1 7 はさらにフィールド酸化絶縁層構造 1 6 の表面の一部まで伸びるようにしてもよい。形成されるゲート酸化構造 1 7 は、トレンチ 1 2 の底部の一部、トレンチ 1 2 におけるトップ埋込層 1 5 に近い側壁、及び、フィールド酸化絶縁層構造 1 6 の表面の一部を

50

覆っている。例えば、図6に示されるように、このトレンチ12におけるトップ埋込層15に近い側壁は、トップ埋込層15とフィールド酸化絶縁層構造16まで伸びる右側壁であり、図中では、電流方向は左から右への方向となる。

【0036】

ゲート酸化構造17を形成した後、その上にゲートポリシリコン18を堆積し、そしてゲートポリシリコン18からゲート引出端19を引き出す。

【0037】

本実施例におけるゲート酸化構造17及びゲートポリシリコン18の形成はトレンチ12を開口した後に実行されることができる。具体的には、ウェル領域とソースドープ領域の形成後に実行されることができる。

【0038】

一実施例では、図6を参照し、LDMOSデバイスの製造方法は以下のことをさらに含む。第一導電タイプのドープ領域11内にドレインドープ領域21を形成し、そしてドレインドープ領域21からドレイン引出端を引き出す。ドレインドープ領域21とソースドープ領域14はフィールド酸化絶縁層構造16により離間され、ドレインドープ領域21は第一導電タイプを有し、電流は第一導電タイプのソースドープ領域からドレインドープ領域へ流れる。

【0039】

上記のLDMOSデバイスの製造方法では、ウェル領域の位置を下に配置させ(トレンチの下に形成させ)、また、トップ埋込層とフィールド酸化絶縁層構造をトレンチまで伸びさせていることで、トップ埋込層とフィールド酸化絶縁層構造との間や、トップ埋込層、フィールド酸化絶縁層構造及びトレンチの間には、第一導電タイプのドープ領域がなくなる。このため、導電チャネルはJEF T領域を経過しなくなり、LDMOSのオン抵抗の大きさはJEF T領域に制限されず、高いソースドレイン降伏電圧を実現するとともに低いオン抵抗を実現することが可能になる。

【0040】

上記した実施例の各技術的特徴は任意的に組み合わせてもよく、説明を簡単にするために、上記実施例の各技術的特徴のあり得る組合せのすべてについて述べていないが、矛盾しない限り、これらのすべては本明細書に記載の範囲に属するはずである。

【0041】

上記は本発明の幾つかの実施例のみを示しており、その説明が具体的かつ詳細なものであるが、それにより本発明の範囲を制限するものとして理解されるべきではない。当業者にとっては、本発明の思想から逸脱することなく、若干の変形や改良を行うことが可能であり、それらのすべては本発明の保護範囲に属することは理解されたい。このため、本発明の保護範囲は請求項に依存するものとなる。

10

20

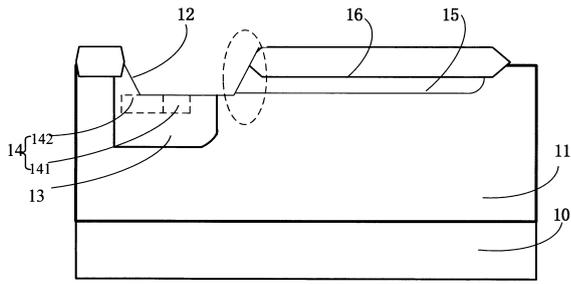
30

40

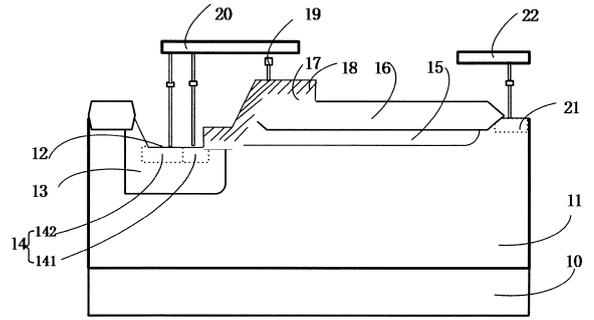
50

【図面】

【図 1】

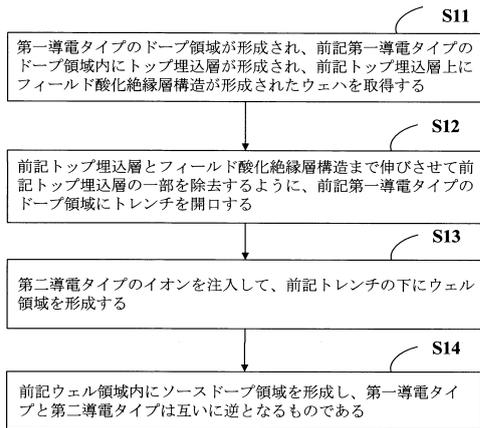


【図 2】

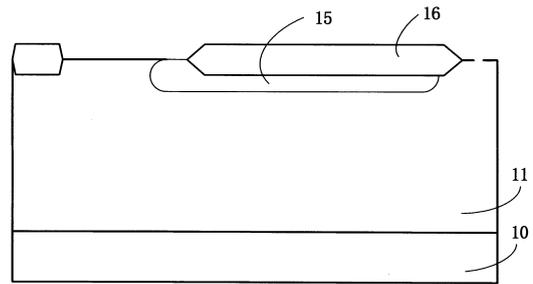


10

【図 3】

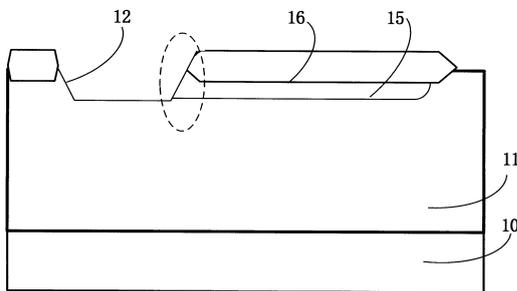


【図 4】

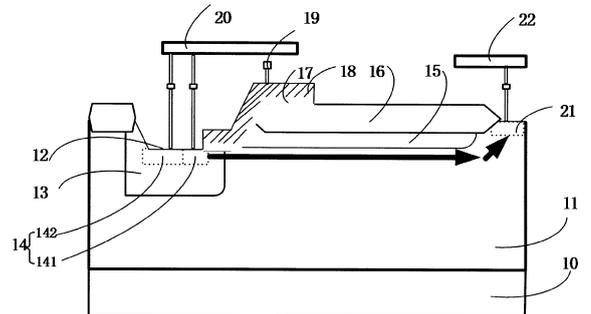


20

【図 5】



【図 6】



30

40

50

フロントページの続き

(72)発明者 張 森

中華人民共和国江蘇省無錫市新区新洲路8号, 214028

(72)発明者 張 廣勝

中華人民共和国江蘇省無錫市新区新洲路8号, 214028

(72)発明者 蘭 云

中華人民共和国江蘇省無錫市新区新洲路8号, 214028

審査官 石塚 健太郎

(56)参考文献 米国特許出願公開第2017/0194491(US, A1)

特開2017-073410(JP, A)

特開2015-204308(JP, A)

米国特許出願公開第2015/0194506(US, A1)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/336

H01L 29/78