

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4564740号
(P4564740)

(45) 発行日 平成22年10月20日 (2010.10.20)

(24) 登録日 平成22年8月6日 (2010.8.6)

(51) Int.Cl. F I
G 0 6 F 13/36 (2006.01) G O 6 F 13/36 3 1 O A
B 4 1 J 29/38 (2006.01) B 4 1 J 29/38 Z

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2003-382283 (P2003-382283)	(73) 特許権者	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成15年11月12日 (2003.11.12)	(74) 代理人	100089118 弁理士 酒井 宏明
(65) 公開番号	特開2005-148896 (P2005-148896A)	(72) 発明者	大泉 充弘 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(43) 公開日	平成17年6月9日 (2005.6.9)	(72) 発明者	進藤 泰之 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
審査請求日	平成18年8月7日 (2006.8.7)	(72) 発明者	寺尾 典之 東京都大田区中馬込1丁目3番6号 株式 会社リコー内

最終頁に続く

(54) 【発明の名称】 画像機器システム

(57) 【特許請求の範囲】

【請求項1】

複数のデバイスを有する第1の画像機器と、
 複数のデバイスを有し、前記第1の画像機器の仕様と異なる仕様を有する第2の画像機器と、

前記第1の画像機器が有する前記複数のデバイスが木構造の接続形態で接続され、当該木構造の上位に位置する第1のスイッチと、

前記第2の画像機器が有する前記複数のデバイスが木構造の接続形態で接続され、当該木構造の上位に位置する第2のスイッチと、

ポイントツーポイントで送受信独立の通信チャンネルが確立され、前記第1のスイッチおよび前記第2のスイッチに設けられる高速シリアルインタフェースと、

前記第1のスイッチおよび前記第2のスイッチに接続され、前記第1のスイッチおよび前記第2のスイッチよりも上位に位置するルートコンプレックスと、
 を備えることを特徴とする、画像機器システム。

【請求項2】

前記高速シリアルインタフェースがPCI Expressであることを特徴とする、請求項1記載の画像機器システム。

【請求項3】

複数の前記ルートコンプレックスに接続され、当該複数のルートコンプレックスよりも上位に位置するスイッチを備えることを特徴とする、請求項1又は2記載の画像機器シス

10

20

テム。

【請求項 4】

前記第 1 の画像機器および前記第 2 の画像機器中、その一つは相対的に高速仕様の画像機器であり、他の一つは相対的に低速仕様の画像機器であることを特徴とする、請求項 1 から 3 のいずれかーに記載の画像機器システム。

【請求項 5】

前記第 1 の画像機器および前記第 2 の画像機器中、その一つはカラー仕様の画像機器であり、他の一つは白黒仕様の画像機器であることを特徴とする、請求項 1 から 3 のいずれかーに記載の画像機器システム。

【請求項 6】

前記第 1 の画像機器および前記第 2 の画像機器中、その一つはレーザプリンタ仕様の画像機器であり、他の一つはインクジェットプリンタ仕様の画像機器であることを特徴とする、請求項 1 から 3 のいずれかーに記載の画像機器システム。

【請求項 7】

前記第 1 の画像機器および前記第 2 の画像機器中、その一つは広幅仕様の画像機器であり、他の一つは A 3 サイズ仕様の画像機器であることを特徴とする、請求項 1 から 3 のいずれかーに記載の画像機器システム。

【請求項 8】

前記第 1 の画像機器または前記第 2 の画像機器が有する前記複数のデバイスの中で相関の強いデバイス同士が、当該相関の強いデバイス同士が木構造の接続形態で接続されたスイッチを介して前記第 1 のスイッチまたは前記第 2 のスイッチに接続されることを特徴とする、請求項 1 から 7 のいずれかーに記載の画像機器システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば各種画像形成処理等のために利用される画像機器システムに関する。

【背景技術】

【0002】

一般に、画像データその他のデータを扱う機器・システムでは、デバイス間のインタフェースに P C I バスが使用されている。しかし、パラレル方式の P C I バスでは、レーシングやスキューなどの問題があり、高速・高画質の画像機器に使用するには、転送レートが低い段階にきており、最近では、P C I バスのようなパラレル方式のインタフェースに代えて、高速シリアルインタフェースの使用が検討されている。従来、一般的に広く用いられているシリアルインタフェースとして IEEE1394 や USB 等の規格があるが、P C I と比較した場合は転送レートが不足しており、さらにスケラブルなパス幅確保が困難等の不具合がある。このため、他の高速シリアルインタフェースとして、P C I バス方式の後継規格に当る PCI Express (登録商標) なるインタフェースの使用が検討されている。

【0003】

この PCI Express システムは、詳細は後述するが、概略的には、例えば、非特許文献 1 中の図 1 等に示されるようなルートコンプレックス - スイッチ (任意階層) - デバイス等のツリー構造 (木構造) によるデータ通信網として構成されている。

【0004】

【非特許文献 1】 “PCI Express 規格の概要” Interface誌、July 2003 里見尚志

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、このような PCI Express システムを単純に利用した場合、各デバイス間のデータ転送に際して木構造の根元に位置するルートコンプレックスを経る経路を利用することとなり、データ転送の高速化を図れない場合もあり、PCI Express の機能を十分に活用しているとは言いがたい場合もある。

10

20

30

40

50

【 0 0 0 6 】

また、画像機器に関しては、より一層の高速・高機能化が要求される傾向にあるが、全ての機能等を単独の画像機器で揃えようとする高コストになってしまおうとともに、これらの高速・高機能は常に利用するものではないので無駄の多い機器となってしまう。

【 0 0 0 7 】

本発明の目的は、高速シリアルインタフェースであるPCI Expressシステムを、より一層高速化できる等、有効に活用できる画像機器システムを提供することである。

【課題を解決するための手段】

【 0 0 0 8 】

請求項1記載の発明の画像機器システムは、複数のデバイスを有する第1の画像機器と、複数のデバイスを有し、第1の画像機器の仕様と異なる仕様を有する第2の画像機器と、第1の画像機器が有する複数のデバイスが木構造の接続形態で接続され、当該木構造の上位に位置する第1のスイッチと、第2の画像機器が有する複数のデバイスが木構造の接続形態で接続され、当該木構造の上位に位置する第2のスイッチと、ポイントツーポイントで送受信独立の通信チャネルが確立され、第1のスイッチおよび第2のスイッチに設けられる高速シリアルインタフェースと、第1のスイッチおよび第2のスイッチに接続され、第1のスイッチおよび第2のスイッチよりも上位に位置するルートコンプレックスと、を備えることを特徴とする。

10

【 0 0 0 9 】

請求項2記載の発明は、請求項1記載の画像機器システムにおいて、高速シリアルインタフェースがPCI Expressであることを特徴とする。

20

【 0 0 1 0 】

請求項3記載の発明は、請求項1又は2記載の画像機器システムにおいて、複数のルートコンプレックスに接続され、当該複数のルートコンプレックスよりも上位に位置するスイッチを備えることを特徴とする。

【 0 0 1 1 】

請求項4記載の発明は、請求項1から3のいずれかに記載の画像機器システムにおいて、第1の画像機器および第2の画像機器中、その一つは相対的に高速仕様の画像機器であり、他の一つは相対的に低速仕様の画像機器であることを特徴とする。

【 0 0 1 2 】

請求項5記載の発明は、請求項1から3のいずれかに記載の画像機器システムにおいて、第1の画像機器および第2の画像機器中、その一つはカラー仕様の画像機器であり、他の一つは白黒仕様の画像機器であることを特徴とする。

30

【 0 0 1 3 】

請求項6記載の発明は、請求項1から3のいずれかに記載の画像機器システムにおいて、第1の画像機器および第2の画像機器中、その一つはレーザープリンタ仕様の画像機器であり、他の一つはインクジェットプリンタ仕様の画像機器であることを特徴とする。

【 0 0 1 4 】

請求項7記載の発明は、請求項1から3のいずれかに記載の画像機器システムにおいて、第1の画像機器および第2の画像機器中、その一つは広幅仕様の画像機器であり、他の一つはA3サイズ仕様の画像機器であることを特徴とする。

40

【 0 0 1 5 】

請求項8記載の発明は、請求項1から7のいずれかに記載の画像機器システムにおいて、第1の画像機器または第2の画像機器が有する複数のデバイスの中で相関の強いデバイス同士が、当該相関の強いデバイス同士が木構造の接続形態で接続されたスイッチを介して第1のスイッチまたは第2のスイッチに接続されることを特徴とする。

【発明の効果】

【 0 0 1 6 】

本発明によれば、基本的に、各画像機器はルートコンプレックスを介することなくスイッチを最上位として木構造に接続されているので、ルートコンプレックスを経る場合より

50

もより一層のデータ転送の高速化を図ることができる。また、単一の画像機器で全ての機能を揃えると、高コストとなってしまうが、仕様の異なる複数の画像機器がルートコンプレックスを介して接続され、画像機器間でデータ転送が可能とされているので、他方の画像機器の仕様（例えば、低速仕様、白黒仕様、インクジェットプリンタ仕様、A3サイズ仕様等）では所望の画像処理を行えない場合には、処理速度は低下するが、一方の画像機器のリソースを利用することで所望の画像処理（例えば、高速仕様、カラー仕様、レーザープリンタ仕様、広幅仕様等）を行えるシステムを構築できる。さらには、アドバンスドスイッチを用いることにより、複数の画像機器システム間を接続することも可能となる。また、複数のデバイス中で関連の強いデバイス同士を末端側共通スイッチに接続することにより、関連の強いデバイス間のデータ転送経路の設定を容易にして、これらのデバイス間でのデータ転送をより一層高速化することができる。

10

【発明を実施するための最良の形態】

【0017】

本発明を実施するための最良の形態について図面を参照して説明する。

【0018】

[PCI Express規格の概要]

まず、本実施の形態は高速シリアルバスの一つであるPCI Express（登録商標）を利用するものであり、本実施の形態の前提として当該PCI Express規格の概要について、非特許文献1の一部抜粋により説明する。ここに、高速シリアルバスとは、1本の伝送路を用いてシリアル（直列）伝送により高速（100Mbps程度以上）にデータをやり取りすることができるインタフェースを意味する。

20

【0019】

PCI Expressは、PCIの後継規格としてコンピュータ全般に通用する標準拡張バスとして規格化されたバスであり、概略的には、低電圧差動信号伝送、ポイントツーポイントで受信独立の通信チャンネル、パケット化されたスプリットトランザクション、リンク構成の違いによる高いスケラビリティなどの特徴を持つ。

【0020】

図1に既存のPCIシステム、図2にPCI Expressシステムの各々の構成例を示す。既存のPCIシステムにあっては、CPU100やAGPグラフィックス101やメモリ102が接続されたホストブリッジ103に対して、PCI-X（PCIの上位互換規格）デバイス104a, 104bがPCI-Xブリッジ105aを介して接続されたり、PCI-Xデバイス104c, 104dが接続されたPCI-Xブリッジ105bやPCIバススロット106が接続されたPCIブリッジ107がPCI-Xブリッジ105cを介して接続されたりしたツリー構造（木構造）とされている。

30

【0021】

これに対して、PCI Expressシステムにあっては、CPU110やメモリ111が接続されたルートコンプレックス112に対して、PCI Expressグラフィックス113がPCI Express 114aにより接続され、また、エンドポイント115aやレガシーエンドポイント116aがPCI Express 114bにより接続されたスイッチ117aがPCI Express 114cにより接続され、さらには、エンドポイント115bやレガシーエンドポイント116bがPCI Express 114dにより接続されたスイッチ117bやPCIバススロット118が接続されたPCIブリッジ119がPCI Express 114eにより接続されたスイッチ117cがPCI Express 114fにより接続されたツリー構造（木構造）とされている。

40

【0022】

実際に想定されるPCI Expressプラットフォーム例を図3に示す。図示例は、デスクトップ/モバイルへの適用例を示し、CPU121がCPUホストバス122により接続され、メモリ123が接続されたメモリハブ124（ルートコンプレックスに相当する）に対して、例えば、グラフィックス125がx16のPCI Express 126aにより接続され、また、変換機能を有するI/Oハブ127がPCI Express 126bにより接続されている。このI/Oハブ127には、例えば、Serial ATA128によりメモリ129が接続さ

50

れ、LPC 1 3 0 によりローカル I / O 1 3 1 が接続され、USB 2.0 1 3 2 や PCI バススロット 1 3 3 が接続されている。さらには、I / O ハブ 1 2 7 には、PCI Express 1 2 6 c によりスイッチ 1 3 4 が接続され、このスイッチ 1 3 4 には、各々、PCI Express 1 2 6 d , 1 2 6 e , 1 2 6 f によりモバイルドック 1 3 5、ギガビットイーサネット 1 3 6 (イーサネットは登録商標)、アドインカード 1 3 7 が接続されている。

【 0 0 2 3 】

即ち、PCI Express システムでは、従来の PCI , PCI-X , AGP といったバスが PCI Express で置き換わり、既存の PCI / PCI-X デバイスを接続するためにブリッジが使用される。チップセット間の接続も PCI Express 接続となり、IEEE1394 , Serial ATA , USB 2.0 などの既存のバスは I / O ハブにより PCI Express に接続される。

10

【 0 0 2 4 】

[PCI Express の構成要素]

A . ポート (Port) / レーン (Lane) / リンク (Link)

図 4 に物理層の構造を示す。ポートは、物理的には同一半導体内にあり、リンクを形成するトランスミッタ / レシーバの集合で、論理的にはコンポーネント間を 1 対 1 で接続 (ポイント・ツー・ポイント) するインタフェースを意味する。転送レートは、例えば片方向 2 . 5 G b p s とされている。レーンは、例えば 0 . 8 V の差動信号ペアのセットで、送信側の信号ペア (2 本)、受信側の信号ペア (2 本) からなる。リンクは、2 つのポートとそれを結ぶレーンの集まりであり、コンポーネント間のデュアルシンプレックス通信バスである。「 x N リンク」は N 本のレーンから構成され、現在の規格では、N = 1 , 2 , 4 , 8 , 1 6 , 3 2 が定義されている。図示例は、x 4 リンク例である。例えば、図 5 に示すように、デバイス A , B 間を結ぶこのレーン幅 N を可変することにより、スケラブルなバンド幅を構成することが可能となる。

20

【 0 0 2 5 】

B . ルートコンプレックス (Root Complex)

ルートコンプレックス 1 1 2 は、I / O 構造の最上位に位置し、CPU やメモリサブシステムを I / O に接続する。ブロック図などでは、図 3 に示すように、「メモリハブ」と記述されることが多い。ルートコンプレックス 1 1 2 (又は、1 2 4) は、1 つ以上の PCI Express ポート (ルートポート) (図 2 中では、ルートコンプレックス 1 1 2 中の四角で示す) を持ち、各々のポートは独立した I / O 階層ドメインを形成する。I / O 階層ドメインは、単純なエンドポイントである場合 (例えば、図 2 中のエンドポイント 1 1 5 a 側の例) や、多数のスイッチやエンドポイントから形成される場合 (例えば、図 2 中のエンドポイント 1 1 5 b やスイッチ 1 1 7 b , 1 1 5 c 側の例) がある。

30

【 0 0 2 6 】

C . エンドポイント (End Point)

エンドポイント 1 1 5 は、タイプ 0 0 h のコンフィグレーション空間ヘッダを持つデバイス (具体的には、ブリッジ以外のデバイス) で、レガシーエンドポイントと PCI Express エンドポイントとに分けられる。両者の大きな違いは、PCI Express エンドポイントは B A R (ベースアドレスレジスタ) で基本的に I / O ポートリソースを要求せず、このため I / O リクエストを要求しない。また、PCI Express エンドポイントは、ロックリクエストもサポートしていない。

40

【 0 0 2 7 】

D . スイッチ (Switch)

スイッチ 1 1 7 (又は、1 3 4) は、2 つ以上のポートを結合し、ポート間でのパケットルーティングを行う。コンフィグレーションソフトウェアからは、当該スイッチは、図 6 に示すように、仮想 PCI-PCI ブリッジ 1 4 1 の集合体として認識される。図中、両矢印は PCI Express リンク 1 1 4 (又は、1 2 6) を示し、1 4 2 a ~ 1 4 2 d はポートを示す。このうち、ポート 1 4 2 a はルートコンプレックスに近い方のアップストリームポートであり、ポート 1 4 2 b ~ 1 4 2 d はルートコンプレックスから遠い方のダウンストリームポートである。

50

【 0 0 2 8 】

E . PCI Express 1 1 4 e - PCIブリッジ 1 1 7

PCI ExpressからPCI / PCI-Xへの接続を提供する。これにより、既存のPCI / PCI-XデバイスをPCI Expressシステム上で使用することができる。

【 0 0 2 9 】

[階層アーキテクチャ]

従来のP C Iのアーキテクチャは、図7 (a) に示すように、プロトコルとシグナリングが密接に関連する構造であり階層という考え方はなかったが、PCI Expressでは、図7 (b) に示すように、一般的な通信プロトコルやInfiniBandのように、独立した階層構造とされ、各層に分けて仕様が定義されている。即ち、最上位のソフトウェア1 5 1、最下位の機構 (メカニカル) 部 1 5 2 間に、トランザクション層 1 5 3、データリンク層 1 5 4、物理層 1 5 5 を持つ構造とされている。これにより、各層のモジュール性が確保され、スケラビリティを持たせることやモジュールの再利用が可能となる。例えば、新たな信号コーディング方式や伝送媒体を採用する場合、物理層を変更するだけでデータリンク層やトランザクション層は変更せずに対応できる。

10

【 0 0 3 0 】

PCI Expressのアーキテクチャの中心となるのは、トランザクション層 1 5 3、データリンク層 1 5 4、物理層 1 5 5 であり、各々図 8 を参照して説明する以下のような役割を持つ。

【 0 0 3 1 】

A . トランザクション層 1 5 3

トランザクション層 1 5 3 は、最上位に位置し、トランザクションレイヤパケット (T L P) の組み立て、分解機能を持つ。トランザクションレイヤパケット (T L P) は、リード / ライト、各種イベントといったトランザクションの伝達に用いられる。また、トランザクション層 1 5 3 は、トランザクションレイヤパケット (T L P) のためのクレジットを用いたフロー制御を行う。各層 1 5 3 ~ 1 5 5 におけるトランザクションレイヤパケット (T L P) の概要を図 9 に示す (詳細は、後述する) 。

20

【 0 0 3 2 】

B . データリンク層 1 5 4

データリンク層 1 5 4 の主な役割は、エラー検出 / 訂正 (再送) によりトランザクションレイヤパケット (T L P) のデータ完全性を保証することと、リンク管理である。データリンク層 1 5 4 間では、リンク管理やフロー制御のためのパケットのやり取りを行う。このパケットは、トランザクションレイヤパケット (T L P) と区別するために、データリンクレイヤパケット (D L L P) と呼ばれる。

30

【 0 0 3 3 】

C . 物理層 1 5 5

物理層 1 5 5 は、ドライバ、入力バッファ、パラレル - シリアル / シリアル - パラレル変換器、P L L、インピーダンス整合回路といったインタフェース動作に必要な回路を含んでいる。また、論理的な機能としてインタフェースの初期化・保守の機能を持つ。物理層 1 5 5 は、データリンク層 1 5 4 / トランザクション層 1 5 3 を実際のリンクで使用される信号技術から独立させる役目も持っている。

40

【 0 0 3 4 】

なお、PCI Expressのハードウェア構成上、エンベデッド・クロックという技術を採用しており、クロック信号はなく、クロックのタイミングはデータ信号中に埋め込まれており、受信側でデータ信号のクロスポイントを基にクロックを抽出する方式とされている。

【 0 0 3 5 】

[コンフィグレーション空間]

PCI Expressは、従来のPCIと同様にコンフィグレーション空間を持つが、その大きさは従来のPCIが 2 5 6 バイトであるのに対して、図 1 0 に示すように、4 0 9 6 バイトへと拡張されている。これにより、多数のデバイス固有レジスタセットを必要とするデバイス

50

(ホストブリッジなど)に対しても、将来的に十分な空間が確保されている。PCI Expressでは、コンフィグレーション空間へのアクセスは、フラットなメモリ空間へのアクセス(コンフィグレーションリード/ライト)で行われ、バス/デバイス/機能/レジスタ番号はメモリアドレスにマップされている。

【0036】

当該空間の先頭256バイトは、PCIコンフィグレーション空間として、BIOSや従来のOSからI/Oポートを使用した方法でもアクセスできる。従来のアクセスをPCI Expressでのアクセスに変換する機能は、ホストブリッジ上に実装される。00hから3FhまではPCI2.3互換のコンフィグレーションヘッダとなっている。これにより、PCI Expressで拡張された機能以外であれば、従来のOSやソフトウェアをそのまま使用することができる。即ち、PCI Expressにおけるソフトウェア層は、既存のPCIと互換性を保ったロード・ストア・アーキテクチャ(プロセッサが直接I/Oレジスタをアクセスする方式)を継承している。しかし、PCI Expressで拡張された機能(例えば、同期転送やRAS(Reliability, Availability and Serviceability)などの機能)を使用するには、4KバイトのPCI Express拡張空間にアクセスできるようにする必要がある。

【0037】

なお、PCI Expressとしては様々なフォームファクタ(形状)が考えられるが、具体化している例としては、アドインカード、プラグインカード(NEWCARD)、Mini PCI Expressなどがある。

【0038】

[PCI Expressのアーキテクチャの詳細]

PCI Expressのアーキテクチャの中心となっているトランザクション層153、データリンク層154、物理層155について、各々詳細に説明する。

【0039】

A. トランザクション層153

トランザクション層153の主な役割は、前述したように、上位のソフトウェア層151と下位のデータリンク層154との間でトランザクションレイヤパケット(TLP)の組み立てと分解を行うことである。

【0040】

a. アドレス空間とトランザクションタイプ

PCI Expressでは、従来のPCIでサポートされていたメモリ空間(メモリ空間とのデータ転送用)、I/O空間(I/O空間とのデータ転送用)、コンフィグレーション空間(デバイスのコンフィグレーションとセットアップ用)に加えて、メッセージ空間(PCI Expressデバイス間のインバンドでのイベント通知や一般的なメッセージ送信(交換)用...割り込み要求や確認は、メッセージを「仮想ワイヤ」として使用することにより伝達される)が追加され、4つのアドレス空間が定義されている。各々の空間に対してトランザクションタイプが定義されている(メモリ空間、I/O空間、コンフィグレーション空間は、リード/ライト、メッセージ空間は基本(ベンダ定義含む))。

【0041】

b. トランザクションレイヤパケット(TLP)

PCI Expressは、パケット単位で通信を行う。図9に示したトランザクションレイヤパケット(TLP)のフォーマットにおいて、ヘッダのヘッダ長は3DW(DWはダブルワードの略;合計12バイト)又は4DW(16バイト)で、トランザクションレイヤパケット(TLP)のフォーマット(ヘッダ長とペイロードの有無)、トランザクションタイプ、トラフィッククラス(TC)、アトリビュートやペイロード長などの情報が含まれる。パケット内の最大ペイロード長は1024DW(4096バイト)である。

【0042】

ECRCは、エンドツーエンドのデータ完全性を保証するためのもので、トランザクションレイヤパケット(TLP)部分の32ビットCRCである。これは、スイッチ内部などでトランザクションレイヤパケット(TLP)にエラーが発生した場合、LCRC(リ

10

20

30

40

50

ンクCRC)ではエラーを検出できないためである(エラーとなったTLPでLCRCが再計算されるため)。

【0043】

リクエストは、完了パッケージが不要なものと必要なものがある。

【0044】

c. トラフィッククラス(TC)と仮想チャネル(VC)

上位のソフトウェアは、トラフィッククラス(TC)を使用することによりトラフィックの差別化(優先度をつける)を行うことができる。例えば、映像データをネットワークのデータよりも優先して転送する、といったことが可能となる。トラフィッククラス(TC)はTC0からTC7まで8つある。

10

【0045】

仮想チャネル(VC:Virtual Channel)は、各々独立した仮想通信バス(同一のリンクを共用する複数の独立したデータ・フロー・バッファを使用するメカニズム)で、各々がリソース(バッファやキュー)を持ち、図11に示すように、独立したフロー制御を行う。これにより、1つの仮想チャネルのバッファが満杯の状態(full)になっても、他の仮想チャネルの転送を行うことができる。つまり、物理的には1つのリンクを仮想的な複数のチャネルに分けることで、有効に使用することができる。例えば、図11中に示すように、スイッチを経由してルートのリンクが複数のデバイスに分かれる場合、各デバイスのトラフィックの優先度を制御することができる。VC0は必須で、コストパフォーマンスのトレードオフに応じてその他の仮想チャネル(VC1~VC7)が実装される。図11中の実線矢印は、デフォルト仮想チャネル(VC0)を示し、破線矢印はその他の仮想チャネル(VC1~VC7)を示している。

20

【0046】

トランザクション層内では、トラフィッククラス(TC)が仮想チャネル(VC)にマッピングされる。1つの仮想チャネル(VC)に対して1つ又は複数のトラフィッククラス(TC)をマッピングできる(仮想チャネル(VC)の数が少ない場合)。単純な例では、各トラフィッククラス(TC)から各仮想チャネル(VC)に1対1、全てのトラフィッククラス(TC)を仮想チャネルVC0にマッピングする、といったことが考えられる。TC0-VC0のマッピングは、必須/固定で、それ以外のマッピングは上位のソフトウェアから制御される。ソフトウェアはトラフィッククラス(TC)を利用することで、トランザクションの優先度を制御することが可能となる。

30

【0047】

d. フロー制御

受信バッファのオーバーフローを避け、伝送順序を確立するためにフロー制御(FC:Flow Control)が行われる。フロー制御は、リンク間のポイントツーポイントで行われ、エンドツーエンドではない。従って、フロー制御により最終的な相手(コンプライータ)にパッケージが届いたことを確認することはできない。

【0048】

PCI Expressのフロー制御は、クレジット・ベースで行われる(データ転送を始める前に、受け取り側のバッファの空き状況を確認し、オーバーフロー、アンダフローが発生しないメカニズム)。即ち、受信側はリンク初期化時にバッファ容量(クレジット値)を送信側に通知し、送信側はクレジット値と送信するパッケージの長さとを比較し、一定の残りのある場合のみパッケージを送信する。このクレジットには6種類ある。

40

【0049】

フロー制御の情報交換はデータリンク層のデータリンクレイヤパッケージ(DLLP)を使用して行われる。フロー制御はトランザクションレイヤパッケージ(TLP)のみに適用され、データリンクレイヤパッケージ(DLLP)には適用されない(DLLPは常時送受信可能)。

【0050】

B. データリンク層 154

50

データリンク層 154 の主な役割は、前述したように、リンク上の 2 つのコンポーネント間での信頼性の高いトランザクションレイヤパケット (T L P) 交換機能を提供することである。

【 0 0 5 1 】

a . トランザクションレイヤパケット (T L P) の扱い

トランザクション層 153 から受け取ったトランザクションレイヤパケット (T L P) に対しては、先頭に 2 バイトのシーケンス番号、末尾に 4 バイトのリンク CRC (L C R C) を付加して、物理層 155 に渡す (図 9 参照) 。 トランザクションレイヤパケット (T L P) は、リトライバッファに保管され、相手から受信確認 (A C K) が届くまで再送される。トランザクションレイヤパケット (T L P) の送信に失敗が続いた場合は、リンク異常であると判断して物理層 155 に対してリンクの再トレーニングを要求する。リンクのトレーニングが失敗した場合、データリンク層 154 の状態はインアクティブに遷移する。

10

【 0 0 5 2 】

物理層 155 から受け取ったトランザクションレイヤパケット (T L P) は、シーケンス番号とリンク CRC (L C R C) が検査され、正常であればトランザクション層 153 に渡され、エラーがあった場合は再送を要求する。

【 0 0 5 3 】

b . データリンクレイヤパケット (D L L P)

データリンク層 154 が生成するパケットは、データリンクレイヤパケット (D L L P) と呼ばれ、データリンク層 154 間でやり取りされる。データリンクレイヤパケット (D L L P) には、

20

- ・ Ack / Nak : T L P の受信確認、リトライ (再送)
- ・ InitFC1 / InitFC2 / UpdateFC : フロー制御の初期化とアップデート
- ・ 電源管理のための D L L P

なる種類がある。

【 0 0 5 4 】

図 1 2 に示すように、データリンクレイヤパケット (D L L P) の長さは 6 バイトで、種類を示す D L L P タイプ (1 バイト) 、 D L L P の種類で固有の情報 (3 バイト) 、 C R C (2 バイト) から構成される。

30

【 0 0 5 5 】

c . 物理層 - 論理サブブロック 156

図 8 中に示す物理層 155 の論理サブブロック 156 での主な役割は、データリンク層 154 から受け取ったパケットを電気サブブロック 157 で送信できる形式に変換することである。また、物理層 155 を制御 / 管理する機能も有する。

【 0 0 5 6 】

a . データ符号化とパラレル - シリアル変換

PCI Express は、連続した “ 0 ” や “ 1 ” が続かないように (長い期間、クロス・ポイントが存在しない状態が続かないようにするため) 、データ符号化に 8 B / 10 B 変換を用いる。変換されたデータは、図 1 3 中に示すように、シリアル変換され、L S B からレーン上に送信される。ここに、レーンが複数ある場合は (図 1 3 は x 4 リンクの場合を例示している) 、符号化の前にデータがバイト単位で各レーンに割り振られる。この場合、一見パラレル・バスのようにみえるが、レーン毎に独立した転送を行うので、パラレル・バスで問題となるスキューが大幅に緩和される。

40

【 0 0 5 7 】

b . 電源管理とリンクステート

リンクの消費電力を低く抑えるために、表 1 に示すように、L 0 / L 0 s / L 1 / L 2 というリンクステートが定義されている。

【 0 0 5 8 】

【表 1】

ステート	状態	L0復帰にかかる時間
L0	アクティブ(通常)	
L0s	リンクはコモンモード電圧 クロックや主電源はオン	16ns~4μs
L1	リンクはコモンモード電圧 クロックはオフ、主電源はオン	1~数10μs
L2	クロック、主電源ともにオフ 補助電源(Vaux)がある場合は供給	システムに依存

10

L2からの復帰時間は、電源やPLLの立ち上がり時間などに依存する

【 0 0 5 9 】

L0が通常モードで、L0sからL2へと低消費電力となるが、L0への復帰にも時間がかかるようになる。図14に示すように、ソフトウェアによる電源管理に加えて、アクティブステート電源管理を積極的に行うことにより、消費電力を極力小さくすることが可能となる。

【 0 0 6 0 】

D. 物理層 - 電気サブブロック 1 5 7

物理層 1 5 5 の電気サブブロック 1 5 7 での主な役割は、論理サブブロック 1 5 6 でシリアル化されたデータをレーン上に送信することと、レーン上のデータを受信して論理サブブロック 1 5 6 に渡すことである。

20

【 0 0 6 1 】

a. ACカップリング

リンクの送信側では、ACカップリング用のコンデンサが実装される。これにより、送信側と受信側のDCコモンモード電圧が同一である必要がなくなる。このため、送信側と受信側で異なる設計、半導体プロセス、電源電圧を使用することが可能となる。

【 0 0 6 2 】

b. デエンファシス

PCI Expressでは、前述したように、8B/10Bエンコーディングによってできるだけ連続した“0”や“1”が続かないように処理されるが、連続した“0”や“1”が続くこともある(最大5回)。この場合、送信側はデエンファシス転送を行わなければならないことが規定されている。同一極性のビットが連続する場合は、2つ目のビットからは差動電圧レベル(振幅)を 3.5 ± 0.5 dB落とすことで、受信側で受け取る信号のノイズ・マージンを稼ぐ必要がある。これを、デエンファシスという。伝送路の周波数依存性減衰のため、変化するビットの場合は高周波成分が多く、減衰により受信側の波形が小さくなるが、変化しないビットの場合は高周波成分が少なく、相対的に受信側の波形が大きくなる。このため、受信側での波形を一定とするためにデエンファシスを行う。

30

【 0 0 6 3 】

[画像機器システム]

本実施の形態の画像機器システムは、前述したようなPCI Expressシステムを利用する上で、特に、その木構造について改良を加えて利用するようにしたものである。

40

【 0 0 6 4 】

図15は、本実施の形態の画像機器システムにおける木構造例を示す原理的な模式図である。本実施の形態では、例えば仕様の異なる2つの画像機器1, 2を備えるが、これらの画像機器1, 2はPCI Expressシステム上のスイッチ3, 4を最上位としてこれらの画像機器1, 2を構成する複数のデバイスがエンドポイント位置に接続された木構造とされている。ここに、これらの画像機器1, 2のうち、画像機器1は例えば高速仕様の画像機器であって、その構成要素となるデバイス5としては、例えば、制御部5a、入力部5b、出力部5c、ストレージ5d、スイッチ5e、画像処理部5f、圧縮器5g、伸長器5

50

h、データ変換部 5 i、回転器 5 j、画像合成器 5 k 等を備え、各々所望のレーン数（ポート数）でスイッチ 3 に接続されている。画像機器 2 は例えば低速仕様の画像機器であって、その構成要素となるデバイス 6 としては、例えば、制御部 6 a、入力部 6 b、出力部 6 c、ストレージ 6 d、スイッチ 6 e 等を備え、各々所望のレーン数（ポート数）でスイッチ 4 に接続されている。

【 0 0 6 5 】

ここに、デバイス中、入力部とは、例えば原稿画像を CCD により読取り、電気信号に変換するスキャナエンジン等を意味する。また、出力部とは、画像データ等に基づき紙、その他の記録材に印字出力するプリンタエンジン等を意味する。ストレージは、一時的に画像データを保存するメモリや画像データを保存したりジャムバックアップ用に用いられる HDD などを意味する。圧縮器はデータを圧縮し、伸長器はデータを伸長するもので、両機能を有する圧縮伸長器を用いてもよい。回転器は、画像データを 90°、180° 或いは 270° 回転するもので、例えば、A4 原稿 2 枚を集約して A4 サイズ紙に印字する場合やトレイに入っている用紙の向きに印字画像を合わせる時などに使用される。データ変換器は、例えばプリンタ言語を展開する処理を行う部分である。画像合成器は、例えば画像データと印字データとを合成して 1 つのデータとする処理を行う部分である。

【 0 0 6 6 】

そして、これらの画像機器 1, 2 を構成する最上位のスイッチ 3, 4 をより上位（根元側）に位置する共通のルートコンプレックス 7 に接続することにより、画像機器システム 8 が構成されている。

【 0 0 6 7 】

このような構成によれば、高速シリアルバスである PCI Express システムを利用しているので、基本的にデータ転送の高速化を図れるが、それに加えて、各々の画像機器 1, 2 内でのデータ転送の一層の高速化を図ることができる。即ち、各画像機器 1, 2 内の PCI Express システムはルートコンプレックスを介することなくスイッチ 3, 4 を最上位とする木構造で接続されており、各デバイス 5 a ~ 5 k 間、6 a ~ 6 e 間各々でのデータ転送がルートコンプレックスを経ることなく行われるため、高速処理が可能となる。

【 0 0 6 8 】

また、画像機器システム 8 全体を考えた場合、低コストで高機能なシステムを構築することができる。即ち、全ての機能を画像機器 1 のみで揃えると、高コストとなってしまうが、画像機器 1, 2 に分散して構成すればよいので、低コストで済む。この場合、画像機器 2 側で高機能を必要とするときには、ルートコンプレックス 7 を経るため、単独機器の場合よりも低速とはなるが、ルートコンプレックス 7 を介して画像機器 1 側のリソースを利用することにより簡単に実現できる。

【 0 0 6 9 】

なお、本実施の形態では、仕様の異なる画像機器 1, 2 に関して、画像機器 1 は高速仕様、画像機器 2 は低速仕様の例で説明したが、このような例に限らず、例えば、画像機器 1 側をカラー仕様、画像機器 2 側を白黒仕様とする場合、画像機器 1 側をレーザプリンタ仕様、画像機器 2 側をインクジェットプリンタ仕様とする場合、画像機器 1 側を A2 等に対応可能な広幅仕様、画像機器 2 側を A3 仕様とする場合、等、各種組合せについても同様に適用することができる（スイッチ 3, 4 の下流側に接続されるデバイスは各々の機器構成に従えばよい）。

【 0 0 7 0 】

なお、ルートコンプレックス 7 以下に接続されるスイッチの数（画像機器の数）は、2 つに限らず、3 つ以上であってもよい。

【 0 0 7 1 】

本実施の形態の拡張例を図 16 に示す。図 16 では、複数のルートコンプレックス 7 a, 7 b の上流側を共通のアドバンスドスイッチ 9 に接続したものである。即ち、機器間接続用のアドバンスドスイッチ 9 でルートコンプレックス 7 a, 7 b を接続することにより、複数の画像機器システムをさらに共通利用できるようにしたものであり、各種画像形成

10

20

30

40

50

処理に適したシステム構成となる。

【 0 0 7 2 】

本実施の形態の画像機器システムの変形例を図 1 7 に示す。この変形例では、例えば画像機器 1 のデバイス中、特に相関の強いデバイス、例えばストレージ 5 d と圧縮器 5 g と伸長器 5 h と回転器 5 j とを、スイッチ 3 に直接接続せずに、末端側共通スイッチ 1 0 を介して接続するようにしたものである。即ち、これらのデバイス 5 d , 5 g , 5 h , 5 j は画像データ処理に関して圧縮された画像データや回転処理された画像データを一旦格納したり、圧縮された画像データを伸長する際にストレージから読み出したりする上で相関の強いデバイスである。

【 0 0 7 3 】

これらの相関の強いデバイス 5 d , 5 g , 5 h , 5 j が末端側共通スイッチ 1 0 を介してスイッチ 3 に接続されているので、これらのデバイス 5 d , 5 g , 5 h , 5 j 間でのデータ転送に際してはスイッチ 3 を経ることなく末端側共通スイッチ 1 0 を経るだけでデータ転送経路の設定を容易にして、これらのデバイス 5 d , 5 g , 5 h , 5 j 間でのデータ転送をより一層高速化することができる。

【 0 0 7 4 】

なお、図 1 7 に示す例は、相関の強いデバイスの一例を示すに過ぎず、各種形態を採り得る。例えば、メモリ上の出力画像はジャムバックアップのために圧縮されて HDD に保存されるので、メモリ、圧縮器（又は、圧縮伸長器）、HDD なるデバイスを相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。また、HDD 上の符号データは伸長されてメモリに展開されるので、HDD、伸長器（又は、圧縮伸長器）、メモリなるデバイスを相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。また、メモリ上の画像データを出力する向きに回転させ、再び、メモリ上に展開することが多いので、メモリと回転器なるデバイスを相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。さらに、スキャナエンジンで読み取られた画像データは、圧縮伸長器で圧縮されメモリへ展開されることが多いので、スキャナ（入力部）、圧縮伸長器、メモリを相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。この場合、変倍処理を含むことも多いので、変倍器を含ませてもよい。また、逆にメモリに展開された符号データを圧縮伸長器で伸長し、プリンタで出力することが多いので、プリンタ（出力部）、圧縮伸長器、メモリを相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。この場合、変倍処理を含むことも多いので、変倍器を含ませてもよい。さらには、メモリに格納された画像データと印字データとを合成器で合成し、プリンタで 1 つのデータとして出力することもあるので、メモリ、合成器、プリンタ（出力部）を相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。同様に、メモリに展開された符号データ（プリンタ言語）をデータ変換器で翻訳し、プリンタにより出力する場合も多いので、メモリ、データ変換器、プリンタ（出力部）を相関の強いデバイスとして末端側共通スイッチに接続するようにしてもよい。

【 図面の簡単な説明 】

【 0 0 7 5 】

【 図 1 】 既存 PCI システムの構成例を示すブロック図である。

【 図 2 】 PCI Express システムの構成例を示すブロック図である。

【 図 3 】 デスクトップ / モバイルでの PCI Express プラットホームの構成例を示すブロック図である。

【 図 4 】 x 4 の場合の物理層の構造例を示す模式図である。

【 図 5 】 デバイス間のレーン接続例を示す模式図である。

【 図 6 】 スwitch の論理的構造例を示すブロック図である。

【 図 7 】 (a) は既存の PCI のアーキテクチャを示すブロック図、(b) は PCI Express のアーキテクチャを示すブロック図である。

【 図 8 】 PCI Express の階層構造を示すブロック図である。

【 図 9 】 トランザクションレイヤパケットのフォーマット例を示す説明図である。

10

20

30

40

50

【図10】PCI Expressのコンフィグレーション空間を示す説明図である。

【図11】仮想チャンネルの概念を説明するための模式図である。

【図12】データリンクレイヤパケットのフォーマット例を示す説明図である。

【図13】x4リンクでのバイトストライピング例を示す模式図である。

【図14】アクティブステート電源管理の制御例を示すタイムチャートである。

【図15】本実施の形態の画像機器システムにおける木構造例を示す原理的な模式図である。

【図16】本実施の形態の拡張例の画像機器システムにおける木構造例を示す原理的な模式図である。

【図17】本実施の形態の画像機器システムの変形例を示す原理的な模式図である。

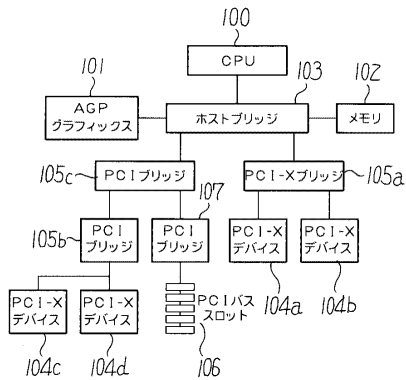
10

【符号の説明】

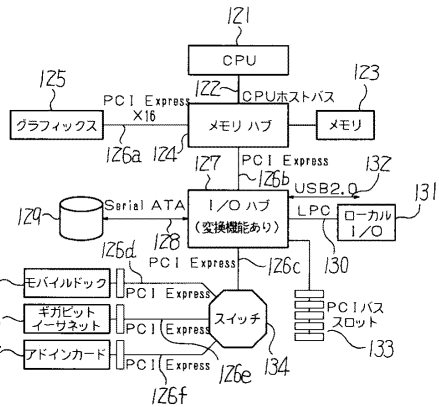
【0076】

- 1, 2 画像機器
- 3, 4 スイッチ
- 5, 6 デバイス
- 7 ルートコンプレックス
- 8 画像機器システム
- 9 アドバンスドスイッチ
- 10 末端側共通スイッチ

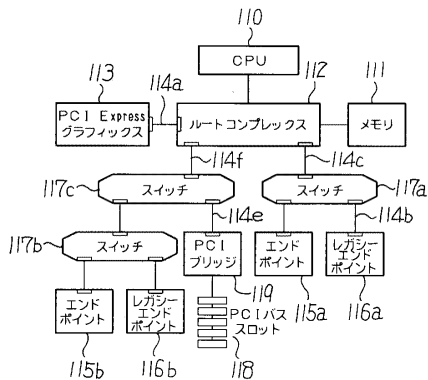
【図1】



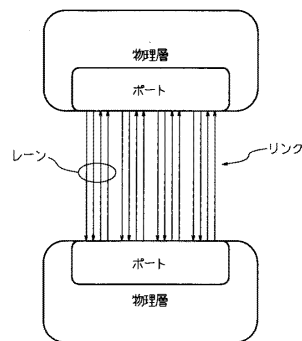
【図3】



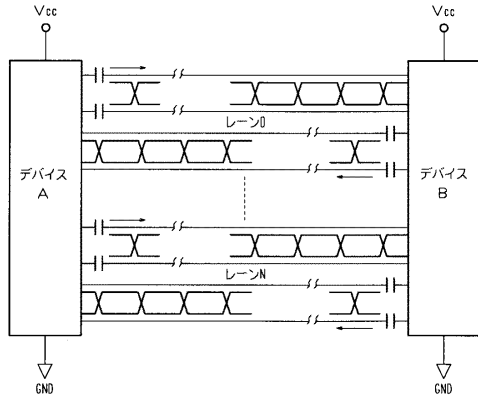
【図2】



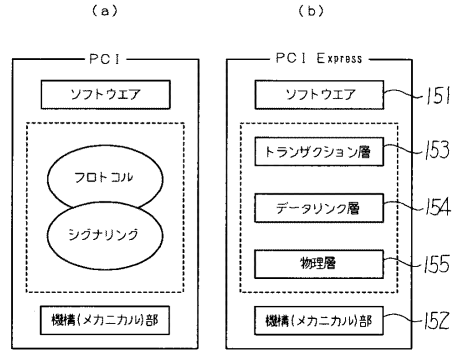
【図4】



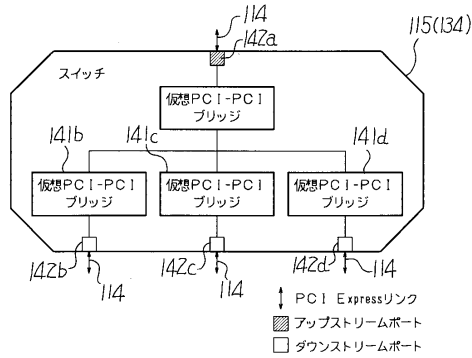
【図5】



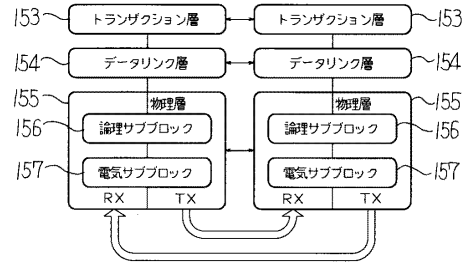
【図7】



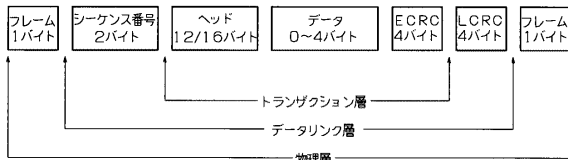
【図6】



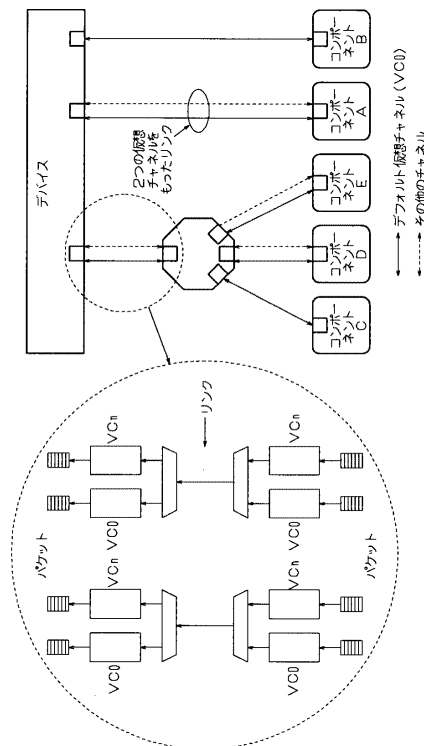
【図8】



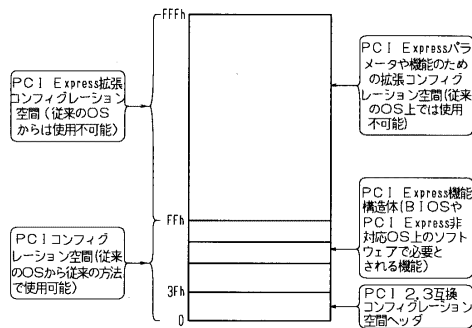
【図9】



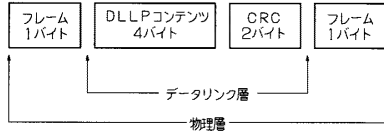
【図11】



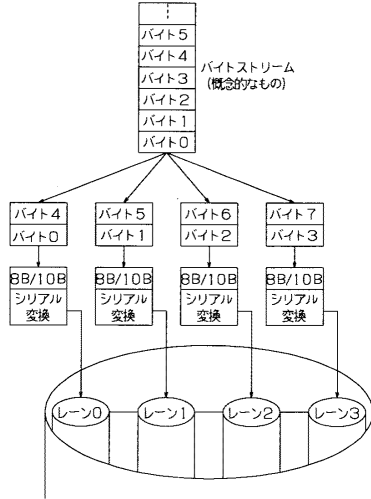
【図10】



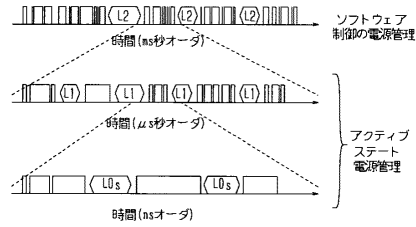
【図12】



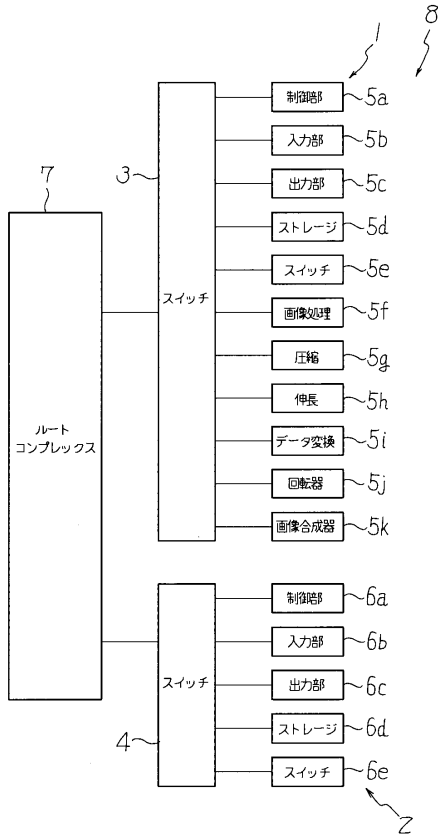
【図13】



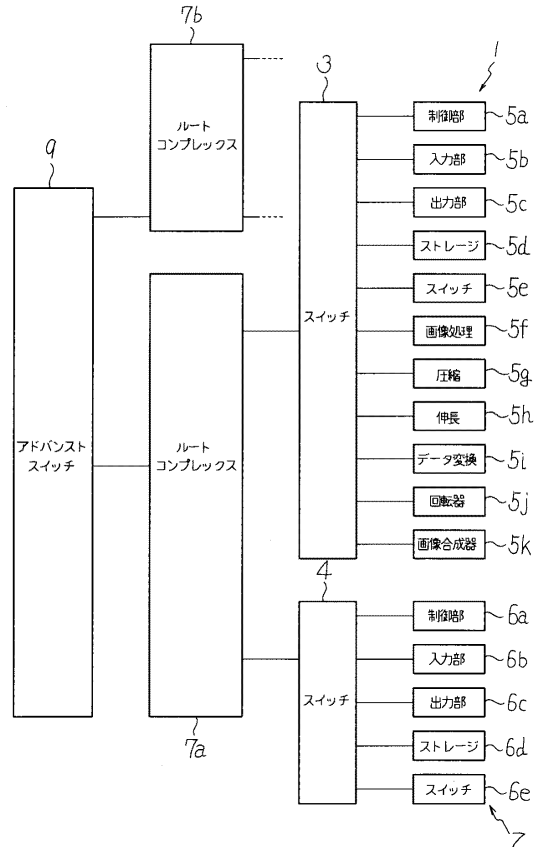
【図14】



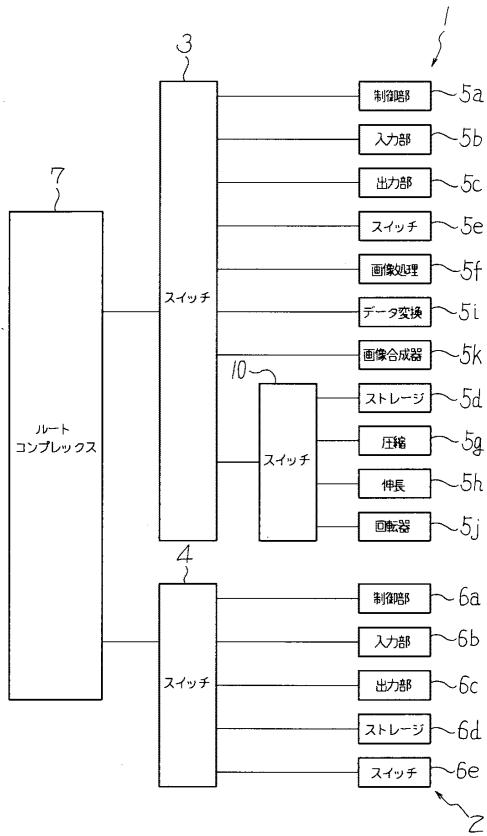
【図15】



【図16】



【図17】



フロントページの続き

- (72)発明者 池田 純一
東京都大田区中馬込1丁目3番6号 株式会社リコー内
- (72)発明者 押切 幸治
東京都大田区中馬込1丁目3番6号 株式会社リコー内
- (72)発明者 竹尾 光治
東京都大田区中馬込1丁目3番6号 株式会社リコー内
- (72)発明者 沼倉 覚
東京都大田区中馬込1丁目3番6号 株式会社リコー内
- (72)発明者 佐々木 徹
東京都大田区中馬込1丁目3番6号 株式会社リコー内
- (72)発明者 米田 豊
東京都大田区中馬込1丁目3番6号 株式会社リコー内

審査官 鈴木 理絵子

(56)参考文献 国際公開第03/058469(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 13/20 - 13/378
G06F 13/38 - 13/42
G06F 3/12
B41J 29/38