

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月18日(18.06.2015)

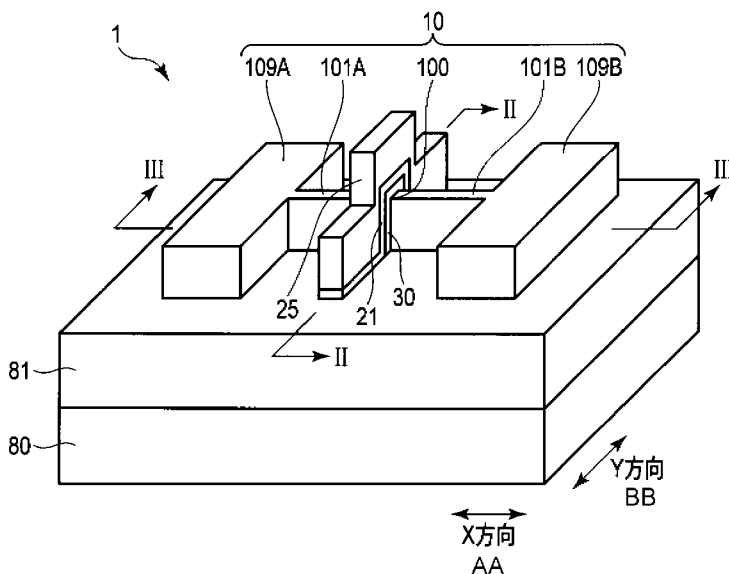


(10) 国際公開番号
WO 2015/087935 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 29/423 (2006.01)
H01L 21/8234 (2006.01) H01L 29/47 (2006.01)
H01L 27/08 (2006.01) H01L 29/49 (2006.01)
H01L 27/088 (2006.01) H01L 29/872 (2006.01)
 - (21) 国際出願番号: PCT/JP2014/082755
 - (22) 国際出願日: 2014年12月10日(10.12.2014)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2013-255383 2013年12月10日(10.12.2013) JP
 - (71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
 - (72) 発明者: 鎌田 善己 (KAMATA, Yoshiki); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産室内 Tokyo (JP).
 - (74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050001 東京都港区虎ノ門一丁目三番二号 勤銀不二屋ビル六階 鈴榮特許総合事務所内 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING SAME, AND SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電界効果トランジスタ及びその製造方法、半導体デバイス及びその製造方法



AA X direction
BB Y direction

(57) Abstract: A field effect transistor of an embodiment of the present invention includes the following: a first conductivity-type source region, a first conductivity-type drain region, and a first conductivity-type channel region that are provided in a polycrystalline semiconductor layer; a first layer including a first amorphous semiconductor film on the channel region; a gate insulating film on the first layer; and a gate electrode on the gate insulating film.

(57) 要約: 本実施形態に関わる電界効果トランジスタは、多結晶半導体層内に設けられた第1の導電型のソース領域及び第1の導電型のドレイン領域及び第1の導電型のチャネル領域と、前記チャネル領域上の第1のアモルファス半導体膜を含む第1の層と、前記第1の層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極と、を含む。

WO 2015/087935 A1

明 細 書

発明の名称：

電界効果トランジスタ及びその製造方法、半導体デバイス及びその製造方法

技術分野

[0001] 本実施形態は、電界効果トランジスタ及びその製造方法、半導体デバイス及びその製造方法に関する。

背景技術

[0002] これまで、集積回路（IC）は、トランジスタの微細化、つまり、スケーリングによって高集積化、高性能化が実現されてきた。

[0003] スケーリングを更に進める一つの手法として、近年、トランジスタ構造をジャンクションレス（JL）構造にすることが検討されている（非特許文献1）。このジャンクションレスMISFET (metal-insulator-semiconductor field effect transistor)は、ソース／ドレイン領域及びチャネル領域の導電性不純物が同じ型であり、ソース／ドレイン領域とチャネル領域との間に接合が無い。そのため、そのような構造を有するFETは、ジャンクションレスFETと、呼ばれている。

[0004] ジャンクションレスFETは、ソース／ドレイン領域及びチャネル領域の不純物濃度プロファイルを精緻に制御せずともよい。そのため、ジャンクションレスFETは、製造プロセスが非常に簡便であり、ソース／ドレイン接合の形成に制限されずにFETを微細化可能という特長を有する。

[0005] 但し、ジャンクションレスFETは、ソース／ドレイン領域及びチャネル領域の導電型が同一であるため、トランジスタの駆動時においてゲート電極直下のチャネル領域内に空乏層が形成されることによって、トランジスタがオフされる。一方、トランジスタにおける大きなオン電流を得るために、ジャンクションレスFETは、 10^{19} cm^{-3} 程度のチャネル濃度を有するように、比較的高い不純物濃度に設定される。

- [0006] そのため、ジャンクションレスFETのチャネル幅が10nm程度の比較的狭い幅に設定され、更に、チャネルの制御を多方向からゲート電極によって行うマルチゲート構造がFETに適用されることによって、チャネル領域内において多方向から空乏層が伸びる構造を有するジャンクションレスFETを形成することが望ましい。これによって、ジャンクションレスFETは、チャネル領域内の空乏層幅を調節することにより、チャネル領域内のチャネルのオン／オフが制御される。
- [0007] ジャンクションレスFETは、ソース／ドレイン領域とチャネル領域とのキャリア（導電型不純物）の導電型が同一であるため、ジャンクションレスFETは、基本的にノーマリーオン動作で駆動する。そのため、ノーマリーオフ動作で駆動するジャンクションレスFETを実現することが技術的課題の一つである。
- [0008] ノーマリーオフ動作のジャンクションレスFETを形成するための方法の一つは、n型のジャンクションレスFETとp型のジャンクションレスFETとでゲート電極の材料を変え、それぞれのゲート電極の仕事関数を調整する方法が挙げられる。これによって、n型及びp型のジャンクションレスFETのそれぞれにおいてノーマリーオフ動作が可能であることが、単結晶シリコンを用いて形成されたn型及びp型のジャンクションレスFETにおいて実証されている（非特許文献1）。しかし、n型及びp型のジャンクションレスFETで別々に、ゲート電極の材料の仕事関数が制御される場合、ゲート電極を形成するためのプロセスが複雑になる。これに応じて、トランジスタを含むICの製造が高コスト化してしまう可能性がある。このため、n型及びp型ジャンクションレスFETの両方に同じ材料のゲート電極を用いて、n型及びp型ジャンクションレスFETの両方をノーマリーオフ動作させることが望まれている。
- [0009] また、近年では、素子の微細化は物理的に限界に近づきつつあり、素子の微細化以外に素子及び回路を高性能化及び高集積化するための手段として、3次元（3D）的にICを積層することが検討されている。

- [0010] IC（半導体チップ）を積層する手法としては、それぞれ別途に作製されたICチップが積層され、TSV(through silicon via)やマイクロバンプ等によって積層されたチップ間が接続される手法や、素子が形成される半導体領域（FETのチャネル材料、アクティブ領域）が基板上の層間絶縁膜上に積層される手法が検討されている。
- [0011] チャネル材料が層間絶縁膜上に積層される手法による3D-ICは、通常のCMOSプロセスで層間絶縁膜上の半導体領域に素子及び回路を形成できるため、ICの高集積化、チップの低価格化を図り易い。
- [0012] また、貼りあわせ手法等によって単結晶チャネル材料を層間絶縁膜上に形成することは可能であるが、製造コストを低減するために、スパッタ法等で絶縁膜上にチャネル材料（半導体領域）を堆積し、堆積されたチャネル材料を多結晶化させる手法が望ましい。多結晶シリコン及び多結晶ゲルマニウムがFETのチャネル材料として用いられた報告例として、例えば、非特許文献2及び3が挙げられる。
- [0013] ゲルマニウムはシリコンよりもキャリアの移動度が高いため、次世代のMISFETのチャネル材料として検討されている(非特許文献4)。単結晶ゲルマニウムからなるチャネル領域と高誘電体膜との間にSi層を介在させることによって、チャネル領域－高誘電体膜間の界面特性が向上し、キャリアの移動度が増大することが報告されている(非特許文献5及び6)。しかし、多結晶ゲルマニウムについてゲート絶縁膜／多結晶ゲルマニウムとの界面にSi層を介在させる効果についての知見は、報告されていない。

先行技術文献

非特許文献

- [0014] 非特許文献1：J-P. Colinge et al., Nature Nano. 5 225 (2010)
非特許文献2：S.D. Suk, et al., Symposium on VLSI technology 2009, p.142
非特許文献3：Y. Kamata et al., Symposium on VLSI technology 2013, T7p5

非特許文献4 : Y. Kamata, Materials Today 11 30 (2008)

非特許文献5 : R. People and J.C. Bean, Appl. Phys. Lett. 47 322 (1985)

非特許文献6 : B. De Jaeger et al., Microelectronic Engineering 80 26 (2005)

発明の概要

発明が解決しようとする課題

[0015] 本実施形態は、ノーマリーオフ動作を実現可能なジャンクションレス電界効果トランジスタ及びその製造方法を提供する。

課題を解決するための手段

[0016] 本実施形態の電界効果トランジスタは、多結晶半導体層内に設けられた第1の導電型を有するソース領域、前記第1の導電型を有するドレイン領域及び前記ソース領域と前記ドレイン領域との間の前記第1の導電型を有するチャンネル領域と、前記チャンネル領域上に設けられたアモルファス半導体膜を含む第1の層と、前記第1の層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、を含む。

発明の効果

[0017] 本実施形態によれば、チャンネル領域とゲート絶縁膜との間に半導体層を設けることによって、ノーマリーオフ動作のジャンクションレス電界効果トランジスタを提供できる。

図面の簡単な説明

[0018] [図1]図1は、実施形態の半導体デバイスの構造を示す鳥瞰図である。

[図2]図2は、実施形態の半導体デバイスの構造を示す断面図である。

[図3]図3は、実施形態の半導体デバイスの構造を示す断面図である。

[図4]図4は、実施形態の半導体デバイスの変形例の構造を示す鳥瞰図である。

。

[図5]図5は、実施形態の半導体デバイスの製造方法の一工程を示す工程図である。

[図6]図6は、実施形態の半導体デバイスの製造方法の一工程を示す工程図である。

[図7]図7は、実施形態の半導体デバイスの製造方法の一工程を示す工程図である。

[図8]図8は、実施形態の半導体デバイスの製造方法の一工程を示す工程図である。

[図9]図9は、実施形態の半導体デバイスの製造方法の一工程を示す工程図である。

[図10]図10は、実施形態の半導体デバイスの効果を説明するための図である。

[図11]図11は、実施形態の半導体デバイスの効果を説明するための図である。

[図12]図12は、実施形態の半導体デバイスの効果を説明するための図である。

[図13]図13は、実施形態の半導体デバイスの効果を説明するための図である。

[図14]図14は、実施形態の半導体デバイスの効果を説明するための図である。

[図15]図15は、実施形態の半導体デバイスの効果を説明するための図である。

[図16]図16は、実施形態の半導体デバイスの適用例を説明するための図である。

発明を実施するための形態

[0019] [実施形態]

以下に、本発明の各実施の形態が、図面を参照しながら説明される。なお、実施の形態を通して共通の構成には同一の符号が付され、重複する説明は省略される。また、各図は、発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは

以下の説明と公知の技術とを参酌して適宜、設計変更することができる。

[0020] (1) 構造

図1乃至図3を参照して、本実施形態に係る電界効果トランジスタの構造が、説明される。

[0021] 図1は、実施形態の電界効果トランジスタの構造を示す鳥瞰図である。図2は、図1の| | - | | 線に沿う断面を示す実施形態の電界効果トランジスタの断面構造図である。図3は、図1の| | | - | | | 線に沿う断面を示す実施形態の電界効果トランジスタの断面構造図である。

[0022] 図1乃至図3は、本実施形態の電界効果トランジスタ（以下では、FETとも表記する）である。

[0023] 図1乃至図3に示されるように、本実施形態の電界効果トランジスタ1は、絶縁膜81を介して、半導体基板80上方に設けられている。例えば、半導体基板80は、シリコン(Si)基板であり、絶縁膜81は、シリコン酸化物からなる膜である。以下では、半導体基板80と半導体基板上のシリコン酸化物膜81からなる構成のことを、基板とも呼ぶ。シリコン酸化物からなる絶縁膜81は、半導体基板を酸化することによって形成されるSiO₂に限らず、ボロン(B)やリン(P)が混ざったBSG膜、PSG膜、BPSG膜やTEOS膜等の堆積膜でもよい。また、絶縁膜81は、窒素(N)、炭素(C)、又はフッ素(F)等が混ざっている一般に層間絶縁膜として使われている膜でも良い。

[0024] 本実施形態の電界効果トランジスタ1において、絶縁膜81上の半導体層(半導体領域)10が、電界効果トランジスタのチャンネル材料(アクティブ領域)に用いられている。

[0025] 本実施形態のトランジスタ1において、チャンネル領域100、2つのソース/ドレイン領域101A、101Bは、絶縁膜81上の半導体層10内に設けられている。

[0026] 実施形態の電界効果トランジスタ1は、例えば、マルチゲート構造の電界効果トランジスタである。図1乃至図3に示される例では、実施形態のトラ

ンジスタは、F i n F E Tである。本実施形態のように、マルチゲート構造のトランジスタ1がF i n F E Tである場合、半導体層10は、所望の線幅（フィン幅）の短冊状の構造（フィン構造）を有する。

[0027] 電界効果トランジスタ1のゲート電極25が、ゲート絶縁膜21を介して、フィン構造の半導体層10にまたがることによって、マルチゲート構造の電界効果トランジスタが形成される。ここで、本実施形態におけるF i n F E Tとは、フィン構造（フィン部）の上部上のゲート電極下の半導体領域がチャンネルとして機能しない狭義のF i n F E Tだけでなく、フィン構造の側部のチャンネルとゲート電極下の半導体領域（フィン構造の上部）のチャンネルとがトランジスタの駆動時のチャンネルとして機能するマルチゲートF E Tを含む。それらのF E Tが、F i n F E Tと呼ばれ、以下の説明でもそれらのトランジスタが、同様にF i n F E Tと呼ばれる。

[0028] チャンネル材料としての半導体層10におけるゲート電極25と交差する部分が、電界効果トランジスタ1のチャンネル領域100となる。ソース／ドレイン領域101A、101Bが、フィン構造の半導体層10の延在方向（X方向）において半導体層10内のチャンネル領域100を挟むように、半導体層10内に設けられている。以下では、2つのソース／ドレイン領域101A、101Bを区別しない場合において、それらは、ソース／ドレイン領域101と表記される。

[0029] 半導体層10の延在方向（X方向、トランジスタのチャンネル長方向）の一端及び他端に、半導体層10の幅方向（Y方向）においてフィン幅より大きい寸法を有する部分109が、それぞれ設けられている。例えば、フィン幅より大きい寸法を有する部分109に、コンタクトプラグ（コンタクト部）CPが接続される。以下では、このフィン幅より大きい寸法を有する部分109は、コンタクトエリア109とよばれる。コンタクトエリア109がフィン幅より大きい寸法を有する部分に有することによって、フィン構造を有する半導体層10とコンタクトプラグCPとの接触面積が増加し、半導体層10とコンタクトプラグCPとの接触抵抗が低減される。

- [0030] 例えば、コンタクトエリア109内には、導電層（例えば、金属化合物層、より具体的な例としては、NiGe）29A, 29Bが設けられている。コンタクトエリア109内の導電層29A, 29Bにより、コンタクトエリア109とコンタクトプラグCPとの間の接触抵抗が低減される。
- [0031] 尚、コンタクトエリア109は、ソース／ドレイン領域101A, 101Bの一部として扱われてもよい。
- [0032] ゲート絶縁膜21には、例えば、SiO₂のようなシリコンを主成分とする酸化物、又は、ハフニウムアルミニウム酸化物（HfAlO）のような高誘電体材料が、用いられる。ゲート電極25には、多結晶シリコン、多結晶ゲルマニウム、シリサイドのような導電性シリコン化合物、導電性ジャーマナイド、窒化チタン（TiN）、窒化タンタル（TaN）のような導電性化合物、タングステン（W）又は銅（Cu）のような単体金属等が、用いられる。
- [0033] 図1及び図2に示されるように、本実施形態のFinFETは、FETの駆動時に、チャネル領域100の上面及び両側面の3つの面（方向）において、ゲート絶縁膜21を挟んで、ゲート電極25とチャネル領域100とが対向している。尚、チャネル領域100の上面とゲート絶縁膜21との間に、ゲート絶縁膜21よりも厚い絶縁膜が介在していてもよい。
- [0034] 例えば、本実施形態の電界効果トランジスタ1のチャネル領域100及びソース／ドレイン領域101は、Si以外の半導体材料を用いて、形成される。本実施形態において、チャネル領域100及びソース／ドレイン領域101が形成される半導体層10は、多結晶ゲルマニウム（Ge）層10である。
- [0035] 本実施形態の電界効果トランジスタ1は、ジャンクションレスFETである。
- 本実施形態のジャンクションレスFET1において、ソース／ドレイン領域101の導電型は、チャネル領域100の導電型と同じである。すなわち、本実施形態のジャンクションレスFET（ジャンクションレスFinFE

T) 1が、p型MISFETである場合、チャンネル領域100及びソース／ドレイン領域101は、p型の半導体領域（例えば、p型の多結晶Ge層）である。本実施形態のジャンクションレスFET1が、n型MISFETである場合、チャンネル領域100及びソース／ドレイン領域101は、n型の半導体領域（例えば、n型の多結晶Ge層）である。

[0036] p型のジャンクションレスFETにおいて、チャンネル領域及びソース／ドレイン領域としての半導体領域（半導体層）10は、 $10^{19}/\text{cm}^3$ 程度の不純物濃度のp型ドーパントを含む。一方、n型ジャンクションレスFETにおいて、チャンネル領域及びソース／ドレイン領域としての半導体領域10は、 $10^{18}/\text{cm}^3$ 程度の不純物濃度のn型ドーパントを含む。

[0037] 図1乃至図3に示されるように、本実施形態のジャンクションレスFET1において、トランジスタ1のチャンネル領域100とゲート絶縁膜21との間に、半導体層30が設けられている。以下では、チャンネル領域100とゲート絶縁膜21との間の半導体層30は、キャップ層30とよばれる。

[0038] チャンネル領域100とゲート絶縁膜21との間のキャップ層30は、例えば、チャンネル領域100を形成するための半導体材料と異なる材料からなる。キャップ層30を形成するための半導体材料のバンドギャップの大きさは、チャンネル領域100を形成するための半導体材料のバンドギャップの大きさと異なる。

[0039] チャンネル領域100が多結晶Ge層から形成される場合、キャップ層30は、非晶質Si層から形成される。尚、非晶質Si以外の半導体材料からなるキャップ層30が、Ge層からなるチャンネル領域100に対して、用いられてもよい。但し、キャップ層30の材料とチャンネル領域100の材料とは、互いに異なる材料であることが望ましい。例えば、キャップ層30は、SiGe層や、アンチモン化インジウム(InSb)層でもよい。

[0040] キャップ層30は、n型の半導体層でもよいし、p型の半導体層でもよいし、さらには、p型及びn型の不純物をほとんど含まない真性半導体層でもよい。例えば、キャップ層30の膜厚は、ゲート絶縁膜21の膜厚以下、具

体的な数値としては、0.7 nm～1.5 nm程度である。但し、キャップ層30の膜厚は、この膜厚に限定されない。キャップ層30は、複数の半導体膜の積層構造、又は、半導体膜と絶縁膜との積層構造でもよい。キャップ層30の結晶性は、非晶質でもよいし、多結晶でもよい。

[0041] 図4は、本実施形態の電界効果トランジスタの変形例を示す鳥瞰図である。

図4に示されるFETは、プレーナー構造のジャンクションレスFETである。

図4に示されように、プレーナー構造のジャンクションレス型FETのゲート絶縁膜21とチャネル領域（例えば、多結晶ゲルマニウム層）10との間に、キャップ層30が用いられてもよい。また、実施形態の電界効果トランジスタ1は、ダブルゲート構造の電界効果トランジスタでもよい。プレーナー構造のジャンクションレス型FETにおいて、例えば、絶縁膜81上の多結晶ゲルマニウム層10は、絶縁膜82によって区画されている。尚、本実施形態における多結晶ゲルマニウム層10を用いたジャンクションレスFETは、絶縁膜82が設けられないプレーナー構造でもよく、図1乃至3における広い幅（フィン幅方向の寸法）を有するチャネル領域を含むメサ型構造を、有してもよい。

[0042] 本実施形態のジャンクションレスFET1は、ゲート絶縁膜21とチャネル領域100との間に、キャップ層30が設けられる。これによって、FET1の閾値電圧（オン電圧）が、FETのチャネル領域ーゲート絶縁膜間にキャップ層が設けられない場合におけるノーマリーオン状態の値から、ノーマリーオフ状態の値へシフトする。

この結果として、本実施形態のジャンクションレスFETは、ノーマリーオフ動作を実現できる。

[0043] したがって、本実施形態によれば、ノーマリーオフ型のジャンクションレス電界効果トランジスタを提供できる。

[0044] (2) 製造方法

図5乃至図9を参照して、本発明の実施形態の半導体デバイス（電界効果トランジスタ）の製造方法について説明する。

- [0045] 以下の本実施形態の電界効果トランジスタ（ジャンクションレスFinFET）の製造方法は、トランジスタのチャネル領域100を形成するための半導体層（チャネル材料、アクティブ領域）10が多結晶ゲルマニウム（poly-Ge）、キャップ層を形成するための半導体層30が非晶質シリコン、ゲート絶縁膜21がハフニウムアルミニウム酸化物（HfAlO）、ゲート電極25が窒化タンタル（Ta₂N₅）である場合について、説明される。
- [0046] 図5に示されるように、半導体基板（例えば、単結晶Si基板）80に対する酸化処理により、半導体基板80上に、酸化膜（ここでは、SiO₂膜）81が形成される。非晶質Ge層（半導体層）10Zが、例えば、スパッタ法によって、SiO₂膜81上に形成される。尚、Si基板80上のSiO₂膜81は、CVD法によって、Si基板80上に堆積されたシリコン酸化物膜でもよい。
- [0047] レジスト膜が非晶質Ge層10Z上に塗布された後、レジスト膜に対する電子線描画工程及びエッチング工程により、所定のパターンのレジストマスク99が、非晶質Ge層10Z上に形成される。
- [0048] 図6に示されるように、パターニングされたレジストマスク99をマスクに用いて、非晶質Ge層が、異方性エッチングにより、加工される。
- [0049] これによって、レジストマスク99に基づいた平面パターンを有する非晶質Ge層10Aが、SiO₂膜81上に形成される。例えば、フィン構造を有する非晶質Ge層10Aが、形成される。尚、フィン構造の延在方向における非晶質Ge層10Aの一端及び他端には、コンタクトエリア109が、形成される。フィン構造の延在方向に交差する方向（フィン幅方向）におけるコンタクトエリア109の寸法が、フィン幅より大きくなるように、コンタクトエリア109はパターニング及び加工されている。
- [0050] レジストマスクが剥離された後、図7に示されるように、パターニングされた非晶質Ge層10Aを覆うように、SiO₂膜98が、Plasma enhanced

—CVD (PE-CVD) 法によって、非晶質Ge層10A上に堆積される。

[0051] フィン構造の非晶質Ge層がSiO₂膜98で覆われた状態で、窒素雰囲気中において500℃～600℃の温度範囲の熱処理が、非晶質Ge層が設けられた基板80に対して、5時間程度、施される。この加熱処理によって、非晶質Ge層が、多結晶化する。

このように、多結晶Ge層10が、半導体基板80上方に、形成される。

[0052] ここで、多結晶Ge層10がp型MISFETのチャネル材料（アクティブ領域）に用いられる場合、p型MISFETの形成領域となる多結晶Ge層10に関して、ドーパント（導電型不純物）がイオン注入により添加されなくとも、p型MISFETの動作に十分なキャリア濃度（例えば、 10^{19} / cm³程度のホール濃度）が得られている。

[0053] 多結晶Ge層10がn型MISFETのチャネル材料（アクティブ領域）に用いられる場合、n型MISFETの形成領域となる多結晶Ge層10内に、例えば、リン（P）が、 2×10^{15} cm²のドーズ量及び10keVのイオン加速度で、注入される。リンが注入された多結晶Ge層10に対して、窒素雰囲気中で、500℃～600℃の温度範囲の熱処理が、5時間程度、施される。これによって、多結晶Ge層10中のリンが活性化され、 10^{18} / cm³程度のキャリア濃度（ドナー濃度）のn型多結晶Ge層10が、形成される。

[0054] 図8に示されるように、多結晶Ge層が形成された後、0.5%の濃度の希フッ酸溶液によるウェットエッチングによって、多結晶Ge層10上のSiO₂膜が、除去される。

[0055] 露出された多結晶Ge層10に対して、水素雰囲気中で450℃の熱処理が、90分程度施される。この後、露出された多結晶Ge層10に対して、SiH₄/H₂雰囲気中で450℃の熱処理が、30分程度施される。

[0056] このSi化合物を含むガス雰囲気中の加熱処理によって、多結晶Ge層10上に、Si層（Siキャップ層）30が形成される。尚、Siキャップ層

30は、CVD法などの膜堆積技術によって、多結晶Ge層10上及び絶縁膜81上に、堆積されてもよい。

[0057] 尚、この工程において、Ge層10上のSi層30の一部は酸化され、SiO₂が形成される可能性がある。しかし、Si層30は、Ge層10上に残存し、半導体からなるキャップ層30として機能する。

[0058] 図9に示されるように、ゲート絶縁膜21が、多結晶Ge層10上のSiキャップ層30上に、形成される。例えば、HfAlO膜21が、ゲート絶縁膜21として、Atomic layer deposition (ALD) 法によって、Siキャップ層30上及び絶縁膜81上に堆積される。

[0059] 導電膜（例えば、Ta₂N膜）25が、スパッタ法によって、ゲート絶縁膜21上に堆積される。

[0060] 堆積された導電膜25が、電子線描画及び異方性エッチングによって、所定の形状に加工される。これによって、ゲート絶縁膜21を介してフィン構造の多結晶Ge層10のチャネル領域100と交差するように、ゲート電極25が、基板80上のSiO₂膜81上方に形成される。

[0061] 図9に示される工程に続いて、図1乃至図3に示されるように、0.5%の濃度の希フッ酸溶液によるウェットエッチングによって、多結晶Ge層10のソース／ドレイン領域101及びコンタクトエリア109上において露出しているゲート絶縁膜（ここでは、HfAlO膜）21が、除去される。

[0062] この後、Geと導電性化合物（例えば、ジャーマニド）を形成する金属膜（例えば、Ni膜）が、露出した多結晶Ge層101, 109上に、スパッタ法によって、形成される。金属膜とGe層とに対する熱処理によって、NiGe膜29A, 29Bが、ソース／ドレイン領域101, 109の少なくともコンタクトエリア109内に形成される。

[0063] HfAlO膜21上のNi膜のようなGe層10と反応しなかったNi膜は、60℃のHCl溶液によるエッチングによって選択的に除去される。このように、NiGe層が、多結晶Ge層10の所定の部分109において、自己整合的に形成される。

[0064] この後、周知のBEOLプロセスによって、層間絶縁膜が、絶縁膜81及びFET1上に形成された後、ゲート電極25及びコンタクトエリア109のそれぞれに接続されるコンタクトプラグCP、及び、コンタクトプラグCPのそれぞれに接続される配線が、順次形成される。

[0065] 以上の工程によって、チャンネル領域と異なる導電型のソース／ドレイン領域を形成すること無し、本実施形態の電界効果トランジスタ1としてのジャンクションレスFET(FinFET)1が、形成される。

[0066] 本実施形態の電界効果トランジスタの製造方法によれば、ゲート絶縁膜21とチャンネル領域(例えば、多結晶Ge層)100との間に、半導体層(例えば、Si層)30が形成される。ゲート絶縁膜21と多結晶Ge層10内のチャンネル領域100との間の半導体層30によって、本実施形態における製造方法によって形成されたジャンクションレスFETの閾値電圧は、FETのチャンネル領域－ゲート絶縁膜間にキャップ層が設けられない場合におけるノーマリーオン状態の値から、ノーマリーオフ状態の値へシフトする。

[0067] これによって、本実施形態の電界効果トランジスタの製造方法によれば、ノーマリーオフ型のジャンクションレスFETが形成される。

[0068] (3) 効果

図10乃至図15を参照して、実施形態の半導体デバイス(電界効果トランジスタ)の作用及び効果について、説明する。

[0069] 図10は、プレーナー構造のジャンクションレスFETにおける電子顕微鏡の観測像を示している。

[0070] 図10の(a)は、従来のジャンクションレスFETのチャンネル領域近傍のX-TEM(断面透過型電子線顕微鏡)の観測像を示している。図10の(b)は、本実施形態のジャンクションレスFETのチャンネル領域近傍のX-TEMの観測像を示している。従来のジャンクションレスFETには、チャンネル領域とゲート絶縁膜との間に、半導体からなるキャップ層が設けられていない。本実施形態のジャンクションレスFETには、チャンネル領域とゲート絶縁膜との間に半導体層(キャップ層)が設けられている。

- [0071] 図10の(a)及び(b)には、チャンネル領域及びゲート電極を含む積層構造（以下では、ゲートスタックとよぶ）の断面構造が示されている。キャップ層の有無以外、ゲートスタックの構成部材は、従来のFETと本実施形態のFETとで同じである。
- [0072] 図10の(a)及び(b)にそれぞれ示されるゲートスタックのチャンネル領域（多結晶Ge層）10とゲート絶縁膜（HfAlO膜）21との界面に関して、Siキャップ層が無い場合（図10の(a)）におけるチャンネル領域及びゲート電極間の界面層39の膜厚に比べて、Siキャップ層30がチャンネル領域10とゲート絶縁膜21との間に設けられる場合（図10の(b)）における層30の膜厚は、厚い。それゆえ、図10の(b)の本実施形態のFETでは、キャップ層30が、界面層として、チャンネル領域10とゲート絶縁膜21との間に介在していることが、示される。
- [0073] 尚、図10の(b)のX-TEM像において、キャップ層30は原子層換算で数層であるため、キャップ層30の結晶性は非晶質のように観測される。但し、キャップ層30は多結晶であっても良い。
- [0074] 図11は、本実施形態のジャンクションレスFETのXPS（X-ray Photoelectron Spectroscopy）の分析結果を示している。図11において、XPSの分析結果を示すグラフの横軸は、結合エネルギー（単位：eV）を示し、XPSの分析結果を示すグラフの縦軸は、検出された信号の強度（任意単位）を示している。
- [0075] XPSの測定に用いられた試料は、多結晶Ge層上にSiキャップ層が形成され、更にキャップ層上に2nmの膜厚を有するHfAlO膜が、ALD法によって形成されることによって、作製されている。
- [0076] 図11のXPSの分析結果に示されるように、本実施形態のキャップ層を含むジャンクションレスFETにおいて、Si-O結合とSi-Si結合とに起因したピークを有するスペクトルが検出されている。したがって、本実施形態において、多結晶Geのチャンネル領域とHfAlOのゲート絶縁膜との間の界面層は、Si及びSiO₂を含む層（Siキャップ層）30であると

、判別される。

[0077] 尚、図10の(b)及び図11に示される例において、多結晶Geのチャンネル領域100とHfAlOのゲート絶縁膜21との間のSiのキャップ層30が設けられた場合に、キャップ層30内にSiO₂が含まれる理由は、Si層を形成後にウェハをチャンバーから大気に取り出した際に大気中の酸素、又は、水分、若しくはキャップ層上にHfAlO膜がALD法によって成膜される際の酸化剤とキャップ層30のSiが結合したためであると、考えられる。

[0078] 図10及び図11の測定結果によって、キャップ層としてのSi層が、多結晶Geのチャンネル領域とHfAlOのゲート絶縁膜との間に存在していることが、示される。

[0079] 図12乃至図14は、本実施形態におけるキャップ層を含むジャンクションレスFETの電気的特性を示す図である。

[0080] 図12は、ジャンクションレスFETのゲート電圧とドレイン電流の関係を示すグラフである。図12の(a)及び(b)において、各グラフの横軸は、ゲート電圧の大きさ(単位: V)を示し、各グラフの縦軸は、ドレイン電流の大きさ(単位: A/μm)をlogスケールで示している。

[0081] 図12の(a)は、キャップ層を有する場合及びキャップ層を有さない場合のそれぞれにおける、p型ジャンクションレスFETの特性を示している。

[0082] 図12の(b)は、キャップ層を有する場合及びキャップ層を有さない場合のそれぞれにおける、n型ジャンクションレスFETの特性を示している。

[0083] 図12の(a)及び(b)に示されるように、キャップ層を有さないn型及びp型ジャンクションレスFETは、ノーマリーオン動作で、駆動する。

図12の(a)及び(b)において、n型及びp型ジャンクションレスFETのそれぞれに対してゲート絶縁膜(HfAlO膜)とチャンネル領域(多

結晶Ge領域)との間にキャップ層(Si層)が介在することによって、p型及びn型のジャンクションレスFETは、ノーマリーオフ動作で駆動する。

[0084] 図13は、ジャンクションレスFETのゲート長と閾値電圧との関係を示すグラフである。図13の(a)は、p型のジャンクションレスFETのゲート長と閾値電圧との関係を示している。図13の(b)は、n型のジャンクションレスFETのゲート長と閾値電圧との関係を示している。図13の(a)及び(b)のそれぞれにおいて、グラフの横軸は、ジャンクションレスFETのゲート長(単位: nm)をlogスケールで示している。図13の(a)及び(b)のそれぞれにおいて、グラフの縦軸は、ジャンクションレスFETの閾値電圧(単位: V)を示している。

[0085] 図13の(a)に示されるように、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられたp型ジャンクションレスFETの閾値電圧は、キャップ層がゲート絶縁膜とチャネル領域との間に設けられないp型ジャンクションレスFETの閾値電圧に比較して、負の方向にシフトし、本実施形態におけるp型ジャンクションレスFETの閾値電圧 V_{th} の値は負の値($V_{th} < 0$)となっている。

[0086] したがって、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられることによって、本実施形態のp型ジャンクションレスFETは、ノーマリーオフ動作で駆動する。

[0087] 図13の(b)に示されるように、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられたn型ジャンクションレスFETの閾値電圧は、キャップ層がゲート絶縁膜とチャネル領域との間に設けられないn型ジャンクションレスFETの閾値電圧に比較して、正の方向にシフトし、本実施形態におけるn型ジャンクションレスFETの閾値電圧 V_{th} の値は正の値($V_{th} > 0V$)となっている。

[0088] したがって、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられることによって、本実施形態のn型ジャンク

ションレスFETは、ノーマリーオフ動作で駆動する。

[0089] 図14は、ジャンクションレスFETのゲート電圧とドレイン電流との関係を示す図である。図14の(a)及び(b)において、各グラフの横軸は、ゲート電圧の大きさ(単位: V)を示し、各グラフの縦軸は、ドレイン電流の大きさ(単位: A)を示している。

[0090] 図14の(a)は、キャップ層を有さないp型ジャンクションレスFETの特性線APを示し、キャップ層を有するp型ジャンクションレスFETの特性線BPを示している。図14の(b)は、キャップ層を有さないn型ジャンクションレスFETの特性線ANを示し、キャップ層を有するn型ジャンクションレスFETの特性線BNを示している。

[0091] 図14に示されるように、多結晶Geチャンネル領域及びSiキャップ層を用いたジャンクションレスFETが形成されることによって、n型及びp型のFETの両方の閾値電圧は、Siキャップ層を含まないジャンクションレスFETのノーマリーオン動作の閾値電圧からシフトする。この結果として、多結晶Geチャンネル領域及びSiキャップ層を用いたジャンクションレスFETは、ノーマリーオフ動作が実現されている。

[0092] 図15を参照して、本実施形態のジャンクションレスFETのノーマリーオフ動作が実現される理由の一例について、説明する。

[0093] 図15の(a)、(b)、(c)及び(d)のそれぞれは、ゲート絶縁膜ーキャップ層ーチャンネル領域のバンドギャップ構造を模式的に示す図である。

図15の(a)は、ゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)の定常状態におけるバンドギャップ構造を示している。図15の(b)は、プレーナー構造のn型FETにおけるゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)のバンド構造を示し、図15の(c)は、プレーナー構造のp型FETにおけるゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)のバンドギャップ構造を示している。図15の(d)は、マルチゲート構造のFETのゲート絶縁膜、キャップ層(Si)及び

チャンネル領域（Ge）のバンドギャップ構造を示している。

[0094] 図15の（a）に示されるように、本実施形態のノーマリーオフ動作のジャンクションレスFETが形成されるモデルの一例として、ゲート絶縁膜21とキャップ層30との界面において、キャップ層（ここでは、Si）30の準位PLがピン止めされると考えられる。

[0095] 図15の（b）及び（c）において、n型及びp型のチャンネル材（ここでは、Ge）10のフェルミ準位が、キャップ層30のピン止めされた準位（以下では、ピニング準位ともよぶ）PLと揃うことに伴って、ゲート絶縁膜21下に空乏層が形成される。

[0096] この結果として、n型及びp型MISFETのそれぞれで、ゲート電圧が0Vのときにおいて、ゲート絶縁膜21下にチャンネルが形成されること無しに、ジャンクションレスFETは、オフ状態となる。

[0097] 図15の（d）に示されるように、チャンネル領域10が多方向から制御されるマルチゲート構造のジャンクションレスFETにおいて、ゲート絶縁膜21とチャンネル領域10との間のそれぞれにキャップ層30が設けられた場合、チャンネル領域10の中心部が空乏化し易くなる。それゆえ、本実施形態のように、ゲート電極とチャンネル領域10との間にキャップ層30が設けられた構造をマルチゲート構造のジャンクションレスFETに適用することは、効果的である。

[0098] 以上のように、本実施形態のFET及びその製造方法によれば、チャンネル領域10とゲート絶縁膜21との間に、チャンネル領域10と異なる材料の半導体層30が設けられる。これによって、本実施形態のFET及びその製造方法は、ノーマリーオフ型のジャンクションレスFETを提供できる。

[0099] （4） 適用例

図16を参照して、実施形態の電界効果トランジスタ（ジャンクションレスFET）の適用例について説明する。

[0100] 本実施形態のジャンクションレスFETは、半導体回路（IC）に適用される。例えば、本実施形態のジャンクションレスFETを含む半導体回路は

、ロジック回路、イメージセンサ、メモリ回路（例えば、フラッシュメモリ、MRAM）、FPGAなどである。

[0101] 図16は、本実施形態のジャンクションレスFETを含む半導体回路の構成を模式的に示す断面図である。

[0102] 図16に示されるように、例えば、Si単結晶基板（バルク基板）などの半導体基板80上に、複数のFET7が設けられている。FET7は、例えば、プレーナー構造のFETである。FET7は、FET7の導電型に応じて、半導体基板80内のp型又はn型ウェル領域800上に設けられている。

[0103] FET7のゲート電極75が、ゲート絶縁膜71を介して、ウェル領域800（半導体基板80）内のチャンネル領域上方に設けられている。FET7は、エンハンスメント型のFETである。FET7は、ウェル領域800内に、チャンネル領域の導電型と異なる導電型のソース／ドレイン領域（拡散層）73を有している。

[0104] ゲート電極75の側面上に、側壁絶縁膜79が設けられている。

[0105] 層間絶縁膜81が、FET7を覆うように、半導体基板80上に設けられている。

[0106] 1以上の半導体領域（半導体層）10P, 10Nが、FETのチャンネル材料（アクティブ領域）として、層間絶縁膜81上に設けられている。図16には、2つの半導体領域（例えば、多結晶Ge層）10P, 10Nが層間絶縁膜81上に設けられた例が示されているが、半導体領域10P, 10Nの個数は、2個に限定されない。以下では、半導体領域10P, 10Nを区別しない場合には、それらは、半導体領域10と表記される。

[0107] 層間絶縁膜81上の半導体領域10を用いて、本実施形態のジャンクションレスFET1N, 1Pが形成される。層間絶縁膜81上のジャンクションレスFET1N, 1Pを区別しない場合には、ジャンクションレスFET1と表記する。

[0108] 層間絶縁膜81, 82内に、コンタクトプラグCP1, CP2、ビアプラ

グVP1及び配線層M1, M2が、多層配線技術によって、形成される。

[0109] 各プラグCP1, CP2及び各配線M1, M2によって、半導体基板80上のFET7が、層間絶縁膜81上に設けられた本実施形態のFET1に接続される。これによって、積層チャネル構造の3次元積層型半導体回路(3D-IC)が、形成される。

[0110] 図16に示される半導体回路において、p型の半導体領域(例えば、p型多結晶Ge層)10Pを用いて、p型のジャンクションレスFET(例えば、ジャンクションレスFinFET)1Pが、層間絶縁膜81上に形成される。n型の半導体領域(例えば、n型多結晶Ge層)10Nを用いて、n型のジャンクションレスFETが層間絶縁膜81上に形成される。p型及びn型の半導体領域10P, 10Nは、それぞれ異なる工程で形成される。

[0111] p型のジャンクションレスFET1Pは、ゲート絶縁膜25とp型の半導体領域(チャネル領域)10Pとの間に、キャップ層としての半導体層30を含んでいる。n型のジャンクションレスFET1Nは、ゲート絶縁膜25とn型の半導体領域10Nとの間に、キャップ層30を含んでいる。n型のジャンクションレスFET1Nのキャップ層30とp型ジャンクションレスFET1Pのキャップ層30は、実質的に同時に形成される。n型のジャンクションレスFET1Nのキャップ層30及びp型ジャンクションレスFET1Pのキャップ層30は、同じ材料(例えば、非晶質Si)から形成され、同じ導電型及び同じ膜厚を有している。尚、ゲート絶縁膜25は、p型及びn型の半導体領域10P, 10N上方に、実質的に同時に形成され、p型及びn型のジャンクションレスFETにおいて同じ材料のゲート絶縁膜25が用いられている。

[0112] 本適用例の半導体回路において、n型のジャンクションレスFET1Nのゲート電極25の材料200は、p型のジャンクションレスFET1Pのゲート電極25の材料200と同じ材料である。

[0113] 上述のように、本実施形態のジャンクションレスFET1は、ゲート絶縁膜25と半導体領域(多結晶半導体層)10との間にキャップ層(半導体層

) 30が設けられた構造によって、p型及びn型のジャンクションレスFET 1の両方で、ノーマリーオフ動作のジャンクションレスFET 1が、形成可能である。

[0114] ゲート絶縁膜25と半導体領域10との間にキャップ層30が設けられない構造を有する従来のn型及びp型ジャンクションレスFETが、同じゲート材料のゲート電極を有する場合、p型及びn型のジャンクションレスFETの少なくとも一方は、ノーマリーオン動作のFETとなる。

[0115] それゆえ、従来のp型及びn型のジャンクションレスFETの両方で、ノーマリーオフ動作を実現するために、p型ジャンクションレスFETのゲート電極とn型ジャンクションレスFETのゲート電極とに、互いに異なる材料が用いられ、ゲート電極材の選択及び仕事関数の調整によってトランジスタの閾値電圧が制御されていた。

[0116] この場合、p型ジャンクションレスFETとn型ジャンクションレスFETとにおいて、互いに異なる材料からなるゲート電極が、互いに異なる工程でそれぞれ形成される。そのため、従来のジャンクションレスFETを含む半導体回路の製造工程数は、増加し、半導体回路の製造コストが増加する。

[0117] 本実施形態のジャンクションレスFETは、n型のジャンクションレスFET 1Nのゲート電極25とp型のジャンクションレスFET 1Pのゲート電極25とに同じ材料を用いて形成できる。これによって、本適用例は、n型及びp型のジャンクションレスFET 1N, 1Pのゲート電極25を形成するための材料の堆積を、実質的に同時に実行でき、及び、トランジスタ1N, 1Pのゲート電極25のゲート加工を、実質的に同時に実行できる。

[0118] これによって、本適用例は、p型ジャンクションレスFETのゲート電極とn型ジャンクションレスFETのゲート電極とを異なる製造工程で形成せずともよい。したがって、本実施形態のジャンクションレスFETを含む半導体回路は、低コスト化できる。

[0119] 尚、層間絶縁膜81上のGe層10を用いて形成された複数のジャンクションレスFETは、全てp型FETでもよいし、全てn型FETでもよい。

半導体基板 80 は、SiGe 基板のような Si 単結晶基板以外の基板でもよい。層間絶縁膜 81 上のジャンクションレス FET は、プレーナー構造の FET でもよい。図 16 には、プレーナー構造の FET が半導体基板 80 のウェル上に形成された例が図示されているが、マルチゲート構造の FET（例えば、FinFET）が半導体基板 80 上に設けられてもよい。

[0120] (5) その他

本実施形態の電界効果トランジスタ及びその製造方法は、以下の構成を含む。

[0121] 実施形態において、チャネル領域及びソース／ドレイン領域が形成される半導体領域（チャネル材料）としてのゲルマニウム（Ge）層は、シリコン（Si）、炭素（C）及び錫（Sn）を含むグループから選択される 1 以上の元素を含んでいてもよい。また、半導体領域としての Ge 層は、導電型不純物として、リン（P）、ヒ素（As）及びアンチモン（Sb）、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）、インジウム（In）を含むグループの中から選択される 1 以上の元素を含んでいてもよい。

[0122] 実施形態において、半導体領域としての Ge 層 10 が多結晶である場合について述べた。しかし、半導体領域としての Ge 層 10 は、単結晶又は非晶質でもよい。

[0123] 実施形態において、半導体領域としての Ge 層 10 を多結晶化させるための工程として、半導体層に対する熱処理を実行する場合について述べた。しかし、半導体層を多結晶化させるための工程は、furnace 炉を用いた熱処理に限定されるものではなく、ランプ加熱、フラッシュランプ加熱、レーザー熱処理 (laser thermal annealing) によって実行されてもよい。また、実施形態において、FET のチャネル領域及びソース／ドレイン領域を形成するための半導体領域（チャネル材料）は、Ge 層に限定されない。チャネル材料としての半導体領域に、一般的な半導体材料、例えば、酸化物半導体材料や窒化物半導体材料などが、用いられてもよい。

[0124] 本実施形態において、キャップ層としての半導体層 30 は、Si に限らず

、一般的な半導体材料でもよい。例えば、キャップ層30は、C、Si及びSnのグループの中から選択される少なくとも1つを含む14族半導体材料、酸化物半導体材料、又は、窒化物半導体材料でも良い。チャンネル領域に用いられる半導体材料とキャップ層に用いられる半導体材料とが互いに異なっていれば、FETのチャンネル領域となる半導体材料とキャップ層となる半導体材料の組み合わせは、限定されない。

[0125] 尚、本実施形態において、チャンネル領域を形成する半導体材料とキャップ層を形成する半導体材料のバンドギャップの大小関係は限定されない。すなわち、キャップ層を形成する半導体材料のピンング準位がチャンネル領域を形成する半導体材料の準位（例えば、フェルミ準位）に揃うように形成することが可能な材料であれば、キャップ層を形成する材料のバンドギャップは、チャンネル領域を形成する半導体材料のバンドギャップより大きくともよいし、キャップ層を形成する材料のバンドギャップは、チャンネル領域を形成する半導体材料のバンドギャップより小さくともよい。また、チャンネル領域を形成する半導体材料及びキャップ層を形成する半導体材料のバンド構造が異なっていれば、バンドギャップの大きさがほぼ同じ材料が、チャンネル領域及びキャップ層に用いられてもよい。

[0126] 本実施形態において、電界効果トランジスタのゲート絶縁膜21は、HfAlOに限定されず、例えば、SiO₂のようなHfAlO以外の絶縁膜でもよい。また、本実施形態において、電界効果トランジスタのゲート電極は、Ta₂N₅に限定されず、シリサイド及び金属のような、Ta₂N₅以外の導電体でもよい。

[0127] 実施形態の電界効果トランジスタの製造方法において、非晶質半導体層（例えば、非晶質Ge層）がフィン構造に加工される工程が述べられているが、多結晶半導体層（例えば、多結晶Ge層）がフィン構造に加工されてもよい。

[0128] 実施形態の電界効果トランジスタの製造方法において、各膜（層）の形成方法には、スパッタ法、蒸着法、化学気相堆積法（CVD）、原子層堆積法

(ALD)、パルスレーザー堆積法(PLD)など、周知の堆積法を用いることができる。

[0129] 以上、本発明の実施の形態を説明したが、本発明はこれらに限られず、特許請求の範囲に記載の発明の要旨の範疇において様々に変更可能である。また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記実施形態に開示されている複数の構成要素を適宜組み合わせることにより種々の発明を形成できる。

請求の範囲

- [請求項1] 多結晶半導体層内に設けられた、第1の導電型を有するソース領域、前記第1の導電型を有するドレイン領域、及び、前記ソース領域と前記ドレイン領域との間の前記第1の導電型を有するチャンネル領域と、
- 前記チャンネル領域上に設けられたアモルファス半導体膜を含む第1の層と、
- 前記第1の層上に設けられたゲート絶縁膜と、
- 前記ゲート絶縁膜上に設けられたゲート電極と、
- を具備する電界効果トランジスタ。
- [請求項2] 前記多結晶半導体層は、ゲルマニウム、酸化物半導体、及び、窒化物半導体からなるグループから選択される1つの材料を含む、
- 請求項1に記載の電界効果トランジスタ。
- [請求項3] 前記アモルファス半導体膜は、ゲルマニウム化合物、アンチモン化インジウム、14族半導体、酸化物半導体、及び、窒化物半導体からなるグループから選択される1つの材料を含む、
- 請求項1又は2に記載の電界効果トランジスタ。
- [請求項4] 前記第1の層は、前記アモルファス半導体膜の材料と同じ材料を含む酸化膜を、さらに含む、
- 請求項1乃至3のいずれか1項に記載の電界効果トランジスタ。
- [請求項5] 前記アモルファス半導体膜の材料は、前記多結晶半導体層の材料と異なる、
- 請求項1乃至4のいずれか1項に記載の電界効果トランジスタ。
- [請求項6] ゲルマニウムを含む半導体層内に設けられた、第1の導電型を有するソース領域、前記第1の導電型を有するドレイン領域、及び、前記ソース領域と前記ドレイン領域との間の前記第1の導電型を有するチャンネル領域と、
- 前記チャンネル領域上に設けられ、シリコンを含む第1の膜を含む第

1の層と、

前記第1の層上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
を具備する電界効果トランジスタ。

[請求項7] 前記第1の層は、シリコンを含む酸化膜をさらに含む、
請求項6に記載の電界効果トランジスタ。

[請求項8] 前記第1の膜は、アモルファス膜である、
請求項6又は7に記載の電界効果トランジスタ。

[請求項9] 前記半導体層は、多結晶層である、
請求項6乃至8のいずれか1項に記載の電界効果トランジスタ。

[請求項10] 第1の導電型を有する第1のソース領域と、前記第1の導電型を有する第1のドレイン領域と、前記第1のソース領域と前記第1のドレイン領域との間の前記第1の導電型を有する第1のチャネル領域と、前記第1のチャネル領域上の第1の層と、前記第1の層上の第1のゲート絶縁膜と、前記第1のゲート絶縁膜上の第1のゲート電極と、を含む第1の電界効果トランジスタと、

前記第1の導電型と異なる第2の導電型を有する第2のソース領域、前記第2の導電型を有する第2のドレイン領域と、前記第2のソース領域と前記第2のドレイン領域との間の前記第2の導電型を有する第2のチャネル領域と、前記第2のチャネル領域上の第2の層と、前記第2の層上の第2のゲート絶縁膜と、前記第2のゲート絶縁膜上の第2のゲート電極と、を含む第2の電界効果トランジスタと、

を具備し、

前記第1のソース領域、前記第1のドレイン領域及び前記第1のチャネル領域は、第1の多結晶半導体層内に、設けられ、

前記第2のソース領域、前記第2のドレイン領域及び前記第2のチャネル領域は、第2の多結晶半導体層内に、設けられ、

前記第1の層は、第1のアモルファス半導体膜を含み、

前記第2の層は、第2のアモルファス半導体膜を含み、
前記第1のゲート電極の材料は、前記第2のゲート電極の材料と同じである、
半導体デバイス。

[請求項11] 前記第1及び第2の多結晶半導体層のそれぞれは、ゲルマニウム、
酸化物半導体、及び、窒化物半導体からなるグループから選択される
1つの材料を含む、
請求項10に記載の半導体デバイス。

[請求項12] 前記第1及び第2のアモルファス半導体膜のそれぞれは、ゲルマニウム化合物、
アンチモン化インジウム、14族半導体、酸化物半導体、及び、窒化物半導体からなるグループから
選択される1つの材料を含む、
請求項10又は11に記載の半導体デバイス。

[請求項13] 前記第1の層は、前記第1のアモルファス半導体膜の材料と同じ材料を含む第1の酸化膜を、
さらに含み、
前記第2の層は、前記第2のアモルファス半導体膜の材料と同じ材料を含む第2の絶縁酸化膜を、
さらに含み、
請求項10乃至12のいずれか1項に記載の半導体デバイス。

[請求項14] 前記第1及び第2のアモルファス半導体膜の材料は、前記第1及び第2の多結晶半導体層の材料と異なる、
請求項10乃至13のいずれか1項に記載の半導体デバイス。

[請求項15] 基板上に、第1の導電型を有するソース領域、前記第1の導電型を有するドレイン領域、
及び、前記ソース領域と前記ドレイン領域との間の前記第1の導電型を有するチャンネル領域を含む多結晶半導体層を、
形成する工程と、
前記チャンネル領域上に、アモルファス半導体膜を含む第1の層を形成する工程と、
前記第1の層上に形成されたゲート絶縁膜上に、ゲート電極を形成

する工程と、

を具備することを特徴とする電界効果トランジスタの製造方法。

[請求項16]

前記多結晶半導体層は、ゲルマニウム、酸化物半導体、及び、窒化物半導体からなるグループから選択される1つの材料を含む、

請求項15に記載の電界効果トランジスタの製造方法。

[請求項17]

前記アモルファス半導体膜の材料は、前記多結晶半導体層の材料と異なり、

前記アモルファス半導体膜は、ゲルマニウム化合物、アンチモン化インジウム、14族半導体、酸化物半導体、及び、窒化物半導体からなるグループから選択される1つの材料を含む、

請求項15又は16に記載の電界効果トランジスタの製造方法。

[請求項18]

基板上に、第1の導電型を有する第1のソース領域、前記第1の導電型を有する第1のドレイン領域、及び、前記第1のソース領域と前記第1のドレイン領域との間の前記第1の導電型を有する第1のチャンネル領域を含む第1の多結晶半導体層を形成する工程と、

前記基板上に、前記第1の導電型と異なる第2の導電型を有する第2のソース領域、前記第2の導電型を有する第2のドレイン領域、及び、前記第2のソース領域と前記第2のドレイン領域との間の前記第2の導電型を有する第2のチャンネル領域を含む第2の多結晶半導体層を形成する工程と、

前記第1及び第2の多結晶半導体層上に、アモルファス半導体膜を含む第1の層を、それぞれ形成する工程と、

前記第1の多結晶半導体層上の前記第1の層上に、第1の材料の第1のゲート絶縁膜を形成すると同時に、前記第2の多結晶半導体層上の前記第1の層上に、前記第1の材料の第2のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に、第2の材料の第1のゲート電極を形成すると同時に、前記第2のゲート絶縁膜上に、前記第2の材料の

第2のゲート電極を、形成する工程と、
を具備する半導体デバイスの製造方法。

[請求項19] 前記第1及び第2の多結晶半導体層は、ゲルマニウム、酸化物半導体、及び、窒化物半導体からなるグループから選択される1つの材料を含む、

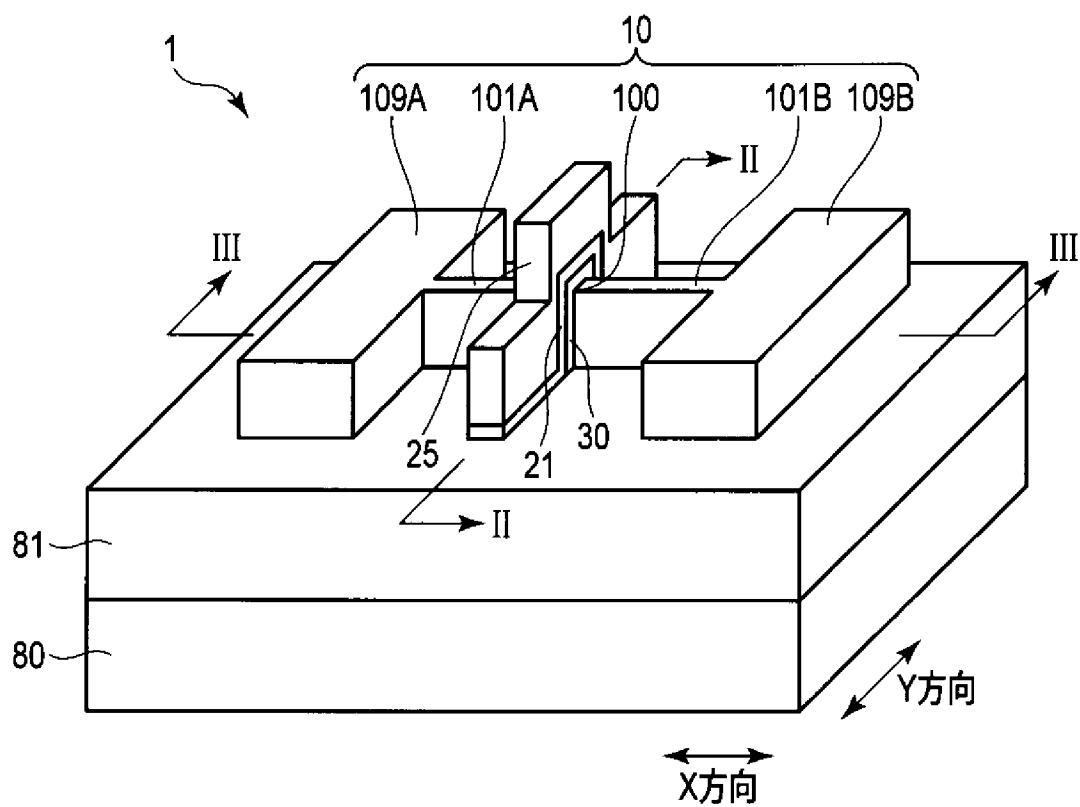
請求項18に記載の半導体デバイスの製造方法。

[請求項20] 前記アモルファス半導体膜の材料は、前記第1及び第2の多結晶半導体層の材料と異なり、

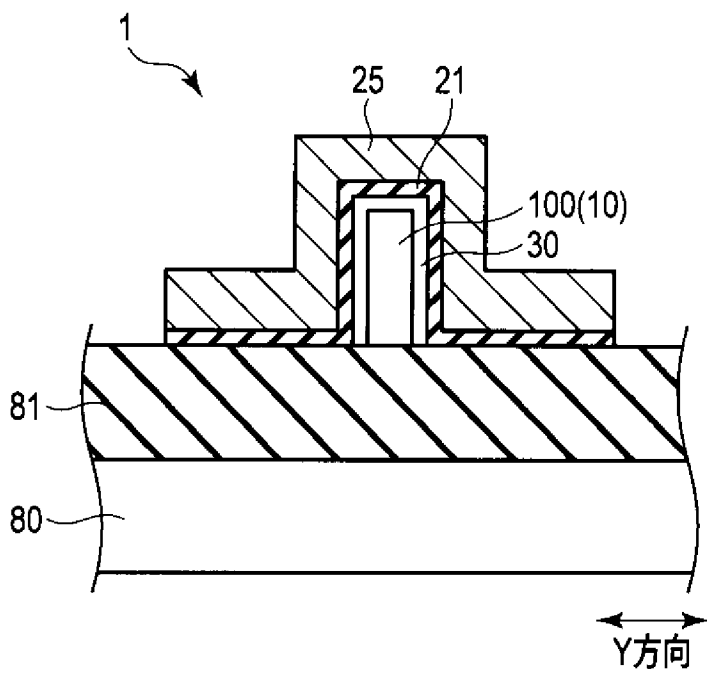
前記アモルファス半導体膜は、ゲルマニウム化合物、アンチモン化インジウム、14族半導体、酸化物半導体、及び、窒化物半導体からなるグループから選択される1つの材料を含む、

請求項18又は19に記載の半導体デバイスの製造方法。

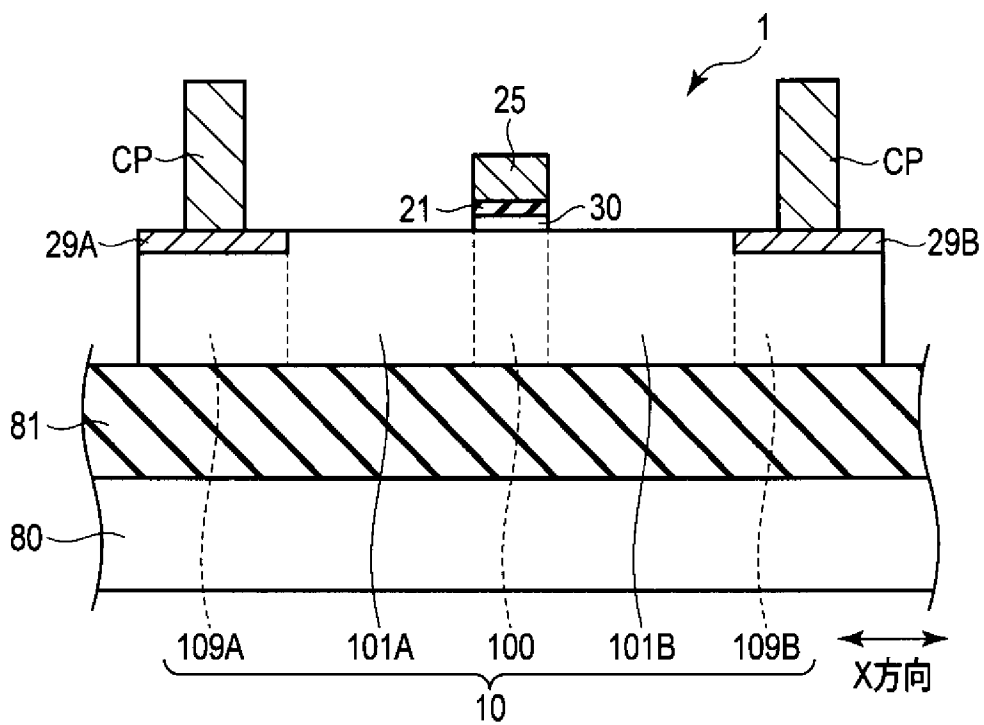
[図1]



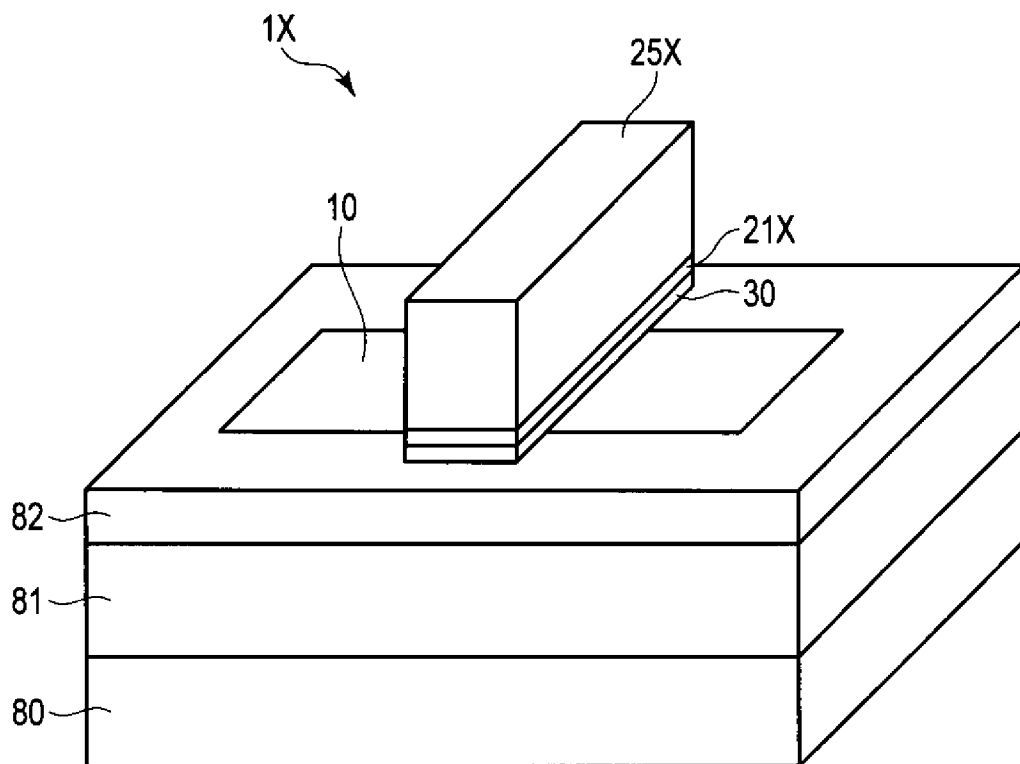
[図2]



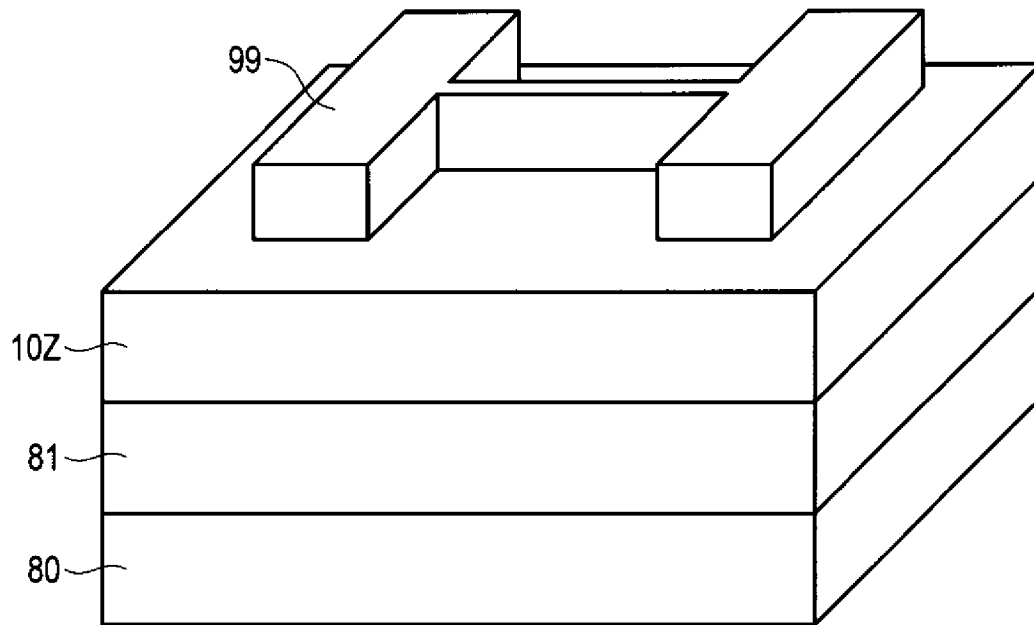
[図3]



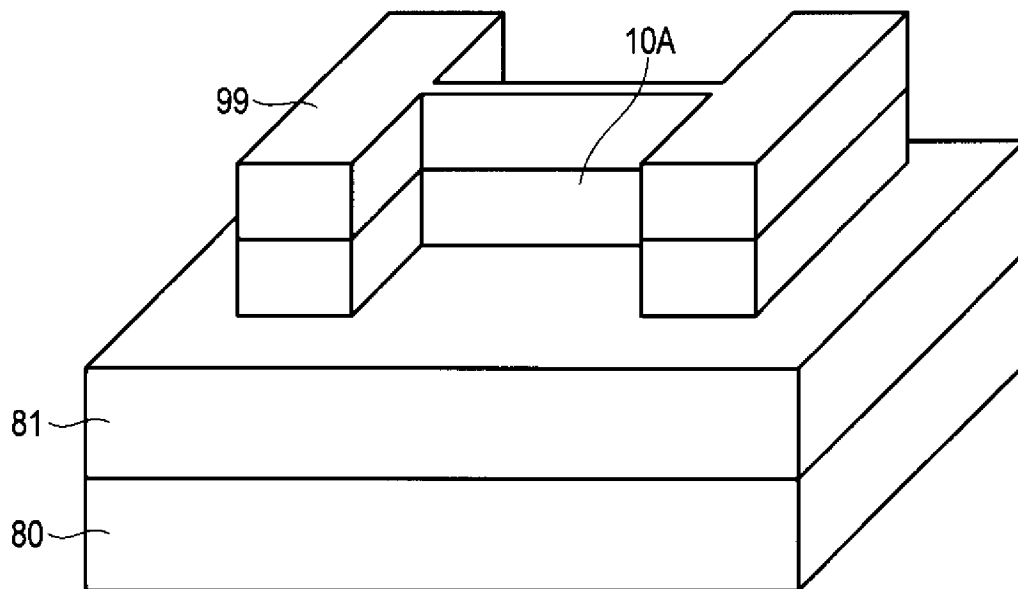
[図4]



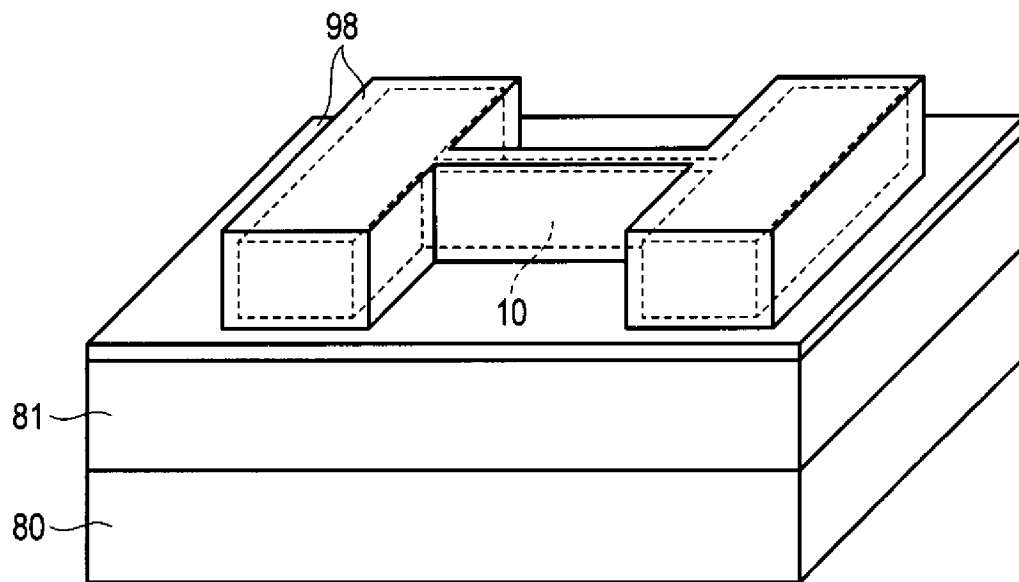
[図5]



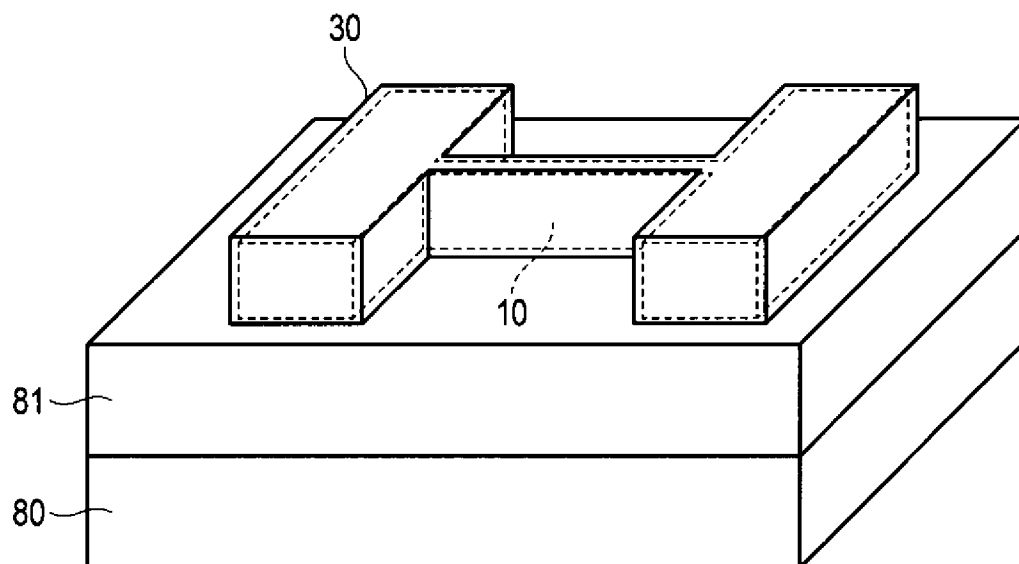
[図6]



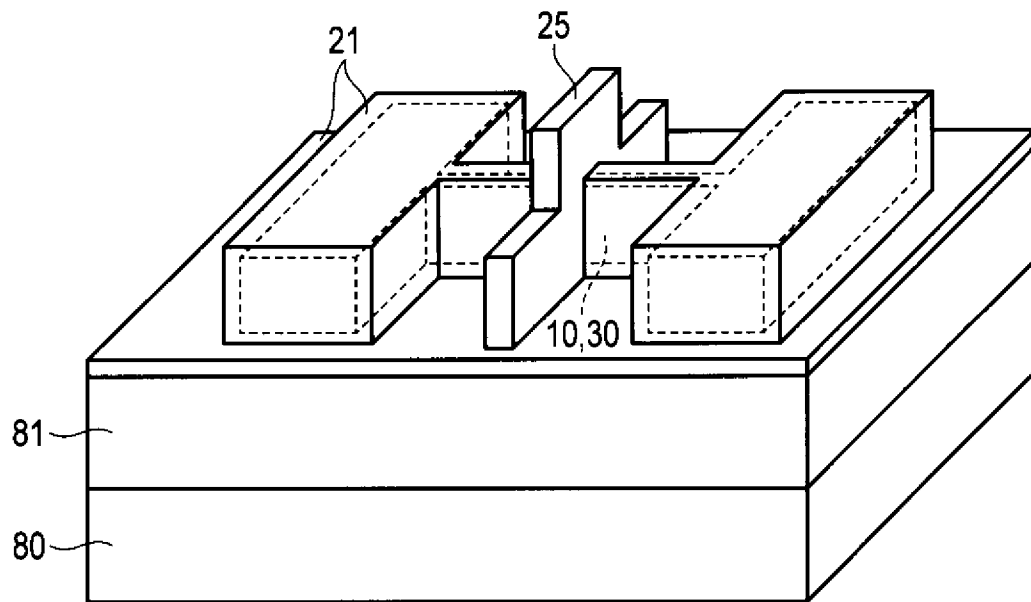
[図7]



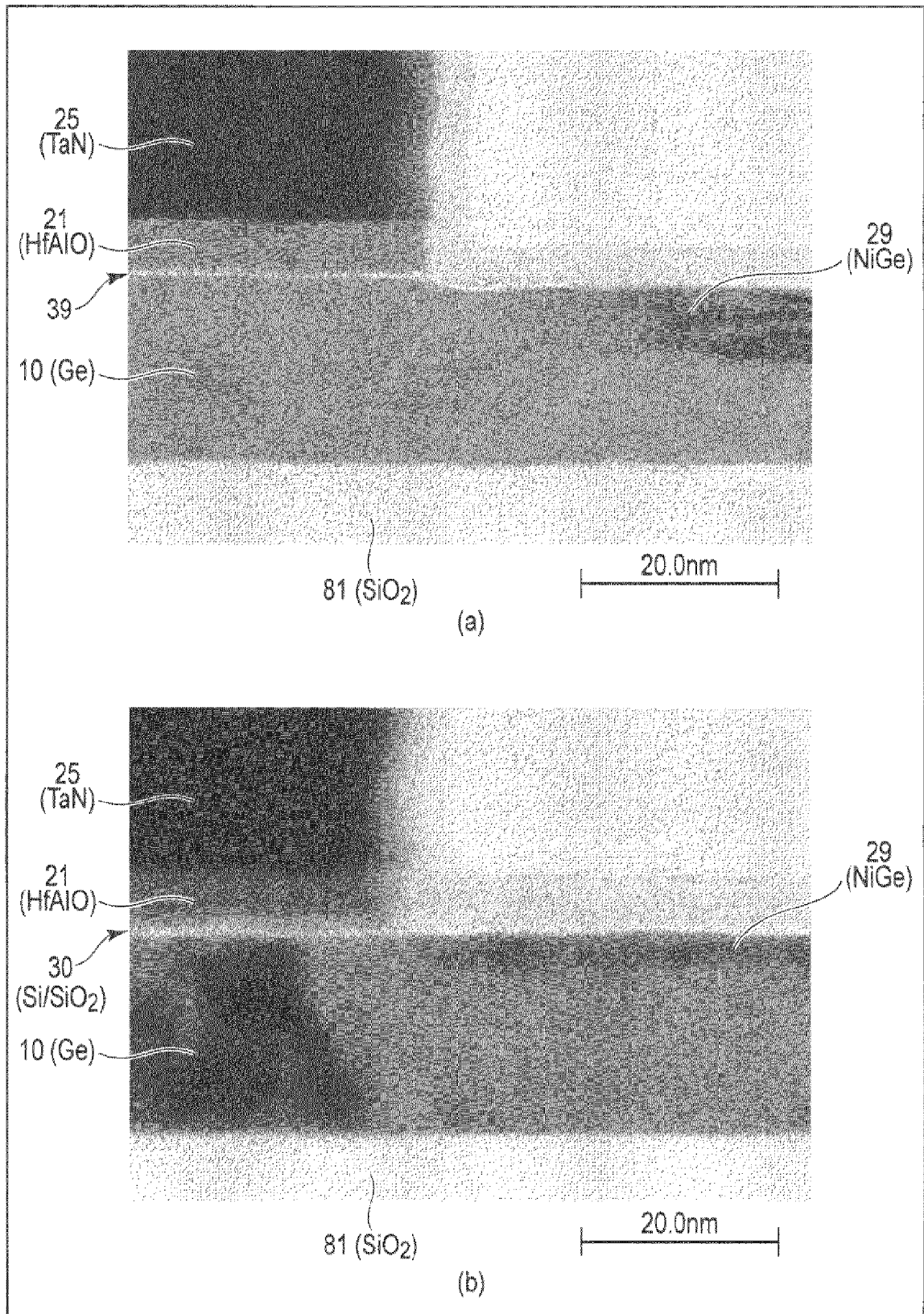
[図8]



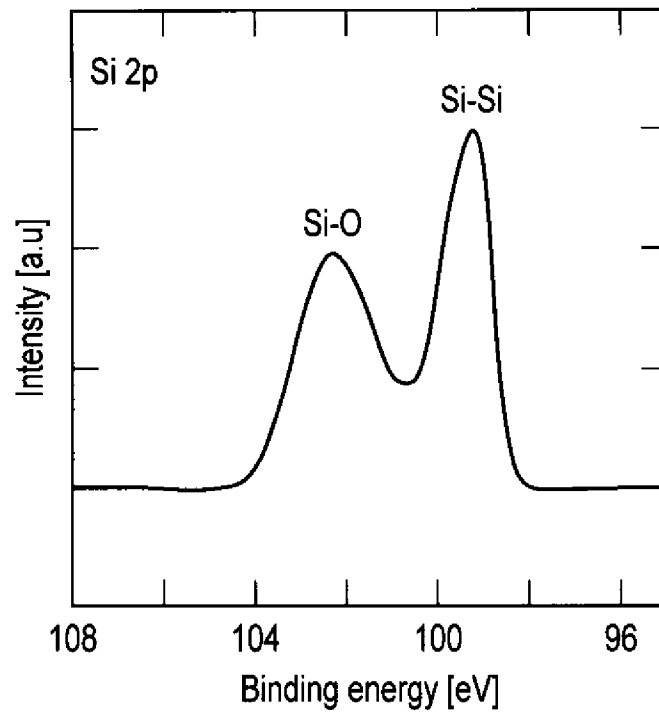
[図9]



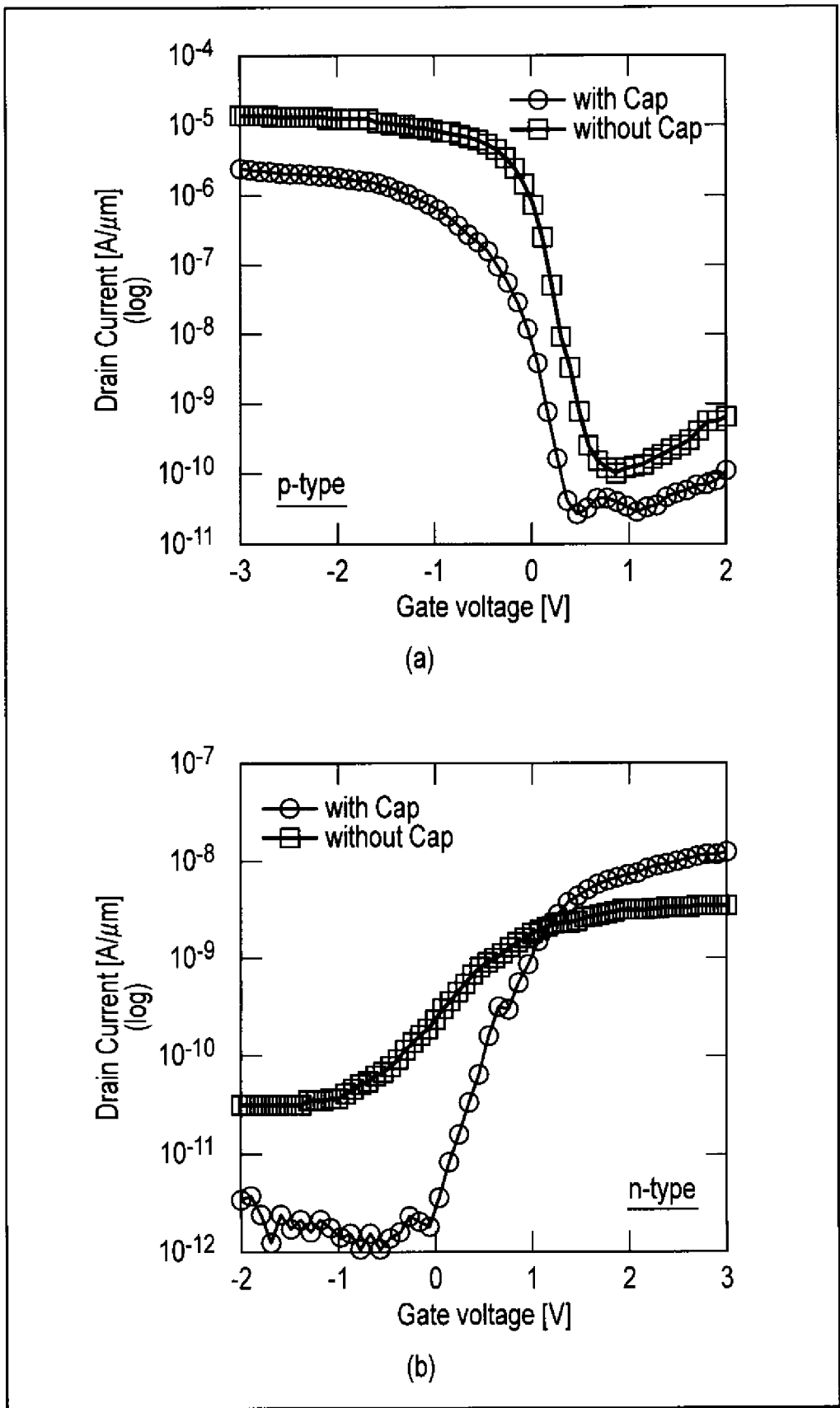
[図10]



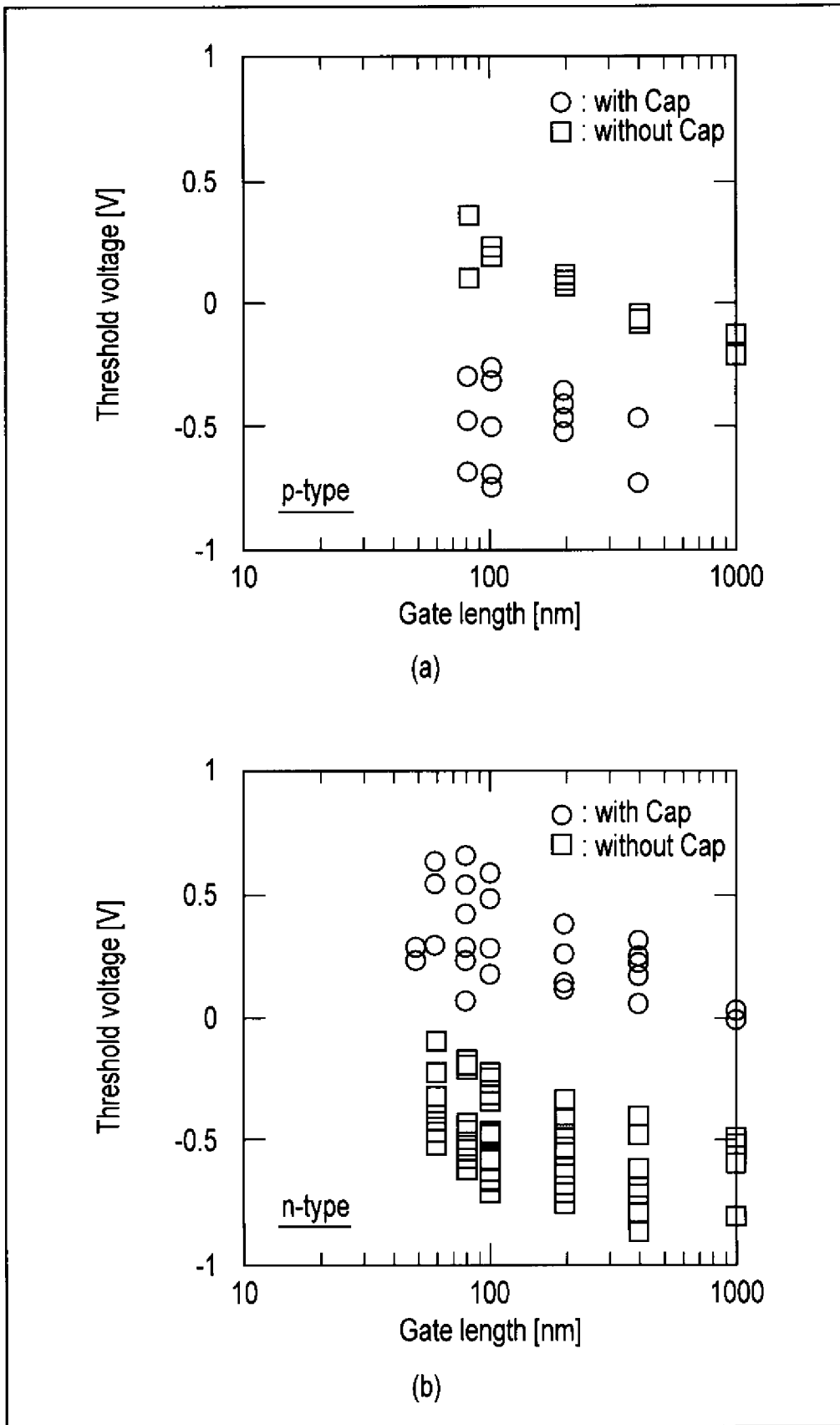
[圖11]



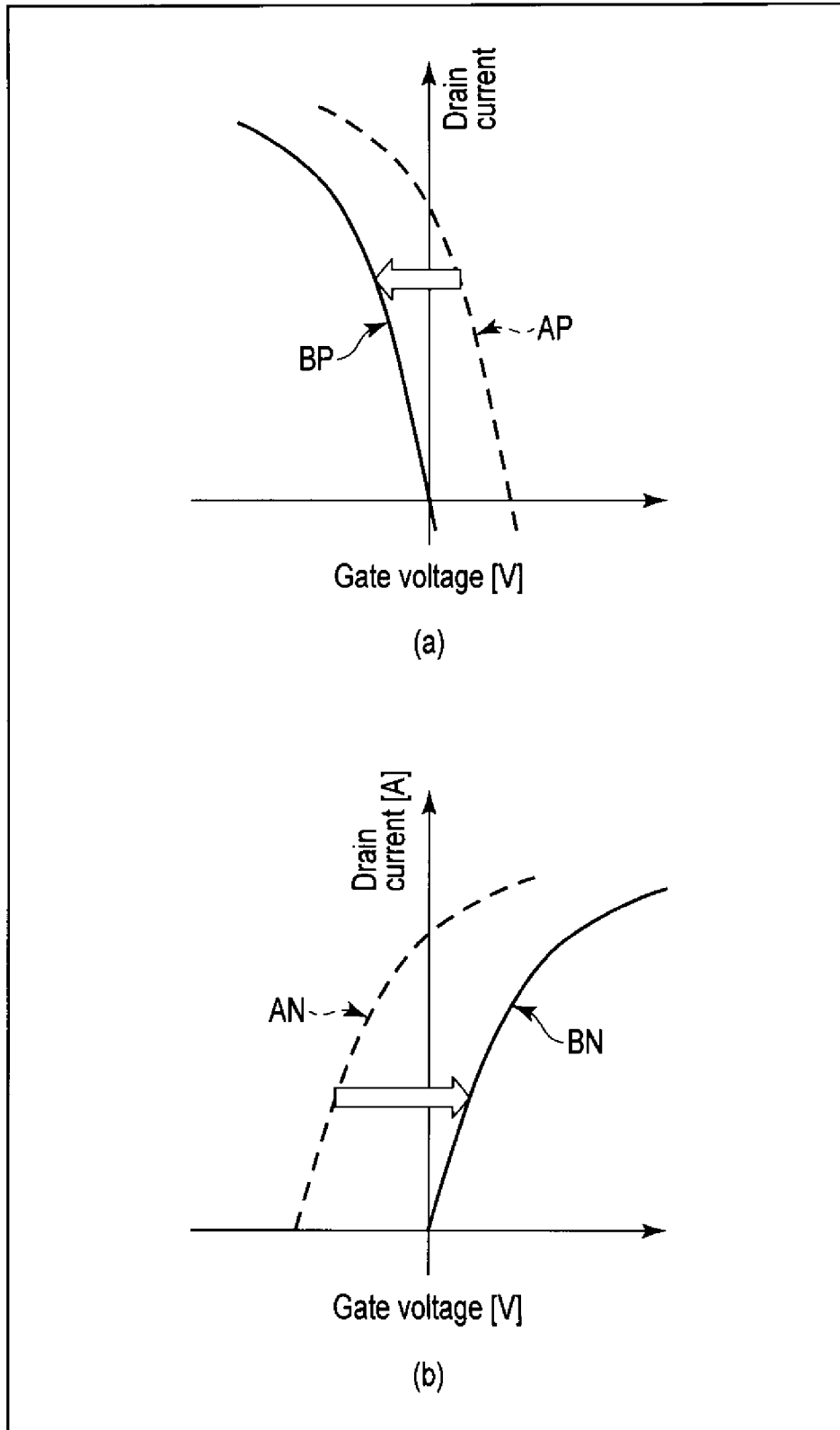
[図12]



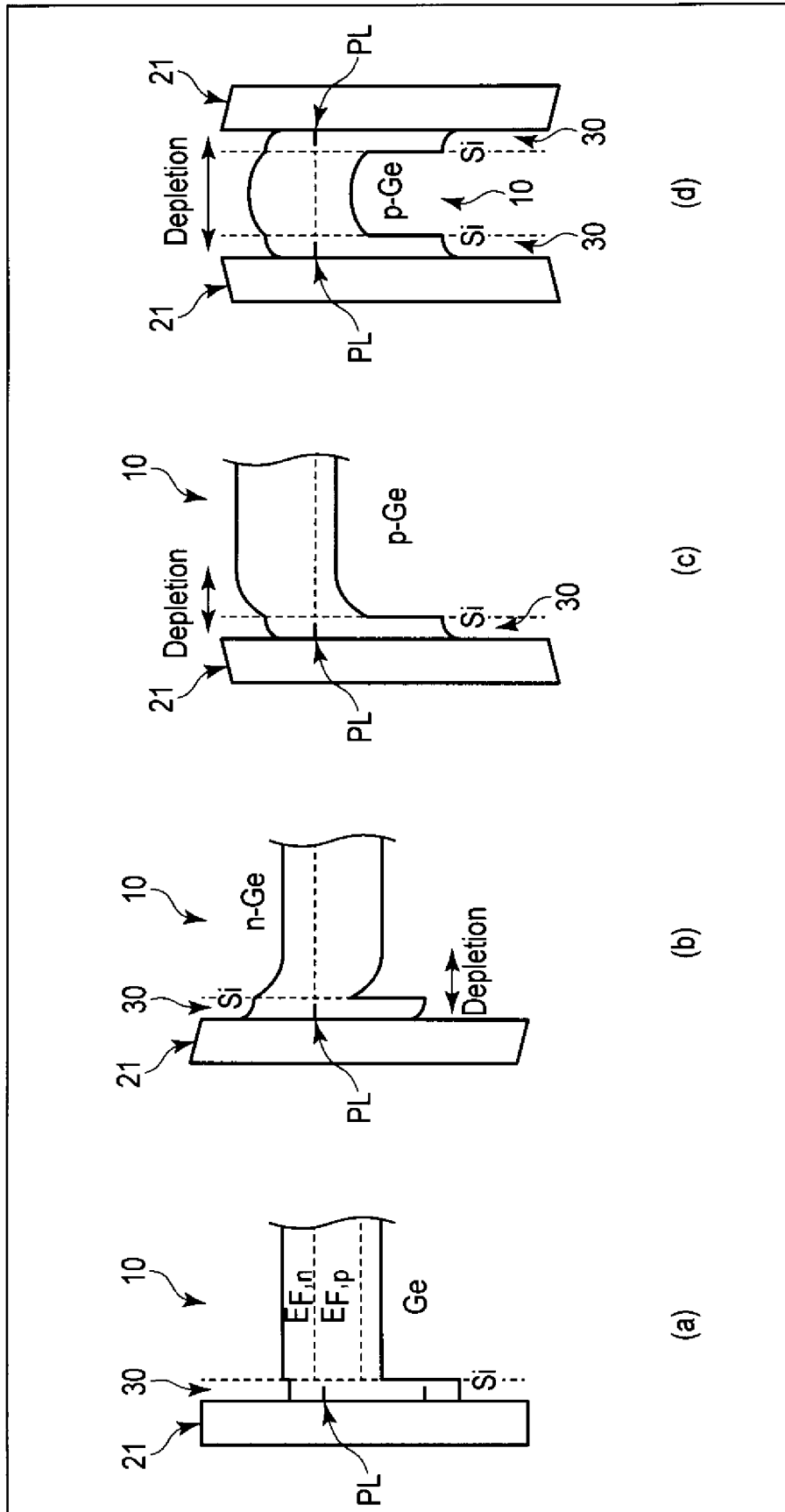
[図13]



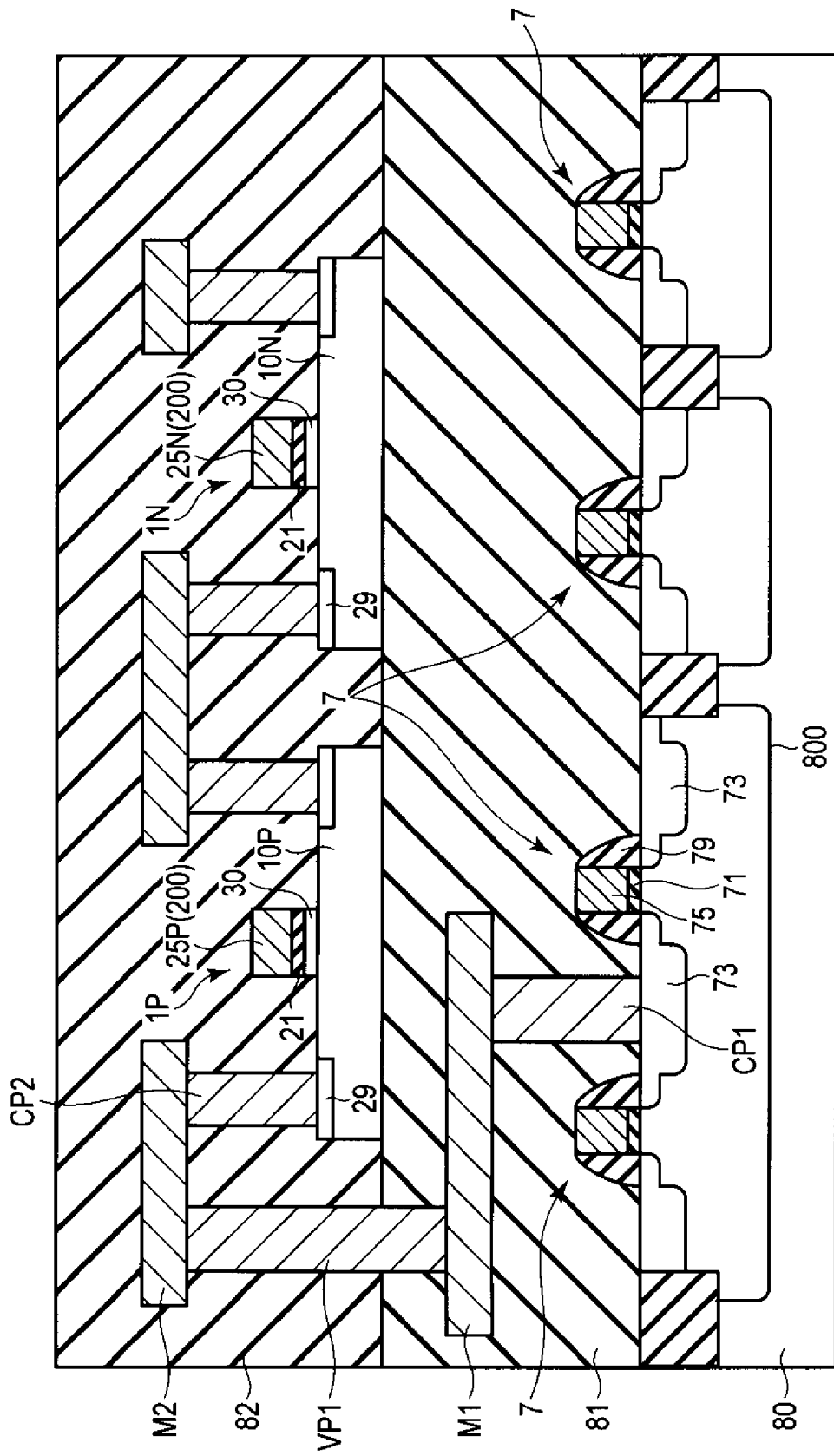
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/082755

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, H01L21/8234(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L29/423(2006.01)i, H01L29/47(2006.01)i, H01L29/49(2006.01)i, H01L29/872(2006.01)i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L29/786, H01L21/8234, H01L27/08, H01L27/088, H01L29/423, H01L29/47, H01L29/49, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-511091 A (International Business Machines Corp.), 30 March 2006 (30.03.2006), paragraphs [0016], [0020], [0022]; fig. 8 & US 2006/0068531 A1 & EP 1586108 A & WO 2004/059703 A1 & CN 1695226 A & AU 2002364087 A	1-20
Y	WO 2010/067571 A1 (Idemitsu Kosan Co., Ltd.), 17 June 2010 (17.06.2010), paragraphs [0096] to [0097] & JP 5145513 B & US 2011/0260121 A1 & CN 102245531 A & KR 10-2011-0095311 A & TW 201029952 A	1-20

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 January 2015 (29.01.15)	Date of mailing of the international search report 10 February 2015 (10.02.15)
---	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/082755

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-245162 A (Mitsubishi Electric Corp.), 28 October 2010 (28.10.2010), paragraphs [0007] to [0009] (Family: none)	1-20
Y	JP 2004-327599 A (Toshiba Corp.), 18 November 2004 (18.11.2004), entire text; all drawings (Family: none)	1-20
Y	JP 2008-306195 A (Renesas Technology Corp.), 18 December 2008 (18.12.2008), entire text; all drawings (Family: none)	10-14, 18-20
A	JP 2006-093717 A (Samsung Electronics Co., Ltd.), 06 April 2006 (06.04.2006), entire text; all drawings & US 2006/0076625 A1 & DE 102005045078 A & KR 10-2006-0028575 A & CN 1770470 A & TW 273707 B	1-20

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L29/786(2006.01)i, H01L21/8234(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L29/423(2006.01)i, H01L29/47(2006.01)i, H01L29/49(2006.01)i, H01L29/872(2006.01)i</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L29/786, H01L21/8234, H01L27/08, H01L27/088, H01L29/423, H01L29/47, H01L29/49, H01L29/872</p>											
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年	
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>											
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2006-511091 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2006.03.30, 【0016】, 【0020】, 【0022】段落, 【図8】 & US 2006/0068531 A1 & EP 1586108 A & WO 2004/059703 A1 & CN 1695226 A & AU 2002364087 A</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>WO 2010/067571 A1 (出光興産株式会社) 2010.06.17, [0096]-[0097]段落 & JP 5145513 B & US 2011/0260121 A1 & CN 102245531 A & KR 10-2011-0095311 A & TW 201029952 A</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2006-511091 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2006.03.30, 【0016】, 【0020】, 【0022】段落, 【図8】 & US 2006/0068531 A1 & EP 1586108 A & WO 2004/059703 A1 & CN 1695226 A & AU 2002364087 A	1-20	Y	WO 2010/067571 A1 (出光興産株式会社) 2010.06.17, [0096]-[0097]段落 & JP 5145513 B & US 2011/0260121 A1 & CN 102245531 A & KR 10-2011-0095311 A & TW 201029952 A	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 2006-511091 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2006.03.30, 【0016】, 【0020】, 【0022】段落, 【図8】 & US 2006/0068531 A1 & EP 1586108 A & WO 2004/059703 A1 & CN 1695226 A & AU 2002364087 A	1-20									
Y	WO 2010/067571 A1 (出光興産株式会社) 2010.06.17, [0096]-[0097]段落 & JP 5145513 B & US 2011/0260121 A1 & CN 102245531 A & KR 10-2011-0095311 A & TW 201029952 A	1-20									
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>											
<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>											
<p>国際調査を完了した日</p> <p>29.01.2015</p>	<p>国際調査報告の発送日</p> <p>10.02.2015</p>										
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁 (ISA/J P)</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p>山口 大志</p> <p>電話番号 03-3581-1101 内線 3516</p>	<table border="1"> <tr> <td>5 F</td> <td>4 0 5 3</td> </tr> </table>	5 F	4 0 5 3							
5 F	4 0 5 3										

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-245162 A (三菱電機株式会社) 2010. 10. 28, 【0007】 - 【0009】段落 (ファミリーなし)	1-20
Y	JP 2004-327599 A (株式会社東芝) 2004. 11. 18, 全文、全図 (ファミリーなし)	1-20
Y	JP 2008-306195 A (株式会社ルネサステクノロジ) 2008. 12. 18, 全文、全図 (ファミリーなし)	10-14, 18-20
A	JP 2006-093717 A (三星電子株式会社) 2006. 04. 06, 全文、全図 & US 2006/0076625 A1 & DE 102005045078 A & KR 10-2006-0028575 A & CN 1770470 A & TW 273707 B	1-20